

# (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G02F 1/136 G02F 1/1343	(45) 공고일자 2003년06월09일 (11) 등록번호 10-0336898 (24) 등록일자 2002년05월03일
(21) 출원번호 10-1998-0061865 (22) 출원일자 1998년12월30일	(65) 공개번호 특2000-0045307 (43) 공개일자 2000년07월15일

(73) 특허권자	주식회사 현대 디스플레이 테크놀로지
	경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	유상주
	경기도 이천시 대월면 사동리 현대5차아파트 502동 604호
	남상목
	경기도 이천시 고당동 72-1 고당기숙사 102-1008
	나형일
	경기도 이천시 고당동 72-1 고당기숙사 102-1502
(74) 대리인	강성배

**심사관 : 임동재**

**(54) 액정표시소자의박막트랜지스터**

*요약*

본 발명은 액정표시소자의 박막 트랜지스터를 개시한다. 개시된 본 발명은, 게이트 버스 라인(10)에 원형의 돌출부(11)가 형성된다. 게이트 버스 라인(10)상에 절연막이 형성되고, 게이트 버스 라인(10)과 직교하는 액티브 라인(20)이 절연막상에 형성된다. 액티브 라인(20)에는 원형 돌출부(11)상에 중첩되는 돌출부(21)가 형성된다. 게이트 버스 라인(10)의 원형 돌출부(11) 상부에 있는 액티브 라인(20)의 돌출부(21)상에 원형 돌출부(11)보다 작은 직경을 갖는 원형의 에치 스톱퍼(30)가 형성된다. 삼각형 구조의 소스 및 드레인 전극(50,60)이 액티브 라인(20)의 돌출부(21)상에 형성되어서, 각 전극(50,60)의 꼭지점 부분이 원형의 에치 스톱퍼(30)상에 콘택된다.

*대표도*

**도6**

*명세서*

*도면의 간단한 설명*

- <1> 도 1은 종래의 박막 트랜지스터를 나타낸 평면도
- <2> 도 2 내지 도 6은 본 발명에 따른 박막 트랜지스터를 제조 공정 순서대로 나타낸 평면도
- <3> - 도면의 주요 부분에 대한 부호의 설명 -
- <4> 10 ; 게이트 버스 라인    11 ; 원형 돌출부
- <5> 20 ; 액티브 라인     21 ; 돌출부
- <6> 30 ; 원형 에치 스톱퍼     40 ; 화소
- <7> 50 ; 소스 전극    60 ; 드레인 전극

*발명의 상세한 설명*

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

- <8> 본 발명은 액정표시소자의 박막 트랜지스터(TFT-LCD)에 관한 것으로, 보다 구체적으로는 오정렬 발생시에도 kick-back 전압의 급변을 방지할 수 있는 액정표시소자의 박막 트랜지스터에 관한 것이다.
- <9> 일반적인 액정표시소자의 박막 트랜지스터가 도 1에 평면도로 도시되어 있다. 도시된 바와 같이, 게이트 버스 라인(1)에 데이터 버스 라인(2)이 직교,교차되어 있다. 데이터 버스 라인(2)의 하부 영역에는 액티브 라인(2-1)이 배치되어 있으며, 액티브 라인(2-1)은 게이트 버스 라인(1)과 소정 부분 중첩될

수 있도록 소정 부분 돌출되어 있다. 이때, 액티브 라인(2-1)의 돌출부(2-2)는 데이터 버스 라인(2)과 교차되는 게이트 버스 라인(1) 부분에 중첩되도록 배치함이 바람직하다. 여기서, 액티브 라인(2-1)의 돌출부(2-2)는 박막 트랜지스터 예정 영역이 되고, 이 액티브 라인(2-1)은 공지된 바와 같이, 비정질 실리콘 층과 도핑된 반도체층으로 이루어진다. 액티브 라인(2-1)의 돌출부(2-2) 상부에 에치 스톱퍼(3)가 형성되고, 에치 스톱퍼(3)의 양단부와 중첩되도록 소스 전극(4)과 드레인 전극(5)이 배치된다. 여기서, 소스 전극(4)은 데이터 버스 라인(2)으로부터 연장된다. 드레인 전극(5)의 일측에는 투명 물질로 된 화소 전극(6)이 배치된다.

### 발명이 이루고자 하는 기술적 과제

- <10> 그런데, 상기와 같은 구조로 이루어진 일반적인 액정표시소자의 화질 특성은 게이트 버스 라인(1) 및 소스 전극(4) 사이에 형성되는 캐패시턴스와, 스토리지 캐패시턴스, 및 액정 캐패시턴스에 의하여 결정된다.
- <11> 즉, 화면에서 깜박거림과 같은 플리커 현상에 영향을 주는 킥백 전압(kick-back voltage:  $\Delta V_p$ )은 아래의 식과 같이, 캐패시턴스의 함수로 나타내어진다.
- <12> 
$$\Delta V_p = \Delta V_g C_{gs} / (C_{st} + C_{LC} + C_{gs})$$
- <13>  $\Delta V_g$ : 게이트 전압의 변화분
- <14>  $C_{gs}$ : 박막 트랜지스터에서 게이트 전극과 소스 전극 사이의 캐패시턴스
- <15>  $C_{st}$ : 스토리지 캐패시턴스
- <16>  $C_{LC}$ : 액정 캐패시턴스
- <17> 이러한 킥백 전압은 작은 값을 갖는 것이 바람직하고, 이 킥백 전압값이 증가되면, 플리커 현상이 발생된다.
- <18> 그러나, 종래의 액정표시소자의 박막 트랜지스터에서, 에치 스톱퍼와 게이트 및 소스 전극이 모두 직사각형이기 때문에, 서로간에 중첩되는 면적이 커서,  $C_{gs}$ 가 커지는 문제점이 있다. 즉, 킥백 전압이 커지는 문제점이 있다.
- <19> 따라서, 본 발명은 종래의 박막 트랜지스터가 안고 있는 문제점을 해소하기 위해 안출된 것으로서, 에치 스톱퍼와 게이트 및 소스 전극간에 중첩되는 면적이 최소화되도록 하여,  $C_{gs}$ 와 킥백 전압을 줄일 수 있는 액정표시소자의 박막 트랜지스터를 제공하는데 목적이 있다.

### 발명의 구성 및 작용

- <20> 상기한 본 발명의 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자의 박막 트랜지스터는 절연 기판과; 절연 기판 상에 소정 방향으로 연장되며, 원형의 돌출부를 가진 게이트 버스 라인; 게이트 버스 라인 전체 구조 상부에 형성된 게이트절연막; 게이트절연막 상에 돌출부의 소정 부분과 대응되도록 형성된 원형 형상의 에치 스톱퍼; 돌출부 및 에치 스톱퍼를 둘러싸도록 배치되는 액티브 라인; 에치 스톱퍼의 양측에 서로 대응되며, 꼭지점 부분이 상기 에치 스톱퍼와 소정 부위에서 중첩되고, 그외의 부분이 상기 액티브 라인과 중첩되도록 형성된 삼각형 형상의 소스 및 드레인 전극; 및 드레인 전극과 연결되는 화소전극을 포함하는 것을 구성 상의 특징으로 한다.
- <21> 이러한 본 발명에 의하면, 에치 스톱퍼가 원형으로 형성되고, 소스 및 드레인 전극이 삼각형 형상으로 형성되어, 그의 꼭지점 부분이 에치 스톱퍼에 중첩되므로써, 중첩 면적이 대폭 줄어들게 된다.
- <22> (실시예)
- <23> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.
- <24> 도 2 내지 도 6은 본 발명에 따른 박막 트랜지스터를 제조 공정 순서대로 나타낸 평면도이다.
- <25> 먼저, 도 2에 도시된 바와 같이, 게이트 버스 라인(10)이 소정 방향으로 연장된다. 이때, 게이트 버스 라인(10)에서 박막 트랜지스터가 형성될 부분은 외곽으로 돌출되어져 있어, 원형의 돌출부(11)를 형성한다.
- <26> 이어서, 도 3에 도시된 바와 같이, 전체 구조 상부에 게이트 절연막(미도시) 및 채널층(미도시)을 형성하고, 원형 돌출부(11)의 연직 상부인 채널층상에 원형 구조의 에치 스톱퍼(30)를 형성한다. 특히, 에치 스톱퍼(30)는 게이트 버스 라인(10)의 원형 돌출부(11)보다는 작게 형성한다.
- <27> 그런 다음, 도 4와 같이, 전체 구조 상부에 도핑된 실리콘층을 형성한 후, 도핑된 실리콘층이 게이트 버스 라인(10)의 원형 돌출부(11)을 덮을 수 있도록, 소정 부분 패터닝한다. 이 도핑된 실리콘층을 패터닝할 때, 그 하부의 채널층도 동시에 식각되도록 하여, 액티브 라인(20)을 형성한다. 여기서, 도핑된 실리콘층은 에치 스톱퍼(30)이 오픈될 수 있도록 식각한다. 이러한 식각 공정에서, 게이트 버스 라인(10)의 원형 돌출부(11)상에 중첩되는 부분을 액티브 라인(20)의 돌출부(21)라 한다.
- <28> 이어서, 도 5와 같이, 전체 구조 상부에 투명 전도 물질을 증착한 다음, 액티브 라인(20)의 외곽에 존재하도록 패터닝하여, 화소 전극(40)을 형성한다.
- <29> 그런 다음, 도 6과 같이, 전체 구조 상부에 소스/드레인용 금속막을 증착한 후, 금속막을 식각하여 소스 및 드레인 전극(50,60)을 형성한다.
- <30> 이때, 소스 및 드레인 전극(50,60)을 삼각형 형상으로 형성하는데, 소스 및 드레인 전극(50,60)의 꼭지점 부분이 에치 스톱퍼(30)상에 중첩되고, 그 나머지 부분은 액티브 라인(20)과 중첩된다.

여기서, 소스 전극(50)은 공지된 바와 같이 데이터 버스 라인과 일체로 형성되고, 드레인 전극(60)은 화소 전극(40)과 콘택된다.

- <31> 이와 같이, 소스 및 드레인 전극(50,60)이 삼각형 구조가 되면, 원형의 에치 스톱퍼(30)와 중첩되는 소스 및 드레인 전극(50,60) 면적이 대폭 축소되므로, Cgs와 킥백 전압을 낮출 수 있게 된다.

### **발명의 효과**

- <32> 이상에서 자세히 설명된 바와 같이 본 발명에 의하면, 에치 스톱퍼가 원형으로 형성되고, 소스 및 드레인 전극이 삼각형 형상으로 형성되어, 그의 꼭지점 부분이 에치 스톱퍼에 중첩되므로써, 중첩 면적이 대폭 줄어들게 된다. 따라서, Cgs와 킥백 전압이 낮아지게 되어, 플리커 현상이 억제된다.
- <33> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

### **(57) 청구의 범위**

#### **청구항 1**

절연 기판;

절연 기판상에 소정 방향으로 연장되며, 원형의 돌출부를 가진 게이트 버스 라인;

상기 게이트 버스 라인 전체 구조 상부에 형성된 게이트 절연막;

상기 게이트절연막 상에 상기 돌출부의 소정 부분과 대응되도록 형성된 원형 형상의 에치 스톱퍼;

상기 돌출부 및 상기 에치 스톱퍼를 둘러싸도록 배치된 액티브 라인;

상기 에치 스톱퍼의 양측에 서로 대응되며, 꼭지점 부분이 상기 에치 스톱퍼와 소정 부위에서 중첩되고, 그외의 부분이 상기 액티브 라인에 중첩되도록 형성된 삼각형 형상의 소스 및 드레인 전극; 및

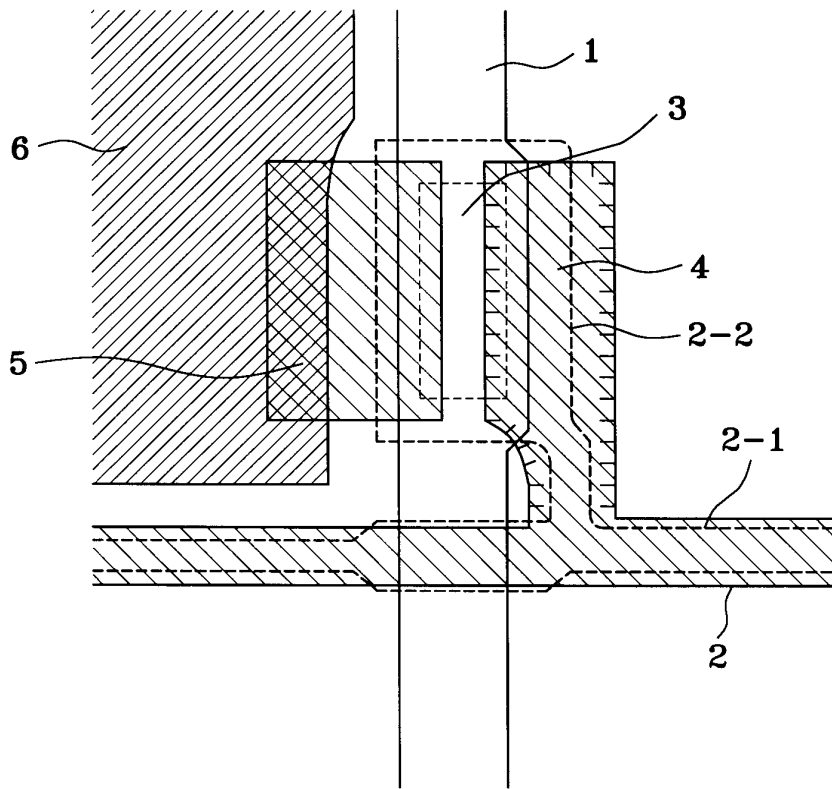
상기 드레인 전극과 연결되는 화소전극을 포함하는 것을 특징으로 하는 액정표시소자의 박막 트랜지스터.

#### **청구항 2**

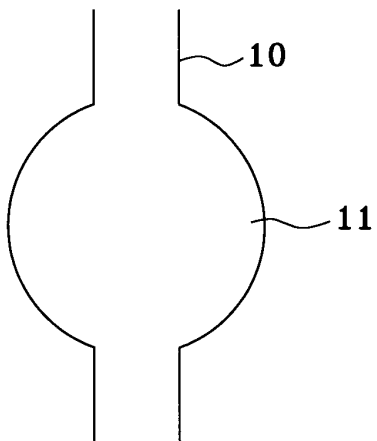
제 1 항에 있어서, 상기 에치 스톱퍼는 상기 게이트 버스 라인보다 작은 크기로 형성된 것을 특징으로 하는 액정 표시 소자의 박막 트랜지스터.

### **도면**

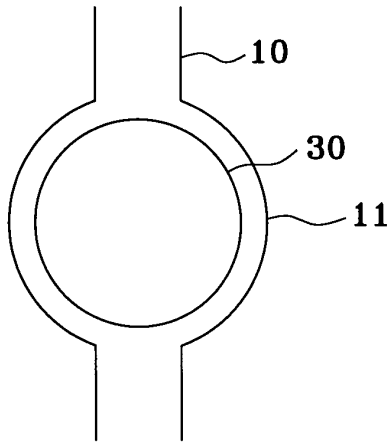
도면1



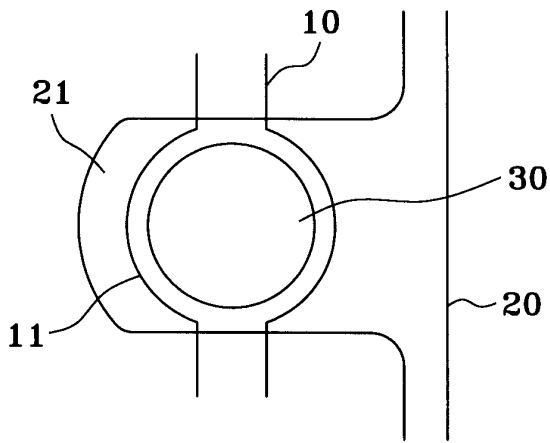
도면2



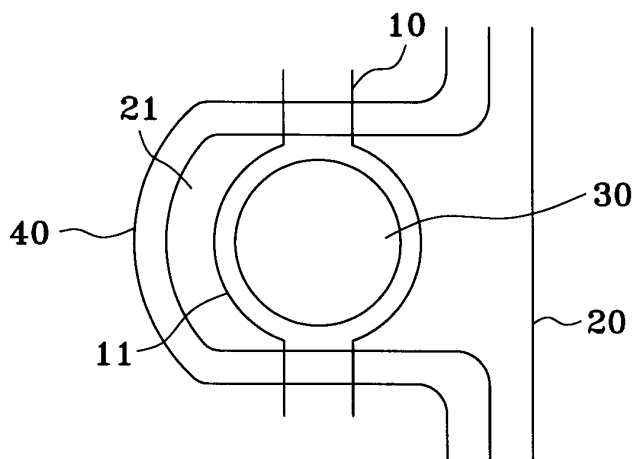
도면3



도면4



도면5



도면6

