

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3772740号

(P3772740)

(45) 発行日 平成18年5月10日(2006.5.10)

(24) 登録日 平成18年2月24日(2006.2.24)

(51) Int. Cl.	F I
HO 1 L 23/02 (2006.01)	HO 1 L 23/02 C
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3 1 1 Q
HO 3 H 3/08 (2006.01)	HO 3 H 3/08
HO 3 H 9/25 (2006.01)	HO 3 H 9/25 A

請求項の数 10 (全 15 頁)

(21) 出願番号	特願2001-389556 (P2001-389556)	(73) 特許権者	000006231
(22) 出願日	平成13年12月21日(2001.12.21)		株式会社村田製作所
(65) 公開番号	特開2003-188294 (P2003-188294A)		京都府長岡京市東神足1丁目10番1号
(43) 公開日	平成15年7月4日(2003.7.4)	(74) 代理人	100085497
審査請求日	平成16年9月3日(2004.9.3)		弁理士 筒井 秀隆
		(72) 発明者	村田 好司
			京都府長岡京市天神2丁目26番10号
			株式会社村田製作所内
		(72) 発明者	三輪 昭大
			京都府長岡京市天神2丁目26番10号
			株式会社村田製作所内
		(72) 発明者	前阪 通伸
			京都府長岡京市天神2丁目26番10号
			株式会社村田製作所内

最終頁に続く

(54) 【発明の名称】 電子部品の製造方法

(57) 【特許請求の範囲】

【請求項1】

回路素子に設けられた回路部と基板に設けられた電極のいずれか一方に金属突起電極を設け、回路素子の表面と基板の表面との少なくとも一方に、回路素子の回路部を取り囲む卑金属よりなる封止枠を設け、回路素子と基板とを対面させて回路部と基板の電極とを上記突起電極によって接合するとともに、回路素子と基板との間の空間を上記封止枠によって気密的に封止する電子部品の製造方法において、

上記封止枠が酸化しない条件で、少なくとも上記突起電極を対向する回路素子の回路部または基板の電極に、超音波と圧力とを加えて仮接合する工程と、

低酸素濃度雰囲気中、所定温度に加熱しながら加圧することにより、上記突起電極を対向する回路素子の回路部または基板の電極に本接合すると同時に、上記封止枠によって回路素子と基板との間を封止する工程と、を有し、

上記仮接合工程は、個々の回路素子に対して個別に実施し、

上記本接合・封止工程は、複数の回路素子に対して同時に実施することを特徴とする電子部品の製造方法。

【請求項2】

上記仮接合工程は、常温で超音波と圧力とを加えることを特徴とする請求項1に記載の電子部品の製造方法。

【請求項3】

上記仮接合工程は、低酸素濃度雰囲気中、所定温度に加熱しながら超音波と圧力とを加える

10

20

ことを特徴とする請求項 1 に記載の電子部品の製造方法。

【請求項 4】

上記基板は複数個分の大きさを有する集合基板であり、この集合基板に複数の回路素子を個別に仮接合した後、複数の回路素子を同時に上記集合基板に対して本接合・封止することを特徴とする請求項 1 ないし 3 のいずれかに記載の電子部品の製造方法。

【請求項 5】

上記突起電極は Au を主成分とする接合材からなることを特徴とする請求項 1 ないし 4 のいずれかに記載の電子部品の製造方法。

【請求項 6】

上記封止枠ははんだを主成分とする接合材からなることを特徴とする請求項 1 ないし 5 のいずれかに記載の電子部品の製造方法。

【請求項 7】

上記突起電極の高さは上記封止枠より高く形成され、上記仮接合工程において突起電極のみを対向する回路素子の回路部または基板の電極に仮接合することを特徴とする請求項 1 ないし 6 のいずれかに記載の電子部品の製造方法。

【請求項 8】

上記基板と回路素子には、それぞれ上記封止枠を介して接合される環状電極が設けられ、上記環状電極は共に直線部と角部とを有する略多角形の形状をなしており、少なくとも基板の環状電極の角部にアールが設けられていることを特徴とする請求項 1 ないし 7 のいずれかに記載の電子部品の製造方法。

【請求項 9】

上記角部のアールのうち、内側アールの曲率半径が上記直線部の幅の 1.5 倍以上であり、かつ上記アールの幅と上記直線部の幅とがほぼ等しいことを特徴とする請求項 8 に記載の電子部品の製造方法。

【請求項 10】

上記回路素子は、高周波素子または弾性表面波素子であることを特徴とする請求項 1 ないし 9 のいずれかに記載の電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は回路素子を基板上に金属突起電極を介して実装し、回路素子の回路部を気密的に封止した電子部品の製造方法に関するものである。

【0002】

【従来の技術】

従来、弾性表面波素子（SAW素子）、高周波デバイスなどの電子部品の製造方法として、回路素子に設けられた回路部と基板に設けられた電極のいずれか一方に金属突起電極を設け、回路素子の表面と基板の表面とのいずれか一方に、回路素子の回路部を取り囲む封止枠を設け、回路素子と基板とを対面させて回路部と基板の電極とを金属突起電極によって接合するとともに、回路素子と基板との間の空間を封止枠によって気密的に封止する電子部品の製造方法が提案されている（例えば特開 2000 - 77970 号公報参照）。上記突起電極として例えば Au パンプが使用され、封止枠としてはんだ等の卑金属材料が使用されている。そして、突起電極の高さを封止枠の高さに比べて高くしてある。

【0003】

上記回路素子を基板にマウントするには、まず熱圧着ツールによって回路素子の背面を吸着し、圧着ステージ上に位置決めされた基板に対して回路素子の回路部を対面させて接合する。この時、突起電極の高さが封止枠の高さに比べて高いので、熱圧着ツールを下降させると、まず突起電極が回路素子の電極パッドに当たる。この状態で熱圧着ツールを加熱しかつ加圧することで、熱および圧力によって突起電極が押しつぶされ、封止枠が回路素子の環状電極に接触し、溶融する。そして、熱によって突起電極と素子の電極パッドとが

10

20

30

40

50

拡散接合される。このように従来の製造方法では、突起電極の接合と封止枠の接合とを同時に行っている。

【0004】

【発明が解決しようとする課題】

突起電極としてAuを用いた場合には、高温下で熱圧着しても突起電極に酸化膜が形成されず、接合性が良好である。しかし、はんだのような卑金属よりなる封止枠は、熱圧着時に酸化されやすく、表面にできた酸化膜が接合の障害になり、封止不良を招く問題がある。同様に、封止枠と接合される電極も、酸化することではんだ濡れ性が低下し、封止不良の原因になる。

【0005】

また、突起電極の接合と封止枠の接合とを同時に行うので、素子1個当たりの作業時間がかかり、生産性がよくない。例えば、Auバンプを熱圧着する場合、その接合時間として2秒程度必要であり、はんだ封止のための加熱時間が約20秒/個必要である。そのため、突起電極の接合と封止枠の接合とを同時に熱圧着していたのでは、素子1個当たり20秒以上の接合時間を必要とし、生産性が低下してしまう。しかも、封止枠にかかる熱履歴が長くなり、長時間加熱されることで、封止枠の酸化が進行するとともに、電極のはんだ食われが発生して信頼性を低下させる可能性があった。

【0006】

一方、複数の回路素子を大型の集合基板に対して一括して熱圧着することで、生産性を向上させる方法も提案されている。しかし、Auバンプを使用した場合、接合に必要な荷重が1バンプ当たり約3N必要であり、30バンプ以上の接合になると、約90Nもの高荷重が必要になる。このような高荷重を加えながら、個々の回路素子を集合基板に対して精度よく位置決めし、かつ確実に接合することは非常に難しい。そのため、集合基板に一括熱圧着を行うにしても限度があり、精度と生産性を両立させるのは難しかった。

【0007】

そこで、本発明の目的は、卑金属よりなる封止枠の酸化を抑制して封止不良をなくすことができる電子部品の製造方法を提供することにある。

他の目的は、精度を確保しながら生産性を向上させることが可能な電子部品の製造方法を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するため、請求項1に係る発明は、回路素子に設けられた回路部と基板に設けられた電極のいずれか一方に金属突起電極を設け、回路素子の表面と基板の表面とのいずれか一方に、回路素子の回路部を取り囲む卑金属よりなる封止枠を設け、回路素子と基板とを対面させて回路部と基板の電極とを上記突起電極によって接合するとともに、回路素子と基板との間の空間を上記封止枠によって気密的に封止する電子部品の製造方法において、上記封止枠が酸化しない条件で、少なくとも上記突起電極を対向する回路素子の回路部または基板の電極に、超音波と圧力とを加えて仮接合する工程と、低酸素濃度雰囲気、所定温度に加熱しながら加圧することにより、上記突起電極を対向する回路素子の回路部または基板の電極に本接合すると同時に、上記封止枠を対向する回路素子の表面または基板の表面に接合して封止する工程と、を有し、上記仮接合工程は、個々の回路素子に対して個別に実施し、上記本接合・封止工程は、複数の回路素子に対して同時に実施することを特徴とする電子部品の製造方法を提供する。

【0009】

本発明では、仮接合工程を封止枠が酸化しない条件下で超音波加圧によって実施し、卑金属よりなる封止枠の表面に酸化膜が形成されるのを防止する。超音波加圧による振動で、突起電極と対向する接合電極の表面の酸化膜や汚染層が除去され、それぞれの新生面が接し合い、短時間で接合される。この状態では、突起電極と接合電極とは、完全な接合状態とする必要はなく、その後の本接合・封止工程までの間に剥離しない程度に接合してあればよい。次に、低酸素濃度雰囲気、熱圧着を行い、封止枠の酸化を防止しながら、封止枠

10

20

30

40

50

の溶融，接合を行い、回路素子と基板との間の空間を気密的に封止する。熱を加えるので、大気中では封止枠が酸化してしまうからである。これと同時に、突起電極と回路素子の回路部または基板の電極とを完全に拡散接合（本接合）させる。

このように、封止枠の酸化を防止しながら封止を行うことができるので、封止性が向上する。なお、封止枠の酸化だけでなく、封止枠と接合される接合電極の酸化も防止できる。そのため、この接合電極を卑金属で形成することも可能である。

【0010】

本発明では、突起電極による仮接合を行った後で、突起電極の本接合と封止枠による封止とを同時に行う。つまり、仮接合工程と本接合・封止工程とを分離している。仮接合とは、工程での振動やハンドリングで回路素子と基板とが外れない程度の強度で回路素子と基板とを仮止めするだけであるから、超音波の出力を小さくして超音波による位置ずれを小さくし、精度のよい位置決めを行うことができる。一方、本接合時には仮接合によって既に位置決めされているので、本接合時に新たに位置決めする必要がなく、簡単な装置で確実な接合が可能となる。また、仮接合は超音波加圧を用いているので、短時間で接合可能であるが、本接合・封止は熱圧着を用いているので、時間がかかる。本発明では仮接合と本接合・封止とを分離することで、それぞれの工程を最も効率のよい条件で実施することができる。

10

【0011】

従来のように1回の熱圧着で接合と封止とを実施した場合には、接合後の回路素子を基板から剥離することができず、もし回路素子の不良を発見しても基板を再利用できない。これに対し、本発明では仮接合と本接合・封止とを分離しているため、仮接合の終了した部品（本接合前の部品）に対して、種々の追加作業を実施することが可能である。例えば、仮接合段階で回路素子の電気的特性の測定を行い、もし不良品である場合には、突起電極を対向する接合電極から剥離し、回路素子を基板から取り外すことで、基板を再利用することが可能である。

20

また、本発明では、仮接合工程を、個々の回路素子に対して個別に実施し、本接合・封止工程を、複数の回路素子に対して同時に実施している。

すなわち、精度を必要とする仮接合工程をワンパイワンで実施し、時間のかかる熱圧着工程をマルチ化することで、タクト時間を短縮でき、生産性の向上を実現できる。そして、本接合・封止工程は、仮接合工程によって予め位置決めされた素子と基板とに対して熱圧着を実施すればよいので、位置ずれが発生せず、高精度な電子部品を得ることができる。

30

【0012】

請求項2のように、仮接合工程を常温で超音波と圧力とを加えて実施してもよい。仮接合工程を常温で実施すれば、封止枠が自然酸化以上に酸化しないので、格別な酸化防止のための設備を必要とせず、仮接合が簡単になる。

また、回路素子が弾性表面波素子の場合、常温で仮接合を行なうことで、素子の焦電荷の発生をゼロにし、焦電破壊を防止できる。また、本接合時（熱圧着時）には基板が金属製の熱板上に設置されるので、焦電荷が突起電極、基板を通して熱板へ逃げることにより、焦電破壊を防止できる。

【0013】

請求項3のように、仮接合工程を、低酸素濃度雰囲気です定温度に加熱しながら超音波と圧力とを加えて実施してもよい。

超音波と圧力と熱とを加えて実施すると、より短時間で突起電極と対向する電極とを接合できるが、熱によって封止枠が酸化しやすくなる。そこで、低酸素濃度雰囲気を実施することで、封止枠の酸化を防止できる。

40

【0015】

請求項4のように、基板として複数個分の大きさを有する集合基板を使用し、この集合基板に複数の回路素子を個別に仮接合した後、複数の回路素子を同時に集合基板に対して本接合・封止するのが望ましい。

この場合には、本発明の効果に加え、仮接合が終了した部品を一々整列させる必要がなく

50

、集合基板に回路素子を仮接合したまま熱圧着工程へ移行させればよいので、作業効率が一層効率化される。なお、本接合・封止工程が終了した集合基板は、その後で1素子毎にカットする必要がある。

【0016】

請求項5のように、突起電極をAuを主成分とする接合材で構成するのがよい。突起電極としてははんだバンプなどの卑金属材料で形成することも可能であるが、Auバンプの場合、接合が容易であるし、酸化しないので接合部の電気抵抗を小さくできる利点がある。

【0017】

請求項6のように、封止枠をはんだを主成分とする接合材で構成するのがよい。はんだの場合、比較的低温で熔融させることができるので、回路素子への熱的ダメージが少なくて済む。しかも、はんだ封止枠は、例えば印刷法によってははんだペーストを基板または回路素子に塗布し、はんだペーストをリフローソルダーリングした後で洗浄し、フラックス残渣を取り除けば、簡単に形成できる。そのため、コストを低減できるとともに、フラックスレスで封止できる。

10

【0018】

請求項7のように、突起電極の高さを封止枠より高く形成し、仮接合工程において突起電極のみを対向する回路素子の回路部または基板の電極に仮接合するのがよい。

突起電極のみを回路部または基板電極に仮接合すれば、超音波が封止枠に漏れることがなく、効率よく突起電極に集中し、短時間で仮接合できる。

なお、封止枠を突起電極と同一高さ、あるいは突起電極より高くすることも可能であるが、仮接合時に封止枠と回路素子または基板とが接触し、突起電極と接合電極との接合信頼性が低下する可能性がある。

20

【0019】

請求項8のように、基板と回路素子に、それぞれ封止枠を介して接合される環状電極を設け、環状電極は共に直線部と角部とを有する略多角形の形状をなしており、少なくとも基板の環状電極の角部にアールを設けるのが望ましい。

従来技術では、基板の封止用環状電極に形成された環状のはんだ封止枠の高さが、その表面張力により、封止枠の角部（コーナ部）で高く、直線部で低くなっていた。その結果、

（1）仮接合時に封止枠が邪魔になり、バンプが電極に接したり、接しなかったりして仮接合が安定しない、

30

（2）バンプ寸法を大きくしてこれを回避しても、パッドサイズが大きくなり、素子寸法も大きくなってしまふ、

（3）加熱・加圧してはんだ封止させる際、その高さの差のため、はんだ枠の高さが低い部位が接合されず、封止不良が発生する、

（4）封止時間が長くなり、生産コストが上昇する、といった課題があった。

そこで、請求項8のように基板の環状電極の角部にアールを設けると、その上に形成されるはんだ封止枠の直線部と角部の高さの差が小さくなり、上記（1）～（4）の課題を解決できる。なお、回路素子の環状電極については、少なくとも封止枠と接合される面積があればよく、必ずしも角部にアールを必要としない。

【0020】

40

請求項9のように、上記角部のアールのうち、内側アールの曲率半径が直線部の幅の1.5倍以上であり、かつアールの幅と直線部の幅とがほぼ等しいのがよい。

環状電極の角部にアールを設けた場合に、内側アールの曲率半径を直線部の幅の1.5倍以上とし、かつアールの幅と直線部の幅とをほぼ等しくすると、その上に形成されるはんだ封止枠の直線部の高さや角部の高さなどがほぼ等しくなり、仮接合の安定性が向上する。また、はんだ封止枠の高さバラツキを小さくすることで、本接合時にはんだ封止枠と対向する環状電極とを確実に接触させることができ、封止不良を低減できる。また、封止時間を短縮でき、生産コストを下げることもできる。

【0021】

請求項10のように、回路素子として、高周波素子または弾性表面波素子を用いるのがよ

50

い。

すなわち、封止枠の内部を中空構造とすることによって、GHz帯で使用されるような高周波素子では、比誘電率を小さくして消費電力を低減できる効果があり、また弾性表面波素子のような振動を利用した素子の場合、振動がダンピングされず、良好な特性を得ることができる。

【0022】

【発明の実施の形態】

図1～図3は、本発明にかかる電子部品の第1の実施例を示す。

この電子部品は、パッケージ基板1に回路素子10をフェースダウン実装したものである。

パッケージ基板1は、アルミナなどのセラミック基板、セラミックからなる誘電体基板、多層セラミック基板、ガラス基板、結晶性の基板、ガラスエポキシ樹脂などの気密性を有する基板よりなる。この基板1の表面には、複数の島状の接合電極2と、これら電極2を取り囲む環状電極3とが形成されている。上記接合電極2はスルーホールに導電材料を埋設した接続部4を介して裏面側に形成された表面実装のための外部電極5と接続されている。また、環状電極3は、図示しないアース側電極と接続されている。

【0023】

上記環状電極3上には、図3に示すように、はんだ封止枠6が所定高さ h_1 （例えば20～40 μm ）に形成されている。はんだ封止枠6は、例えば印刷法によってはんだペーストを基板1の環状電極3上に塗布し、はんだペーストをリフローソルダリングした後で洗淨し、フラックス残渣を取り除くことで、簡単に形成できる。なお、封止枠6の形成方法は、S/J法などのプリコートや、メッキ、蒸着、スパッタなどの方法を用いてもよい。封止枠6の材料も熔融可能な金属であれば、はんだに限らない。

【0024】

この実施例の回路素子10は弾性表面波チップであり、水晶や LiTaO_3 、 LiNbO_3 等からなる圧電基板11の表面（図1では下面）に、Al等からなる2組のIDT電極12とTi/Ni/Au等からなる4個の入出力電極13とを形成したものである。IDT電極12と入出力電極13とは相互に接続されている。また、回路素子10の表面には、IDT電極12と入出力電極13とを取り囲む環状電極14が形成されている。

【0025】

図3に示すように、入出力電極13のそれぞれには突起電極15が固定されている。突起電極15としては、Au, Ag, Pd, Cuを主成分とする金属バンプや、はんだバンプなどを用いることができる。突起電極15は、めっき法、ワイヤボンディング法などを用いて形成されるが、ここではワイヤボンディング法によりAuバンプを形成した。突起電極15の高さ h_2 は、例えば40～50 μm であり、基板1に形成された半田封止枠6の高さより高く（望ましくは約10 μm 以上高く）するのが望ましい。

【0026】

上記基板1と回路素子10とは、その縦横の寸法がほぼ同一に形成され、基板1の接合電極2と回路素子10の入出力電極13とが対応する位置に形成され、かつ基板1の環状電極3と回路素子10の環状電極14とが対応する位置に形成されている。

なお、回路素子10の環状電極14および基板1の環状電極3には、Ni/Auメッキ電極を用いている。Niははんだ食われを防止するためであり、はんだ食われを防止できる金属であれば、Pt, Pd, Cu等でもよい。Auは半田濡れ性を確保するためであり、Ag, Sn, Pt, Cuなどの濡れ性が確保できる金属であればよい。

【0027】

ここで、上記基板1と回路素子10との接合方法について、図4を参照して説明する。

まず図4の(a)のように、封止枠6を形成した基板1と、突起電極15を形成した回路素子10とを準備する。

次に、図4の(b)のように、基板1をそのはんだ封止枠6を上側にむけて支持台Aの上に載置し、位置決めする。一方、回路素子10の裏面（IDT電極12を設けていない面

10

20

30

40

50

)をボンディングツールBで吸着し、基板1の接合電極2と回路素子10の入出力電極13とが上下に対応し、かつ基板1の環状電極3と回路素子10の環状電極14とが上下に対応するように位置決めし、突起電極15を基板1の接合電極2に対して、ボンディングツールBによって超音波と加圧とを付加して仮接合する。常温下で仮接合が実施されるので、はんだ封止枠6の酸化が進むことがない。仮接合条件は、突起電極15と基板1の接合電極2とが仮接合された状態で、はんだ封止枠6と対向する回路素子10の環状電極14とが接触しない条件が望ましく、本実施例では、加圧荷重1.5N/バンプ、超音波出力0.5W、時間1.0s、温度25とした。超音波出力が比較的低いので、基板1と回路素子10との位置精度が向上するとともに、パッド直下でのマイクロクラックの発生を防止できる。

10

次に、図4の(c)のように、仮接合した基板1を加熱ステージC上にのせ、熱圧着ツールDを回路素子10の背面に押し当てて熱圧着し、本接合する。本実施例での熱圧着条件は、加圧荷重2.0N/バンプ、加熱温度270、加熱時間20sとし、低酸素濃度下、例えば窒素雰囲気にして酸素濃度を10ppm以下としている。熱圧着によって、突起電極15の高さが例えば20~25μmまで押し潰され、突起電極15と基板1の接合電極2とを拡散接合させる。これと同時に、溶融した封止枠6が回路素子10の環状電極14に濡れ広がり、基板1と回路素子10との間の空間が封止される。

最後に、基板1と回路素子10とを冷却することで、接合と封止とが完了し、気密封止型の電子部品が得られる(図4の(d)参照)

【0028】

20

なお、図4の(c)では、熱圧着をワンバイワンで実施する例を示したが、実際には数百個あるいはそれ以上の個数の電子部品に対して、同時に熱圧着を実施するのが望ましい。この場合、仮接合した複数の基板1(および回路素子10)をトレーに整列させ、これを加熱ステージCに載置して熱圧着を実施するのがよい。

加熱ステージCは金属製の熱板よりなり、接地されている。そのため、熱圧着時に弾性表面波チップである回路素子10から発生する焦電荷が突起電極15、基板1を通過して加熱ステージCへ逃げることにより、回路素子10の焦電破壊を防止できる。

上記実施例では、はんだを十分に濡れ拡がらせるために約20秒間加熱・加圧したが、突起電極15の接合ができ所望のバンプ高さになるのであれば、20秒間も加圧する必要はなく、例えば0.5秒間の加熱・加圧と19.5秒間の加熱でもよい。

30

【0029】

上記のように常温で超音波・加圧により仮接合することと、低酸素濃度下で熱圧着することで、はんだ封止枠6の酸化を防止し、はんだ酸化膜による封止不良を少なくできる。また、熱圧着時に突起電極15と接合電極2とを加熱・加圧することで、突起電極15の固相接合を進め、接合を強固にしている。さらに、加圧によって突起電極15の高さをコントロールすることで、封止枠6の潰し過ぎによるはんだのはみ出しや、バンプ15へのショートを抑え、回路素子10の環状電極14が確実に溶融したはんだに当たり、接合して封止性を確保することができる。

【0030】

表1は、仮封止時の温度と酸素濃度とを変化させた場合に、封止後の封止良品率を、封止枠6のはんだとしてSnCuを用いた場合と、SnAgを用いた場合とで比較したものである。なお、突起電極としてAuバンプを使用した。

40

仮封止条件

雰囲気：N₂ 雰囲気，酸素濃度は10ppm~大気

荷重：仮封止できるように1~4Nの範囲で設定した。

超音波出力：0.5W

温度：常温~180

本接合・封止条件

雰囲気：N₂ 雰囲気，酸素濃度は10ppm

接合温度：280

50

荷重：6 N

検査方法

グロスリークテスト、ファインリークテストを併用。

【0031】

【表1】

仮止め		封止後の 封止良品率 (SnCu) (%)	封止後の 封止良品率 (SnAg) (%)
温度 (°C)	酸素濃度 (ppm)		
25	(大気)200000	100	100
25	1000	100	100
25	10	100	100
100	(大気)200000	80	80
100	1000	100	100
100	10	100	100
180	(大気)200000	20	30
180	1000	100	100
180	10	100	100

10

表1から明らかなように、温度もしくは酸素濃度が高くなればなるほど、封止良品率が低下していることがわかる。これより、仮接合時に加熱すると、封止枠6の表面の酸化膜が自然酸化膜以上に厚く形成され、封止枠6の接合性（はんだの場合は濡れ性）を低下させて封止不良が発生してしまう。

20

したがって、温度を100未満、望ましくは常温にするか、あるいは酸素濃度を1000ppm以下とすることで、封止枠6の酸化膜形成を抑制できる。

【0032】

表2は、下記条件にて仮接合後、本接合・封止の際の酸素濃度を变化させた時の封止良品率を示す。なお、封止枠のはんだとしてSnCuを使用し、突起電極としてAuパンプを使用した。

仮封止条件

30

雰囲気：大気

荷重：4 N

超音波出力：0.5 W

温度：常温

本接合・封止条件

雰囲気：N₂ 雰囲気，酸素濃度は10ppm～大気

接合温度：280

荷重：6 N

検査方法

グロスリークテスト、ファインリークテストを併用。

40

【0033】

【表2】

本 接 合 ・ 封 止 酸 素 濃 度 (ppm)	封 止 後 の 封 止 良 品 率 (SnCu) (%)
(大 気) 2 0 0 0 0 0	0
1 0 0 0 0	2 0
1 0 0 0	8 0
5 0 0	1 0 0
1 0 0	1 0 0
1 0	1 0 0

表 2 から、酸素濃度が高くなればなるほど、封止良品率が低下していることがわかる。これより、封止枠 6 の酸化膜増大が封止不良の原因であると言える。熱圧着時の酸素濃度を 5 0 0 ppm 以下とすることで、封止良品率を 1 0 0 % とすることができた。

【 0 0 3 4 】

表 3 は本接合・封止の際の熱圧着時間と封止良品率との関係を示す。

【 表 3 】

本 接 合 ・ 封 止 時 間 (s)	封 止 後 の 封 止 良 品 率 (SnCu) (%)
1	3 0
3	9 0
5	1 0 0
1 0	1 0 0

表 3 から、封止を確実にを行うには、熱圧着時間を 5 秒以上必要とすることがわかる。したがって、熱圧着工程をマルチ化することで、生産性を向上させることができる。

【 0 0 3 5 】

図 5 , 図 6 は本発明にかかる電子部品の第 2 実施例を示す。

この例は、生産性を高めるため、パッケージ基板 1 として例えば数百個分の大きさを持つ集合基板 1 A を使用したものである。図では、説明を簡単にするため 6 個分の大きさの集合基板 1 A を示している。

集合基板 1 A の上面には、複数の島状の接合電極 2 と、これら接合電極 2 を取り囲む複数の環状電極 3 とが、縦横に配列されて形成されている。また、接合電極 2 はスルーホールに導電材料を埋設した接続部 4 を介して裏面側に形成された表面実装のための外部電極 5 と接続されている。上記環状電極 3 には第 1 実施例と同様の方法ではんだ封止枠 6 が形成される。

一方、回路素子 1 0 は第 1 実施例と同様の素子であり、図 1 ~ 図 3 と同一部分には同一符号を付して重複説明を省略する。

【 0 0 3 6 】

次に、集合基板 1 A と回路素子 1 0 との接合方法について、図 7 を参照して説明する。

図 7 の (a) のように、集合基板 1 A を、そのはんだ封止枠 6 を上側に向けて支持台 A の上に位置決めする。一方、回路素子 1 0 の裏面 (I D T 電極 1 2 を設けていない面) をボンディングツール B で吸着し、支持台 A の上方へ移動させる。そして、ボンディングツール B によって超音波と加圧とを付加して突起電極 1 5 を集合基板 1 A の接合電極 2 に対して位置決めして仮接合する。この仮接合を個々の回路素子 1 0 に対してワンバイワンで実施し、集合基板 1 A の全ての部位に回路素子 1 0 を仮接合する。なお、仮接合の条件は図 4 の (b) と同様である。次に、図 7 の (b) のように、仮接合した集合基板 1 A を加熱ステージ C 上にのせ、広面積の熱圧着ツール D を仮接合した回路素子 1 0 の背面に押し当てて熱圧着し、本接合する。本接合は、集合基板 1 A に仮接合された全ての回路素子 1 0 に対して同時に実施する。つまり、マルチで実施する。熱圧着によって、突起電極 1 5 と集合基板 1 A の接合電極 2 とが拡散接合すると同時に、溶融した封止枠 6 が回路素子 1 0

10

20

30

40

50

の環状電極 14 に濡れ広がり、集合基板 1A と回路素子 10 との間の空間が封止される。なお、本接合の条件は、図 4 の (c) と同様である。最後に、図 7 の (c) のように、本接合と封止とが終了した集合基板 1A を破線 CL でダイシングすることにより、図 1 に示す気密封止型の電子部品が得られる。なお、ダイシングに代えて、集合基板 1A に溝やミシン穴などを形成してブレイクしてもよいし、レーザーカット等の別の方法を用いてもよい。

【0037】

上記のように、各接合電極 2 に対して回路素子 10 の突起電極 15 を超音波と加圧とを用いてワンバイワンで仮接合し、その後で熱圧着による本接合・封止をマルチで実施している。したがって、 n 個の一括処理を行うことで、封止枠 6 の形成、熱圧着にかかる時間を $1/n$ にできる。例えば、1 個の素子の熱圧着に 20 秒以上かかる場合であっても、200 個分の集合基板を使用すれば、1 個当たりの熱圧着時間は 0.1 秒となり、生産性の大幅な向上を実現できる。

また、仮接合段階で 1 枚の集合基板 1A に多数の回路素子 10 が搭載されているので、本接合・封止に際して仮接合済みの電子部品をトレイなどに整列する必要もなく、整列時間を短縮できる。

【0038】

図 8 は本発明にかかる他の製造方法を示す。

この製造方法は、仮接合の終了した部品（本接合前の部品）に対して、特性評価などの追加作業を実施し、不良品の場合には回路素子を取外して基板を再利用するものである。

まず回路素子に突起電極を形成し（ステップ S1）、基板に封止枠を形成し（ステップ S2）、この回路素子を基板に対して仮接合する（ステップ S3）。次に、仮接合された回路素子の特性評価を行う（ステップ S4）。特性評価によって良品であると評価された場合には、そのまま本接合・封止工程を実施する（ステップ S5）。

特性評価において不良品であると評価された場合には、基板から回路素子を取り外し（ステップ S6）、新たな回路素子をこの基板に仮接合し（ステップ S3）、以後同様の工程を繰り返す。仮接合では、突起電極と基板の接合電極とが完全な接合状態ではないので、回路素子を基板から取り外した際、突起電極と接合電極とが容易に剥離し、接合電極に傷が残ることがない。また、仮接合段階では封止枠が対向する回路素子に接触していないので、封止枠が損傷することもない。したがって、基板を再利用することができる。

【0039】

図 9 は本発明にかかる電子部品の第 3 実施例を示す。なお、第 1 実施例（図 2，図 3 参照）と同一部分には同一符号を付して重複説明を省略する。

この電子部品の特徴は、パッケージ基板 1 に設けられた環状電極 3 および回路素子 10 の表面に設けられた環状電極 14 が、それぞれ直線部 3a，14a と角部とを持つ略方形形状をなしており、その角部にアール 3b，14b（但し、3a，3b は図示されていない）を設けた点にある。環状電極 3 のアール 3b は、その上に形成されるはんだ封止枠 6 の直線部 6a と角部 6b との高さバラツキを小さくするためである。なお、回路素子 10 の環状電極 14 には必ずしもアール 14b を設ける必要はないが、基板 1 の環状電極 3 と同一形状とするのがよい。

【0040】

図 10 は基板 1 の環状電極 3 の一部の拡大図である。

環状電極 3 の直線部 3a の幅を d 、角部 3b のアールの幅を D 、角部 3b のアールのうち内側の曲率半径を R_i とすると、 R_i を直線部 3a の幅 d の 1.5 倍以上とし、かつアールの幅 D と直線部 3a の幅 d とをほぼ等しく設定するのが望ましい。すなわち、

$$R_i \geq 1.5d$$

$$d \approx D$$

ここでは、 $d = 0.2 \text{ mm}$ 、 $D = 0.2 \text{ mm}$ 、 $R_i = 0.3 \text{ mm}$ とした。

【0041】

上記基板 1 と回路素子 10 との接合封止方法は次の通りである。

まず、例えば突起電極 15 として Au バンプを使用し、窒素雰囲気中で、例えば 5 N / バンプの荷重で加熱 + 超音波 + 圧力を加え、Au バンプ 15 を例えば高さ 50 μm から 35 ~ 40 μm まで潰し、Au バンプ 15 と基板 1 の電極 2 とを仮接合させた。さらに、加熱 + 圧力を加え、本接合した。このとき、封止枠 6 が回路素子 10 の環状電極 14 に接触して、例えば高さ 30 μm から 25 μm に潰され、基板 1 と回路素子 10 との間の空間を封止した。

【0042】

図 11 は、環状電極 3 の角部 3 b の内側アールの曲率半径 R_i と、封止枠 6 の直線部 6 a と角部 (アール) 6 b との高さの差との関係を表したものである。

図から明らかのように、曲率半径 R_i を大きくしていくと、封止枠 6 の直線部 6 a と角部 6 b との高さの差が次第に小さくなっていくことがわかる。

特に、曲率半径 R_i ($= 0.3 \text{ mm}$) を直線部 3 a の幅 d ($= 0.2 \text{ mm}$) の 1.5 倍とすることで、封止枠 6 の直線部 6 a と角部 6 b との高さの差を 3 μm 以下とすることができた。その結果、封止枠 6 の頂面が平坦化され、仮接合時に封止枠が邪魔になり、バンプが電極に接したり、接しなかったりして仮接合が安定しないといった不具合を解消できた。

【0043】

【表 4】

内側円弧半径(mm)	$R_i=0$			$R_i=0.5d$			$R_i=1.5d$		
封止時間 (s)	10	20	30	5	10	20	3	5	10
封止良品率 (%)	30	70	90	50	80	95	90	100	100

表 4 は、環状電極 3 の角部 3 b の内側アールの曲率半径 R_i と、本接合時の封止時間、封止良品率との関係を示したものである。

曲率半径 R_i を大きくすることで、封止枠 6 の高さバラツキを小さくでき、ひいては本接合時に封止枠 6 と環状電極 14 とを全周で確実に接触させることが可能となり、封止不良を低減できた。また、封止時間も短縮できることから、生産性を向上させることができる。

【0044】

本発明は上記実施例に限定されるものではない。

上記実施例では、封止枠を基板または集合基板に形成したが、回路素子側に形成してもよい。また、封止枠を回路素子または基板の一方にのみ形成したものに限らず、双方に設けてもよい。その場合には、封止枠同士が接合して封止する。

突起電極が封止枠より高く形成したものに限らず、両者が同一高さであってもよい。この場合には、仮接合工程の際に両者が超音波加圧によって仮接合される。封止枠は、全体が卑金属で構成されたものに限らず、少なくともその表面が卑金属で構成されたものであればよい。

封止枠は回路素子と基板との間を封止するだけでなく、例えば基板に形成されるアース側回路パターンと接続するようにしてもよい。したがって、基板に形成される環状電極をアース回路の一部として使用してもよい。

突起電極として Au バンプを使用したが、例えばはんだバンプ、Cu バンプ、Al バンプなどの卑金属バンプを使用してもよい。この場合には、仮接合時に超音波による振動で、突起電極と接合電極の表面の酸化膜や汚染層が除去されるので、多少の自然酸化膜があっても接合することが可能である。

本発明の回路素子は弾性表面波素子に限るものではなく、一主面に回路面を持ち、他主面に回路面を持たない素子であれば、高周波デバイス、半導体チップなど他の回路素子であってもよいことは勿論である。

【0045】

【発明の効果】

以上の説明で明らかのように、本発明によれば、仮接合工程を封止枠が酸化しない条件下で超音波加圧を行い、さらに低酸素濃度雰囲気中で熱圧着を行うことで、封止枠の酸化を防止しながら突起電極の接合と封止枠の封止とを実施することができる。そのため、封止不良を解消できる。

また、突起電極による仮接合を行った後で、突起電極の本接合と封止枠による封止とを行うので、仮接合時には超音波の出力を小さくして超音波による位置ずれを小さくし、精度のよい位置決めを行うことができる。一方、本接合時には仮接合によって既に位置決めされているので、本接合時に新たに位置決めする必要がなく、簡単な装置で確実な接合が可能となる。そのため、本接合・封止をマルチ化することが容易になり、生産性の向上を実現できる。

10

さらに、本発明では、仮接合工程を、個々の回路素子に対して個別に実施し、本接合・封止工程を、複数の回路素子に対して同時に実施するので、精度を必要とする仮接合工程をワンパイワンで実施し、時間のかかる熱圧着工程をマルチ化することで、タクト時間を短縮でき、生産性の向上を実現できる。

【図面の簡単な説明】

【図1】本発明にかかる電子部品の第1実施例の断面図である。

【図2】図1に示す電子部品の突起電極および封止枠を形成する前の分解斜視図である。

【図3】図1に示す電子部品の突起電極および封止枠を形成した後の分解斜視図である。

【図4】図1に示す電子部品の製造工程図である。

20

【図5】本発明の第2実施例であって、突起電極および封止枠を形成する前の分解斜視図である。

【図6】図5に示す実施例の突起電極および封止枠を形成した後の分解斜視図である。

【図7】図5に示す実施例の製造工程図である。

【図8】本発明にかかる製造工程の他の実施例のフローチャート図である。

【図9】本発明にかかる電子部品の第2実施例の分解斜視図である。

【図10】図9における基板の環状電極の部分拡大図である。

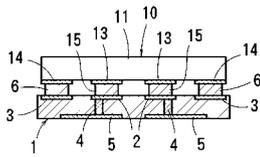
【図11】環状電極の角部の内側アールの曲率半径 R_i と、封止枠の直線部と角部（アール）との高さの差との関係を表した図である。

【符号の説明】

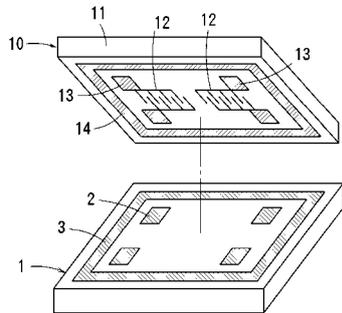
30

- 1 基板
- 2 接合電極
- 3 環状電極
- 6 封止枠
- 10 回路素子
- 12 IDT電極（回路部）
- 13 入出力電極（回路部）
- 14 環状電極
- 15 突起電極

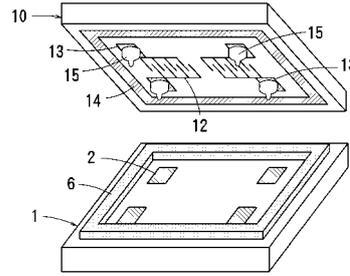
【 図 1 】



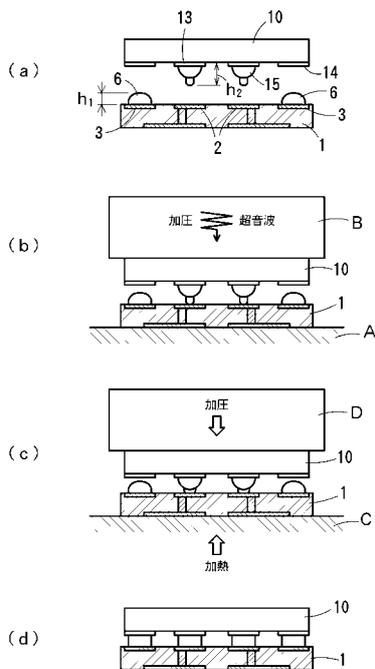
【 図 2 】



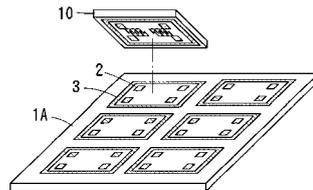
【 図 3 】



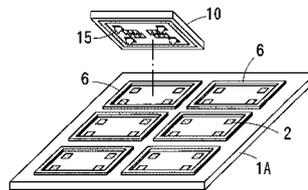
【 図 4 】



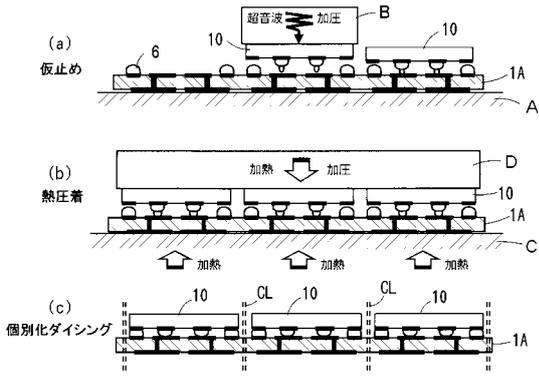
【 図 5 】



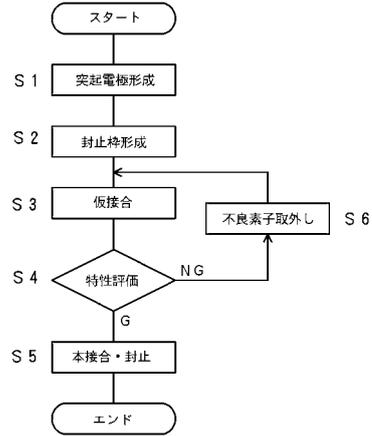
【 図 6 】



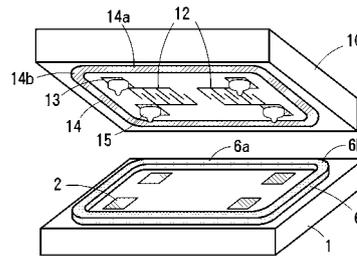
【 図 7 】



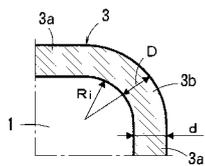
【 図 8 】



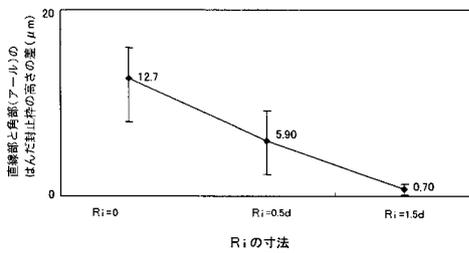
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(72)発明者 堀口 広貴
京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

審査官 河本 充雄

(56)参考文献 特開2001-110845(JP,A)
特開2000-077970(JP,A)
特開平04-293310(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/00-10

H01L 21/60

H03H 3/08

H03H 9/25