

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-295785

(P2009-295785A)

(43) 公開日 平成21年12月17日(2009.12.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/027 (2006.01)	HO 1 L 21/30 5 7 0	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 E	5 F 0 0 4
HO 1 L 21/3213 (2006.01)	HO 1 L 21/88 C	5 F 0 3 3
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302 1 0 5 A	5 F 0 4 6
	HO 1 L 21/30 5 1 4 A	

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2008-147882 (P2008-147882)  
 (22) 出願日 平成20年6月5日 (2008.6.5)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100088487  
 弁理士 松山 允之  
 (74) 代理人 100119035  
 弁理士 池上 徹真  
 (72) 発明者 大村 光広  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 Fターム(参考) 4M104 DD71 HH14  
 5F004 AA04 AA16 DB01 EA10 EA27  
 EA32  
 5F033 QQ26 QQ27 QQ31 QQ33 XX03  
 5F046 AA13 AA17 LA18

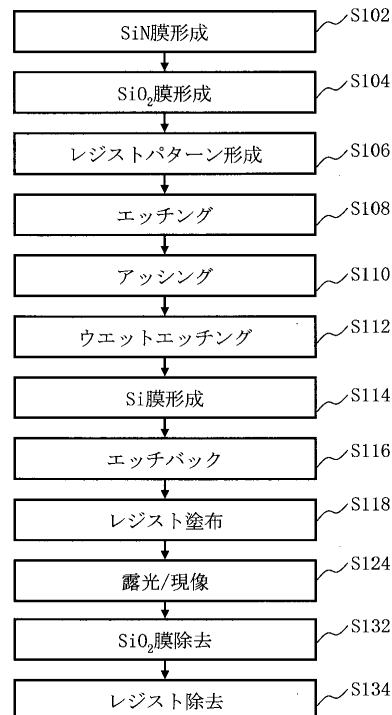
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】膜パターンが倒れないように半導体装置を製造する方法を提供する。

【解決手段】半導体装置の製造方法は、基板上にSiO<sub>2</sub>膜の膜パターンを形成する工程と、SiO<sub>2</sub>膜の膜パターンを両側面から挟むように複数のSi膜の膜パターンを形成する工程と、SiO<sub>2</sub>膜の膜パターンの上面と、複数のSi膜の膜パターンの上面と露出した側面とを被覆するようにレジスト膜を形成する工程と、SiO<sub>2</sub>膜の膜パターンの上面が露出するまでレジスト膜の一部を除去する工程と、レジスト膜が除去された後に、露出したSiO<sub>2</sub>膜の膜パターンをウェット処理により除去する工程と、SiO<sub>2</sub>膜の膜パターンが除去された後に、レジスト膜の残部をドライ処理により除去する工程と、を備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基体上に第 1 の膜パターンを形成する工程と、  
 前記第 1 の膜パターンを両側面から挟むように複数の第 2 の膜パターンを形成する工程と、  
 前記第 1 の膜パターンの上面と、前記複数の第 2 の膜パターンの上面と露出した側面とを被覆するように第 3 の膜を形成する工程と、  
 前記第 1 の膜パターンの上面が露出するまで前記第 3 の膜の一部を除去する工程と、  
 前記第 3 の膜が除去された後に、露出した前記第 1 の膜パターンをウェット処理により除去する工程と、  
 前記第 1 の膜パターンが除去された後に、前記第 3 の膜の残部をドライ処理により除去する工程と、  
 を備えたことを特徴とする半導体装置の製造方法。

10

## 【請求項 2】

前記第 1 の膜パターンと前記複数の第 2 の膜パターンの材料には、シリコン (Si) が含有されることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 3】

前記第 3 の膜の材料には、有機材料が用いられることを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

## 【請求項 4】

前記第 1 の膜パターンを形成する際に、幅寸法の異なる複数の第 1 の膜パターンが形成され、  
 前記第 3 の膜の一部を除去する際に、幅の狭い第 1 の膜パターンの上面が露出し、幅の広い第 1 の膜パターン上に前記第 3 の膜が残るように、前記第 3 の膜の一部が除去されることを特徴とする請求項 1 ~ 3 いずれか記載の半導体装置の製造方法。

20

## 【請求項 5】

前記第 3 の膜の一部を除去する前に、前記第 3 の膜上に第 4 の膜を形成する工程と、  
 前記複数の第 1 の膜パターンのうち幅の広い前記第 1 の膜パターン上に位置する前記第 4 の膜上に選択的に第 5 の膜パターンを形成する工程と、  
 前記第 5 の膜パターンをマスクとして、露出した前記第 4 の膜をエッチングする工程と、  
 をさらに備え、  
 前記第 3 の膜の一部を除去する際に、前記第 5 の膜パターン下に残った前記第 4 の膜をストッパとして前記第 5 の膜パターンと一緒に除去し、  
 前記第 1 の膜パターンを除去する際に、ストッパとして用いた前記第 4 の膜と一緒に除去することを特徴とする請求項 4 記載の半導体装置の製造方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置の製造方法に係り、例えば、露光技術の解像度の限界よりも微細な寸法のパターンを形成する半導体装置の製造方法に関する。

40

## 【背景技術】

## 【0002】

近年の半導体デバイスの高集積化、高性能化に伴い、パターン形成に要求される寸法は年々微細になってきている。特に高集積化の進むメモリデバイス等においては微細なラインアンドスペースパターンが必要とされており、それを実現させる為にリソグラフィ技術は技術的革新を続けている。しかし、近年はデバイスの要求がリソグラフィの解像限界を超え始めており、解像限界以上の超微細パターンが求められている。従来、例えば、ゲート配線を形成する技術について解像限界以上の超微細パターンを形成するために、以下のような方法が提案されている。

50

## 【 0 0 0 3 】

まず、半導体基板上にシリコン酸化膜などの第1の絶縁膜を熱酸化処理などにより堆積させる。さらに、ポリシリコンなどからなるゲート配線材料膜を第1の絶縁膜上にCVD技術を用いて堆積させる。次に、ゲート配線材料膜上にCVD技術を用いてシリコン酸化膜などの第2の絶縁膜を形成する。

## 【 0 0 0 4 】

次に、フォトリソに反射光が作用するのを防止するための反射防止膜、フォトリソを順次積層し、リソグラフィー技術を用いてフォトリソにラインアンドスペースパターンをパターニングする。この際、フォトリソが残ったライン部とフォトリソが除去されたスペース部の寸法の比率は、1:1とする。続いて、このフォトリソをダウンフロー技術を用いて等方的に後退させてライン部とスペース部の寸法の比率は、1:3とする。このフォトリソをマスクとして、ドライエッチング技術を用いて反射防止膜及び第2の絶縁膜を加工し、アッシング技術を用いてフォトリソ及び反射防止膜を除去する。これにより、第2の絶縁膜にラインアンドスペースの比率が1:3のパターンを形成する。このパターニングされた第2の絶縁膜上にCVD技術を用いて窒化シリコン(SiN)などの第3の絶縁膜を堆積させる。この際、堆積される第3の絶縁膜の膜厚は、パターニングされた第2の絶縁膜のライン寸法と同一とする。

## 【 0 0 0 5 】

次に、ドライエッチング技術を用いて、第3の絶縁膜を、第2の絶縁膜の表面が露出するまでエッチバックすることにより、第2の絶縁膜の側壁に第3の絶縁膜からなる側壁層が得られる。続いて、ウェットエッチング技術を用いて第2の絶縁膜を除去してラインアンドスペースパターンを有する第3の絶縁膜を得る。このようにすることで、ラインアンドスペースのピッチを前述したリソグラフィー技術を用いてレジストにラインアンドスペースパターンを形成した時のピッチの半分にする事ができる。次に、パターニングされた第3の絶縁膜をマスクとしてドライエッチング技術を用いてゲート配線材料膜をエッチング加工する。このエッチング加工により、ラインアンドスペースのピッチが露光時の半分であるゲート電極のパターンが形成される(例えば、特許文献1参照)。

## 【 0 0 0 6 】

しかしながら、かかる技術を用いた場合、ウェットエッチング技術を用いて第3の絶縁膜からなる側壁層に挟まれた第2の絶縁膜を除去する際に、両側に形成されていた第3の絶縁膜からなる側壁層の膜パターンが倒れてしまうといった問題があった。ここで、ライン部となる膜パターンが倒れてしまうと、ラインアンドスペースパターンが形成できず、デバイスの作成を行うことができなくなってしまう。

【特許文献1】特開2002-280388号公報

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 7 】

本発明は、上述した問題点を克服し、膜パターンが倒れないように半導体装置を製造する方法を提供することを目的とする。

## 【 課題を解決するための手段 】

## 【 0 0 0 8 】

本発明の一態様の半導体装置の製造方法は、基体上に第1の膜パターンを形成する工程と、前記第1の膜パターンを両側面から挟むように複数の第2の膜パターンを形成する工程と、前記第1の膜パターンの上面と、前記複数の第2の膜パターンの上面と露出した側面とを被覆するように第3の膜を形成する工程と、前記第1の膜パターンの上面が露出するまで前記第3の膜の一部を除去する工程と、前記第3の膜が除去された後に、露出した前記第1の膜パターンをウェット処理により除去する工程と、前記第1の膜パターンが除去された後に、前記第3の膜の残部をドライ処理により除去する工程と、を備えたことを特徴とする。

## 【 発明の効果 】

## 【0009】

本発明によれば、ラインアンドスペースのライン部を構成する膜パターンが倒れることを防止できる。

## 【発明を実施するための最良の形態】

## 【0010】

実施の形態1 .

以下、実施の形態1について、図面を用いて説明する。

図1は、実施の形態1における半導体装置の製造方法の要部を表すフローチャートである。図1において、実施の形態1の半導体装置の製造方法では、SiN膜形成工程(S102)と、SiO<sub>2</sub>膜形成工程(S104)と、レジストパターン形成工程(S106)と、エッチング工程(S108)と、アッシング工程(S110)と、ウェットエッチング工程(S112)と、Si膜形成工程(S114)と、エッチバック工程(S116)と、レジスト塗布工程(S118)と、露光/現像工程(S124)と、SiO<sub>2</sub>膜除去工程(S132)と、レジスト除去工程(S134)という一連の工程を実施する。

10

## 【0011】

図2は、図1のフローチャートに対応して実施される工程を表す工程断面図である。

図2では、図1のSiN膜形成工程(S102)からエッチング工程(S108)までを示している。

## 【0012】

図2(a)において、SiN膜形成工程(S102)として、半導体基板200の表面にCVD(化学気相成長)法によって、下地膜となる窒化シリコン(SiN)膜210を例えば50nmの膜厚で形成する。ここでは、CVD法によって成膜しているが、その他の方法を用いても構わない。下地膜として、SiN膜の他に、ポリシリコンやアモルファスシリコン等のシリコン(Si)膜であっても構わない。また、半導体基板200として、例えば、直径300ミリのシリコンウェハを用いる。半導体基板200上には、図示しない、デバイス部分や配線等が形成されていても構わない。

20

## 【0013】

図2(b)において、SiO<sub>2</sub>膜形成工程(S104)として、SiN膜210の表面にCVD法によって、犠牲膜(芯材膜)となるSiO<sub>2</sub>膜220を例えば150nmの膜厚で形成する。

30

## 【0014】

図2(c)において、レジストパターン形成工程(S106)として、SiO<sub>2</sub>膜220上に反射防止膜230を形成し、反射防止膜230上にレジスト膜240を塗布する。そして、最小配線幅及び最小スペースのピッチで形成されることが求められる領域(最小寸法部)では、ライン(L1)幅とスペース(S1)幅が1:1となるラインアンドスペースパターンをレジスト上に露光する。また同時に、最小配線幅及び最小スペースのピッチのライン(L1)アンドスペース(S1)パターンの周辺領域(周辺部)には、配線幅が最小寸法より大きなパターンを露光する。そして、現像処理を行うことで、図2(c)に示す最上層のレジストパターンを形成する。最小配線幅及び最小スペースのピッチで形成されることが求められる領域では、ライン(L1)アンドスペース(S1)パターンの寸法幅をリソグラフィ技術の解像度の限界値となるように設定すると好適である。

40

## 【0015】

図2(d)において、エッチング工程(S108)として、形成されたレジストパターンをマスクとして、またSiN膜210をエッチングストップとして反射防止膜230とSiO<sub>2</sub>膜220をエッチングする。

## 【0016】

図3は、図1のフローチャートに対応して実施される工程を表す工程断面図である。

図3では、図1のアッシング工程(S110)からエッチバック工程(S116)までを示している。

## 【0017】

50

図3(a)において、アッシング工程(S110)として、エッチング後に残ったレジスト膜240と反射防止膜230をアッシング及びウェット洗浄により除去する。かかる処理により、最小寸法部ではライン(L1)アンドスペース(S1)が1:1となるSiO<sub>2</sub>膜220による膜パターンが形成される。また、周辺部には、幅が大きいSiO<sub>2</sub>膜220による膜パターンが形成される。

【0018】

図3(b)において、ウェットエッチング工程(S112)として、最小寸法部においてライン(L2)幅とスペース(S2)幅が1:3になるまで、SiO<sub>2</sub>膜220をウェットエッチング法によりエッチングする。このようにして、基板200上にSiO<sub>2</sub>膜220の膜パターン(第1の膜パターン)を形成する。この段階でSiO<sub>2</sub>膜220の膜パターンはリソグラフィーの解像限界よりも狭い幅寸法にすることができる。

10

【0019】

図3(c)において、Si膜形成工程(S114)として、CVD法を用いて、SiO<sub>2</sub>膜220の上面と側面を被覆するようにSiを堆積させることでSi膜250を形成する。その際、Si膜250の膜厚が均一になるように(コンフォーマルに)堆積させる。Si膜250の膜厚は、SiO<sub>2</sub>膜220の幅寸法と同程度とする。Si膜250の材料は、例えば、アモルファスシリコンが好適である。ここで、SiN膜210の代わりに上述したSi膜を用いた場合には、Si膜250の代わりにSiN膜を用いても好適である。

【0020】

図3(d)において、エッチバック工程(S116)として、ドライエッチング法によりエッチバックして、SiO<sub>2</sub>膜220の上面を露出させる。かかる工程により、図3(d)に示すように、SiO<sub>2</sub>膜220の膜パターンを両側面から挟むように複数のSi膜250の膜パターン(第2の膜パターン)を形成する。かかるエッチバック処理により、リソグラフィーの解像限界よりも狭い幅寸法となっているSiO<sub>2</sub>膜220の膜パターンと同じ幅のSi膜250の膜パターンでSiO<sub>2</sub>膜220の膜パターンを挟んだ状態となる。また、SiO<sub>2</sub>膜220の膜パターンとSi膜250の膜パターンの材料には、Siが含有される。

20

【0021】

図4は、図1のフローチャートに対応して実施される工程を表す工程断面図である。

30

図4では、図1のレジスト塗布工程(S118)からレジスト除去工程(S134)までを示している。

【0022】

図4(a)において、レジスト塗布工程(S118)として、基板200上に有機材料となるレジストを塗布して、SiO<sub>2</sub>膜220の膜パターンの上面及びSi膜250の膜パターンの上面と露出した側面とを被覆するように、レジスト膜242(第3の膜)を形成する。レジスト材は、ポジ型レジストを用いると好適である。

【0023】

図4(b)において、露光/現像工程(S124)として、周辺部に形成された幅広のパターン部分上のレジストが露光しないようにレジスト膜242を露光し、現像する。その際、SiO<sub>2</sub>膜220の上面が露出する程度まで感光し、それ以下は感光しないように露光量を調整する。すなわち、レジスト膜242の底部まで感光させる場合よりアンダー条件になるように露光量を調整する。そして、レジスト膜242を現像処理することで、密なパターン部分におけるSiO<sub>2</sub>膜220の膜パターンの上面が露出する位置までレジスト膜242の一部が除去される。幅広のパターン部分が露光しないようにすることで幅広のSiO<sub>2</sub>膜220の膜パターンの上面側にレジスト膜242を残すことができる。また、わざとアンダー条件になるように露光量を調整することで最小寸法部の密なパターン部分においてSi膜250の膜パターン間にレジスト膜242を残すことができる。

40

【0024】

図4(c)において、SiO<sub>2</sub>膜除去工程(S132)として、レジスト膜242の一

50

部が除去された後に、ウェットエッチング法を用いて露出した $\text{SiO}_2$ 膜220の膜パターンを除去する。エッチング液には、例えば、フッ酸を含有させた液を用いればよい。 $\text{Si}$ 膜250の膜パターン間にはレジスト膜242が残っているので、 $\text{SiO}_2$ 膜220の膜パターンを除去する際にウェット処理が用いられても $\text{Si}$ 膜250の膜パターンの倒れを防止することができる。また、レジスト膜242が保護膜となって幅広のパターン部分の $\text{SiO}_2$ 膜220と一緒に除去されてしまうことを防止できる。ドライエッチング法により $\text{SiO}_2$ 膜220の膜パターンを除去する場合には、側面に $\text{SiO}_2$ 膜220の一部が残ってしまう場合があり得るが、ウェットエッチング法を用いることで最小寸法部の $\text{SiO}_2$ 膜220をすべて除去することができる。

#### 【0025】

図4(d)において、レジスト除去工程(S134)として、最小寸法部の $\text{SiO}_2$ 膜220の膜パターンが除去された後に、酸素、アンモニア、或いは水素の少なくとも1つのガスを用いたドライエッチング法、或いはアッシング法により残ったレジスト膜242の残部を除去する。

#### 【0026】

以上により、最小寸法部の密なパターン部分には、リソグラフィの解像限界を超えたライン(L3)幅とスペース(S3)幅が1:1となるラインアンドスペースパターンを形成することができる。そして、同時に、周辺部の幅広パターン部分では、 $\text{Si}$ 膜250と $\text{SiO}_2$ 膜220の線幅を合わせた幅広の膜パターンも形成することができる。したがって、図示はしないが、引き続いて得られたパターンをマスクとして下地材をエッチングすることで、 $\text{SiO}_2$ 膜220下の $\text{SiN}$ 膜210やさらにその下の半導体基板200にこのようなパターンを転写することが可能となる。

#### 【0027】

図5は、実施の形態1の手法と従来手法とで芯材となる膜パターンを除去した場合を比較した概念図である。従来手法で芯材となる膜パターンをウェットエッチングにより除去した場合、図5(a)に示すように芯材となる膜パターンの両側に位置する膜パターン150が倒れてしまう。膜パターン150をエッチバックで形成する際に、露出した上部角部(肩部)がエッチングされ左右非対称な倒れやすい形状になっているところに、ウェットエッチングの際のエッチング液の表面張力等の力が作用することで、両側に支えの無い膜パターン150は倒れてしまうと想定される。これに対し、実施の形態1では、芯材となる膜パターンを両側から挟む $\text{Si}$ 膜250の膜パターンの側面にはレジスト膜242が配置されているのでレジスト膜242が $\text{Si}$ 膜250の膜パターンを側面側から支えて膜パターンの倒れを防止することができる。

#### 【0028】

ここで、上述した例では、 $\text{Si}$ 膜250の膜パターンの倒れ防止用の膜としてレジスト膜242を用いているが、これに限られるものでなく、炭素を主成分とする膜を用いることができる。例えば、CVD法により形成されるカーボン膜を用いることができる。その他、有機材料でも構わない。 $\text{SiO}_2$ 膜220の膜パターンを除去する際のウェットエッチングで除去されない材料であればよい。そして、 $\text{SiO}_2$ 膜220の膜パターンを除去した後にドライエッチング法或いはアッシング法のようなドライ処理により除去できる材料であればよい。レジスト膜242の代わりに、レジスト材以外の炭素を主成分とする材料を用いる場合には、露光/現像工程(S124)だけでは炭素を主成分とする膜を $\text{SiO}_2$ 膜220の上面が露出するまで除去することが困難となる場合がある。よって、かかる場合には、酸素、アンモニア、或いは水素の少なくとも1つのガスを用いたドライエッチング法により炭素を主成分とする膜を $\text{SiO}_2$ 膜220の上面が露出するまでエッチングすればよい。

#### 【0029】

また、芯材として $\text{SiO}_2$ 膜220の代わりにレジストを用い、芯材を被覆する膜に例えば $\text{SiO}_2$ 膜を用いた場合、以下に述べるように成膜が困難となる。レジストの膜パターンの側面側に $\text{SiO}_2$ 膜をLP-CVD法で形成することが想定されるが、そうした場

10

20

30

40

50

合、 $\text{SiO}_2$ 膜の成膜の際のプロセス温度で芯材となるべきレジストが無くなってしまふ。そのため、芯材を覆うようにコンフォーマルに $\text{SiO}_2$ 膜を堆積させることがそもそもできなくなってしまう。よって、芯材として $\text{SiO}_2$ 膜220の代わりにレジストを用いることは好ましくない。

#### 【0030】

上述した実施の形態では、最小寸法部の密なパターン部分の芯材を除去する際に、レジスト膜242が保護膜となって周辺部の幅広のパターン部分の芯材と一緒に除去されてしまふことを防止している。しかし、芯材として $\text{SiO}_2$ 膜220の代わりにレジストを用いた場合、芯材と芯材を保護する保護膜が同じ材料となってしまうので幅広のパターン部分の芯材と一緒に除去されてしまふ保護することができなくなってしまう。この点からも芯材として $\text{SiO}_2$ 膜220の代わりにレジストを用いることは好ましくない。

10

#### 【0031】

実施の形態2 .

実施の形態1では、最小寸法部の密なパターン部分における $\text{SiO}_2$ 膜220の膜パターンの上面が露出する位置までレジスト膜242の一部を除去する際に、露光量を少なくする手法を用いた。実施の形態2では、別の手法を用いる場合について説明する。

#### 【0032】

図6は、実施の形態2における半導体装置の製造方法の要部を表すフローチャートである。図6において、図1の露光/現像工程(S124)の代わりに、SOG(Spinon Glass)膜形成工程(S120)と、レジスト塗布工程(S122)と、露光/現像工程(S126)と、SOG膜エッチング工程(S128)と、レジストエッチング工程(S130)とを追加した点以外は、図1と同様である。よって、SiN膜形成工程(S102)からレジスト塗布工程(S118)までの各工程の内容は実施の形態1と同様である。したがって、図4(a)に示す状態から以降の工程を以下に説明する。

20

#### 【0033】

図7は、図6のフローチャートに対応して実施される工程を表す工程断面図である。

図7では、図6のSOG膜形成工程(S120)から露光/現像工程(S126)までを示している。

#### 【0034】

図7(a)において、SOG膜形成工程(S120)として、図4(a)に示す状態からスピン塗布法を用いてレジスト膜242上にSOG膜260(第4の膜)を形成する。

30

#### 【0035】

図7(b)において、レジスト塗布工程(S122)として、SOG膜260上に、レジスト材を塗布して、レジスト膜244を形成する。

#### 【0036】

図7(c)において、露光/現像工程(S126)として、幅広のパターン部分が露光しないようにレジスト膜244を露光し、現像する。かかる工程により、最小寸法部の密なパターン部分のSOG膜260上のレジスト膜244を除去することができる。かかる工程により周辺部の幅広の $\text{SiO}_2$ 膜220の膜パターン上に位置するSOG膜260上に選択的にレジスト膜244のレジストパターン(第5の膜パターン)を形成する。

40

#### 【0037】

図8は、図6のフローチャートに対応して実施される工程を表す工程断面図である。

図8では、図6のSOG膜エッチング工程(S128)からレジストエッチング工程(S130)までを示している。

#### 【0038】

図8(a)において、SOG膜エッチング工程(S128)として、残ったレジスト膜244によるレジストパターンをマスクとして、露出したSOG膜260をドライエッチング法によりエッチングする。エッチングガスとしては、例えば、フルオロカーボン系のガスを用いればよい。

#### 【0039】

50

図 8 ( b ) において、レジストエッチング工程 ( S 1 3 0 ) として、酸素、アンモニア、或いは水素の少なくとも 1 つのガスを用いたドライエッチング法によりレジスト膜 2 4 2 を最小寸法部の密なパターン部分の  $S i O_2$  膜 2 2 0 の上面が露出するまでエッチングすることで、レジスト膜 2 4 2 の一部を除去する。このとき、例えば、プラズマを生成する反応性イオンエッチング ( R I E ) 法を用いればよいので、実施の形態 2 では、レジスト膜 2 4 2 が感光性を有する必要はない。ここで、ドライエッチングを行う際、 $S i O_2$  膜 2 2 0 の上面が露出した段階でエッチング面積が変わることから、プラズマ発光やプラズマのインピーダンスをモニタすることで終点検知が可能となる。そのため、精度よく  $S i O_2$  膜 2 2 0 の上面を露出させながらも  $S i$  膜 2 5 0 間にレジスト膜 2 4 2 を残すことができる。レジスト膜 2 4 2 の一部を除去する際、レジスト膜 2 4 4 によるレジストパターン下に残った  $S O G$  膜 2 6 0 をストップとしてレジスト膜 2 4 4 のレジストパターンと一緒に除去することができる。

10

**【 0 0 4 0 】**

ここで、 $S i O_2$  膜 2 2 0 の上面が露出した段階で、パターンの関係上エッチング面積にあまり変化がない場合には、 $S O G$  膜 2 6 0 上のレジスト膜 2 4 4 が無くなるタイミングで終点検知を行っても好適である。かかる場合には、レジスト膜 2 4 4 の膜厚を予め調整しておくことで精度よく  $S i O_2$  膜 2 2 0 の上面が露出した段階でエッチングを止めることができる。

**【 0 0 4 1 】**

次に、 $S i O_2$  膜除去工程 ( S 1 3 2 ) として、レジスト膜 2 4 2 の一部が除去された後に、ウェットエッチング法を用いて露出した  $S i O_2$  膜 2 2 0 の膜パターンを除去する。エッチング液には、例えば、フッ酸を含有させた液を用いればよい。このウェットエッチング法により、 $S i O_2$  膜 2 2 0 の膜パターンを除去する際に、ストップとして用いた  $S O G$  膜 2 6 0 を一緒に除去することができる。その結果、図 4 ( c ) に示した状態と同様になる。 $S i$  膜 2 5 0 の膜パターン間にはレジスト膜 2 4 2 が残っているので、 $S i O_2$  膜 2 2 0 の膜パターンを除去する際に  $S i$  膜 2 5 0 の膜パターンの倒れを防止することができる。また、レジスト膜 2 4 2 が保護膜となって周辺部の幅広のパターン部分の  $S i O_2$  膜 2 2 0 が一緒に除去されてしまうことを防止できる。以下、レジスト除去工程 ( S 1 3 4 ) は、実施の形態 1 と同様である。

20

**【 0 0 4 2 】**

以上の各工程により、実施の形態 2 においても、図 4 ( d ) に示したように、密なパターン部分には、リソグラフィの解像限界を超えたライン ( L 3 ) 幅とスペース ( S 3 ) 幅が 1 : 1 となるラインアンドスペースパターンを形成することができる。そして、同時に、 $S i$  膜 2 5 0 と  $S i O_2$  膜 2 2 0 の線幅を合わせた幅広の膜パターンも形成することができる。

30

**【 0 0 4 3 】**

以上、具体例を参照しつつ実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。

**【 0 0 4 4 】**

また、以上において説明は省略したが、各層の膜厚や層数、パターンのサイズ、形状、数などについても、半導体集積回路や各種の半導体素子において必要とされるものを適宜選択して用いることができる。

40

**【 0 0 4 5 】**

その他、本発明の要素を具備し、当業者が適宜設計変更しうる全ての半導体装置及び半導体装置の製造方法は、本発明の範囲に包含される。

**【 0 0 4 6 】**

また、説明の簡便化のために、半導体産業で通常用いられる手法、例えば、フォトリソグラフィプロセス、処理前後のクリーニング等は省略しているが、それらの手法が含まれることは言うまでもない。

**【 図面の簡単な説明 】**

50



【 0 0 4 7 】

【 図 1 】 実施の形態 1 における半導体装置の製造方法の要部を表すフローチャートである。

【 図 2 】 図 1 のフローチャートに対応して実施される工程を表す工程断面図である。

【 図 3 】 図 1 のフローチャートに対応して実施される工程を表す工程断面図である。

【 図 4 】 図 1 のフローチャートに対応して実施される工程を表す工程断面図である。

【 図 5 】 実施の形態 1 の手法と従来手法とで芯材となる膜パターンを除去した場合を比較した概念図である。

【 図 6 】 実施の形態 2 における半導体装置の製造方法の要部を表すフローチャートである。

【 図 7 】 図 6 のフローチャートに対応して実施される工程を表す工程断面図である。

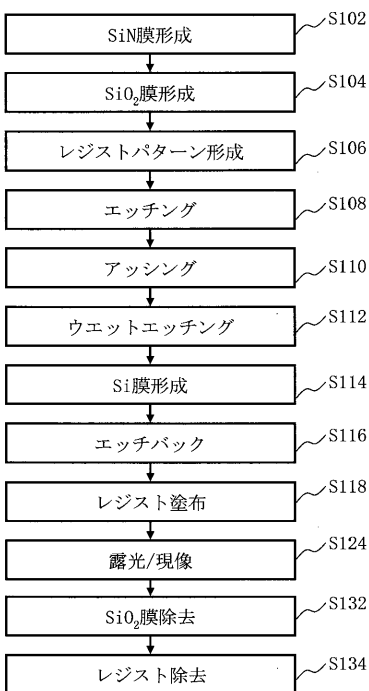
【 図 8 】 図 6 のフローチャートに対応して実施される工程を表す工程断面図である。

【 符号の説明 】

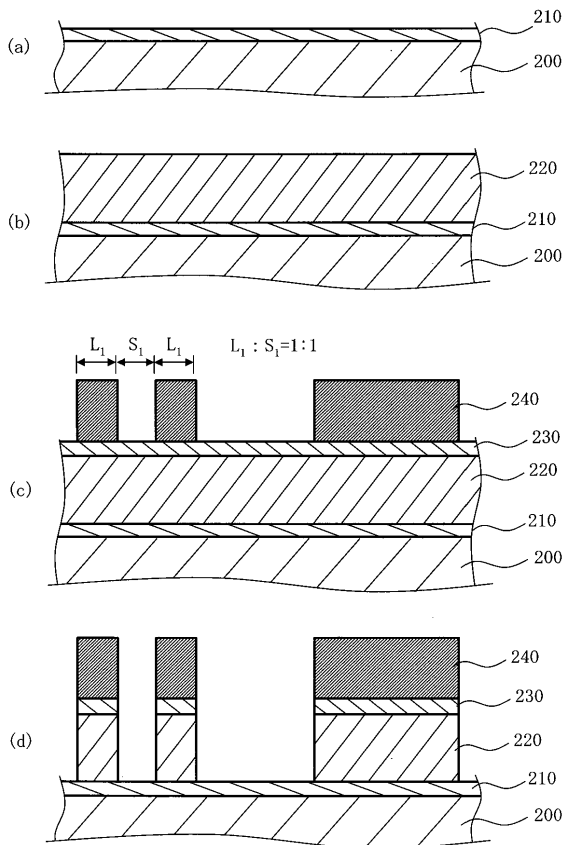
【 0 0 4 8 】

2 0 0 基板、 2 2 0 SiO<sub>2</sub>膜、 2 4 0 , 2 4 2 , 2 4 4 レジスト膜、 2 5 0 Si膜、 2 6 0 SOG膜

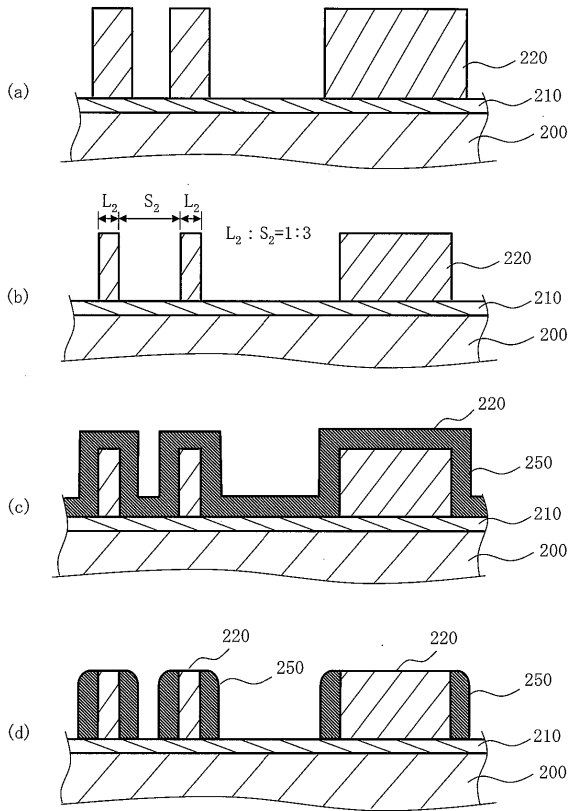
【 図 1 】



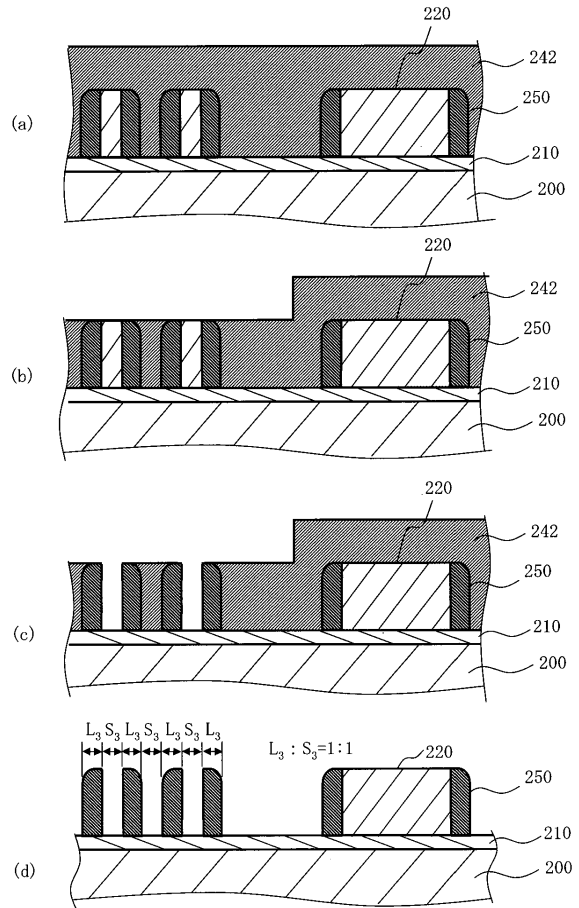
【 図 2 】



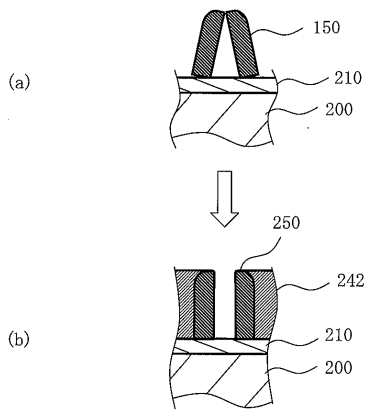
【 図 3 】



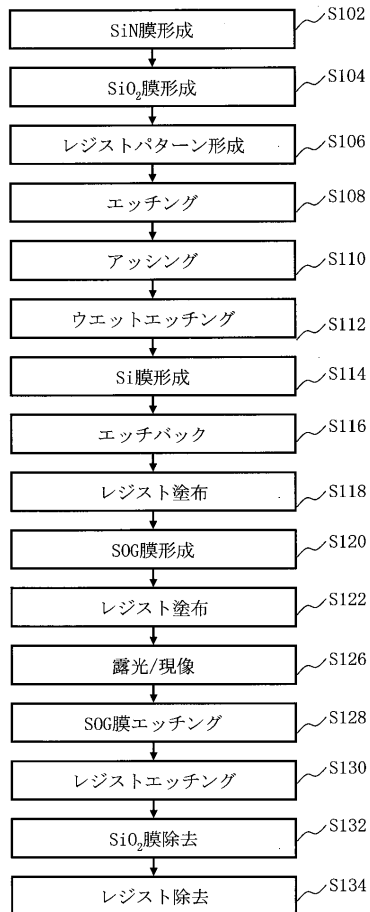
【 図 4 】



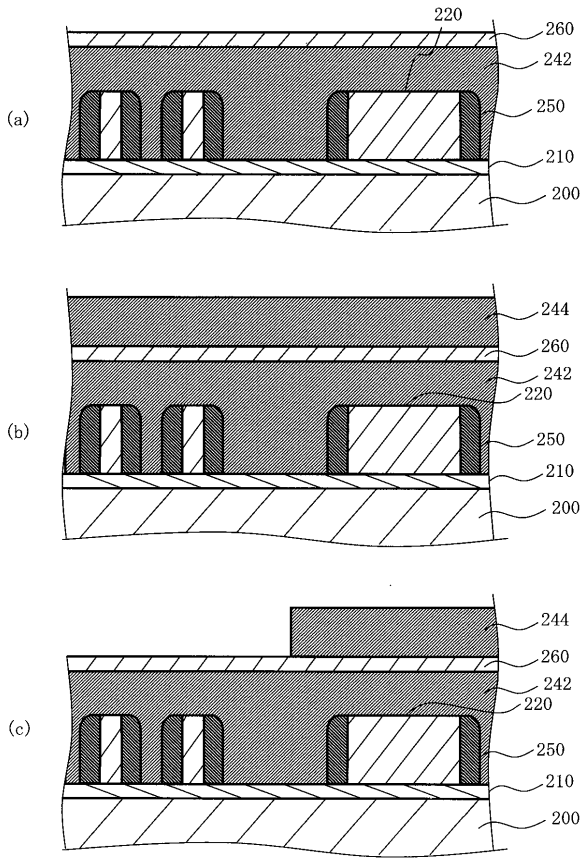
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

