

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-28363
(P2008-28363A)

(43) 公開日 平成20年2月7日(2008.2.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 9 B	2 H 0 9 1
GO 2 F 1/1335 (2006.01)	GO 2 F 1/1335	2 H 1 9 1
GO 2 F 1/13357 (2006.01)	GO 2 F 1/13357	4 K 0 2 9
GO 9 F 9/00 (2006.01)	GO 9 F 9/00 3 4 2 Z	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 G	5 G 4 3 5

審査請求 有 請求項の数 5 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2007-48615 (P2007-48615)
 (22) 出願日 平成19年2月28日 (2007.2.28)
 (31) 優先権主張番号 特願2006-171007 (P2006-171007)
 (32) 優先日 平成18年6月21日 (2006.6.21)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 板垣 卓士
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 西村 直人
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 2H091 FA34Z FB06 FC02 FC29 GA13
 LA03 LA30

最終頁に続く

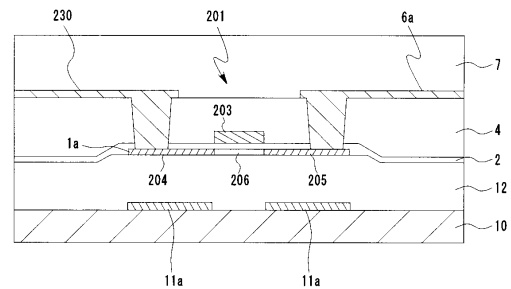
(54) 【発明の名称】 電気光学装置の製造方法

(57) 【要約】

【課題】 WS i 膜の内部応力に起因する絶縁層、導電層及び半導体層のクラックの発生を防止することが可能な電気光学装置の製造方法を提供する。

【解決手段】 電気光学装置用の基板である TFT アレイ基板 1 0 上に、 WS i (タングステンシリサイド) からなる下側遮光膜をスパッタリング法により成膜する電気光学装置の製造方法において、 WS i 膜の平均成膜速度が前記スパッタリング法の放電維持限界における平均成膜速度以上、 3 5 / s 以下となるように WS i 膜を成膜する。このような条件で WS i 膜を成膜する事により、熱処理により結晶化した後の WS i 膜の内部応力を抑制することができ、 WS i 膜の内部応力に起因する絶縁層、導電層及び半導体層のクラックの発生を防止することができる。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

電気光学装置用の基板が配置される真空状態の真空槽内において、プラズマ化させた前記真空槽内の雰囲気中のイオンをターゲットに衝突させることで該ターゲットから放出された粒子を前記基板上に堆積させるスパッタリング法により W S i 膜を成膜する電気光学装置の製造方法において、

前記基板を前記真空槽内に配置し、前記基板上に堆積される前記 W S i 膜の平均成膜速度が前記スパッタリング法の放電維持限界における平均成膜速度以上、3.5 / s 以下となるように前記 W S i 膜を成膜することを特徴とする電気光学装置の製造方法。

【請求項 2】

さらに、前記 W S i 膜の前記平均成膜速度は前記スパッタリング法の放電維持限界における平均成膜速度以上、3.0 / s 以下であることを特徴とする請求項 1 に記載の電気光学装置の製造方法。

【請求項 3】

前記真空槽内において前記基板を 250 以上 400 以下に加熱した状態で、前記 W S i 膜を成膜することを特徴とする請求項 1 又は 2 に記載の電気光学装置の製造方法。

【請求項 4】

前記スパッタリング法は、電磁石により発生された磁界により前記真空槽中の前記雰囲気中のプラズマの発生位置を制御するマグネトロンスパッタリング法であって、

前記電磁石により発生される磁界の強弱を制御することにより前記 W S i 膜の前記平均成膜速度を制御することを特徴とする請求項 1 から 3 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 5】

前記スパッタリング法の放電維持限界における平均成膜速度は、7 / s であることを特徴とする請求項 1 又は 2 に記載の電気光学装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置の製造方法に関し、特に電気光学装置用の基板上にスパッタリング法により W S i 膜を成膜する電気光学装置の製造方法に関する。

【背景技術】

【0002】

一般に、液晶表示装置等の電気光学装置用の基板上に、画素スイッチング用もしくは駆動回路用のトランジスタを形成する場合、該トランジスタに光が入射することによるトランジスタの誤動作を防ぐことを目的として、少なくとも可視光に対して遮光性を有する層である遮光膜がトランジスタの近傍に形成される。このような遮光膜としては、例えば W S i (タングステンシリサイド)等の金属シリサイドが用いられる。

【0003】

W S i 膜をスパッタリング法により形成した場合、W S i 膜はタングステンとシリコンからなるアモルファス構造を有するものであるが、後のアニール処理等の熱処理によって結晶化することによって、W S i 膜には内部応力が発生する。このため、基板上に W S i 膜を形成した後に層間絶縁膜を形成し、さらにトランジスタを構成する半導体層を形成した後にアニール処理を施すと、基板を常温に戻した際に W S i 膜の内部応力に起因したクラックが発生しやすくなる。このようなクラックは、クラックがトランジスタの半導体層やゲート電極となる導体層にまで達してしまった場合には、電気光学装置の動作不良の原因となる。

【0004】

このような、クラックの発生を抑制する方法として、例えば特開平 9 - 33950 号公報には、遮光膜 (ブラックマトリクス) を 2 層構造とすることで遮光膜全体を薄く形成し、内部応力を抑える方法が開示されている。

10

20

30

40

50

【特許文献1】特開平9 - 33950号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特開平9 - 33950号公報に開示の技術では、2層の遮光膜を形成するために、従来に比して成膜工程が増えてしまうという問題点がある。また、遮光膜の膜厚を薄くした場合、十分な遮光性を得ることができない。

【0006】

本発明は、上記問題点に鑑みてなされたものであり、WSi膜の内部応力に起因する絶縁層、導電層及び半導体層のクラックの発生を防止することが可能な電気光学装置の製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0007】

本発明に係る電気光学装置の製造方法は、電気光学装置用の基板が配置される真空状態の真空槽内において、プラズマ化させた前記真空槽内の雰囲気中のイオンをターゲットに衝突させることで、該ターゲットから放出された粒子を前記基板上に堆積させるスパッタリング法によりWSi膜を成膜する電気光学装置の製造方法において、前記基板を前記真空槽内に配置し、前記基板上に堆積される前記WSi膜の平均成膜速度が前記スパッタリング法の放電維持限界における平均成膜速度以上、 35 / s 以下となるように前記WSi膜を成膜することを特徴とする。

20

【0008】

本発明のこのような構成によれば、導電層及び半導体層にまで至る致命クラックの発生数を従来の $1/3$ に抑えることができ、導電層及び半導体層のクラックに起因する電気光学装置の不良の発生を大幅に抑えることが可能となる。また、従来と同様に、一度のスパッタリングによってWSi膜を形成するため、工程を増やす必要がない。

【0009】

また、本発明は、さらに、前記WSi膜の前記平均成膜速度は前記スパッタリング法の放電維持限界における平均成膜速度以上、 30 / s 以下であることが好ましい。

【0010】

このような構成によれば、致命クラックの発生数を従来の $1/10$ 以下とすることができる。さらに、導電層及び半導体層にまでは至らない微小クラックの発生数を0とすることができる。これにより、微小クラックが伸張することで、導電層及び半導体層にまでクラックが至ることがなくなり、電気光学装置の信頼性をより向上させることができる。

30

【0011】

また、本発明は、前記真空槽内において前記基板を 250 以上 400 以下に加熱した状態で、前記WSi膜を成膜することが好ましい。

【0012】

このような構成によれば、WSiが結晶化する温度に近い温度にまで基板を加熱しながらWSiを堆積させることにより、加熱しない場合に比してより緻密なWSi膜を形成することができる。これにより、スパッタリング法により成膜されるWSi膜の構造を、後の熱処理によって結晶化した状態のWSi膜の構造により近づけることができる。したがって、熱処理後のWSi膜の内部応力をより小さくすることができ、WSi膜の内部応力に起因するクラックの発生をより抑制することが可能となる。

40

【0013】

また、本発明は、前記スパッタリング法は、電磁石により発生された磁界により前記真空槽中の前記雰囲気中のプラズマの発生位置を制御するマグネトロンスパッタリング法であって、前記電磁石により発生される磁界の強弱を制御することにより前記WSi膜の前記平均成膜速度を制御することが好ましい。

【0014】

このような構成によれば、WSi膜の平均成膜速度を、スパッタリングのための放電を

50

維持するための最小電力に依存することなく制御することが可能となる。

【0015】

また、前記スパッタリング法の放電維持限界における平均成膜速度は、7 / s である。

【0016】

このような構成によれば、スパッタリングにおける放電が維持されて、安定的に成膜が可能である。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図面を参照して説明する。以下の実施形態は、本発明の電気光学装置として液晶表示装置を適用したものである。なお、以下の説明に用いた各図においては、各部材を図面上で認識可能な程度の大きさとするため、各部材毎に縮尺を異ならせてある。

10

【0018】

本実施形態の電気光学装置100の全体構成について、図1から図3を参照して説明する。ここで、図1はTFTアレイ基板を、その上に構成された各構成要素と共に対向基板の側から見た電気光学装置の平面図である。図2は、図1のH-H'断面図である。図3は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。本実施形態では、電気光学装置の一例として、駆動回路内蔵型のTFTアクティブマトリクス駆動方式の透過型液晶表示装置を例にとる。

20

ここで、TFTとは、画素スイッチング用の薄膜トランジスタ(Thin Film Transistor)のことを指す。

【0019】

電気光学装置100は、ガラスもしくは石英等からなる一对の透明な基板であるTFTアレイ基板10と対向基板20との間に液晶層50を挟持してなり、液晶層50の配向状態を変化させることにより、画像表示領域10aに対向基板20側から入射する光を変調しTFTアレイ基板10側から出射することで、画像表示領域10aにおいて画像を表示するものである。

【0020】

図1及び図2に示すように、本実施形態に係る電気光学装置100では、TFTアレイ基板10と対向基板20とが対向配置されている。TFTアレイ基板10と対向基板20とは、画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されており、TFTアレイ基板10と対向基板20との間には液晶層50が封入されている。また、シール材52中には、TFTアレイ基板10と対向基板20との間隔を所定値とするためのグラスファイバあるいはガラスビーズ等のギャップ材が散らばって配設されている。なお、ギャップ材は、液晶層50中に含まれてもよい。

30

【0021】

シール材52が配置されたシール領域の内側に並行して、画像表示領域10aの周辺を規定する額縁領域に、遮光性の額縁遮光膜53が、対向基板20側に設けられている。なお、このような額縁遮光膜53の一部又は全部は、TFTアレイ基板10側に内蔵遮光膜として設けられてもよい。

40

【0022】

画像表示領域10aの周辺に広がる領域のうち、シール材52が配置されたシール領域の外側に位置する周辺領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。さらにTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また図1に示すように、対向基板20の4つのコーナー部には、両基板間の上下導通端子として機能する上下導通材106が配置されている。他方、TFTアレイ基板10にはこれらのコーナーに対向する領域において上下導通端子が設

50

けられている。これらにより、TFTアレイ基板10と対向基板20との間で電気的な導通がなされる。

【0023】

本実施形態では特に、データ線駆動回路101から供給される画像信号をサンプリングするサンプリング回路200が、額縁遮光膜53からなる額縁領域内に配置されている。すなわち、サンプリング回路200を構成する後述のTFT201等の回路素子が額縁領域内に配置されている。

【0024】

図2に示すように、TFTアレイ基板10上には、画素スイッチング用のTFTや走査線、データ線等の配線が形成された後の画素電極9a上に、配向膜16が形成されている。他方、対向基板20上には、対向電極21の他、格子状又はストライプ状の遮光膜23、さらには最上層部分に配向膜22が形成されている。TFTアレイ基板10及び対向基板20のそれぞれ液晶層50と接する面に形成された配向膜16及び22は、SiO₂、SiO、MgF₂等の無機材料によって構成された無機配向膜、もしくはポリイミド等からなる有機配向膜である。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜16及び22の間で、所定の配向状態をとる。

10

【0025】

また、対向基板20の入射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブル-STN)モード、VA(垂直配向)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

20

【0026】

次に、図3を参照して、上述した電気光学装置の電気的な構成について説明する。図3に示すように、本実施形態における電気光学装置100の画像表示領域10aを構成するマトリクス状に形成された複数の画素には、それぞれ、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。

【0027】

画像表示領域10aの外側に設けられる周辺領域には、データ線6aの一端(図3に正対して図面下側)が、サンプリング回路200を構成するTFT201のドレイン205に電気的に接続されている。他方、画像信号線230は、サンプリング回路200を構成するTFT201のソース204に電気的に接続されている。データ線駆動回路101に電気的に接続されたサンプリング回路駆動信号線240は、サンプリング回路200を構成するTFT201のゲート203に電気的に接続されている。そして、画像信号線230を介して供給される画像信号S₁、S₂、...、S_nは、データ線駆動回路101からサンプリング回路駆動信号線240を介してサンプリング回路駆動信号が供給されるのに応じて、サンプリング回路200によりサンプリングされて各データ線6aに供給されるように構成されている。なお、データ線6aに書き込む画像信号S₁、S₂、...、S_nは、この順に線順次に供給される構成であってもよい。

30

40

【0028】

また、画素スイッチング用のTFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G₁、G₂、...、G_mを、走査線駆動回路104により印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S₁、S₂、...、S_nを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S₁、S₂、...、S_nは、対向基板20に形成された対向電極21との間で一定期間保持される。液晶は、印加される電位レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。

50

ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極 2 1 との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。走査線 3 a に並行して、蓄積容量 7 0 の固定電位側容量電極を含むと共に定電位に固定された容量線 3 b が設けられている。

【 0 0 2 9 】

なお、上述の本実施形態の電気光学装置 1 0 0 は、例えば、S T N (スーパー T N) モード、D - S T N (ダブル - S T N) モード、V A (垂直配向) モード等の動作モードを採用した液晶パネルや、片側の基板に、一对の電極が形成される液晶パネル、例えば I P S (In-Plane Switching) 等であっても構わない。

10

【 0 0 3 0 】

図 4 を参照して、以下にデータ線 6 a、走査線 3 a、容量線 3 b 及び T F T 3 0 等からなる、上述のような回路動作が実現される電気光学装置の具体的な構成について説明する。図 4 は、各画素毎に形成されている画素スイッチング用の T F T 3 0 の断面図である。

【 0 0 3 1 】

電気光学装置 1 0 0 は、前述したように、例えば、石英基板、ガラス基板等からなる透明な T F T アレイ基板 1 0 と、これに対向配置される、例えばガラス基板や石英基板からなる透明な対向基板 2 0 とを備えている。T F T アレイ基板 1 0 上には、図 4 に示すように、前記の画素電極 9 a 及び配向膜 1 6 の他、T F T 3 0 等の各種の構成が積層構造をなして備えられている。T F T アレイ基板 1 0 の液晶層 5 0 側表面上には凹部である溝 1 2 g が形成されており、この溝 1 2 g の底面部上にデータ線 6 a、走査線 3 a、容量線 3 b 及び T F T 3 0 等が積層されて形成されている。

20

【 0 0 3 2 】

T F T アレイ基板 1 0 の液晶層 5 0 側の表面上には、下側遮光膜 1 1 a を有する第 1 層と、第 1 層の上に形成され T F T 3 0、走査線 3 a 及び容量線 3 b を有する第 2 層と、第 2 層の上に形成されデータ線 6 a を有する第 3 層と、第 3 層の上に形成され画素電極 9 a を有する第 4 層とが形成されている。また、第 1 層と第 2 層との間には第 1 層間絶縁膜 1 2 が、また第 2 層と第 3 層との間には第 2 層間絶縁膜 4 が、さらに第 3 層と第 4 層との間には第 3 層間絶縁膜 7 が形成されている。これら第 1 層間絶縁膜 1 2、第 2 層間絶縁膜 4、第 3 層間絶縁膜 7 は、例えば、N S G (ノンシリケートガラス)、P S G (リンシリケートガラス)、B S G (ボロンシリケートガラス)、B P S G (ボロンリンシリケートガラス) 等のシリケートガラス膜、窒化シリコン膜又は酸化シリコン膜により構成されている。

30

【 0 0 3 3 】

第 1 層の下側遮光膜 1 1 a は、各 T F T 3 0 を T F T アレイ基板 1 0 側から見て覆う位置に設けられており、T F T 3 0 への T F T アレイ基板 1 0 側からの戻り光に対する遮光機能を有している。下側遮光膜 1 1 a は、不透明な高融点シリサイド膜であるタングステンシリサイド (以下、W S i と称す) 膜により構成され、遮光性を有する。W S i 膜である下側遮光膜 1 1 a は、十分な遮光性を有する 2 0 0 0 (2 0 0 n m) 以上の膜厚で、後述するスパッタリング法により堆積されて形成される。本実施形態では、下側遮光膜 1 1 a の膜厚は約 2 0 0 0 である。

40

【 0 0 3 4 】

下側遮光膜 1 1 a を含む第 1 層上には T E O S (テトラエトキシシラン ; Tetraethoxysilane) ガスを用いたプラズマ C V D 法によって形成されたシリコン酸化膜からなる第 1 層間絶縁膜 1 2 が形成されており、第 1 層と第 2 層との電氣的絶縁が図られている。

【 0 0 3 5 】

画素スイッチング用の T F T 3 0 は、L D D (Lightly Doped Drain) 構造を有しており、走査線 3 a、当該走査線 3 a からの電界によりチャネルが形成される半導体層 1 a の

50

チャンネル領域 1 a'、走査線 3 a と半導体層 1 a とを絶縁するゲート絶縁膜 2、半導体層 1 a の低濃度ソース領域 (ソース側 L D D 領域) 1 b 及び低濃度ドレイン領域 (ドレイン側 L D D 領域) 1 c、半導体層 1 a の高濃度ソース領域 1 d 並びに高濃度ドレイン領域 1 e を備えている。なお、T F T 3 0 は、好ましくは図 4 に示したように L D D 構造をもつが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造をもってよいし、ゲート電極 3 a をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルフアライン型の T F T であってもよい。

【0036】

T F T 3 0 の高濃度ドレイン領域 1 e には、複数の画素電極 9 a のうちの対応する一つが、第 2 層間絶縁膜 4 及び第 3 層間絶縁膜 7 を貫通して形成されているコンタクトホール 8 を介して電氣的に接続されている。また、T F T 3 0 の高濃度ソース領域 1 d には、データ線 6 a が、第 2 層間絶縁膜 4 を貫通して形成されているコンタクトホール 5 を介して電氣的に接続されている。また、高濃度ドレイン領域 1 e には、容量電極 1 f が電氣的に接続されており、当該容量電極 1 f と容量線 3 b とにより誘電体膜としてのゲート絶縁膜 2 を挟持することにより、蓄積容量 7 0 が形成されている。

10

【0037】

ここで、容量線 3 b と走査線 3 a とは、同一のポリシリコン膜からなり、蓄積容量 7 0 の誘電体膜と画素スイッチング用 T F T 3 0 のゲート絶縁膜 2 とは、同一の高温酸化膜からなり、容量電極 1 f と、画素スイッチング用 T F T 3 0 のチャンネル形成領域 1 a'、ソース領域 1 d、ドレイン領域 1 e 等とは、同一の半導体層 1 a から構成されている。

20

【0038】

一方、対向基板 2 0 の液晶層 5 0 側表面上には、各画素の開口領域以外の領域に設けられた遮光膜 2 3 が形成されている。遮光膜 2 3 は、Ti、Cr、W、Ta、Mo 及び Pd 等の金属や金属シリサイド等の金属合金膜により構成され、遮光性を有する。また、遮光膜 2 3 の上には、I T O 等の透明導電性薄膜からなる対向電極 2 1 が形成されている。

【0039】

サンプリング回路 2 0 0 を構成する T F T 2 0 1 は、上述した画素部の T F T 3 0 と同様の構成を有して形成されている。以下に、サンプリング回路 2 0 0 の T F T 2 0 1 の構成を図 5 を参照して説明する。図 5 は、サンプリング回路 2 0 0 の T F T 2 0 1 の断面図である。

30

【0040】

図 5 に示すように、サンプリング回路 2 0 0 の T F T 2 0 1 は、T F T アレイ基板 1 0 上に形成された下側遮光膜 1 1 a の上層に形成された第 1 層間絶縁膜 1 2 上に形成されている。T F T 2 0 1 は、第 1 層間絶縁膜 1 2 上に形成された半導体層 1 a と、その上層に形成されたゲート 2 0 3 と、半導体層 1 a とゲート 2 0 3 とを絶縁するゲート絶縁膜 2 とを有して構成されている。半導体層 1 a には、チャンネル領域 2 0 6 と、ソース 2 0 4 と、ドレイン 2 0 5 とが形成されている。なお、T F T 2 0 1 は、画素部の T F T 3 0 と同様に L D D 構造を有するものである。

【0041】

T F T 2 0 1 のソース 2 0 4 は、画像信号線 2 3 0 とコンタクトホールを介して電氣的に接続されており、ドレイン 2 0 5 は、データ線 6 a の一端と電氣的に接続されている。また、ゲート 2 0 3 は、図示しないサンプリング回路駆動信号線 2 4 0 に電氣的に接続されている。

40

【0042】

ここで、T F T 2 0 1 の下方に形成される下側遮光膜 1 1 a は、画素部の下側遮光膜 1 1 a と同一層により構成されるものであって、膜厚約 2 0 0 0 の W S i 膜からなる。W S i 膜である下側遮光膜 1 1 a は、後述するスパッタリング法により堆積されて形成される。

【0043】

50

ここで、TFT30及び201の形成工程を以下に説明する。TFT30及び201は同一の工程により、下側遮光膜11a上に形成された第1層間絶縁膜12上に形成されるものである。

【0044】

まず、第1層間絶縁膜12上にアモルファスシリコン膜等の半導体層を形成した後に、窒素雰囲気中で、約600～700にてアニール処理を施すことにより固相成長させて、ポリシリコン膜を形成し、該ポリシリコン膜をパターニングして半導体層1aを形成する。

【0045】

次に、半導体層1aを約900～1300の温度、好ましくは約1000の温度により熱酸化し、減圧CVD法等により、若しくは両者を行って行くことにより、多層の高温酸化シリコン膜（HTO膜）からなるゲート絶縁膜2を形成する。そして、ゲート絶縁膜2の焼成を行う。

10

【0046】

次に、TFT30のスレッシュホールド電圧 V_{th} を制御するために、半導体層1aのうちNチャネル領域或いはPチャネル領域に、ボロン等のドーパントを予め設定された所定量だけイオン注入等によりドーピングする。

【0047】

次に、減圧CVD法等によりポリシリコン膜を堆積し、さらにリン（P）を熱拡散し、このポリシリコン膜を導電化する。または、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーピングシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約350nm程度である。そして、焼成を行った後、フォトリソグラフィ及びエッチングにより、TFT30のゲート及びTFT201のゲート203を含めた所定パターンの走査線3aを形成する。

20

【0048】

次に、例えば、TFT30を、LDD構造を持つnチャネル型のTFTとする場合には、半導体層1aに、低濃度ソース領域及び低濃度ドレイン領域を形成するために、走査線3a（ゲート）をマスクとして、P等のV族元素のドーパントを低濃度で（例えば、Pイオンを $1\sim 3\times 10^{13}/\text{cm}^2$ のドーピング量にて）ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

30

【0049】

さらに、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広い平面パターンを有するレジスト層を走査線3a上に形成する。その後、P等のV族元素のドーパントを高濃度で（例えば、Pイオンを $1\sim 3\times 10^{15}/\text{cm}^2$ のドーピング量にて）ドーピングする。これにより、低濃度のソース・ドレイン領域と高濃度のソース・ドレイン領域とを有するLDD構造のTFT30及び201が形成されるのである。

【0050】

上述のように、本実施形態の電気光学装置100では、WSi膜である下側遮光膜11aの上層に、半導体層1aを含むTFT30及び201や、導電層であるデータ線6a及び走査線3a等が形成されているのである。また、TFT30及び201の形成には、アニール処理等の600以上に加熱する高温の熱処理が複数回行われる。

40

【0051】

スパッタリング法により形成されたWSi膜は、成膜直後はアモルファス構造を有するものであるが、およそ430以上の高温下では再結晶化する。このWSi膜の結晶化の際に、WSi膜には内部応力が発生する。

【0052】

次に、本実施形態の電気光学装置の製造装置である、下側遮光膜11aとしてのWSi膜を形成するための、スパッタリング装置500について、図6を参照して説明する。図6は、本実施形態のスパッタリング装置の構成を説明する概略断面図である。

50

【0053】

本実施形態のスputtering装置500は、いわゆるDCマグネトロンスputtering方式により、基板上に薄膜を形成する装置である。以下の説明では、スputtering装置500は、電気光学装置用基板であるウェハ10bの表面上にWSi膜を形成するためのタングステン(W)とシリコン(Si)をスputteringするものである。ここで、ウェハ10bは、前述の電気光学装置100のTFTアレイ基板10を切り出す前の状態のものである。

【0054】

スputtering装置500は、排気装置である真空ポンプ505により所定の真空度まで減圧可能な真空槽である真空チャンバ501と、該真空チャンバ内に配設されたターゲット503と、ウェハ10bをターゲット503に対向して支持する基板ホルダ502とを有して構成される。真空チャンバ501には、真空チャンバ501内に所定の流量で不活性ガスであるアルゴン(Ar)ガスを供給するための、ガス供給装置506が配設されている。

10

【0055】

ターゲット503は、タングステン及びシリコンが所定の比率で混合されて焼結されたものである。ターゲット503は電源制御装置504に接続されており、ターゲット503には、該電源制御装置504から所定の直流のパルス状の電力が供給される。ターゲット503の、ウェハ10bとは反対となる側には、磁界発生手段としての電磁石508が配設されている。一方、基板ホルダ502は、単数もしくは複数のウェハ10bを保持する機構を有し、内部に加熱手段であるヒータ507を備えている。ヒータ507は、電熱線からの熱伝導、もしくは赤外線ランプからの輻射熱によりウェハ10bを所定の温度に加熱するための装置である。

20

【0056】

真空ポンプ505、ガス供給装置506、電源制御装置504、電磁石508及びヒータ507は、制御手段である制御装置510に電氣的に接続されており、それぞれの動作は該制御装置510により制御される。また、図示しないが、スputtering装置500は、真空チャンバ501を開閉する開閉機構と、ウェハ10bを搬入及び搬出するための搬送装置を備えている。

【0057】

上述の構成を有するスputtering装置500による、タングステンシリサイド(WSi)膜の形成方法を以下に説明する。以下のスputtering装置500の動作は、制御装置510により制御されて自動的に行われるものである。

30

【0058】

まず、ウェハ10bが、搬送装置により真空チャンバ501内に搬入され、基板ホルダ502により支持される。次に、真空チャンバ501内は気密状態とされ、所定の真空度まで真空ポンプ505により減圧される。このとき、真空チャンバ501内にはガス供給装置506からアルゴンガスが供給されており、真空チャンバ内はアルゴン雰囲気とされる。また、電磁石508に電力が供給され、ターゲット503周りに磁界が発生する。

【0059】

所定の真空度のアルゴン雰囲気中において、電源制御装置504によりターゲット503に直流電力が供給される。これにより、ターゲット503のウェハ10b側に放電によるプラズマが生じる。プラズマは、電磁石508による磁界によりターゲット503付近に生じるものであり、該プラズマにより発生したアルゴンイオンがターゲット503に衝突することで、タングステンとシリコンからなるスputtering粒子が放出され、ウェハ10b上に堆積する。これにより、ウェハ10b上にWSi膜が形成されるのである。

40

【0060】

なお本実施形態では、上述のスputtering法において、下側遮光膜11aとなるWSi膜の膜厚(オングストローム;)を成膜に要した時間(秒; s)で割った値、すなわち1秒あたりにWSi膜が堆積した厚さを、平均成膜速度と称し、該平均成膜速度の単位

50

を / s とする。

【0061】

スパッタリング装置500により成膜されるWSi膜の平均成膜速度は、ターゲット503に供給される電力値、真空チャンバ501の真空度、アルゴンガスの流量、電磁石508による磁力に依存するものであり、WSi膜の平均成膜速度は、制御装置510により所定の値に制御されるものである。

【0062】

本実施形態では、以下にその効果を詳細に説明するように、WSi膜の平均成膜速度はスパッタリング法の放電維持限界における平均成膜速度以上、35 / s 以下とされ、より好ましくは、30 / s とされる。

10

【0063】

以下では、上述のWSi膜の平均成膜速度を決定するに先立って実施した、WSi膜の平均成膜速度とウェハ10bに発生するクラックの数との関係を調査した実験の結果を図7及び図8に示し、本実施形態の効果を詳細に説明する。なお、以下において、ウェハ10bに熱処理が加えられた後のWSi膜の内部応力に起因して発生したクラックであり、かつ走査線3aもしくはTF T 201のゲート203となる導電層を断線させるに至ったクラックを致命クラックと称する。また、ウェハ10bに熱処理が加えられた後のWSi膜の内部応力に起因して発生したクラックであるが、その規模が小さく、走査線3aもしくはTF T 201のゲート203となる導電層を断線させるには至らなかったクラックを微小クラックと称する。図7は、WSi膜の平均成膜速度と致命クラック発生数との関係を示すグラフである。図8は、WSi膜の平均成膜速度と微小クラック発生数との関係を示すグラフである。

20

【0064】

図7において、グラフの横軸は、ウェハ10b上に形成されたWSi膜の平均成膜速度を示し、グラフの縦軸は、ウェハ10b一枚あたりの致命クラックの発生数を示している。一方、図8において、グラフの横軸は、ウェハ10b上に形成されたWSi膜の平均成膜速度を示し、グラフの縦軸は、ウェハ10b一枚あたりの微小クラックの発生数を示している。

【0065】

図7及び図8に示すように、平均成膜速度の値が小さいほど、ウェハ10b一枚あたりの致命クラック及び微小クラックの発生数が減少することが判明した。

30

【0066】

従来、スパッタリング法により下側遮光膜11aとして成膜するWSi膜の平均成膜速度は41~42 / s とされていたものであるが、図7に示すように、WSi膜の平均成膜速度は35 / s 以下とすることにより、導電層を断線させるに至る致命クラックの発生数を1/3以下にすることができるのである。これは、平均成膜速度を従来よりも低くしてWSi膜を成膜することによって、スパッタリング法により形成されるWSi膜の構造と熱処理により結晶化したWSi膜の構造が近くなり、結晶化に伴い発生する内部応力の値が小さくなるものと考えられる。このように、本実施形態によれば、致命クラックの発生数が1/3に抑えられることにより、導電層及び半導体層のクラックに起因する電気光学装置100の不良の発生を大幅に抑えることが可能となるのである。ここで、下側遮光膜11aとなるWSi膜の膜厚は2000 であるため、下側遮光膜11aは十分な遮光性を有するものである。また、従来と同様に、一度のスパッタリングによるWSi膜の成膜によって下側遮光膜11aを形成することができるため、工程を増やす必要がない。

40

【0067】

好ましくは、WSi膜の平均成膜速度を30 / s 以下とすることにより、致命クラックの発生数は従来の1/10以下となり、かつ微小クラックの発生数が0となる。微小クラックの発生は、導電層及び半導体層に影響を及ぼすものではなく、直接的に電気光学装置100の不良の発生に寄与するものではない。しかしながら、電気光学装置100の固定や使用条件、すなわち外部から加えられる応力やヒートサイクルによって、この微小ク

50

ラックが伸張し、導電層及び半導体層にまでクラックが至る可能性がある。すなわち、微小クラックの存在は、電気光学装置の信頼性を低下させることとなる。したがって、WSi膜の平均成膜速度を30 / s以下として、微小クラックが発生しないようにすることにより、電気光学装置の信頼性をより向上させることができるのである。

【0068】

また、WSi膜の平均成膜速度が27 / s以下であれば、WSi膜の内部応力に起因する致命クラック及び微小クラックの発生を共に0とすることが可能であり、より好ましい。なお、スパッタリング装置は、十分なDC電力が供給されなければ、放電を維持して安定的にスパッタ粒子を発生させることができない。クラックの観点からはWSi膜の平均成膜速度は低いほど良好な膜質が得られるが、安定した成膜を可能とするために、この

10

【0069】

ところで、本実施形態では、電気光学装置用基板であるウェハ10bを加熱しない状態でスパッタリング法によりWSi膜を形成しているが、ウェハ10bのWSi膜が成膜される表面を250 ~ 400 となるようにヒータ507により加熱しながら、スパッタリング法によりWSi膜を成膜してもよい。このようにウェハ10bの被成膜面を、WSiが結晶化する温度に近い温度にまで加熱しながらWSiを堆積させることにより、加熱しない場合に比してより緻密な膜を形成することができる。これにより、スパッタリング法により成膜されるWSi膜の構造を、後の熱処理によって結晶化した状態のWSi膜の構造により近づけることができる。したがって、熱処理後のWSi膜の内部応力をより小さくすることができ、WSi膜の内部応力に起因するクラックの発生をより抑制することが可能となる。

20

【0070】

なお、一般的にはスパッタリング装置500における、WSi膜の平均成膜速度の制御は、電源制御装置504によりターゲット503に供給される電力値を制御することで行われるものであるが、WSi膜の平均成膜速度の制御はこれ以外の方法で制御されるものであってもよい。特にWSi膜の平均成膜速度の値を小さくしようとする場合、スパッタリングのための放電を維持するためには電力の最小値に限界がある。

30

【0071】

そこで、パルスの（間欠的）にターゲット503に電力を供給し、WSi膜の平均成膜速度を35 / s以下、好ましくは30 / s以下としてもよい。この場合、WSi膜の平均成膜速度は、ターゲット503に供給される直流電力のパルス幅と周波数に依存するものである。これにより、WSi膜の平均成膜速度を、簡単な構成で容易に制御することが可能となる。

【0072】

また例えば、電磁石508に供給する電力、すなわち電磁石508が発生する磁界を制御することでWSi膜の平均成膜速度の制御を行うことも可能である。この場合、従来と同様にスパッタリングのための放電を維持した状態で電磁石508に供給する電力をON / OFFすることにより、ターゲット503付近のプラズマの状態を変化させ、ターゲット503から放出されるスパッタ粒子の量を制御する。これにより、WSi膜の平均成膜速度を、スパッタリングのための放電を維持するための最小電力に依存することなく制御することができ、また簡単な構成で実現することが可能となる。

40

【0073】

なお、本発明は、本実施形態に係るアクティブマトリクス駆動の液晶表示装置の他に、電子ペーパーなどの電気泳動装置、EL (Electro-Luminescence) 表示装置、電子放出回路素子を備えた装置 (Field Emission Display及びSurface-Conduction Electron-Emitter Display) 等の電気光学装置の技術分野に属するものである。

【0074】

50

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置の製造方法もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0075】

【図1】 TFTアレイ基板を、その上に構成された各構成要素と共に対向基板の側から見た液晶装置の平面図である。

【図2】 図1のH-H'断面図である。

【図3】 マトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。

10

【図4】 TFTアレイ基板の画素部のTFT部の断面図である。

【図5】 サンプリング回路のTFT部の断面図である。

【図6】 スパッタリング装置の構成を説明する概略断面図である。

【図7】 WSi膜の平均成膜速度と致命クラック発生数との関係を示すグラフである。

【図8】 WSi膜の平均成膜速度と微小クラック発生数との関係を示すグラフである。

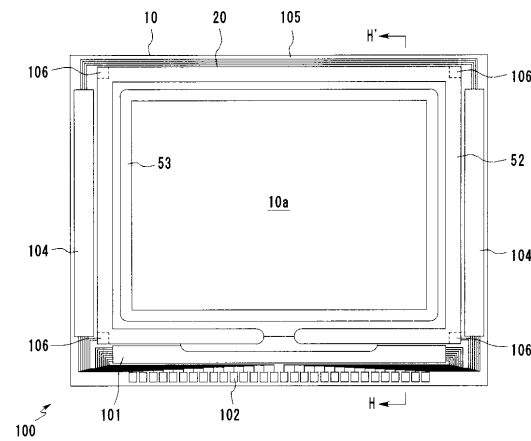
【符号の説明】

【0076】

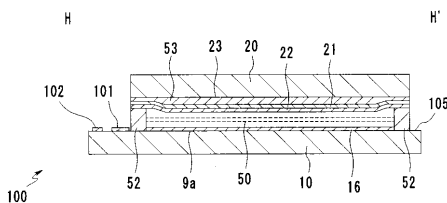
10 TFTアレイ基板、 11a 下側遮光膜、 12 第1層間絶縁膜、 201 TFT、 203 ゲート、 204 ソース、 205 ドレイン、 206 チャネル領域、 1a 半導体層

20

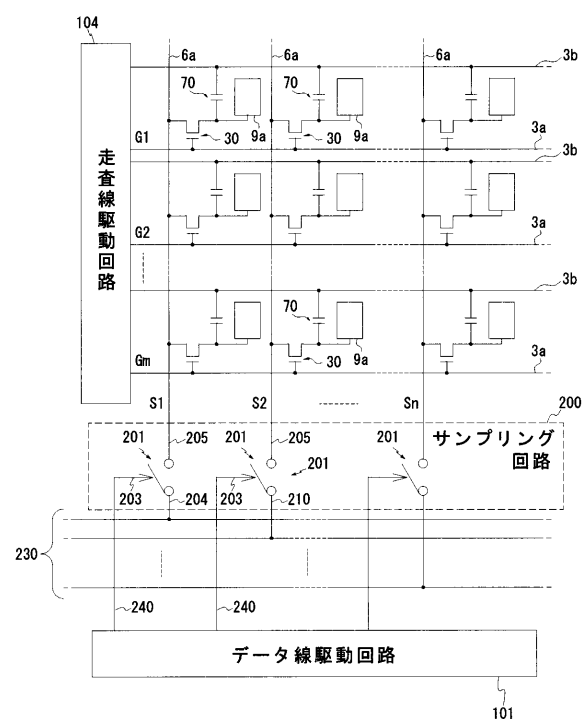
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
C 2 3 C 14/06 (2006.01) C 2 3 C 14/06 E

Fターム(参考) 2H191 FA13Z FB12 FC02 FC41 GA19 LA03 LA40
 4K029 AA08 AA09 AA24 BA52 BD01 CA05 DC09 DC34 DC41 EA02
 EA08
 5F110 AA26 BB01 BB02 CC02 DD02 DD03 DD13 EE09 EE45 FF02
 FF09 FF23 FF32 GG02 GG13 GG32 GG52 HJ01 HJ04 HJ13
 HM15 NN03 NN22 NN23 NN24 NN25 NN26 NN45 NN46 NN54
 NN72 NN73 PP10 PP13 QQ11
 5G435 AA06 BB12 FF13 KK05