

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-165882

(P2011-165882A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11 (2006.01)	HO 1 L 27/10 3 8 1	4 M 1 0 4
HO 1 L 21/8244 (2006.01)	HO 1 L 27/08 3 2 1 F	5 F 0 3 3
HO 1 L 27/092 (2006.01)	HO 1 L 21/90 C	5 F 0 4 8
HO 1 L 21/8238 (2006.01)	HO 1 L 21/28 L	5 F 0 8 3
HO 1 L 21/768 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2010-26849 (P2010-26849)  
 (22) 出願日 平成22年2月9日 (2010.2.9)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094053  
 弁理士 佐藤 隆久  
 (72) 発明者 中邑 良一  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 Fターム(参考) 4M104 AA01 BB01 BB20 BB21 BB28  
 CC01 DD07 DD16 EE09 GG16  
 HH15 HH20

最終頁に続く

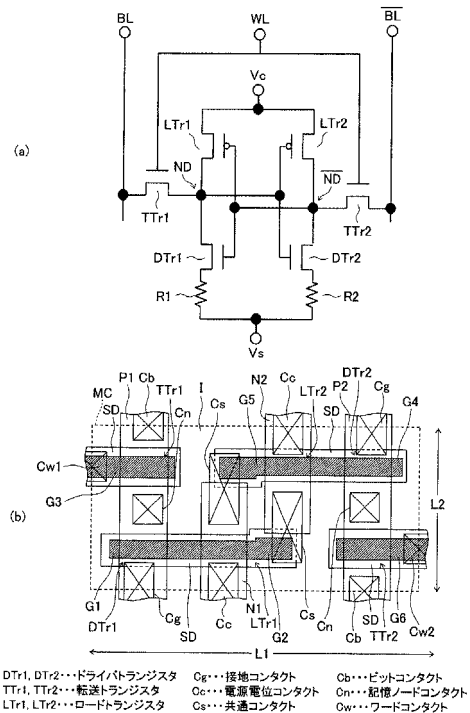
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 1メモリセルが6トランジスタを有するS R A Mにおいて、コンタクトの微細化をするとリークの発生を回避できる半導体記憶装置及びその製造方法を提供する。

【解決手段】 1メモリセルが第1及び第2ドライバトランジスタ(D T r 1、D T r 2)、第1及び第2転送トランジスタ(T T r 1、T T r 2)並びに第1及び第2ロードトランジスタ(L T r 1、L T r 2)の6トランジスタを有するS R A Mにおいて第1ドライバトランジスタと第2ドライバトランジスタのソースドレイン領域に基準電位を印加するための接地コンタクトC gと、第1ロードトランジスタと第2ロードトランジスタのソースドレイン領域に電源電位を印加するための電源電位コンタクトC cの径が、共通コンタクトC sを除く他のコンタクト(C b、C n、C w)の径より大きく形成された構成とする。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板に形成された第 1 ドライバトランジスタと第 1 ロードトランジスタを有して第 1 記憶ノードが構成される第 1 インバータと、前記半導体基板に形成された第 2 ドライバトランジスタと第 2 ロードトランジスタを有して第 2 記憶ノードが構成される第 2 インバータと、前記第 1 記憶ノードに接続する第 1 転送トランジスタと、前記第 2 記憶ノードに接続する第 2 転送トランジスタとを有し、前記第 1 転送トランジスタを介してビットラインに、前記第 2 転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積されており、

前記第 1 ドライバトランジスタと前記第 2 ドライバトランジスタのソースドレイン領域に基準電位を印加するための接地コンタクト  $C_g$  と、前記第 1 ロードトランジスタと前記第 2 ロードトランジスタのソースドレイン領域に電源電位を印加するための電源電位コンタクト  $C_c$  の径が、前記第 1 ロードトランジスタのソースドレイン領域と前記第 2 ロードトランジスタのゲート電極を接続し、前記第 2 ロードトランジスタのソースドレイン領域と前記第 1 ロードトランジスタのゲート電極を接続する共通コンタクト  $C_s$  を除く他のコンタクトの径より大きく形成されている

半導体記憶装置。

## 【請求項 2】

前記第 1 ドライバトランジスタと前記第 2 ドライバトランジスタのゲート電極の側部における前記半導体基板上及び前記第 1 ロードトランジスタと前記第 2 ロードトランジスタのゲート電極の側部における前記半導体基板上にサイドウォール絶縁膜が形成されており、

基準電位を印加するための前記接地コンタクト  $C_g$  と電源電位を印加するための前記電源電位コンタクト  $C_c$  が前記サイドウォール絶縁膜の形成領域と重なり領域を有し、重なり領域におけるサイドウォール絶縁膜が除去されており、基準電位を印加するための前記接地コンタクト  $C_g$  と電源電位を印加するための前記電源電位コンタクト  $C_c$  が前記共通コンタクト  $C_s$  を除く他のコンタクトより前記半導体基板と接する面積が大きく形成されている

請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

基準電位を印加するための前記接地コンタクト  $C_g$  と、  
電源電位を印加するための前記電源電位コンタクト  $C_c$  と、  
前記共通コンタクト  $C_s$  と、

前記第 1 ドライバトランジスタと前記第 1 転送トランジスタの間のソースドレイン領域及び前記第 2 ドライバトランジスタと前記第 2 転送トランジスタの間のソースドレイン領域に接続する記憶ノードコンタクト  $C_n$  と、

前記第 1 転送トランジスタと前記第 2 転送トランジスタのソースドレイン領域に接続するビットコンタクト  $C_b$  と、

前記第 1 転送トランジスタと前記第 2 転送トランジスタのゲート電極に接続するワードコンタクト  $C_w$  とにおいて、

コンタクトの径が  $C_b = C_n = C_w < C_c = C_g = C_s$  となっている

請求項 1 に記載の半導体記憶装置。

## 【請求項 4】

半導体基板に形成された第 1 ドライバトランジスタと第 1 ロードトランジスタを有して第 1 記憶ノードが構成される第 1 インバータと、前記半導体基板に形成された第 2 ドライバトランジスタと第 2 ロードトランジスタを有して第 2 記憶ノードが構成される第 2 インバータと、前記第 1 記憶ノードに接続する第 1 転送トランジスタと、前記第 2 記憶ノードに接続する第 2 転送トランジスタとを有し、前記第 1 転送トランジスタを介してビットラインに、前記第 2 転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積された半導体記憶装置を製造するために、

前記半導体基板における前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタのチャンネル形成領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極の側部における前記半導体基板にソースドレイン領域を形成する工程と、

前記半導体基板における前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタを被覆する絶縁膜を形成する工程と、

10

前記絶縁膜に対して、前記第1ドライバトランジスタと前記第2ドライバトランジスタのソースドレイン領域に基準電位を印加するための接地コンタクト $C_g$ と、前記第1ロードトランジスタと前記第2ロードトランジスタのソースドレイン領域に電源電位を印加するための電源電位コンタクト $C_c$ と、前記第1ロードトランジスタのソースドレイン領域と前記第2ロードトランジスタのゲート電極を接続し、前記第2ロードトランジスタのソースドレイン領域と前記第1ロードトランジスタのゲート電極を接続する共通コンタクト $C_s$ を含むコンタクトを開口する工程と

を有し、

基準電位を印加するための前記接地コンタクト $C_g$ と、電源電位を印加するための前記電源電位コンタクト $C_c$ の径を、前記共通コンタクト $C_s$ を除く他のコンタクトの径より大きく形成する

20

半導体記憶装置の製造方法。

#### 【請求項5】

前記ゲート絶縁膜上にゲート電極を形成する工程の後、前記ソースドレイン領域を形成する工程の前に、前記ゲート電極の側部における前記半導体基板に前記ゲート電極をマスクとして前記ソースドレイン領域より浅い不純物領域を形成する工程と、前記ゲート電極の側部における前記半導体基板上にサイドウォール絶縁膜を形成する工程をさらに有し、

前記ソースドレイン領域を形成する工程において、前記サイドウォール絶縁膜をマスクとして前記ソースドレイン領域を形成し、

前記コンタクトを開口する工程において、基準電位を印加するための前記接地コンタクト $C_g$ と電源電位を印加するための前記電源電位コンタクト $C_c$ が前記サイドウォール絶縁膜の形成領域と重なり領域を設けて、重なり領域における前記サイドウォール絶縁膜を除去し、基準電位を印加するための前記接地コンタクト $C_g$ と電源電位を印加するための前記電源電位コンタクト $C_c$ が前記共通コンタクト $C_s$ を除く他のコンタクトより前記半導体基板と接する面積が大きく形成する

30

請求項4に記載の半導体記憶装置の製造方法。

#### 【請求項6】

前記コンタクトを開口する工程において、基準電位を印加するための前記接地コンタクト $C_g$ と、電源電位を印加するための前記電源電位コンタクト $C_c$ と、前記共通コンタクト $C_s$ と、前記第1ドライバトランジスタと前記第1転送トランジスタの間のソースドレイン領域及び前記第2ドライバトランジスタと前記第2転送トランジスタの間のソースドレイン領域に接続する記憶ノードコンタクト $C_n$ と、前記第1転送トランジスタと前記第2転送トランジスタのソースドレイン領域に接続するビットコンタクト $C_b$ と、前記第1転送トランジスタと前記第2転送トランジスタのゲート電極に接続するワードコンタクト $C_w$ とを、コンタクトの径が $C_b = C_n = C_w < C_c = C_g = C_s$ となるように開口する

40

請求項4に記載の半導体記憶装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、半導体記憶装置及びその製造方法に関し、特に、1メモリセルが6個のトラ

50

ンジスタを有するS R A M (Static Random Access Memory) などの電界効果トランジスタを2個以上有する半導体記憶装置及びその製造方法に関する。

【背景技術】

【0002】

半導体記憶装置としては、例えばD R A M (Dynamic Random Access Memory) 及びS R A M (Static Random Access Memory) などが広く用いられている。

S R A Mのメモリセルは、いくつかのタイプが知られている。例えば、最小で2つのP M O S (p-channel metal-oxide-semiconductor) トランジスタと4つのN M O S (n-channel metal-oxide-semiconductor) トランジスタの計6つのM O S F E T (MOS field effect transistor) から構成される。

10

【0003】

S R A Mは、D R A Mのようなトランジスタ以外にメモリ専用のキャパシタなどが必要となる半導体記憶装置に比較して、ピュアロジックプロセスとの親和性も良い。また、D R A Mのような記憶データのリフレッシュ動作が不要で周辺回路を簡易化でき、高速アクセスが可能である利点を有し、キャッシュメモリや携帯端末のメモリなどの高速性や簡易性が要求される比較的小容量の記憶装置として広く使用されている。

【0004】

図14(a)は6つのM O S F E T (以下トランジスタと称する)を有するS R A Mメモリセルの等価回路図である。

例えば、第1ロードトランジスタL T r 1、第2ロードトランジスタL T r 2、第1ドライバトランジスタD T r 1、第2ドライバトランジスタD T r 2、第1転送トランジスタT T r 1及び第2転送トランジスタT T r 2を有する。

20

例えば、第1ロードトランジスタL T r 1と第2ロードトランジスタL T r 2はP M O Sトランジスタである。第1ドライバトランジスタD T r 1と第2ドライバトランジスタD T r 2はN M O Sトランジスタである。第1転送トランジスタT T r 1と第2転送トランジスタT T r 2はN M O Sトランジスタである。

【0005】

第1ロードトランジスタL T r 1と第1ドライバトランジスタD T r 1は、ドレインが第1記憶ノードN Dに、ゲートが第2記憶ノードN D /にそれぞれ接続されている。第1ロードトランジスタL T r 1のソースは電源電位V cに、第1ドライバトランジスタD T r 1のソースは基準電位V sにそれぞれ接続されている。この第1ロードトランジスタL T r 1及び第1ドライバトランジスタD T r 1によって、第2記憶ノードN D /を入力、第1記憶ノードN Dを出力とする1つのC M O Sインバータが形成されている。

30

【0006】

また、第2ロードトランジスタL T r 2と第2ドライバトランジスタD T r 2は、ドレインが第2記憶ノードN D /に、ゲートが第1記憶ノードN Dにそれぞれ接続されている。第2ロードトランジスタL T r 2のソースは電源電位V cに、第2ドライバトランジスタD T r 2のソースは基準電位V sにそれぞれ接続されている。この第2ロードトランジスタL T r 2及び第2ドライバトランジスタD T r 2によって、第1記憶ノードN Dを入力、第2記憶ノードN D /を出力とする1つのC M O Sインバータが形成されている。

40

【0007】

第1ロードトランジスタL T r 1及び第1ドライバトランジスタD T r 1によるC M O Sインバータと、第2ロードトランジスタL T r 2及び第2ドライバトランジスタD T r 2によるC M O Sインバータとは、互いの入力及び出力がリング状に接続されている。これによりフリップフロップと称せられる1つの記憶回路が構成されている。

【0008】

また、第1転送トランジスタT T r 1は、ゲートがワードラインW Lに、ドレインがビットラインB Lに、ソースが第1記憶ノードN Dにそれぞれ接続されている。もう1つの第2転送トランジスタT T r 2は、ゲートがワードラインW Lに、ドレインが反転ビットラインB L /に、ソースが第2記憶ノードN D /にそれぞれ接続されている。

50

## 【0009】

図14(b)は、従来例に係るメモリセルのレイアウトを示す平面図であり、図面上6つのトランジスタを有する1個のメモリセルMCを示している。

例えば、第1P型半導体領域P1、第2P型半導体領域P2、第1N型半導体領域N1及び第2N型半導体領域N2が素子分離絶縁膜Iで分離されている。

第1P型半導体領域P1、第2P型半導体領域P2、第1N型半導体領域N1及び第2N型半導体領域N2は、例えばそれぞれ半導体基板に形成されたウェルで構成される。

## 【0010】

上記の6個のトランジスタを構成する位置において、各半導体領域上を横切るように第1ゲート電極G1、第2ゲート電極G2、第3ゲート電極G3、第4ゲート電極G4、第5ゲート電極G5、第6ゲート電極G6がそれぞれ図示のレイアウトで形成されている。

ここで、第1ゲート電極G1と第2ゲート電極G2は、連続した導電層として構成されており、第4ゲート電極G4及び第5ゲート電極G5も同様である。

## 【0011】

さらに、各ゲート電極の形成領域を除く領域の各半導体領域の表層部分にソースドレイン領域が形成されている。上記のようにして、第1ロードトランジスタLTr1、第2ロードトランジスタLTr2、第1ドライバトランジスタDTr1、第2ドライバトランジスタDTr2、第1転送トランジスタTTr1及び第2転送トランジスタTTr2がそれぞれ構成されている。

以下において、第1ロードトランジスタLTr1と第2ロードトランジスタLTr2をまとめてロードトランジスタLTrと称する。また、第1ドライバトランジスタDTr1と第2ドライバトランジスタDTr2をまとめてドライバトランジスタDTrと称する。また、第1転送トランジスタTTr1と第2転送トランジスタTTr2をまとめて転送トランジスタTTrと称する。

## 【0012】

ここで、PMOSトランジスタである第1ロードトランジスタLTr1のソースドレイン領域から、第5ゲート電極G5に及ぶ領域までが連通して開口された共通コンタクトCs1が形成されている。共通コンタクトCs1は、第5ゲート電極G5と第1ロードトランジスタLTr1のソースドレイン領域を接続する。

## 【0013】

また、第1ドライバトランジスタDTr1と第1転送トランジスタTTr1を接続するソースドレイン領域に開口部が形成されて、記憶ノードコンタクトCn1が形成されている。

共通コンタクトCs1と記憶ノードコンタクトCn1は上層配線で接続され、この部分が図14(a)に示す第1記憶ノードNDとなる。

## 【0014】

また、PMOSトランジスタである第2ロードトランジスタLTr2のソースドレイン領域から、第2ゲート電極G2に及ぶ領域までが連通して開口された共通コンタクトCs2が形成されている。共通コンタクトCs2は、第2ゲート電極G2と第2ロードトランジスタLTr2のソースドレイン領域を接続する。

## 【0015】

また、第2ドライバトランジスタDTr2と第2転送トランジスタTTr2を接続するソースドレイン領域に開口部が形成されて、記憶ノードコンタクトCn2が形成されている。

共通コンタクトCs2と記憶ノードコンタクトCn2は上記と同様に上層配線で接続され、この部分が図14(a)に示す第2記憶ノードND'となる。

## 【0016】

第1転送トランジスタTTr1の他方のソースドレイン領域にビットコンタクトCb1が形成され、ビットラインBLに接続されている。

また、第2転送トランジスタTTr2の他方のソースドレイン領域にビットコンタクト

C b 2 が形成され、反転ビットライン B L / に接続されている。

【 0 0 1 7 】

第 1 転送トランジスタ T T r 1 を構成する第 3 ゲート電極 G 3 にワードコンタクト C w 1 が形成され、ワードライン W L に接続されている。

また、第 2 転送トランジスタ T T r 2 を構成する第 6 ゲート電極 G 6 にワードコンタクト C w 2 が形成され、ワードライン W L に接続されている。

【 0 0 1 8 】

第 1 ドライパトランジスタ D T r 1 の他方のソースドレイン領域に接地コンタクト C g 1 が形成され、また、第 2 ドライパトランジスタ D T r 2 の他方のソースドレイン領域に接地コンタクト C g 2 が形成され、それぞれ基準電位 V s が印加される。

第 1 ロードトランジスタ L T r 1 の他方のソースドレイン領域に電源電位コンタクト C c 1 が形成され、また、第 2 ロードトランジスタ L T r 2 の他方のソースドレイン領域に電源電位コンタクト C c 2 が形成され、それぞれ電源電位 V c が印加される。

【 0 0 1 9 】

上記のようにして、1つのメモリセル M C が構成されている。

従来例に係るメモリセル M C の面積は、例えば図 1 4 ( b ) における L 1 が 1 . 0 μ m 、 L 2 が 0 . 4 1 μ m 程度である。

【 0 0 2 0 】

図 1 5 は、従来例に係るメモリセルのレイアウトを示す平面図であり、図面上 8 つのメモリセル M C 1 1 , M C 1 2 , M C 1 3 , M C 1 4 , M C 2 1 , M C 2 2 , M C 2 3 , M C 2 4 を示している。

各メモリセルは、それぞれ図 1 4 ( b ) に示す構成を有するが、隣接するメモリセルに対して鏡面反転させたパターンとなっている。

図 1 5 においては、ビットコンタクト C b 1 とビットコンタクト C b 2 をまとめてビットコンタクト C b と称する。また、記憶ノードコンタクト C n 1 と記憶ノードコンタクト C n 2 をまとめて記憶ノードコンタクト C n と称し、接地コンタクト C g 1 と接地コンタクト C g 2 をまとめて接地コンタクト C g と称する。

また、共通コンタクト C s 1 と共通コンタクト C s 2 をまとめて共通コンタクト C s と称し、電源電位コンタクト C c 1 と電源電位コンタクト C c 2 をまとめて電源電位コンタクト C c と称する。

また、ワードコンタクト C w 1 とワードコンタクト C w 2 をまとめてワードコンタクト C w と称する。

上記のビットコンタクト C b 、ワードコンタクト C w 、電源電位コンタクト C c 及び接地コンタクト C g は、それぞれ、隣接するメモリセル間で共有されている。

【 0 0 2 1 】

図 1 6 ( a ) は、図 1 5 中の A - A ' における断面図であり、図 1 6 ( b ) は図 1 5 中の B - B ' における断面図である。

図 1 6 ( a ) は、ビットコンタクト C b 、記憶ノードコンタクト C n 及び接地コンタクト C g を含む面での断面であり、図 1 6 ( b ) は、共通コンタクト C s 及び電源電位コンタクト C c を含む面での断面である。

【 0 0 2 2 】

例えば、半導体基板に上記の第 1 P 型半導体領域 P 1 となる P 型半導体領域 1 1 0 a 及び第 1 N 型半導体領域 N 1 となる N 型半導体領域 1 1 0 b が、それぞれウェルとして形成されている。P 型半導体領域 1 1 0 a 及び N 型半導体領域 1 1 0 b は、S T I ( Shallow Trench Isolation ) 型の素子分離絶縁膜 1 1 1 で区分されている。

【 0 0 2 3 】

P 型半導体領域 1 1 0 a 及び N 型半導体領域 1 1 0 b において、トランジスタのチャネル形成流域上における表層に酸化シリコンなどからなるゲート絶縁膜 1 2 0 がそれぞれ形成されている。その上層にポリシリコンなどからなり、上記の第 1 ゲート電極 G 1 及び第 2 ゲート電極 G 2 となるゲート電極 1 2 1 a が形成されている。

10

20

30

40

50

P型半導体領域110aにおいて、ゲート絶縁膜120の上層にポリシリコンなどからなり、上記の第1ゲート電極G1及び第2ゲート電極G2となるゲート電極121aが形成されている。

また、N型半導体領域110bにおいて、ゲート絶縁膜120の上層にポリシリコンなどからなり、上記の第3ゲート電極G3及び第5ゲート電極G5となるゲート電極121bが形成されている。

【0024】

また、ゲート電極121a及びゲート電極121bの側部における半導体基板上にサイドウォール絶縁膜122が形成されている。

P型半導体領域110aにおいて、サイドウォール絶縁膜122の下部における半導体基板中にN型のエクステンション領域112aあるいはLDD(Lightly Doped Drain)領域と称せられる浅い不純物領域が形成されている。さらにサイドウォール絶縁膜122の側部における半導体基板中にN型のソースドレイン領域113aが形成されている。

N型半導体領域110bにおいて、サイドウォール絶縁膜122の下部における半導体基板中にP型のエクステンション領域112あるいはLDD領域が形成されている。さらにサイドウォール絶縁膜122の側部における半導体基板中にP型のソースドレイン領域113bが形成されている。

【0025】

上記のようにして、ドライバトランジスタDT<sub>r</sub>、転送トランジスタTT<sub>r</sub>及びロードトランジスタLT<sub>r</sub>が形成されている。

ドライバトランジスタDT<sub>r</sub>、転送トランジスタTT<sub>r</sub>及びロードトランジスタLT<sub>r</sub>を被覆して、全面に酸化シリコンなどからなる層間絶縁膜130が形成されている。

【0026】

P型半導体領域110aにおいて、層間絶縁膜130に対して、隣接するメモリセルの転送トランジスタTT<sub>r</sub>の間の領域へのビットコンタクトCbが開口されている。また、ドライバトランジスタDT<sub>r</sub>と転送トランジスタTT<sub>r</sub>の間の領域への記憶ノードコンタクトC<sub>n</sub>が開口されている。また、隣接するメモリセルのドライバトランジスタDT<sub>r</sub>の間の領域への接地コンタクトC<sub>g</sub>が開口されている。

【0027】

N型半導体領域110bにおいては、隣接するメモリセルのロードトランジスタLT<sub>r</sub>の間の領域への電源電位コンタクトCcが開口されている。

また、ロードトランジスタLT<sub>r</sub>のソースドレイン領域から同一メモリセルの他方のロードトランジスタのゲート電極までを連通して開口する共通コンタクトCsが開口されている。

共通コンタクトCs内のサイドウォール絶縁膜122は、他の部分のサイドウォール絶縁膜より後退している。

【0028】

ビットコンタクトCb、記憶ノードコンタクトC<sub>n</sub>、接地コンタクトC<sub>g</sub>、電源電位コンタクトCc及び共通コンタクトCsの内部に、導電性材料によるプラグ131が埋め込まれている。

上記のプラグ131に接続して、パターンニングされた導電性材料により上層配線132が形成されている。

上記の層間絶縁膜130及び上層配線132の上層に、さらなる絶縁膜及び配線が適宜積層されている。

【0029】

例えば、第3ゲート電極G3のゲート長は40nm程度であり、第1ゲート電極G1及び第2ゲート電極G2のゲート長は50nm程度である。

接地コンタクトC<sub>g</sub>、電源電位コンタクトCc、ワードコンタクトC<sub>w</sub>、記憶ノードコンタクトC<sub>n</sub>、ビットコンタクトCbの各コンタクトは80nm×80nm程度の大きさである。

10

20

30

40

50

また、接地コンタクト $C_g$ 、電源電位コンタクト $C_c$ 、記憶ノードコンタクト $C_n$ 、ビットコンタクト $C_b$ と近接するゲート電極の間の距離は40nm程度である。

【0030】

LSIの微細化大容量化に伴い、SRAMの面積縮小も重要な課題となっている。

そのためには、コンタクト径の縮小も必要になるが、接触面積低減によるコンタクト抵抗増大が避けられない状態である。コンタクト抵抗増大は、SRAMの動作マージン、特に低電圧動作マージンに対して大きな問題が生じる。

【0031】

コンタクト抵抗増大により、SRAMの動作マージンが悪化する理由を簡単に説明する。図17(a)~(c)は、SRAMの代表的な特性であるSNM(Static-Noise-Margin)を示す模式図である。SNMはふたつの左右インバータ特性を掛け合わせたもので、例えば図17(a)に標準的なSNMを示す。2つの曲線内の面積( $S_1$ ,  $S_2$ )が大き

10

いほど、外部からのノイズに強く、良好なメモリ保持特性を有する。

【0032】

しかし、低電圧化すると、図17(b)に示すようにX軸Y軸に示される $V_{dd}$ が小さくなり、それに伴いSNMが小さくなり、メモリ動作が不安定となる。

【0033】

また、図17(c)は、接地コンタクト $C_g$ 及び電源電位コンタクト $C_c$ のコンタクト抵抗が上昇した際のSNMを示す。

図17(c)に示すように、コンタクト部で電圧低下が生じるとSRAMの $T_r$ に加わる実行的な電圧が低下し、よりSNMが小さくなって低電圧動作不良を招くことになる。

20

【0034】

このように、コンタクトの微細化によってコンタクト抵抗の増加が生じると、低電圧動作マージンの悪化を避けることは難しい。

よって、微細化がすすんだSRAMセルにおいてもコンタクト径を確保することが非常に重要となる。

【0035】

共通コンタクト $C_s$ は、第2ゲート電極 $G_2$ と第2N型半導体領域 $N_2$ とを同電位とするため、また、第5ゲート電極 $G_5$ と第1N型半導体領域 $N_1$ とを同電位とするため、これらを連通した大きなコンタクトとされている。

一方、電源電位コンタクト $C_c$ 、接地コンタクト $C_g$ 、ビットコンタクト $C_b$ 、記憶ノードコンタクト $C_n$ は、ゲート電極及びサイドウォール絶縁膜に対してある程度マージンをもって設計されている。

30

このため、コンタクト径が小さくなってしまい、コンタクト抵抗上昇をもたらす。特に、前述したとおり、電源電位コンタクト $C_c$ 及び接地コンタクト $C_g$ のコンタクト抵抗増大は低電圧動作に大きな影響を与える。

【0036】

例えば、特許文献1には、SRAMセルアレイ内部に自己整合コンタクトを形成し、コンタクト径を確保する方法が提案されている。

【0037】

また、例えば、特許文献2には、SRAMのような高密度である特定箇所のゲートサイドウォールスペーサを選択的に除去し、コンタクトが形成しやすい方法が提案されている。

40

【0038】

特許文献1及び特許文献2の方法は、SRAMのコンタクト径を確保し、抵抗の悪化を回避するには有効ではあるが、通常のプロセスに対して、あきらかに複雑であり、工程数が大きく増加し、製造コスト増大や、歩留まり低下につながる。

【0039】

図14(b)及び図15に示すように、電源電位コンタクト $C_c$ 、接地コンタクト $C_g$ 、ビットコンタクト $C_b$ 、記憶ノードコンタクト $C_n$ の各コンタクトは、ゲート電極及びサイドウォール絶縁膜に対して、ある程度距離マージンをもって設計されている。これは

50



、以下の理由による。

【0039】

図16(a)及び(b)に示すように、サイドウォール絶縁膜122の下はエクステンション領域またはLDD領域と呼ばれる、浅い不純物領域で形成されており、コンタクトがサイドウォールを突き抜いてしまう可能性がある。コンタクトが浅い不純物領域をも突き抜くと電氣的ショートが発生し、リークの原因となる。

【先行技術文献】

【特許文献】

【0040】

【特許文献1】特開2000-232076号公報

10

【特許文献2】特開2000-91440号公報

【発明の概要】

【発明が解決しようとする課題】

【0041】

本発明の課題は、上記のようなSRAMにおいて、コンタクトの微細化をするとリークの発生を回避することが困難であることである。

【課題を解決するための手段】

【0042】

本発明の半導体記憶装置は、半導体基板に形成された第1ドライバトランジスタと第1ロードトランジスタを有して第1記憶ノードが構成される第1インバータと、前記半導体基板に形成された第2ドライバトランジスタと第2ロードトランジスタを有して第2記憶ノードが構成される第2インバータと、前記第1記憶ノードに接続する第1転送トランジスタと、前記第2記憶ノードに接続する第2転送トランジスタとを有し、前記第1転送トランジスタを介してビットラインに、前記第2転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積されており、前記第1ドライバトランジスタと前記第2ドライバトランジスタのソースドレイン領域に基準電位を印加するための接地コンタクトCgと、前記第1ロードトランジスタと前記第2ロードトランジスタのソースドレイン領域に電源電位を印加するための電源電位コンタクトCcの径が、前記第1ロードトランジスタのソースドレイン領域と前記第2ロードトランジスタのゲート電極を接続し、前記第2ロードトランジスタのソースドレイン領域と前記第1ロードトランジスタのゲート電極を接続する共通コンタクトCsを除く他のコンタクトの径より大きく形成されている。

20

30

【0043】

上記の本発明の半導体記憶装置は、半導体基板に形成された第1ドライバトランジスタと第1ロードトランジスタを有して第1記憶ノードが構成される第1インバータと、半導体基板に形成された第2ドライバトランジスタと第2ロードトランジスタを有して第2記憶ノードが構成される第2インバータと、第1記憶ノードに接続する第1転送トランジスタと、第2記憶ノードに接続する第2転送トランジスタとを有し、第1転送トランジスタを介してビットラインに、第2転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積された半導体記憶装置である。

40

ここで、第1ドライバトランジスタと第2ドライバトランジスタのソースドレイン領域に基準電位を印加するための接地コンタクトCgと、第1ロードトランジスタと第2ロードトランジスタのソースドレイン領域に電源電位を印加するための電源電位コンタクトCcの径が、第1ロードトランジスタのソースドレイン領域と第2ロードトランジスタのゲート電極を接続し、第2ロードトランジスタのソースドレイン領域と第1ロードトランジスタのゲート電極を接続する共通コンタクトCsを除く他のコンタクトの径より大きく形成されている。

【0044】

また、本発明の半導体記憶装置の製造方法は、半導体基板に形成された第1ドライバトランジスタと第1ロードトランジスタを有して第1記憶ノードが構成される第1インバー

50

タと、前記半導体基板に形成された第2ドライバトランジスタと第2ロードトランジスタを有して第2記憶ノードが構成される第2インバータと、前記第1記憶ノードに接続する第1転送トランジスタと、前記第2記憶ノードに接続する第2転送トランジスタとを有し、前記第1転送トランジスタを介してビットラインに、前記第2転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積された半導体記憶装置を製造するために、前記半導体基板における前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタのチャンネル形成領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極の側部における前記半導体基板にソースドレイン領域を形成する工程と、前記半導体基板における前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタを被覆する絶縁膜を形成する工程と、前記絶縁膜に対して、前記第1ドライバトランジスタと前記第2ドライバトランジスタのソースドレイン領域に基準電位を印加するための接地コンタクトC<sub>g</sub>と、前記第1ロードトランジスタと前記第2ロードトランジスタのソースドレイン領域に電源電位を印加するための電源電位コンタクトC<sub>c</sub>と、前記第1ロードトランジスタのソースドレイン領域と前記第2ロードトランジスタのゲート電極を接続し、前記第2ロードトランジスタのソースドレイン領域と前記第1ロードトランジスタのゲート電極を接続する共通コンタクトC<sub>s</sub>を含むコンタクトを開口する工程とを有し、基準電位を印加するための前記接地コンタクトC<sub>g</sub>と、電源電位を印加するための前記電源電位コンタクトC<sub>c</sub>の径を、前記共通コンタクトC<sub>s</sub>を除く他のコンタクトの径より大きく形成する。

#### 【0045】

上記の本発明の半導体記憶装置の製造方法は、半導体基板に形成された第1ドライバトランジスタと第1ロードトランジスタを有して第1記憶ノードが構成される第1インバータと、半導体基板に形成された第2ドライバトランジスタと第2ロードトランジスタを有して第2記憶ノードが構成される第2インバータと、第1記憶ノードに接続する第1転送トランジスタと、第2記憶ノードに接続する第2転送トランジスタとを有し、第1転送トランジスタを介してビットラインに、第2転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積された半導体記憶装置の製造方法である。

まず、半導体基板における第1ドライバトランジスタ、第1ロードトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ、第2ロードトランジスタ及び第2転送トランジスタのチャンネル形成領域上にゲート絶縁膜を形成する。

次に、ゲート絶縁膜上にゲート電極を形成する。

次に、ゲート電極の側部における半導体基板にソースドレイン領域を形成する。

次に、半導体基板における第1ドライバトランジスタ、第1ロードトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ、第2ロードトランジスタ及び第2転送トランジスタを被覆する絶縁膜を形成する。

次に、絶縁膜に対して、第1ドライバトランジスタと第2ドライバトランジスタのソースドレイン領域に基準電位を印加するための接地コンタクトC<sub>g</sub>と、第1ロードトランジスタと第2ロードトランジスタのソースドレイン領域に電源電位を印加するための電源電位コンタクトC<sub>c</sub>と、第1ロードトランジスタのソースドレイン領域と第2ロードトランジスタのゲート電極を接続し、第2ロードトランジスタのソースドレイン領域と第1ロードトランジスタのゲート電極を接続する共通コンタクトC<sub>s</sub>を含むコンタクトを開口する。

ここで、基準電位を印加するための前記接地コンタクトC<sub>g</sub>と、電源電位を印加するための前記電源電位コンタクトC<sub>c</sub>の径を、共通コンタクトC<sub>s</sub>を除く他のコンタクトの径より大きく形成する。

#### 【発明の効果】

#### 【0046】

10

20

30

40

50

本発明の半導体記憶装置は、6トランジスタ型SRAMにおいて、基準電位を印加するための接地コンタクトC<sub>g</sub>と、電源電位を印加するための前記電源電位コンタクトC<sub>c</sub>の径が、共通コンタクトC<sub>s</sub>を除く他のコンタクトの径より大きく形成されている。これにより、コンタクトの微細化が可能であり、接地コンタクトC<sub>g</sub>と電源電位コンタクトC<sub>c</sub>はエクステンション領域などの浅い不純物領域を突き抜けても突き抜けた部分の半導体領域と同電位で動作されるので、リークの発生を回避することができる。

【0047】

本発明の半導体記憶装置の製造方法は、6トランジスタ型SRAMにおいて、基準電位を印加するための接地コンタクトC<sub>g</sub>と、電源電位を印加するための前記電源電位コンタクトC<sub>c</sub>の径を、共通コンタクトC<sub>s</sub>を除く他のコンタクトの径より大きく形成する。このため、コンタクトの微細化が可能であり、接地コンタクトC<sub>g</sub>と電源電位コンタクトC<sub>c</sub>はエクステンション領域などの浅い不純物領域を突き抜けても突き抜けた部分の半導体領域と同電位で動作されるので、リークの発生を回避することができる。

10

【図面の簡単な説明】

【0048】

【図1】図1(a)は本発明の第1実施形態に係る半導体記憶装置における6つのMOSFETを有する1つのメモリセルの等価回路図であり、図1(b)は第1実施形態に係る半導体記憶装置における1つのメモリセルのレイアウトを示す平面図である。

【図2】図2は本発明の第1実施形態に係る半導体記憶装置の8つのメモリセルのレイアウトを示す平面図である。

20

【図3】図3(a)は図2中のA-A'における断面図であり、図3(b)はB-B'における断面図である。

【図4】図4(a)及び(b)は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図5】図5(a)及び(b)は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図6】図6(a)及び(b)は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図7】図7(a)及び(b)は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

30

【図8】図8(a)及び(b)は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図9】図9(a)及び(b)は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図10】図10(a)及び(b)は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図11】図11は本発明の第1実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図12】図12は本発明の第2実施形態に係る半導体記憶装置における1つのメモリセルのレイアウトを示す平面図である。

40

【図13】図13は本発明の第2実施形態に係る半導体記憶装置の8つのメモリセルのレイアウトを示す平面図である。

【図14】図14(a)は従来例に係る半導体記憶装置における6つのMOSFETを有する1つのメモリセルの等価回路図であり、図14(b)は従来例に係る半導体記憶装置における1つのメモリセルのレイアウトを示す平面図である。

【図15】図15は従来例に係る半導体記憶装置の8つのメモリセルのレイアウトを示す平面図である。

【図16】図16(a)は図15中のA-A'における断面図であり、図16(b)はB-B'における断面図である。

【図17】図17(a)~(c)は、SRAMの代表的な特性であるSNM(Static-Noise Margin)を示す特性図である。

50

se-Margin) を示す模式図である。

【発明を実施するための形態】

【0049】

以下、本発明の実施形態に係る半導体記憶装置及びその製造方法について図面を参照して説明する。

【0050】

尚、説明は以下の順序で行う。

1. 第1実施形態 ( $C_b = C_n = C_w < C_c = C_g < C_s$  である形態)
2. 第2実施形態 ( $C_b = C_n = C_w < C_c = C_g = C_s$  である形態)

【0051】

< 第1実施形態 >

[半導体記憶装置のレイアウト]

本実施形態に係る半導体記憶装置はSRAMである。

図1(a)は、本実施形態に係るSRAMにおける6つのMOSFETを有する1つのメモリセルの等価回路図である。本実施形態に係るSRAMは、この構成のメモリセルが複数個集積されている。

【0052】

例えば、第1ロードトランジスタLT<sub>r1</sub>、第2ロードトランジスタLT<sub>r2</sub>、第1ドライバトランジスタDT<sub>r1</sub>、第2ドライバトランジスタDT<sub>r2</sub>、第1転送トランジスタTT<sub>r1</sub>及び第2転送トランジスタTT<sub>r2</sub>を有する。

例えば、第1ロードトランジスタLT<sub>r1</sub>と第2ロードトランジスタLT<sub>r2</sub>はPMOSトランジスタである。第1ドライバトランジスタDT<sub>r1</sub>と第2ドライバトランジスタDT<sub>r2</sub>はNMOSトランジスタである。第1転送トランジスタTT<sub>r1</sub>と第2転送トランジスタTT<sub>r2</sub>はNMOSトランジスタである。

【0053】

第1ロードトランジスタLT<sub>r1</sub>と第1ドライバトランジスタDT<sub>r1</sub>は、ドレインが第1記憶ノードNDに、ゲートが第2記憶ノードND/にそれぞれ接続されている。第1ロードトランジスタLT<sub>r1</sub>のソースは電源電位V<sub>c</sub>に、第1ドライバトランジスタDT<sub>r1</sub>のソースは基準電位V<sub>s</sub>にそれぞれ接続されている。この第1ロードトランジスタLT<sub>r1</sub>及び第1ドライバトランジスタDT<sub>r1</sub>によって、第2記憶ノードND/を入力、第1記憶ノードNDを出力とする1つのCMOSインバータが形成されている。

【0054】

また、第2ロードトランジスタLT<sub>r2</sub>と第2ドライバトランジスタDT<sub>r2</sub>は、ドレインが第2記憶ノードND/に、ゲートが第1記憶ノードNDにそれぞれ接続されている。第2ロードトランジスタLT<sub>r2</sub>のソースは電源電位V<sub>c</sub>に、第2ドライバトランジスタDT<sub>r2</sub>のソースは基準電位V<sub>s</sub>にそれぞれ接続されている。この第2ロードトランジスタLT<sub>r2</sub>及び第2ドライバトランジスタDT<sub>r2</sub>によって、第1記憶ノードNDを入力、第2記憶ノードND/を出力とする1つのCMOSインバータが形成されている。

【0055】

第1ロードトランジスタLT<sub>r1</sub>及び第1ドライバトランジスタDT<sub>r1</sub>によるCMOSインバータと、第2ロードトランジスタLT<sub>r2</sub>及び第2ドライバトランジスタDT<sub>r2</sub>によるCMOSインバータとは、互いの入力及び出力がリング状に接続されている。これによりフリップフロップと称せられる1つの記憶回路が構成されている。

【0056】

また、第1転送トランジスタTT<sub>r1</sub>は、ゲートがワードラインWLに、ドレインがビットラインBLに、ソースが第1記憶ノードNDにそれぞれ接続されている。もう1つの第2転送トランジスタTT<sub>r2</sub>は、ゲートがワードラインWLに、ドレインが反転ビットラインBL/に、ソースが第2記憶ノードND/にそれぞれ接続されている。

【0057】

図1(b)は、本実施形態に係るメモリセルのレイアウトを示す平面図であり、図面上

10

20

30

40

50

6つのトランジスタを有する1個のメモリセルMCを示している。

例えば、第1P型半導体領域P1、第2P型半導体領域P2、第1N型半導体領域N1及び第2N型半導体領域N2が素子分離絶縁膜Iで分離されている。

第1P型半導体領域P1、第2P型半導体領域P2、第1N型半導体領域N1及び第2N型半導体領域N2は、例えばそれぞれ半導体基板に形成されたウェルで構成される。

【0058】

上記の6個のトランジスタを構成する位置において、各半導体領域上を横切るように第1ゲート電極G1、第2ゲート電極G2、第3ゲート電極G3、第4ゲート電極G4、第5ゲート電極G5、第6ゲート電極G6がそれぞれ図示のレイアウトで形成されている。ここで、第1ゲート電極G1と第2ゲート電極G2は、連続した導電層として構成されており、第4ゲート電極G4及び第5ゲート電極G5も同様である。

10

【0059】

さらに、各ゲート電極の形成領域を除く領域の各半導体領域の表層部分にソースドレイン領域が形成されている。上記のようにして、第1ロードトランジスタLTr1、第2ロードトランジスタLTr2、第1ドライバトランジスタDTr1、第2ドライバトランジスタDTr2、第1転送トランジスタTTr1及び第2転送トランジスタTTr2がそれぞれ構成されている。

以下において、第1ロードトランジスタLTr1と第2ロードトランジスタLTr2をまとめてロードトランジスタLTrと称する。また、第1ドライバトランジスタDTr1と第2ドライバトランジスタDTr2をまとめてドライバトランジスタDTrと称する。また、第1転送トランジスタTTr1と第2転送トランジスタTTr2をまとめて転送トランジスタTTrと称する。

20

【0060】

ここで、PMOSTランジスタである第1ロードトランジスタLTr1のソースドレイン領域から、第5ゲート電極G5に及ぶ領域までが連通して開口された共通コンタクトCs1が形成されている。共通コンタクトCs1は、第5ゲート電極G5と第1ロードトランジスタLTr1のソースドレイン領域を接続する。

【0061】

また、第1ドライバトランジスタDTr1と第1転送トランジスタTTr1を接続するソースドレイン領域に開口部が形成されて、記憶ノードコンタクトCn1が形成されている。

30

共通コンタクトCs1と記憶ノードコンタクトCn1は上層配線で接続され、この部分が図1(a)に示す第1記憶ノードNDとなる。

【0062】

また、PMOSTランジスタである第2ロードトランジスタLTr2のソースドレイン領域から、第2ゲート電極G2に及ぶ領域までが連通して開口された共通コンタクトCs2が形成されている。共通コンタクトCs2は、第2ゲート電極G2と第2ロードトランジスタLTr2のソースドレイン領域を接続する。

【0063】

また、第2ドライバトランジスタDTr2と第2転送トランジスタTTr2を接続するソースドレイン領域に開口部が形成されて、記憶ノードコンタクトCn2が形成されている。

40

共通コンタクトCs2と記憶ノードコンタクトCn2は上記と同様に上層配線で接続され、この部分が図1(a)に示す第2記憶ノードND/となる。

【0064】

第1転送トランジスタTTr1の他方のソースドレイン領域にビットコンタクトCb1が形成され、ビットラインBLに接続されている。

また、第2転送トランジスタTTr2の他方のソースドレイン領域にビットコンタクトCb2が形成され、反転ビットラインBL/に接続されている。

【0065】

50

第1転送トランジスタ $TTr1$ を構成する第3ゲート電極 $G3$ にワードコンタクト $Cw1$ が形成され、ワードライン $WL$ に接続されている。

また、第2転送トランジスタ $TTr2$ を構成する第6ゲート電極 $G6$ にワードコンタクト $Cw2$ が形成され、ワードライン $WL$ に接続されている。

【0066】

第1ドライバトランジスタ $DTr1$ の他方のソースドレイン領域に接地コンタクト $Cg1$ が形成され、また、第2ドライバトランジスタ $DTr2$ の他方のソースドレイン領域に接地コンタクト $Cg2$ が形成され、それぞれ基準電位 $Vs$ が印加される。

第1ロードトランジスタ $LTr1$ の他方のソースドレイン領域に電源電位コンタクト $Cc1$ が形成され、また、第2ロードトランジスタ $LTr2$ の他方のソースドレイン領域に電源電位コンタクト $Cc2$ が形成され、それぞれ電源電位 $Vc$ が印加される。

10

【0067】

以下においては、ビットコンタクト $Cb1$ とビットコンタクト $Cb2$ をまとめてビットコンタクト $Cb$ と称する。また、記憶ノードコンタクト $Cn1$ と記憶ノードコンタクト $Cn2$ をまとめて記憶ノードコンタクト $Cn$ と称する。また、接地コンタクト $Cg1$ と接地コンタクト $Cg2$ をまとめて接地コンタクト $Cg$ と称する。

また、共通コンタクト $Cs1$ と共通コンタクト $Cs2$ をまとめて共通コンタクト $Cs$ と称し、電源電位コンタクト $Cc1$ と電源電位コンタクト $Cc2$ をまとめて電源電位コンタクト $Cc$ と称する。

また、ワードコンタクト $Cw1$ とワードコンタクト $Cw2$ をまとめてワードコンタクト $Cw$ と称する。

20

【0068】

上記のようにして、1つのメモリセル $MC$ が構成されている。

本実施形態のメモリセル $MC$ においては、上記の基準電位を印加するための接地コンタクト $Cg$ と、電源電位を印加するための電源電位コンタクト $Cc$ の径が、共通コンタクト $Cs$ を除く他のコンタクトの径より大きく形成されている。

具体的には、接地コンタクト $Cg$ 、電源電位コンタクト $Cc$ 、共通コンタクト $Cs$ 、記憶ノードコンタクト $Cn$ 、ビットコンタクト $Cb$ 、ワードコンタクト $Cw$ の径について、 $Cb = Cn = Cw < Cc = Cg < Cs$ となっている。

【0069】

30

図2は、本実施形態に係るメモリセルのレイアウトを示す平面図であり、図面上8つのメモリセル $MC11$ 、 $MC12$ 、 $MC13$ 、 $MC14$ 、 $MC21$ 、 $MC22$ 、 $MC23$ 、 $MC24$ を示している。

各メモリセルは、それぞれ図1(b)に示す構成を有するが、隣接するメモリセルに対して鏡面反転させたパターンとなっている。

上記のビットコンタクト $Cb$ 、ワードコンタクト $Cw$ 、電源電位コンタクト $Cc$ 及び接地コンタクト $Cg$ は、それぞれ、隣接するメモリセル間で共有されている。

【0070】

[半導体記憶装置の断面構成]

図3(a)は、図2中のA-A'における断面図であり、図3(b)は図2中のB-B'における断面図である。

40

図3(a)は、ビットコンタクト $Cb$ 、記憶ノードコンタクト $Cn$ 及び接地コンタクト $Cg$ を含む面での断面であり、図3(b)は、共通コンタクト $Cs$ 及び電源電位コンタクト $Cc$ を含む面での断面である。

【0071】

例えば、半導体基板に上記の第1P型半導体領域 $P1$ となるP型半導体領域 $10a$ 及び第1N型半導体領域 $N1$ となるN型半導体領域 $10b$ が、それぞれウェルとして形成されている。P型半導体領域 $10a$ 及びN型半導体領域 $10b$ は、STI(Shallow Trench Isolation)型の素子分離絶縁膜 $11$ で区分されている。

【0072】

50

P型半導体領域10a及びN型半導体領域10bにおいて、トランジスタのチャネル形成流域上における表層に酸化シリコンなどからなるゲート絶縁膜20がそれぞれ形成されている。その上層にポリシリコンなどからなり、上記の第1ゲート電極G1及び第2ゲート電極G2となるゲート電極21aが形成されている。

P型半導体領域10aにおいて、ゲート絶縁膜20の上層にポリシリコンなどからなり、上記の第1ゲート電極G1及び第2ゲート電極G2となるゲート電極21aが形成されている。

また、N型半導体領域10bにおいて、ゲート絶縁膜20の上層にポリシリコンなどからなり、上記の第3ゲート電極G3及び第5ゲート電極G5となるゲート電極21bが形成されている。

10

#### 【0073】

また、ゲート電極21a及びゲート電極21bの側部における半導体基板上にサイドウォール絶縁膜22が形成されている。

P型半導体領域10aにおいて、サイドウォール絶縁膜22の下部における半導体基板中にN型のエクステンション領域12aあるいはLDD(Lightly Doped Drain)領域と称せられる浅い不純物領域が形成されている。さらにサイドウォール絶縁膜22の側部における半導体基板中にN型のソースドレイン領域13aが形成されている。

N型半導体領域10bにおいて、サイドウォール絶縁膜22の下部における半導体基板中にP型のエクステンション領域12あるいはLDD領域が形成されている。さらにサイドウォール絶縁膜22の側部における半導体基板中にP型のソースドレイン領域13bが形成されている。

20

#### 【0074】

上記のようにして、ドライバトランジスタDT<sub>r</sub>、転送トランジスタTT<sub>r</sub>及びロードトランジスタLT<sub>r</sub>が形成されている。

ドライバトランジスタDT<sub>r</sub>、転送トランジスタTT<sub>r</sub>及びロードトランジスタLT<sub>r</sub>を被覆して、全面に酸化シリコンなどからなる層間絶縁膜30が形成されている。

#### 【0075】

P型半導体領域10aにおいて、層間絶縁膜30に対して、隣接するメモリセルの転送トランジスタTT<sub>r</sub>の間の領域へのビットコンタクトCbが開口されている。また、ドライバトランジスタDT<sub>r</sub>と転送トランジスタTT<sub>r</sub>の間の領域への記憶ノードコンタクトCnが開口されている。また、隣接するメモリセルのドライバトランジスタDT<sub>r</sub>の間の領域への接地コンタクトCgが開口されている。

30

#### 【0076】

N型半導体領域10bにおいては、隣接するメモリセルのロードトランジスタLT<sub>r</sub>の間の領域への電源電位コンタクトCcが開口されている。

また、ロードトランジスタLT<sub>r</sub>のソースドレイン領域からと同一メモリセルの他方のロードトランジスタのゲート電極までを連通して開口する共通コンタクトCsが開口されている。

共通コンタクトCs内のサイドウォール絶縁膜22は、他の部分のサイドウォール絶縁膜より後退している。

40

#### 【0077】

図1(b)、図2及び図3に示すように、接地コンタクトCgと電源電位コンタクトCcがサイドウォール絶縁膜SD(22)の形成領域と重なり領域を有する。

重なり領域におけるサイドウォール絶縁膜SD(22)が除去されており、接地コンタクトCgと電源電位コンタクトCcが共通コンタクトCsを除く他のコンタクトより半導体基板と接する面積が大きく形成されている。

#### 【0078】

ビットコンタクトCb、記憶ノードコンタクトCn、接地コンタクトCg、電源電位コンタクトCc及び共通コンタクトCsの内部に、導電性材料によるプラグ31が埋め込まれている。

50

上記のプラグ 3 1 に接続して、パターンングされた導電性材料により上層配線 3 2 が形成されている。

上記の層間絶縁膜 3 0 及び上層配線 3 2 の上層に、さらなる絶縁膜及び配線が適宜積層されている。

【 0 0 7 9 】

本実施形態に係るメモリセル MC の面積は、例えば図 1 ( b ) における L 1 が  $1.0 \mu\text{m}$ 、L 2 が  $0.41 \mu\text{m}$  程度である。

【 0 0 8 0 】

例えば、第 3 ゲート電極 G 3 のゲート長は  $40 \text{ nm}$  程度であり、第 1 ゲート電極 G 1 及び第 2 ゲート電極 G 2 のゲート長は  $50 \text{ nm}$  程度である。

例えば、ワードコンタクト C w、記憶ノードコンタクト C n 及びビットコンタクト C b の各コンタクトは  $80 \text{ nm} \times 80 \text{ nm}$  程度の大きさである。

例えば、接地コンタクト C g 及び電源電位コンタクト C c の各コンタクトは  $110 \text{ nm} \times 80 \text{ nm}$  程度の大きさである。

また、記憶ノードコンタクト C n 及びビットコンタクト C b と近接するゲート電極の間の距離は  $40 \text{ nm}$  程度である。

また、接地コンタクト C g 及び電源電位コンタクト C と近接するゲート電極の間の距離は  $25 \text{ nm}$  程度である。

【 0 0 8 1 】

S R A M 動作において、電源電位コンタクト C c、接地コンタクト C g、ビットコンタクト C b、記憶ノードコンタクト C n の各コンタクトの動作電圧範囲は以下のように設定される。

C c :  $V_{cc}$  で固定, C g :  $0 \text{ V}$  で固定, C b :  $0 \text{ V} \sim V_{cc}$  で変動, C n :  $0 \text{ V} \sim V_{cc}$  で変動

【 0 0 8 2 】

一方、P 型ウェルは  $0 \text{ V}$  で固定され、N 型ウェルは  $V_{cc}$  で固定される。

つまり、電源電位コンタクト C c と N 型ウェル及び接地コンタクト C g と P 型ウェルは S R A M 動作中、常に同電位であることになる。

【 0 0 8 3 】

本実施形態の S R A M は、低電圧動作確保のために、電源電位コンタクト C c 及び接地コンタクト C g のコンタクト径をワードコンタクト C w、記憶ノードコンタクト C n 及びビットコンタクト C b より大きくしている。

上記の構成を実現するため、電源電位コンタクト C c 及び接地コンタクト C g において、サイドウォール絶縁膜 S D ( 2 2 ) との重なり領域のサイドウォール絶縁膜 S D ( 2 2 ) が除去されている。

電源電位コンタクト C c 及び接地コンタクト C g と半導体基板の活性領域の接触面積を確保した構造となっている。

これにより、電源電位コンタクト C c と接地コンタクト C g のコンタクト抵抗の悪化を抑制でき、安定な低電圧動作を有する S R A M 特性が実現できる。

一方、電源電位コンタクト C c と N 型半導体領域 1 0 b は S R A M 動作中、電源電位  $V_{cc}$  で同電位である。また、接地コンタクト C g と P 型半導体領域 1 0 a は S R A M 動作中、接地電位  $V_s$  で同電位である。

このため、電源電位コンタクト C c と接地コンタクト C g がサイドウォール絶縁膜 S D ( 2 2 ) を突き抜き、その下のエクステンション領域などの浅い不純物領域を突き抜いたとしても、リークは発生せず、S R A M 動作には影響しない。

【 0 0 8 4 】

本実施形態に係る半導体記憶装置によれば、S R A M において、基準電位を印加するための接地コンタクト C g と、電源電位を印加するための前記電源電位コンタクト C c の径が、共通コンタクト C s を除く他のコンタクトの径より大きく形成されている。

これにより、コンタクトの微細化が可能であり、接地コンタクト C g と電源電位コンタ

10

20

30

40

50



クトC cはエクステンション領域などの浅い不純物領域を突き抜けても突き抜けた部分の半導体領域と同電位で動作されるので、リークの発生を回避することができる。

【0085】

電源電位コンタクトC cと接地コンタクトC gの径が共通コンタクトを除くコンタクトの径より大きい構成であればよく、コンタクト抵抗の悪化を招かない範囲で各コンタクトを縮小することでメモリセルMC全体のサイズ縮小に寄与することができる。

【0086】

[半導体記憶装置の製造方法]

次に、本実施形態に係る半導体記憶装置であるSRAMの製造方法について、図4(a)及び(b)~図10(a)及び(b)の製造方法の製造工程を示す断面図を参照して説明する。

10

図4(a)~図10(a)は図3(a)に対応する断面図であり、図4(b)~図10(b)は図3(b)に対応する断面図である。

【0087】

例えば、図4(a)及び(b)に示すように、半導体基板にイオン注入などによりP型半導体領域とN型半導体領域となる領域を区分するように、STI(Shallow Trench Isolation)法による素子分離絶縁膜11を形成する。

次に、素子分離絶縁膜11で区分されたP型半導体領域となる領域にイオン注入によりP型不純物を導入し、P型半導体領域10aを形成する。また、N型半導体領域となる領域にイオン注入によりN型不純物を導入し、N型半導体領域10bを形成する。

20

次に、トランジスタの閾値( $V_{th}$ )調整のイオン注入を適宜行う。

【0088】

次に、例えば熱酸化処理などによりゲート絶縁膜20を形成し、CVD(Chemical Vapor Deposition)法などによりポリシリコンなどの導電層を堆積する。次に、フォトリソグラフィによるゲート電極パターンのレジスト膜の形成及びドライエッチング処理などによるゲートパターンニング加工を行い、ゲート電極のパターンに加工してゲート電極21を形成する。

【0089】

次に、例えば、図5(a)及び(b)に示すように、ゲート電極21をマスクとしてイオン注入を行い、ゲート電極21の側部におけるP型半導体領域10aにおいてN型のエクステンション領域12aを形成する。また、ゲート電極21の側部におけるN型半導体領域10bにおいてP型のエクステンション領域12bを形成する。

30

例えば、N型のエクステンション領域12aは、Asを2keVのエネルギーで $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入して形成する。

例えば、P型のエクステンション領域12bは、BF<sub>2</sub>を1.5keVのエネルギーで $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入して形成する。

【0090】

次に、例えば、図6(a)及び(b)に示すように、CVD法により全面に酸化シリコンを堆積し、ゲート電極21の側部を残すように前面にエッチバックして、サイドウォール絶縁膜22を形成する。

40

【0091】

次に、例えば、図7(a)及び(b)に示すように、ゲート電極21及びサイドウォール絶縁膜22をマスクとしてイオン注入を行い、サイドウォール絶縁膜22の側部におけるP型半導体領域10aにおいてN型のソースドレイン領域13aを形成する。また、サイドウォール絶縁膜22の側部におけるN型半導体領域10bにおいてP型のソースドレイン領域13bを形成する。

例えば、N型のソースドレイン領域13aは、Asを30keVのエネルギーで $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入して形成する。

例えば、P型のソースドレイン領域13bは、Bを5keVのエネルギーで $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入して形成する。

50

次に、R T A (Rapid Thermal Annealing) 熱処理を行い、不純物の活性化を行う。

上記のN型のソースドレイン領域13aを形成する工程により、P型半導体領域10a上のゲート電極21はN型のゲート電極21aとなる。また、P型のソースドレイン領域13bを形成する工程により、N型半導体領域10b上のゲート電極21はP型のゲート電極21bとなる。

#### 【0092】

次に、例えば、図8(a)及び(b)に示すように、スパッタリング法により全面に、コバルト、ニッケル、タングステンあるいはプラチナなどの高融点金属を堆積させ、自己整合的にシリサイド化処理を行う。

これにより、ゲート電極21a及びゲート電極21bの上面から高融点金属シリサイド化し、高融点金属シリサイド層23が形成される。

また、N型のソースドレイン領域13a及びN型半導体領域10bの上面から高融点金属シリサイド化し、高融点金属シリサイド層14が形成される。

シリサイド化処理の後、未反応の高融点金属は除去する。

#### 【0093】

次に、例えば、図9(a)及び(b)に示すように、CVD法により酸化シリコンを堆積させて層間絶縁膜30を形成し、CMP (Chemical Mechanical Polishing) 処理により平坦化する。

#### 【0094】

次に、例えば、図10(a)及び(b)に示すように、フォトリソグラフィによるコンタクト開口パターンのレジスト膜の形成及びドライエッチング処理などによるコンタクト開口加工を行う。

上記により、ビットコンタクトCb、記憶ノードコンタクトCn、電源電位コンタクトCc、接地コンタクトCg、共通コンタクトCs及びワードコンタクトCw(不図示)を形成する。

#### 【0095】

上記のコンタクト形成工程において、ビットコンタクトCbと記憶ノードコンタクトCnは、サイドウォール絶縁膜SD(22)を突き抜かないように、小さなコンタクトにする。

一方、電源電位コンタクトCcと接地コンタクトCgは、ビットコンタクトCbと記憶ノードコンタクトCnより大きいサイズのコンタクトを開口し、電源電位コンタクトCcと接地コンタクトCgと重なる領域におけるサイドウォール絶縁膜を除去する。

また、共通コンタクトCsは、ロードトランジスタLTrのソースドレイン領域から同一メモリセルの他方のロードトランジスタのゲート電極までを連通して開口する。即ち、インバータのゲート電極と記憶ノードとなる活性領域(Node Active Area)を連通するように開口する。共通コンタクトCs内のサイドウォール絶縁膜22はがエッチングされて後退し、縮小したサイドウォール絶縁膜22bとなる。

ワードコンタクトCwは、ゲート電極上のコンタクトであり、ゲート電極と接続できれば寸法に制限はない。

#### 【0096】

必要なコンタクトの寸法の関係は、ビットコンタクトCb、記憶ノードコンタクトCn、電源電位コンタクトCc及び接地コンタクトCgの各径について、 $C_b, C_n < C_c, C_g$ である。

共通コンタクトCsとワードコンタクトCwは上記目的に適えば寸法に制限はない。

#### 【0097】

次に、例えば、ビットコンタクトCb、記憶ノードコンタクトCn、電源電位コンタクトCc、接地コンタクトCg、共通コンタクトCs及びワードコンタクトCw内を埋め込むようにCVD法によりポリシリコンなどの導電体を堆積させる。次に、コンタクト外部の導電体をCMP処理などで平坦化除去し、プラグ31を形成する。

次に、CVD法によりポリシリコンなどの導電体を堆積させ、上層配線のパターンに加

10

20

30

40

50

工して、プラグ 3 1 に接続する上層配線 3 2 を形成する。

上記の層間絶縁膜 3 0 及び上層配線 3 2 の上層に、さらなる絶縁膜及び配線を適宜積層する。

以上で、図 1 ( a ) 及び ( b )、図 2 及び図 3 に示す構成の半導体記憶装置である S R A M を製造することができる。

#### 【 0 0 9 8 】

本実施形態に係る半導体記憶装置の製造方法によれば、基準電位を印加するための接地コンタクト C g と、電源電位を印加するための電源電位コンタクト C c の径を、共通コンタクト C s を除く他のコンタクトの径より大きく形成する。

このため、コンタクトの微細化が可能であり、接地コンタクト C g と電源電位コンタクト C c はエクステンション領域などの浅い不純物領域を突き抜けても突き抜けた部分の半導体領域と同電位で動作されるので、リークの発生を回避することができる。

#### 【 0 0 9 9 】

図 1 1 は、本実施形態に係る半導体記憶装置の製造方法の製造工程を示す断面図であり、接地コンタクト C g の開口工程を示す。

接地コンタクト C g の形成工程において、接地コンタクト C g がサイドウォール絶縁膜 S D ( 2 2 ) を突き抜き、図中 X で示すようにその下のエクステンション領域などの浅い不純物領域を突き抜いてしまう恐れがある。

この場合、接地コンタクト C g が P 型半導体領域 1 0 a に接触することになる。しかしながら、接地コンタクト C g と P 型半導体領域 1 0 a は S R A M 動作中、接地電位 V s で同電位である。

このため、上記のように接地コンタクト C g がエクステンション領域などの浅い不純物領域を突き抜いたとしても、リークは発生せず、S R A M 動作には影響しない。

#### 【 0 1 0 0 】

また、電源電位コンタクト C c の形成においても電源電位コンタクト C c がサイドウォール絶縁膜 S D ( 2 2 ) を突き抜き、エクステンション領域などの浅い不純物領域を突き抜いてしまう恐れがある。

しかし、電源電位コンタクト C c と N 型半導体領域 1 0 b は S R A M 動作中、電源電位 V c で同電位である。

このため、上記のように電源電位コンタクト C c がエクステンション領域などの浅い不純物領域を突き抜いたとしても、リークは発生せず、S R A M 動作には影響しない。

#### 【 0 1 0 1 】

< 第 2 実施形態 >

[ 半導体記憶装置のレイアウト ]

本実施形態に係る半導体記憶装置は S R A M である。

図 1 2 本実施形態に係るメモリセルのレイアウトを示す平面図であり、図面上 6 つのトランジスタを有する 1 個のメモリセル M C を示している。

また、図 1 3 は、本実施形態に係るメモリセルのレイアウトを示す平面図であり、図面上 8 つのメモリセル M C 1 1 , M C 1 2 , M C 1 3 , M C 1 4 , M C 2 1 , M C 2 2 , M C 2 3 , M C 2 4 を示している。

本実施形態の S R A M は、接地コンタクト C g 、電源電位コンタクト C c 、共通コンタクト C s 、記憶ノードコンタクト C n 、ビットコンタクト C b 、ワードコンタクト C w の径について、 $C b = C n = C w < C c = C g = C s$  となっている。

上記を除いて、実質的に第 1 実施形態の S R A M と同様の構成である。

#### 【 0 1 0 2 】

本実施形態に係る半導体記憶装置によれば、S R A M において、基準電位を印加するための接地コンタクト C g と、電源電位を印加するための前記電源電位コンタクト C c の径が、共通コンタクト C s を除く他のコンタクトの径より大きく形成されている。

これにより、コンタクトの微細化が可能であり、接地コンタクト C g と電源電位コンタクト C c はエクステンション領域などの浅い不純物領域を突き抜けても突き抜けた部分の

10

20

30

40

50

半導体領域と同電位で動作されるので、リークの発生を回避することができる。

【0103】

本実施形態のSRAMは、コンタクトの開口径を $C_b = C_n = C_w < C_c = C_g = C_s$ とすることを除いて、第1実施形態と同様に製造することができる。

【0104】

本実施形態に係る半導体記憶装置の製造方法によれば、基準電位を印加するための接地コンタクト $C_g$ と、電源電位を印加するための電源電位コンタクト $C_c$ の径を、共通コンタクト $C_s$ を除く他のコンタクトの径より大きく形成する。

このため、コンタクトの微細化が可能であり、接地コンタクト $C_g$ と電源電位コンタクト $C_c$ はエクステンション領域などの浅い不純物領域を突き抜けても突き抜けた部分の半導体領域と同電位で動作されるので、リークの発生を回避することができる。

10

【0105】

本発明は上記の実施形態に限定されない。

例えば、上記の実施形態においては、 $C_b = C_n = C_w < C_c = C_g < C_s$ 、あるいは、 $C_b = C_n = C_w < C_c = C_g = C_s$ としているが、 $C_s$ については $C_c$ 及び $C_g$ と大きいサイズでもよく、同じサイズでもよい。 $C_w$ については特に限定はなく、 $C_c$ 及び $C_g$ より小さいサイズでもよく、同じサイズでもよい。

その他、本発明の観点を逸脱しない範囲で、種々の変更が可能である。

【符号の説明】

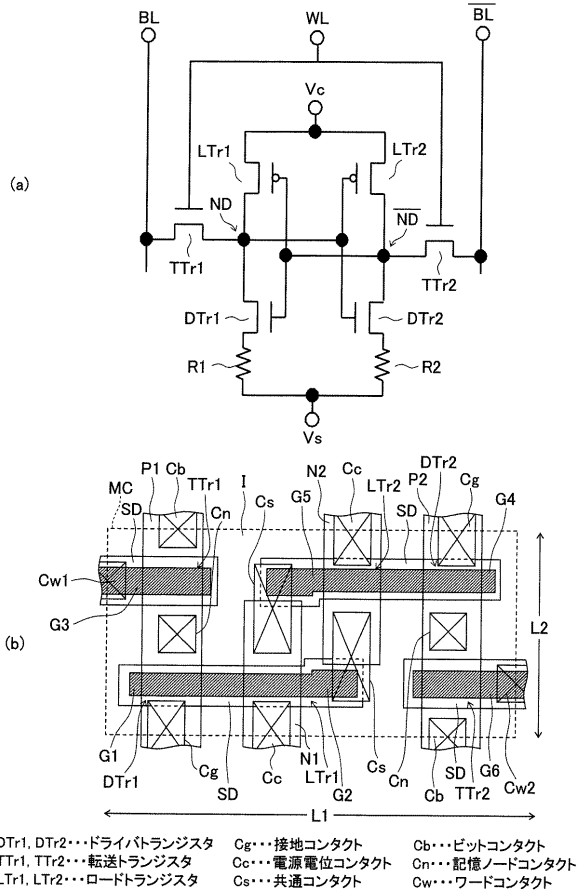
【0106】

10a・・・P型半導体領域、10b・・・N型半導体領域、11・・・素子分離絶縁膜、12a, 12b・・・エクステンション領域、13a, 13b・・・ソースドレイン領域、14・・・高融点金属シリサイド層、20・・・ゲート絶縁膜、21, 21a, 21b・・・ゲート電極、22, 22b・・・サイドウォール絶縁膜、23・・・高融点金属シリサイド層、30・・・層間絶縁膜、31・・・プラグ、32・・・上層配線、MC, MC11~MC24・・・メモリセル、P1・・・第1P型半導体領域、P2・・・第2P型半導体領域、N1・・・第1N型半導体領域、N2・・・第2N型半導体領域、LTr・・・ロードトランジスタ、LTr1・・・第1ロードトランジスタ、LTr2・・・第2ロードトランジスタ、DTr・・・ドライバトランジスタ、DTr1・・・第1ドライバトランジスタ、DTr2・・・第2ドライバトランジスタ、TTr・・・転送トランジスタ、TTr1・・・第1転送トランジスタ、TTr2・・・第2転送トランジスタ、I・・・素子分離絶縁膜、Cb・・・ビットコンタクト、Cn・・・記憶ノードコンタクト、Cw・・・ワードコンタクト、Cc・・・電源電位コンタクト、Cg・・・接地コンタクト、Cs・・・共通コンタクト、WL・・・ワードライン、BL・・・ビットライン、BL/・・・反転ビットライン、ND・・・第1記憶ノード、ND/・・・第2記憶ノード、G1・・・第1ゲート電極、G2・・・第2ゲート電極、G3・・・第3ゲート電極、G4・・・第4ゲート電極、G5・・・第5ゲート電極、G6・・・第6ゲート電極

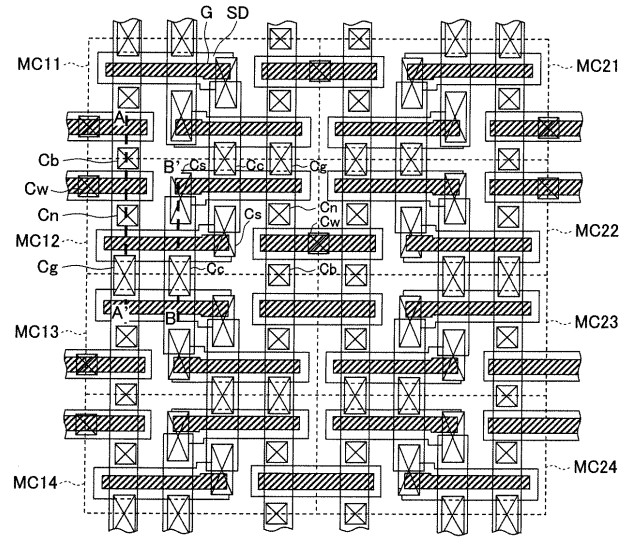
20

30

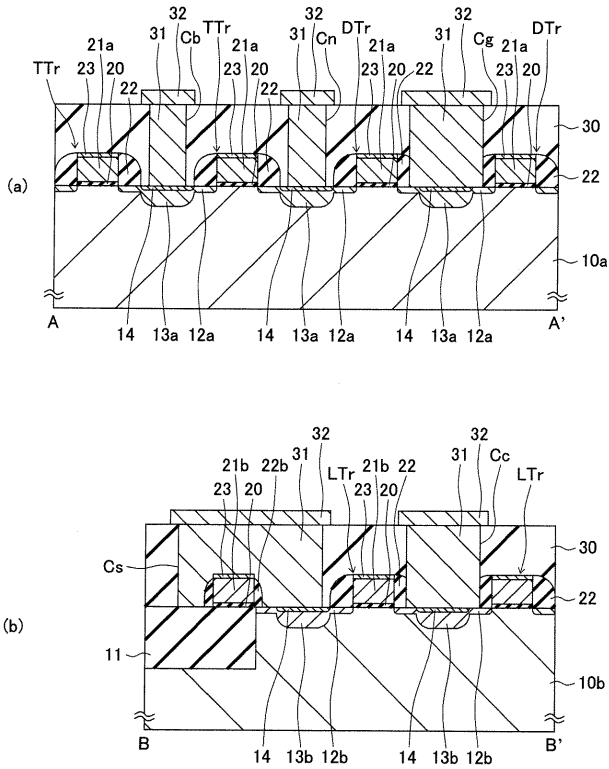
【 図 1 】



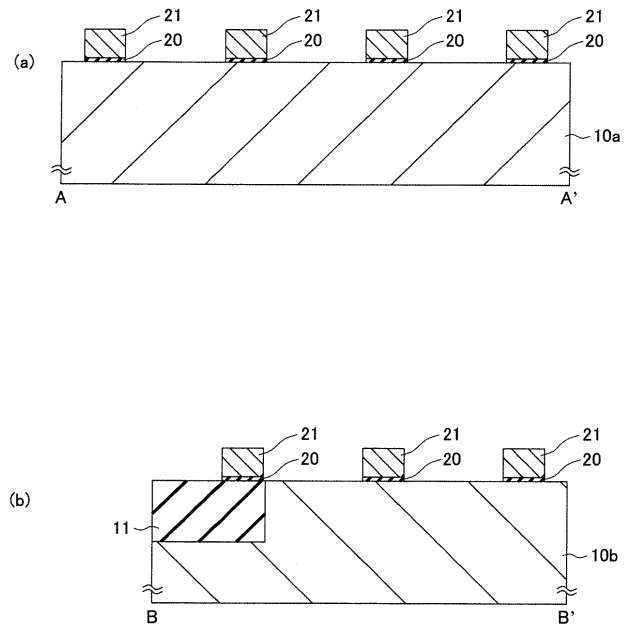
【 図 2 】



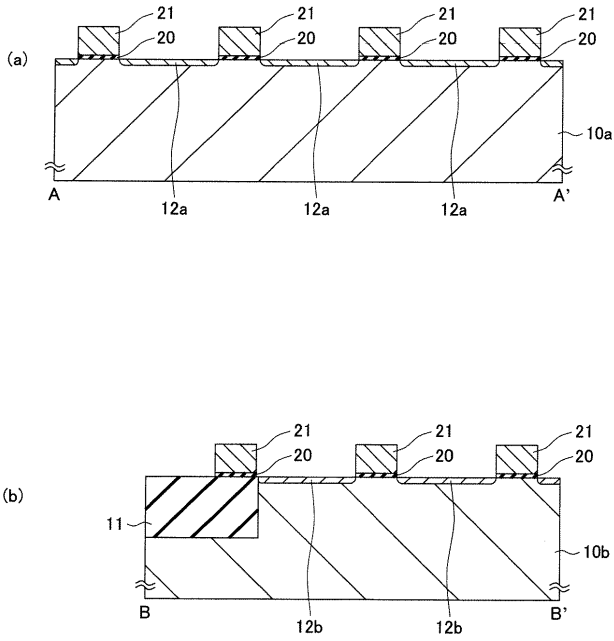
【 図 3 】



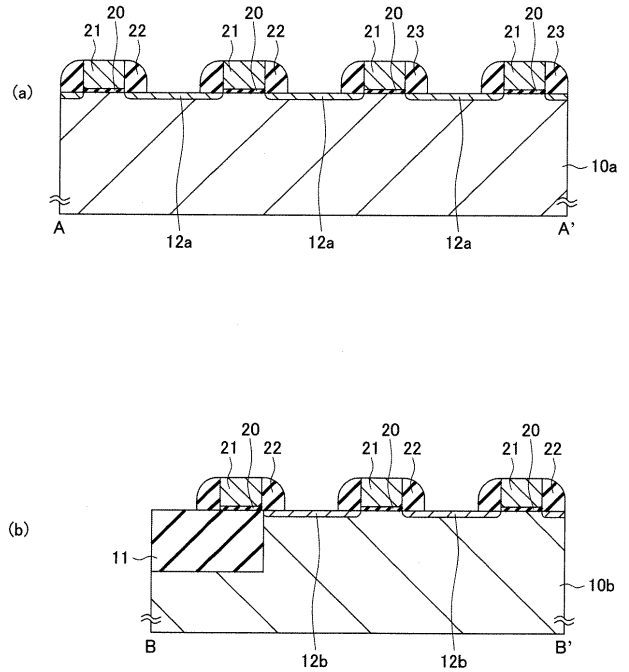
【 図 4 】



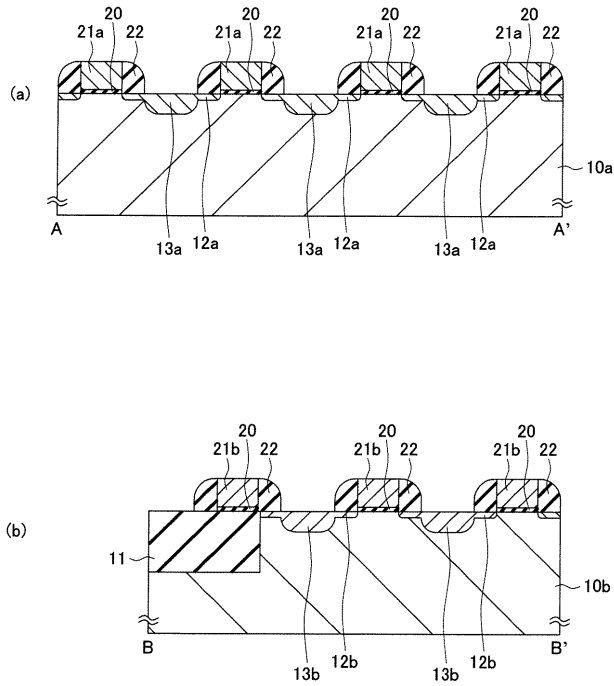
【 図 5 】



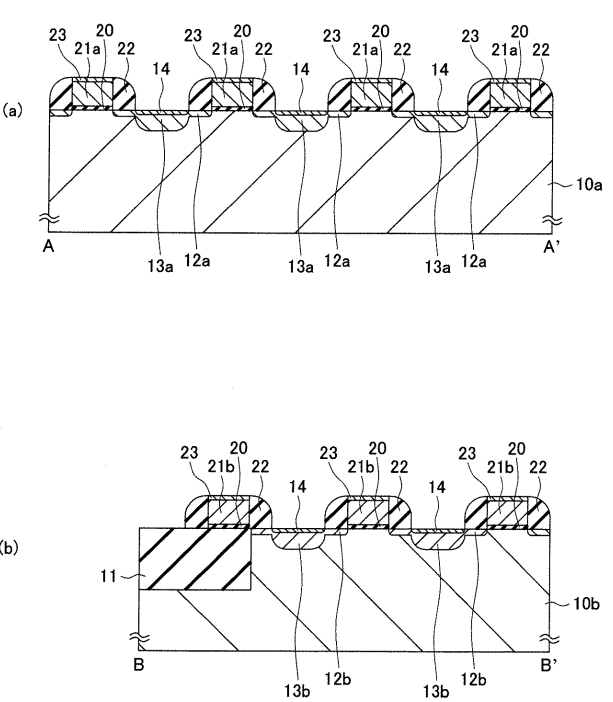
【 図 6 】



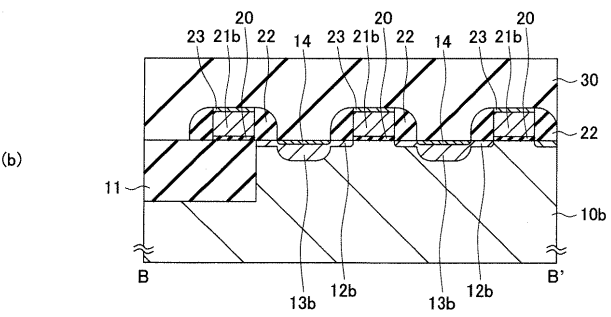
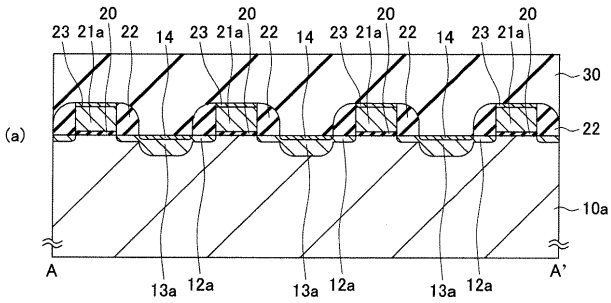
【 図 7 】



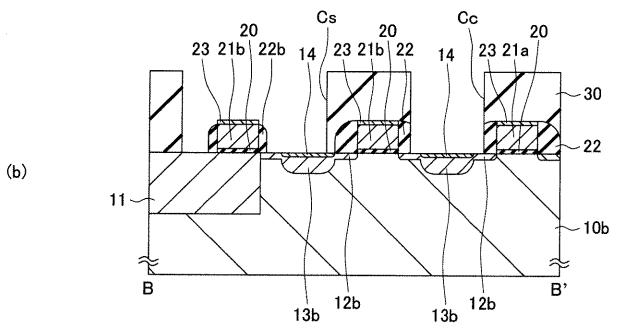
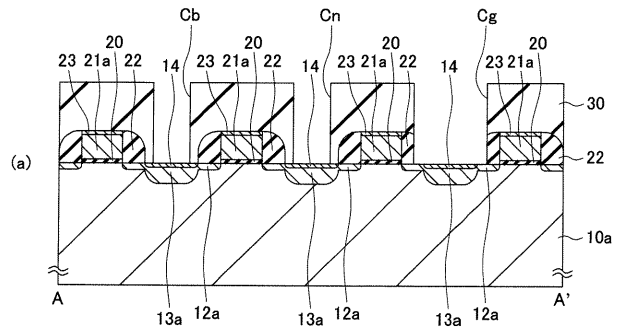
【 図 8 】



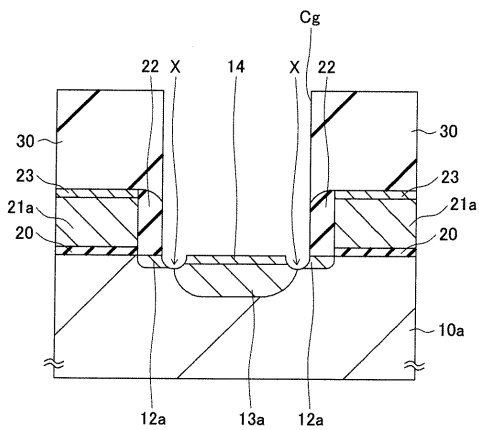
【 図 9 】



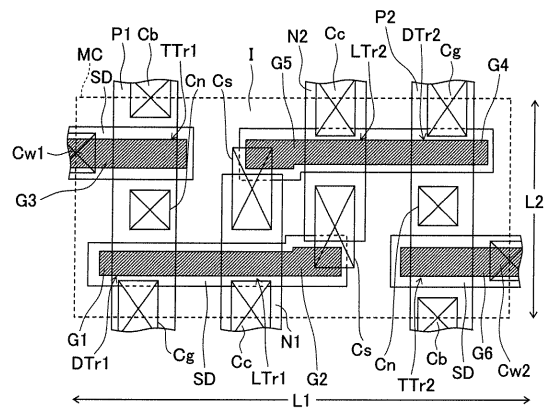
【 図 10 】



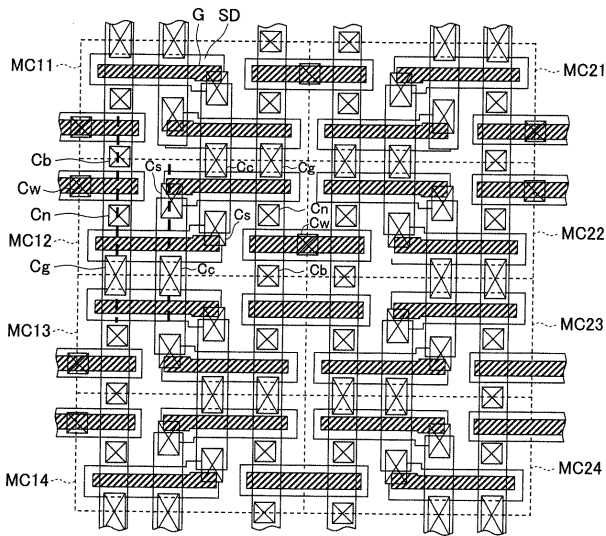
【 図 11 】



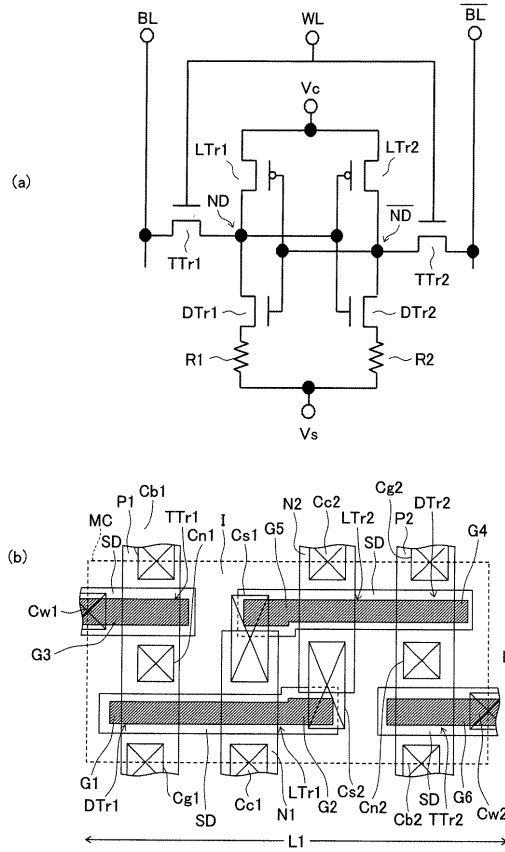
【 図 12 】



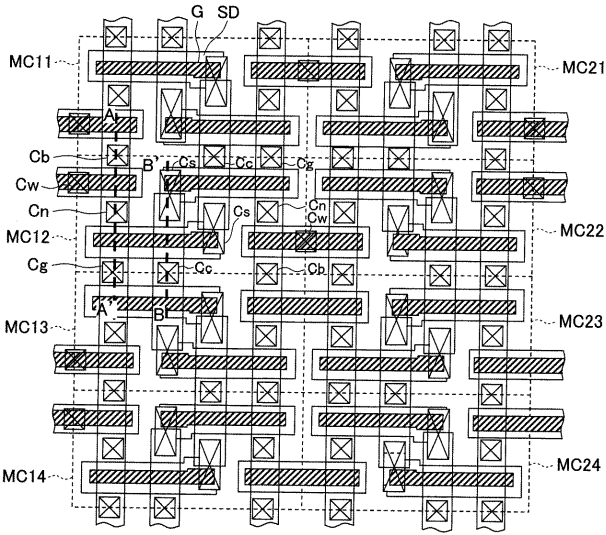
【 図 1 3 】



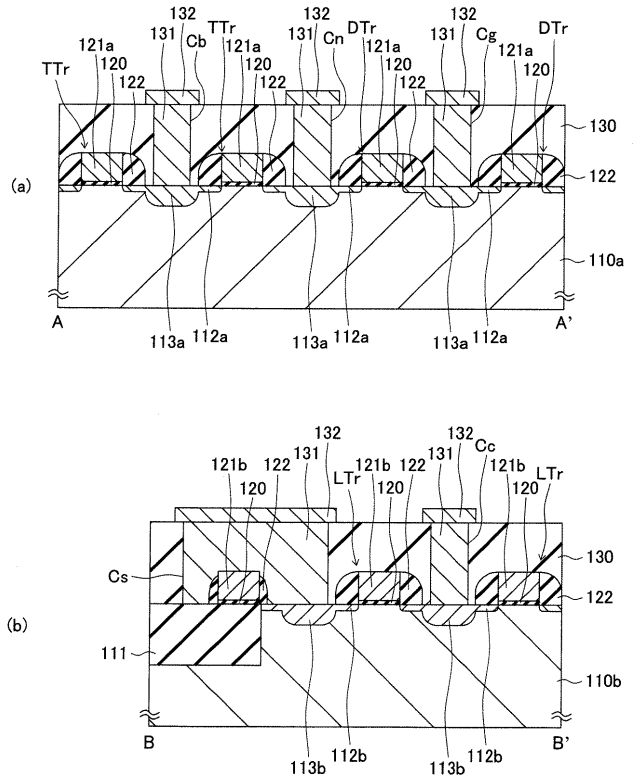
【 図 1 4 】



【 図 1 5 】

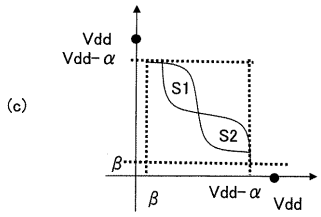
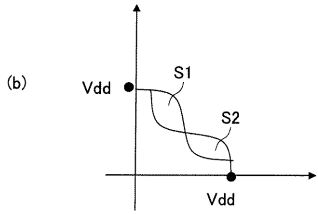
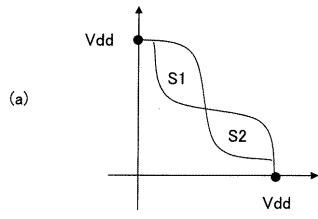


【 図 1 6 】





【 図 1 7 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

**H 0 1 L 21/28 (2006.01)**

Fターム(参考) 5F033 HH04 HH25 HH28 JJ04 KK01 KK25 KK28 MM07 NN12 NN34  
PP15 QQ09 QQ31 QQ37 QQ48 QQ70 QQ73 RR04 SS11 TT08  
VV16 XX09  
5F048 AB01 AB04 AC03 AC10 BA01 BB05 BC06 BE03 BF06 BF07  
BF16 BG13 DA23  
5F083 BS01 BS13 BS27 GA06 JA35 JA53 MA04 MA19 NA01 PR13  
PR36