



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월06일
(11) 등록번호 10-1261611
(24) 등록일자 2013년04월30일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2005-0086308

(22) 출원일자 2005년09월15일

심사청구일자 2010년09월15일

(65) 공개번호 10-2007-0031643

(43) 공개일자 2007년03월20일

(56) 선행기술조사문헌

KR1020040079094 A*

JP2005062882 A*

US20050078253 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

신경주

경기 용인시 기흥읍 보라리 289-12 삼성선비마을 102-504

엄윤성

경기도 용인시 수지구 만현로 99, 만현마을쌍용2 차아파트 216동 1702호 (상현동)

김현욱

경기도 용인시 기흥구 삼성2로 95, LCD총괄LCD연구소 액정기술그룹 (농서동, 삼성전자)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 25 항

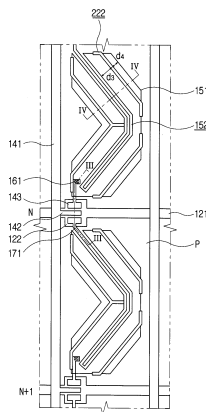
심사관 : 윤성주

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서 절연 교차하는 게이트선 및 데이터선과; 상기 게이트선과 상기 데이터선의 교차영역에 마련되어 있는 제1박막트랜지스터, 상기 제1박막트랜지스터에 연결되어 있으며 절개패턴이 형성되어 있는 제1화소전극, 적어도 일부가 상기 절개패턴을 따라 형성되어 있는 연장 전극을 포함하는 제1화소와; 상기 게이트선과 상기 데이터선의 교차영역에 마련되어 있는 상기 제2박막트랜지스터와, 상기 제1화소의 상기 연장 전극과 동일한 데이터 전압이 인가되는 제2화소전극을 포함하는 제2화소와; 상기 제1화소 및 상기 제2화소에 데이터 전압을 인가하는 데이터 구동부와; 상기 제1화소 및 상기 제2화소에 서로 다른 극성의 데이터 전압이 인가되도록 상기 데이터 구동부를 제어하는 신호제어부를 포함하는 것을 특징으로 한다. 이에 의해 응답속도 그리고/또는 개구율을 증가시킬 수 있는 액정표시장치가 제공된다.

대표도 - 도2



특허청구의 범위

청구항 1

제1 게이트선 및 제2 게이트선

상기 제1 게이트선 및 상기 제2 게이트선과 절연 교차하는 데이터선;

상기 제1 게이트선과 상기 데이터선의 교차영역에 위치하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결되어 있으며 절개 패턴을 포함하는 제1 화소 전극, 적어도 일부가 상기 절개 패턴과 중첩하는 연장 전극을 포함하는 제1 화소 그리고

상기 제2 게이트선과 상기 데이터선의 교차 영역에 위치하는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터에 연결되고, 상기 제1 화소의 상기 연장 전극과 동일한 데이터 전압이 인가되는 제2 화소 전극을 포함하는 제2 화소를 포함하고,

상기 제1 화소와 상기 제2 화소에 서로 다른 극성의 데이터 전압이 인가되며,

상기 연장 전극의 폭은 상기 절개 패턴의 폭보다 작은 액정표시장치.

청구항 2

제1항에 있어서,

상기 제2박막트랜지스터와 동일한 게이트 온 전압 및 데이터 전압을 인가받는 제3 박막트랜지스터를 더 포함하며,

상기 연장 전극의 일부는 상기 제3 박막트랜지스터에 포함되어 있는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 연장 전극은 상기 제2박막트랜지스터의 드레인 전극과 일체인 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 연장 전극은 상기 제2화소전극과 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 연장 전극은 상기 데이터선과 동일한 층인 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 연장 전극은 상기 제2화소전극과 동일한 층인 것을 특징으로 하는 액정표시장치

청구항 7

제1항에 있어서,

상기 제1화소와 상기 제2화소는 상기 데이터선의 연장방향으로 인접배치되어 있는 것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 제1 화소 전극은 상기 제1 게이트선에 연결되어 있고, 상기 제2 화소 전극은 상기 제2 게이트선에 연결되

어 있는 것을 특징으로 하는 액정표시장치.

청구항 9

적어도 하나의 게이트선,

상기 게이트선과 절연 교차하는 제1 데이터선 및 제2 데이터선,

상기 게이트선과 상기 제1 데이터선의 교차 영역에 위치하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결되고 절개 패턴을 포함하는 제1 화소 전극, 적어도 일부가 상기 절개 패턴과 중첩하는 연장 전극을 포함하는 제1 화소 그리고

상기 게이트선과 상기 제2 데이터선의 교차 영역에 위치하는 제2 박막 트랜지스터, 상기 제1 화소의 상기 연장 전극과 동일한 데이터 전압이 인가되는 제2 화소 전극을 포함하는 제2 화소를 포함하고,

상기 제1화소와 상기 제2화소는 서로 다른 극성의 데이터 전압이 인가되며,

상기 연장 전극의 폭은 상기 절개 패턴의 폭보다 작으며,

상기 제1 화소와 상기 제2 화소는 상기 게이트선의 연장방향으로 배치되어 있는 것을 특징으로 하는 액정표시장치.

청구항 10

제9항에 있어서,

상기 제1 화소는 상기 제1 데이터선에 연결되어 있고, 상기 제2 화소는 상기 제2 데이터선에 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 11

제1항에 있어서,

상기 제1화소전극은 꺾쇠형상인 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 데이터선은 상기 제1화소전극의 테두리에 대응되도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 13

제11항에 있어서,

상기 데이터선은 일직선 형상인 것을 특징으로 하는 액정표시장치.

청구항 14

제13항에 있어서,

상기 제1 화소에는 상기 데이터선 연장방향으로 인접하는 화소 및 상기 제1 게이트선 또는 상기 제2 게이트선의 연장방향으로 인접하는 화소와 서로 다른 극성의 데이터 전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 15

제1항에 있어서,

상기 절개패턴은 상기 제1 게이트선 또는 상기 제2 게이트선의 연장방향과 예각을 이루는 것을 특징으로 하는 액정표시장치.

청구항 16

제15항에 있어서,

상기 절개패턴은 상기 제1 게이트선 또는 상기 제2 게이트선의 연장방향과 45도를 이루는 것을 특징으로 하는 액정표시장치.

청구항 17

제1항에 있어서,

상기 제1화소전극은 꺾쇠형상이며,

상기 절개패턴은 상기 제1화소전극의 테두리에 평행하게 형성된 것을 특징으로 하는 액정표시장치.

청구항 18

제17항에 있어서,

상기 제1화소전극은 상기 절개패턴을 중심으로 실질적으로 면적이 같으면서 서로 전기적으로 연결되어 있는 제1 부분영역과 제2부분영역으로 나누어져 있는 것을 특징으로 하는 액정표시장치.

청구항 19

제18항에 있어서,

상기 제1부분영역과 상기 제2부분영역의 폭은 각각 60 μ m이상인 것을 특징으로 하는 액정표시장치.

청구항 20

삭제

청구항 21

제1항에 있어서,

상기 절개패턴의 폭은 8 μ m이하인 것을 특징으로 하는 액정표시장치.

청구항 22

제1 게이트선 및 제2 게이트선,

상기 제1 게이트선 및 상기 제2 게이트선과 절연 교차하는 데이터선,

상기 제1 게이트선과 상기 데이터선의 교차 영역에 위치하고, 제1 극성의 데이터 전압이 인가되는 제1 박막 트랜지스터,

상기 제2 게이트선과 상기 데이터선의 교차 영역에 위치하고, 제2 극성의 데이터 전압이 인가되는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터에 연결되고, 서로 이격된 공간을 만드는 제1 영역 및 제2 영역을 가지는 화소 전극 그리고

상기 제2 박막 트랜지스터에 전기적으로 연결되어 있으며 상기 제1 영역 및 상기 제2 영역 사이에 위치하는 연장 전극을 포함하고,

상기 연장 전극의 폭은 상기 제1 영역 및 상기 제2 영역 사이의 폭보다 작은 것을 특징으로 하는 액정표시장치.

청구항 23

제22항에 있어서,

상기 제1박막트랜지스터와 상기 제2박막트랜지스터는 상기 데이터선의 연장방향으로 배치되어 있으며 상기 제1 박막 트랜지스터는 상기 제1 게이트선에 연결되고, 상기 제2 박막 트랜지스터는 상기 제2 게이트선에 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 24

적어도 하나의 게이트선,
 상기 게이트선과 교차하는 제1 데이터선 및 제2 데이터선을 포함하는 복수의 데이터선,
 상기 게이트선과 상기 제1 데이터선의 교차 영역에 위치하고, 제1 극성의 데이터 전압이 인가되는 제1 박막 트랜지스터,
 상기 게이트선과 상기 제2 데이터선의 교차 영역에 위치하고, 상기 제1 극성과 다른 제2 극성의 데이터 전압이 인가되는 제2 박막 트랜지스터,
 상기 제1 박막 트랜지스터와 연결되어 있고, 서로 이격된 공간을 만드는 제1 영역 및 제2 영역을 가지는 화소 전극 그리고
 상기 제2 박막 트랜지스터와 연결되고, 상기 제1 영역 및 상기 제2 영역 사이에 위치하는 연장 전극을 포함하고,
 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터는 상기 게이트선의 연장 방향으로 배치되어 있으며, 상기 제1 박막 트랜지스터는 상기 제1 데이터선에 연결되고, 상기 제2 박막 트랜지스터는 상기 제2 데이터선에 연결되며,
 상기 연장 전극의 폭은 상기 제1 영역 및 상기 제2 영역 사이의 폭보다 작은 것을 특징으로 하는 액정표시장치.

청구항 25

제24항에 있어서,
 상기 화소전극은 꺾쇠형상이며 상기 데이터선은 일직선 형상인 것을 특징으로 하는 액정표시장치.

청구항 26

제25항에 있어서,
 상기 화소전극은 도트 인버전(dot inversion)되는 것을 특징으로 하는 액정표시장치.

청구항 27

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0027] 본 발명은, 액정표시장치에 관한 것으로서, 보다 상세하게는, 래터럴 필드를 강화시켜 응답속도 그리고/또는 개구율을 증가시킨 액정표시장치에 관한 것이다.
- [0028] 액정표시장치는 박막트랜지스터가 형성되어 있는 박막트랜지스터 기판과 컬러필터층이 형성되어 있는 컬러필터 기판, 그리고 이들 사이에 액정층이 위치하고 있는 액정표시패널을 포함한다. 액정표시패널은 비발광소자이기 때문에 박막트랜지스터 기판의 후면에는 빛을 공급하기 위한 백라이트 유닛이 위치할 수 있다. 백라이트 유닛에서 공급된 빛은 액정층의 배열상태에 따라 투과량이 조절된다.
- [0029] 최근 텔레비전과 같은 디스플레이 장치에 액정표시장치가 적용되고 있다. 이는 CRT, PDP 등과 비교하여 액정표시장치의 시야각, 색재현성, 휘도 등의 특성이 크게 향상된 것을 나타내지만, 액정표시장치의 응답속도는 여전히 개선이 요구되고 있다.
- [0030] PVA(patterned vertically aligned) 모드는 시야각을 개선하기 위한 모드로서, VA(vertically aligned) 모드 중 화소전극과 공통전극에 각각 절개패턴을 형성한 것을 가리킨다. 이들 절개패턴으로 인하여 형성되는 프린지

필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각이 향상된다.

[0031] 그런데 PVA모드에서는 절개패턴에서 이격된 부분에서는 프린지 필드가 약화되어 액정의 거동이 지연되는 문제가 있다. 또한 이로 액정 거동의 지연으로 인해 화소전극의 크기가 제한되어 개구율을 증가시키는데 문제가 있다.

발명이 이루고자 하는 기술적 과제

[0032] 따라서 본 발명의 목적은 응답속도 그리고/또는 개구율이 증가된 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

[0033] 상기의 목적은 절연 교차하는 게이트선 및 데이터선과; 상기 게이트선과 상기 데이터선의 교차영역에 마련되어 있는 제1박막트랜지스터, 상기 제1박막트랜지스터에 연결되어 있으며 절개패턴이 형성되어 있는 제1화소전극, 적어도 일부가 상기 절개패턴을 따라 형성되어 있는 연장 전극을 포함하는 제1화소와; 상기 게이트선과 상기 데이터선의 교차영역에 마련되어 있는 상기 제2박막트랜지스터와, 상기 제1화소의 상기 연장 전극과 동일한 데이터 전압이 인가되는 제2화소전극을 포함하는 제2화소와; 상기 제1화소 및 상기 제2화소에 데이터 전압을 인가하는 데이터 구동부와; 상기 제1화소 및 상기 제2화소에 서로 다른 극성의 데이터 전압이 인가되도록 상기 데이터 구동부를 제어하는 신호제어부를 포함하는 액정표시장치에 의하여 달성될 수 있다.

[0034] 상기 제2박막트랜지스터와 동일한 게이트 온 전압 및 데이터 전압을 인가받는 제3박막트랜지스터를 더 포함하며, 상기 연장 전극의 일부는 상기 제3박막트랜지스터에 포함되어 있는 것이 바람직하다.

[0035] 상기 연장 전극은 상기 제2박막트랜지스터의 드레인 전극과 일체인 것이 바람직하다.

[0036] 상기 연장 전극은 상기 제2화소전극과 연결되어 있는 것이 바람직하다.

[0037] 상기 연장 전극은 상기 데이터선과 동일한 층인 것이 바람직하다.

[0038] 상기 연장 전극은 상기 제2화소전극과 동일한 층인 것이 바람직하다.

[0039] 상기 제1화소와 상기 제2화소는 상기 데이터선의 연장방향으로 인접배치되어 있는 것이 바람직하다.

[0040] 상기 제1화소는 후단 게이트선에 상기 제2화소는 전단 게이트선에 연결되어 있는 것이 바람직하다.

[0041] 상기 제1화소와 상기 제2화소는 상기 게이트선의 연장방향으로 배치되어 있는 것이 바람직하다.

[0042] 상기 제1화소는 전단 데이터선에 상기 제2화소는 후단 데이터선에 연결되어 있는 것이 바람직하다.

[0043] 상기 제1화소전극은 꺾쇠형상인 것이 바람직하다

[0044] 상기 데이터선은 상기 제1화소전극의 테두리에 대응되도록 형성된 것이 바람직하다.

[0045] 상기 데이터선은 일직선 형상인 것이 바람직하다.

[0046] 상기 제1화소에는 데이터선 연장방향으로 인접하는 화소 및 게이트선 연장방향으로 인접하는 화소와 서로 다른 극성의 데이터 전압이 인가되는 것이 바람직하다.

[0047] 상기 절개패턴은 상기 게이트선의 연장방향과 예각을 이루는 것이 바람직하다.

[0048] 상기 절개패턴은 상기 게이트선의 연장방향과 약 45도를 이루는 것이 바람직하다.

[0049] 상기 제1화소전극은 꺾쇠형상이며, 상기 절개패턴은 상기 제1화소전극의 테두리에 평행하게 형성된 것이 바람직하다.

[0050] 상기 제1화소전극은 상기 절개패턴을 중심으로 실질적으로 면적이 같으면서 서로 전기적으로 연결되어 있는 제1부분영역과 제2부분영역으로 나누어져 있는 것이 바람직하다.

[0051] 상기 제1부분영역과 상기 제2부분영역의 폭은 각각 60 μ m이상인 것이 바람직하다.

[0052] 상기 연장 전극의 폭은 상기 절개패턴의 폭보다 작은 것이 바람직하다.

[0053] 상기 절개패턴의 폭은 8 μ m이하인 것이 바람직하다.

[0054] 상기 본 발명의 목적은 절연 교차하는 게이트선 및 데이터선과; 상기 게이트선과 데이터선의 교차영역에 마련되어 있으며 서로 다른 극성의 데이터 전압이 인가되는 제1박막트랜지스터 및 제2박막트랜지스터와; 상기 제1박막

트랜지스터에 연결되어 있으며 서로 마주하는 제1부분영역 및 제2부분영역을 가지는 화소전극과; 상기 제2박막 트랜지스터에 전기적으로 연결되어 있으며 상기 제1부분영역 및 상기 제2부분영역 사이에 위치하는 연장 전극을 포함하는 액정표시장치에 의하여도 달성된다.

- [0055] 상기 제1박막트랜지스터와 상기 제2박막트랜지스터는 상기 데이터선의 연장방향으로 배치되어 있으며 상기 제1박막트랜지스터는 후단 게이트선에 상기 제2박막트랜지스터는 전단 게이트선에 연결되어 있는 것이 바람직하다.
- [0056] 상기 제1박막트랜지스터와 상기 제2박막트랜지스터는 상기 게이트선의 연장방향으로 배치되어 있으며, 상기 제1박막트랜지스터는 전단 데이터선에 상기 제2박막트랜지스터는 후단 데이터선에 연결되어 있는 것이 바람직하다.
- [0057] 상기 화소전극은 격쇠형상이며 상기 데이터선은 일직선 형상인 것이 바람직하다.
- [0058] 상기 화소전극은 도트 인버전(dot inversion)되는 것이 바람직하다.
- [0059] 상기 본 발명의 목적은 화소전극 절개패턴을 가지는 화소전극과, 상기 화소전극 절개패턴을 따라 형성되어 있으며 상기 화소전극과 다른 극성의 데이터 전압이 인가되는 연장 전극을 포함하는 제1기판과; 상기 제1기판과 대향하며 공통전극 절개패턴을 가지는 공통전극을 포함하는 제2기판과; 상기 제1기판과 상기 제2기판 사이에 위치하며 유전율이방성이 음인 액정층을 포함하는 액정표시장치에 의하여 달성될 수 있다.
- [0060] 이하 첨부된 도면을 참조로 하여 본발명을 더욱 상세히 설명하겠다.
- [0061] 상세한 설명에 앞서, 여러 실시예에 있어 동일한 구성요소에는 동일한 참조번호를 부여하였다. 동일한 구성요소에 대하여는 제1실시예에서 대표적으로 설명하며 다른 실시예에서는 설명하지 않을 수 있다.
- [0062] 도 1은 본발명의 제1실시예에 따른 액정표시장치의 블록도이다.
- [0063] 본발명의 액정표시장치(1)는 액정표시패널(300) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(500), 게이트 구동부(400)에 연결된 구동 전압 생성부(700)와 데이터 구동부(500)에 연결된 계조전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- [0064] 이 중 액정표시패널(300)을 도 2내지 도 4를 참조하여 설명하면 다음과 같다. 도 2는 본발명의 제1실시예에 따른 박막트랜지스터 기판의 배치도, 도 3는 도 2의 III-III을 따른 단면도, 도 4는 도 2의 IV-IV를 따른 액정표시패널의 단면도이다.
- [0065] 액정표시패널(300)은 서로 대향하는 박막트랜지스터 기판(100)과 컬러 필터 기판(200), 그리고 양 기판(100, 200) 사이에 위치하는 액정층(250)을 포함한다.
- [0066] 우선 박막트랜지스터 기판(100)을 보면 제1절연기판(111)위에 게이트 배선(121, 122)이 형성되어 있다. 게이트 배선(121, 122)은 금속 단일층 또는 다중층일 수 있다. 게이트 배선(121, 122)은 가로 방향으로 뻗어 있는 게이트선(121) 및 게이트선(121)에 연결되어 있는 박막 트랜지스터(T1, T2)의 게이트 전극(122)을 포함한다.
- [0067] 도시되지 않았지만 게이트 배선(121, 122)은 화소전극(151)과 중첩되어 저장 용량을 형성하는 공통전극선을 더 포함할 수 있으며, 공통전극선은 게이트선(121)과 평행하게 배치될 수 있다.
- [0068] 제1절연기판(111)위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(131)이 게이트 배선(121, 122)을 덮고 있다.
- [0069] 게이트 전극(122)의 게이트 절연막(131) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(132)이 형성되어 있으며, 반도체층(132)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 저항 접촉층(133)이 형성되어 있다. 저항 접촉층(133)은 3부분으로 나누어져 있다.
- [0070] 저항 접촉층(133) 및 게이트 절연막(131) 위에는 데이터 배선(141, 142, 143, 171)이 형성되어 있다. 데이터 배선(141, 142, 143, 171) 역시 금속층으로 이루어진 단일층 또는 다중층일 수 있다. 데이터 배선(141, 142, 143, 171)은 세로방향으로 형성되어 게이트선(121)과 교차하여 화소(P)를 정의하는 데이터선(141), 데이터선(141)의 분지이며 저항 접촉층(133)의 상부까지 연장되어 있는 드레인 전극(142), 드레인 전극(142)과 분리되어 있으며 일측의 저항 접촉층(133) 상부에 형성되어 있는 소스 전극(143) 그리고 역시 드레인 전극(142)과 분리되어 있으며 타측의 저항 접촉층(133) 상부에 형성되어 있는 연장 전극(171)을 포함한다. 전단 화소(P)에 연결되어 있는 연장 전극(171)은 인접한 후단 화소(P)의 화소전극 절개패턴(152)을 따라 연장되어 있다. 연장 전극(171)의 폭(d1)은 화소전극 절개패턴(152)의 폭(d2) 보다 다소 작게 형성되어 있다.
- [0071] 이와 같은 게이트 전극(122), 소스 전극(142), 드레인 전극(143) 그리고 연장 전극(171) 구조에 의하여 한 화소

(P)에는 구동 박막트랜지스터(T1)와 추가의 박막트랜지스터(T2)가 각각 하나씩 형성되어 있다. 구동 박막트랜지스터(T1)와 추가의 박막트랜지스터(T2)는 동일한 게이트 전극(122)과 소스 전극(142)을 포함한다. 이에 의해 구동 박막트랜지스터(T1)와 추가의 박막트랜지스터(T2)에는 동일한 게이트 온 전압과 데이터 전압이 인가되며 드레인 전극(143)과 연장 전극(171)에 가해지는 데이터 전압은 실질적으로 같게 된다.

[0072] 따라서 후단 화소(P)의 연장 전극(171)에는 전단 화소(P)의 데이터 전압이 인가되며 연장 전극(171)과 이를 둘러싸고 있는 화소전극(151)에는 서로 다른 극성의 데이터 전압이 인가된다.

[0073] 데이터 배선(141, 142, 143, 171) 및 이들이 가리지 않는 반도체층(132)의 상부에는 질화규소, PECVD 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F막 및 아크릴계 유기절연막 등으로 이루어진 보호막(134)이 형성되어 있다. 보호막(134)에는 소스 전극(143)을 드러내는 접촉구(161)가 형성되어 있다.

[0074] 보호막(134)의 상부에는 화소전극(151)이 형성되어 있다. 화소전극(151)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다.

[0075] 화소전극(151)에는 화소전극 절개패턴(152)이 형성되어 있다. 화소전극 절개패턴(152)은 후술한 공통전극 절개패턴(222)과 함께 액정층(250)을 다수의 도메인으로 분할하기 위해 형성되어 있는 것이다. 화소전극 절개패턴(152)은 게이트선(121)과 약 45도의 각도를 이루고 있다.

[0076] 화소전극(151)은 화소전극 절개패턴(152)을 중심으로 제1부분영역(A)과 제2부분영역(B)로 나누어진다. 제1부분영역(A)와 제2부분영역(B)은 전기적으로 서로 연결되어 동일한 데이터 전압을 인가받는다. 제1부분영역(A)은 공통전극 절개패턴(222)을 중심으로 제1도메인(a) 및 제2도메인(b)으로 나누어지며 제2부분영역(B) 역시 공통전극 절개패턴(222)에 의하여 제3도메인(c)과 제4도메인(d)으로 나누어진다. 여기서 제1도메인(a) 및 제4도메인(d)은 데이터선(141)에 인접하는 반면 제2도메인(b)과 제3도메인(c)은 화소전극 절개패턴(152) 및 연장 전극(171)에 인접하게 된다.

[0077] 앞으로 제3도메인(c)과 제4도메인(d)을 위주로 설명하며 이는 제1도메인(a)과 제2도메인(b)에 동일하게 적용될 수 있다.

[0078] 컬러필터 기관(200)을 보면 제2절연기관(211) 상에 공통전극(221)이 형성되어 있다. 공통전극(221)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 공통전극(221)은 박막트랜지스터 기관의 화소전극(151)과 함께 액정층(250)에 직접 전압을 인가한다. 공통전극(221)에는 공통전극 절개패턴(222)이 형성되어 있다. 공통전극 절개패턴(222)은 화소전극(151)의 화소전극 절개패턴(152)과 함께 액정층(250)을 다수의 도메인으로 나누는 역할을 한다. 도시하지는 않았지만 컬러필터 기관(200)은 블랙매트릭스, 컬러필터, 오버코트층 등을 더 포함할 수 있다. 공통전극 절개패턴(222)의 폭(d5)은 약 10 μ m정도일 수 있다.

[0079] 박막트랜지스터 기관(100)과 컬러필터 기관(200) 사이에 액정층(250)이 위치한다. 액정층(250)은 VA(vertically aligned)모드로서 액정분자는 전압이 가해지지 않은 상태에서는 길이방향이 수직을 이루고 있다. 전압이 가해지면 액정분자는 유전율 이방성이 음이기 때문에 전기장에 대하여 수직방향으로 눕는다. 그런데 화소전극 절개패턴(152)과 공통전극 절개패턴(222)이 형성되어 있지 않으면, 액정분자는 눕는 방위각이 결정되지 않아서 여러 방향으로 무질서하게 배열하게 되고, 배향 방향이 다른 경계면에서 전경선(disclination line)이 생긴다. 화소전극 절개패턴(152)과 공통전극 절개패턴(222)은 액정층(250)에 전압이 걸릴 때 프린지 필드를 만들어 액정 배향의 방위각을 결정해 준다. 또한 액정층(250)은 화소전극 절개패턴(152)과 공통전극 절개패턴(222)의 배치에 따라 다중영역으로 나누어진다.

[0080] 액정층(250)에 인가되는 전기장에는 프린지 필드 외에 래터럴(lateral) 필드가 있다. 도 4에서 보면 프린지 필드는 절개패턴(152, 222)이 형성되어 있는 부분에서 양 기관(100, 200) 사이에 형성되며 절개패턴(152, 222)의 폭(d2, d5)이 커질수록 강해진다. 래터럴 필드는 화소전극 절개패턴(152)의 하부에 위치한 연장 전극(171)과 주변의 화소전극(151) 사이에 수평방향으로 형성되며 연장 전극(171)과 화소전극(151) 간의 전압차가 커질수록 강해진다.

[0081] 이러한 프린지 필드와 래터럴 필드가 강할수록 액정의 응답속도는 빨라진다. 또한 프린지 필드와 래터럴 필드가 강할수록 화소전극(151)의 크기를 증가시켜도 원하는 응답속도를 얻을 수 있다.

[0082] 본 발명에서 연장 전극(171)에는 주변의 화소전극(151)과 다른 극성의 데이터 전압이 인가되므로 전압차이는 매우 크게 되고 래터럴 필드가 강하게 형성된다.

- [0083] 본 발명에 따른 연장 전극(171)에 의한 효과는 다음과 같다.
- [0084] 첫째 강화된 래터럴 필드에 의해 액정층(250)의 응답속도가 빨라진다. 둘째 강화된 래터럴 필드 만큼 화소전극 절개패턴(152)의 폭(d2)을 감소시켜 개구율을 향상시킬 수 있다. 연장 전극(171)을 사용하여 화소전극 절개패턴의 폭(d2)은 통상의 약 10 μ m에서 약 8 μ m이하로 줄일 수 있으며 약 7 μ m로 하는 것이 바람직하다. 셋째 강화된 래터럴 필드 만큼 화소전극(151)의 크기를 증가시켜 개구율을 증가시킬 수 있다.
- [0085] 이상 연장 전극(171)에 의한 효과에서 응답속도의 증가와 개구율의 증가는 서로 상충된다. 예를 들어 개구율을 증가시키기 위해 화소전극(151)의 크기를 증가시키면 전기장은 그 만큼 약해져 응답속도는 저하된다. 한편 연장 전극(171)을 사용하여 응답속도와 개구율을 모두 개선시킬 수 있음은 물론이다.
- [0086] 래터럴 필드에 의한 응답속도 개선 효과를 실험을 통하여 구하였다.
- [0087] 액정의 응답속도(Tr)는 라이징 타임(rising time, Ton)과 폴링 타임(falling time, Toff)을 합하여 정한다. normally black mode에서 라이징 타임은 10% 투과율에서 90% 투과율이 되는 시간으로 정의되고, 폴링 타임은 반대로 90% 투과율에서 10% 투과율이 되는 시간으로 정의된다. 폴링 타임은 액정표시장치에 관계없이 약 6ms인 반면 라이징 타임은 액정표시장치에 크게 영향받는다. 액정의 응답속도가 느리면 동영상 번짐(motion blur) 현상이 발생하여 디스플레이 품질이 저하된다.
- [0088] 한편 동영상 구현을 위한 60Hz구동에서 액정의 응답속도는 통상 16ms를 기준으로 한다. 따라서 라이징 타임이 10ms정도이면 동영상 구현하는데 무리가 없게 된다.
- [0089] 실험에서는 이에 따라 라이징 타임이 10ms이하가 되는 최대의 도메인 폭을 구하였다. 실험조건을 보면 블랙전압(Vb)은 1.25V이고 프리틸트 전압(pretilt voltage, Vpretilt)은 2.5V, 2.7V인 2가지로 변경하였다. 프리틸트 전압은 액정의 응답속도를 증가시키기 위해 데이터 전압 인가 전에 가해지는 전압이며, 2.7V까지는 디스플레이 품질에 영향이 없는 것으로 알려져 있다.
- [0090] 표 1은 실험결과를 정리한 것이다.
- [0091] 표 1.

	Vpretilt	
	2.5 V	2.7V
프린지 필드	25 μ m	30 μ m
프린지 필드 + 래터럴 필드	32 μ m	36 μ m

- [0092]
- [0093] 표 1을 보면 프리틸트 전압이 2.5V인 경우 래터럴 필드를 적용하면 도메인의 폭을 25 μ m에서 32 μ m로 증가시켜도 10ms이하의 라이징 타임을 얻을 수 있음을 알 수 있다. 또한 프리틸트 전압이 2.7V인 경우 래터럴 필드를 적용하면 도메인의 폭을 30 μ m에서 36 μ m로 증가시켜도 10ms이하의 라이징 타임을 얻을 수 있음을 알 수 있다.
- [0094] 표 1의 결과를 도 4를 참조하여 설명하면 다음과 같다.
- [0095] 각 도메인의 중간부분은 프린지 필드가 약하게 작용하거나 혹은 작용하지 않는다. 따라서 각 도메인의 중간부분에 위치하는 액정층(250)은 주변의 액정층(250)의 움직임에 연동하여 움직이게 되므로 응답속도가 느리게 된다. 그러나 제3도메인(c)의 경우 래터럴 필드의 영향으로 직접 전기장의 영향을 받는 액정층(250)의 범위가 증가하여 응답속도가 증가된다. 또한 제3도메인(c)의 폭(d3)을 증가시켜도 원하는 응답속도를 얻을 수 있게 된다.
- [0096] 표 1의 결과로부터 제3도메인(c)의 폭을 최대 36 μ m까지 증가시킬 수 있음을 알 수 있다. 반면 래터럴 필드가 적용되지 않는 제4도메인(d)의 폭(d4)은 증가되지 않는다.
- [0097] 실시예와 달리 제3도메인(c)의 폭을 증가시키지 않고 라이징 타임만을 개선시킬 수 있음은 물론이다.
- [0098] 구동전압 생성부(700)는 박막트랜지스터(T)를 턴온시키는 게이트 온전압(Von)과 턴오프시키는 게이트 오프전압(Voff), 그리고 공통전극층(251)에 인가되는 공통전압(Vcom) 등을 생성한다.
- [0099] 계조전압 생성부(800)는 액정표시장치(1)의 휘도와 관련된 복수의 계조전압(gray scale voltage)을 생성한다.

- [0100] 게이트 구동부(400)는 스캔 구동부(scan driver)라고도 하며 게이트선(121)에 연결되어 구동전압 생성부(700)로부터의 게이트 온전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(121)에 인가한다.
- [0101] 데이터 구동부(500)는 소스 구동부(source driver)라고도 하며, 계조전압 생성부(800)로부터 계조전압을 인가받고 신호제어부(600)의 제어에 따라 계조전압을 선택하여 데이터선(141)에 데이터 전압(Vd)을 인가한다.
- [0102] 신호제어부(600)는 게이트 구동부(400), 데이터 구동부(500), 구동 전압 생성부(700) 및 계조 전압 생성부(800) 등의 동작을 제어하는 제어신호를 생성하여, 각 게이트 구동부(400), 데이터 구동부(500), 구동전압 생성부(800)에 공급한다.
- [0103] 이하 액정표시장치(1)의 동작에 대하여 자세히 설명한다.
- [0104] 신호 제어부(600)는 외부의 그래픽 제어기(graphic controller)로부터 RGB 계조 신호(R, G, B) 및 이의 표시를 제어하는 제어입력신호(input control signal), 예를 들면 수직동기신호(vertical synchronizing signal, Vsync)와 수평동기신호(horizontal synchronizing signal, Hsync), 메인 클럭(main clock, CLK), 데이터 인에이블 신호(data enable signal, DE) 등을 제공받는다. 신호제어부(600)는 제어 입력 신호를 기초로 게이트 제어 신호, 데이터 제어 신호 및 전압선택제어신호(voltage selection control signal, VSC)를 생성하고, 외부로부터의 계조신호(R, G, B)를 액정표시패널(300)의 동작조건에 맞게 적절히 변환한 후, 게이트 제어신호를 게이트 구동부(400)와 구동 전압 생성부(700)로 내보내고 데이터 제어신호와 처리한 계조신호(R', G', B')는 데이터 구동부(500)로 내보내며, 전압 선택 제어신호(VSC)를 계조 전압 생성부(800)로 내보낸다.
- [0105] 게이트 제어신호는 게이트 온 펄스(게이트 신호의 하이 구간)의 출력 시작을 지시하는 수직동기시작신호(vertical synchronization start signal, STV), 게이트 온 펄스의 출력시기를 제어하는 게이트 클럭신호(gate clock) 및 게이트 온 펄스의 폭을 한정하는 게이트 온 인에이블 신호(gate on enable signal, OE) 등을 포함한다. 이 중에서 게이트 온 인에이블 신호(OE)와 게이트 클럭 신호(CPV)는 구동 전압 생성부(700)에 공급된다. 데이터 제어 신호는 계조 신호의 입력 시작을 지시하는 수평 동기 시작 신호(horizontal synchronization start signal, STH)와 데이터선(141)에 해당 데이터 전압(Vd)을 인가하라는 로드신호(load signal, LOAD 또는 TP), 데이터 전압의 극성을 반전시키는 반전 제어 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.
- [0106] 먼저 계조전압생성부(800)는 전압선택 제어신호(VSC)에 따라 결정된 전압값을 가지는 계조 전압을 데이터 구동부(500)에 공급한다.
- [0107] 게이트 구동부(400)는 신호제어부(600)로부터의 게이트 제어 신호에 따라 게이트 온전압(Von)을 차례로 게이트선(121)에 인가하여 게이트선(121)에 연결된 박막트랜지스터(T)를 턴온시킨다. 이와 동시에 데이터 구동부(500)는 신호제어부(600)로부터의 데이터 제어신호에 따라, 턴온된 박막트랜지스터(T)에 연결되어 있는 화소(170)에 대한 계조 신호(R',G',B')에 대응하는 계조 전압 생성부(800)로부터의 아날로그 데이터 전압(Vd)을 데이터 신호로서 해당 데이터선(141)에 공급한다.
- [0108] 데이터선(141)에 공급된 데이터 신호는 턴온된 박막트랜지스터(T)를 통해 해당 화소(170)에 인가된다. 이러한 방식으로 한 프레임(frame) 동안 모든 게이트선(121)에 대하여 차례로 게이트 온전압(Von)을 인가하여 모든 화소(170)에 데이터 신호를 인가한다. 한 프레임이 끝나고 구동 전압 생성부(700)와 데이터 구동부(500)에 반전 제어 신호(RVS)가 공급되면 다음 프레임의 모든 데이터 신호의 극성이 바뀐다.
- [0109] 여기서 프레임마다 데이터 신호의 극성이 바뀌는 인버전을 도 5a 내지 도 5b를 참조하여 설명한다.
- [0110] 제1실시예에서는 화소전극 절개패턴(152) 사이를 지나가는 연장 전극(171)은 전단 화소(P)의 데이터 전압이 인가되며, 연장 전극(171)과 이를 둘러싸고 있는 화소전극(151)은 서로 다른 극성의 데이터 전압이 인가되어야 한다. 따라서 상하방향, 즉 데이터선 연장방향으로 인접한 화소(P)간에는 서로 다른 극성의 데이터 전압이 인가되어야 한다.
- [0111] 도 5a는 도트 인버전(dot inversion) 방식을 나타낸 것으로 상하방향 뿐 아니라 좌우방향으로 인접한 화소(P)간에는 서로 다른 극성의 데이터 전압이 인가된다. 이후의 프레임에서는 모든 화소(P)의 극성이 바뀌는 것은 물론이다.
- [0112] 도 5b는 라인 인버전(line inversion) 방식을 나타낸 것으로 상하방향으로 인접한 화소 간에는 서로 다른 극성의 데이터 전압이 인가되지만 좌우방향, 즉 게이트선 연장방향으로 인접한 화소(P) 간에는 같은 극성의 데이터

전압이 인가된다.

- [0113] 라인 인버전 방식을 예로 들어 연장 전극(171)의 작용을 설명하면 다음과 같다.
- [0114] N번째 게이트선(121)에 게이트 온 전압이 인가되면 이에 연결된 구동 박막트랜지스터(T1)과 추가의 박막트랜지스터(T2)가 동시에 턴온된다. 구동박막트랜지스터(T1)의 턴온에 의해 이에 연결된 화소전극(151)에는 정극성 또는 부극성 데이터 전압이 충전되고, 추가의 박막트랜지스터(T2)의 턴온에 의해 이에 연결되어 있으며 후단 화소(P)로 연장되어 있는 연장 전극(171)에도 정극성 또는 부극성 데이터 전압이 충전된다.
- [0115] 1 게이트 타임이 지나고 다음 단인 N+1번째 게이트선(121)에 게이트 온 전압이 인가되면 이에 연결된 화소전극(151)에 데이터 전압이 인가된다. 이때 화소전극(151)에 인가되는 데이터 전압은 라인 인버전에 의하여 미리 충전되어 있는 연장 전극(171)과 반대 극성을 가지게 된다.
- [0116] 예를 들어 공통전압이 6V이고, 화소(P)에 정극성 데이터 전압으로 12V가 부극성 데이터 전압으로 0V가 인가되고 하면 N+1번째 게이트선(121)에 연결된 화소전극(151)과 화소전극(151) 사이를 지나가는 연장 전극(171) 사이에는 12V의 전압차가 발생하는 것이다. 이와 같이 큰 전압차에 의해 래터럴 필드가 강화되어 응답속도가 증가하고 화소전극(151) 크기를 증가시킬 수 있다.
- [0117] 도 6 은 본발명의 제2실시예에 따른 박막트랜지스터 기관의 배치도이다. 제2실시예에서 화소전극 절개패턴(152)을 지나가는 연장 전극(172)은 전단 화소(P)의 드레인 전극(143)과 일체를 이루고 있다. 이에 의해 연장 전극(172)의 구성이 제1실시예에 비하여 간단해지며 제1실시예와 유사한 래터럴 필드 강화 효과를 얻을 수 있다.
- [0118] 도 7은 본발명의 제3실시예에 따른 박막트랜지스터 기관의 배치도이고, 도 8은 도 7의 VIII-VIII을 따른 단면도이다.
- [0119] 연장 전극(173)은 데이터선(141)과 동일한 층으로 마련되어 있다. 연장 전극(173)은 박막트랜지스터에 직접 연결되어 있지 않으며 전단 화소(P)의 화소전극(151)과 래터럴 접촉구(162)를 통해 연결되어 있다. 이에 의해 연장 전극(173)에는 전단 화소전극(151)와 동일한 데이터 전압이 인가되며 래터럴 필드 강화 효과를 얻을 수 있다.
- [0120] 도 9는 본발명의 제4실시예에 따른 박막트랜지스터 기관의 배치도이고, 도 10은 도 9의 X-X을 따른 액정표시 패널의 단면도이다.
- [0121] 연장 전극(174)은 화소전극(151)과 동일한 층으로 마련되어 있다. 연장 전극(174)은 전단 화소(P)의 화소전극(151)과 직접 연결되어 있다. 이에 의해 연장 전극(173)에는 전단 화소전극(151)과 동일한 데이터 전압이 인가되며 래터럴 필드 강화 효과를 얻을 수 있다.
- [0122] 도 11은 본발명의 제5실시예에 따른 박막트랜지스터 기관의 배치도이다.
- [0123] 연장 전극(175)은 화소전극(151)과 동일한 층으로 마련되어 있다. 연장 전극(175)은 후단 화소(P)의 화소전극(151)과 직접 연결되어 있다. 이에 의해 연장 전극(174)에는 후단 화소전극(151)의 데이터 전압이 인가되며 래터럴 필드 강화 효과를 얻을 수 있다.
- [0124] 이상의 제2실시예 내지 제5실시예에서 액정표시장치의 인버전 방식은 도트 인버전 또는 라인 인버전을 포함한다.
- [0125] 도 12는 본발명의 제6실시예에 따른 박막트랜지스터 기관의 배치도이고 도 13a 내지 도 13c는 본발명의 제6실시예에 따른 액정표시장치의 인버전 방식을 나타낸 도면이다.
- [0126] 화소전극 절개패턴(152)을 지나가는 연장 전극(176)에는 좌우방향 즉 게이트선(121)의 연장방향으로 인접한 화소(P)와 동일한 데이터 전압이 인가된다. 더 구체적으로는 전단 데이터선에 연결되어 있는 화소(P)로 연장되어 있는 연장 전극(176)은 후단 데이터선로부터 데이터 전압을 인가받는다. 이를 위해 하나의 화소에는 구동트랜지스터(T3)와 래터럴 트랜지스터(T4)가 형성되어 있다.
- [0127] 제6실시예에서는 데이터선(141) 연장방향으로 인접한 화소(P)간에 서로 다른 극성의 데이터 전압이 인가되어야 한다. 제6실시예에서 프레임마다 데이터 신호의 극성이 바뀌는 인버전을 도 13a 내지 도 13c를 참조하여 설명한다.
- [0128] 도 13a는 도트 인버전 방식을 나타낸 것으로 상하방향 뿐 아니라 좌우방향으로 인접한 화소(P) 간에 서로 다른 극성의 데이터 전압이 인가된다. 이후의 프레임에서는 모든 화소(P)의 극성이 바뀌는 것은 물론이다.

- [0129] 도 13b는 컬럼 인버전(column inversion)을 나타낸 것으로 좌우방향으로 인접한 화소(P) 간에는 서로 다른 극성의 데이터 전압이 인가되지만 상하방향, 즉 데이터선 연장방향으로 인접한 화소(P) 간에는 같은 극성의 데이터 전압이 인가된다.
- [0130] 도 13c는 2-도트 인버전을 나타낸 것으로 좌우방향으로 인접한 화소(P) 간에는 서로 다른 극성의 데이터 전압이 인가된다. 반면 상하방향, 즉 데이터선 (141) 연장방향으로 인접한 화소(P)는 둘씩 짝을 지어 다른 극성의 데이터 전압이 인가된다.
- [0131] 도 14는 본발명의 제7실시예에 따른 박막트랜지스터 기관의 배치도이고, 도 15는 도 14의 XV-XV를 따른 액정표시패널의 단면도이다.
- [0132] 화소전극(151)은 제1실시예 내지 제6실시예와 달리 꺾쇠형상이며(Z-셀 구조) 데이터선(141)은 화소전극(151)의 테두리를 따라 형성되어 있다. 연장 전극(177)은 전단 화소에 연결되어 있으며 화소전극 절개패턴(152) 사이를 지나가고 있다.
- [0133] 제7실시예에서는 화소전극(151)의 테두리, 화소전극 절개패턴(152) 그리고 공통전극 절개패턴(222)이 서로 평행하다. 이러한 구조에서 데이터선(141)과 화소전극(151)간에 형성되는 래터럴 필드 방향이 액정층(250)의 거동방향과 일치한다. 이에 의해 데이터선(141) 인접부의 텍스처(texture) 제어력이 개선되어 개구율과 응답속도가 향상된다.
- [0134] 제7실시예에서는 데이터선(141)과 인접한 화소전극(151) 사이에도 래터럴 필드가 형성된다. 데이터선(141)에 인가되는 데이터 전압의 극성은 계속하여 변하므로 데이터선(141)에는 공통전압과 동일한 전압이 인가된다고 볼 수 있다. 따라서 데이터선(141)과 화소전극(151) 사이의 전압차는 크지 않다.
- [0135] 예를 들어 공통전압이 6V이고, 화소에 정극성 데이터 전압으로 12V가 부극성 데이터 전압으로 0V가 인가된다고 하면, 극성이 다른 연장 전극(177)과 화소전극(151) 사이에는 약 12V의 전압차가 발생하는 반면 데이터선(141)과 화소전극(151) 사이에는 약 6V의 전압차가 발생한다고 할 수 있다. 이에 따라 데이터선(141)과 화소전극(151) 사이에는 연장 전극(177)과 화소전극(151) 사이보다 약한 래터럴 필드가 형성되고 제4도메인의 폭(d7)은 제3도메인의 폭(d6)보다 좁게 된다.
- [0136] 제7실시예를 위한 인버전은 도 5a 및 도 5b와 같은 도트 인버전 방식이나 라인 인버전 방식이 가능하다.
- [0137] 도 16은 본발명의 제8실시예에 따른 박막트랜지스터 기관의 배치도이고 도 17은 도 16의 XVII-XVII을 따른 액정표시패널의 단면도이다.
- [0138] 화소전극(151)은 제7실시예와 같이 꺾쇠형상이나 데이터선(141)은 화소전극(151)의 테두리를 따르지 않고 일직선으로 형성되어 있다. 연장 전극(177)은 전단 화소에 연결되어 있으며 화소전극 절개패턴(152) 사이를 지나가고 있다.
- [0139] 제8실시예에서는 데이터선(141)과 화소전극(151) 간의 래터럴 필드는 형성되지 않는다. 반면 게이트선(121) 연장방향으로 인접한 화소전극(151) 간에 래터럴 필드가 형성된다. 이 때 게이트선(121) 연장방향으로 인접한 화소전극(151)간에는 서로 다른 극성의 데이터 전압이 인가된다. 이러한 구조에서 인접한 화소전극(151) 간의 래터럴 필드는 연장 전극(177)과 화소전극(151) 간의 래터럴 필드와 실질적으로 동일한 크기로 형성된다.
- [0140] 예를 들어 공통전압이 6V이고, 화소에 정극성 데이터 전압으로 12V가 부극성 데이터 전압으로 0V가 인가된다고 하면, 극성이 다른 연장 전극(177)과 화소전극(151) 사이에는 약 12V의 전압차가 발생하며 역시 극성이 다른 인접한 화소전극(151) 사이에도 약 12V의 전압차가 발생하는 것이다. 따라서 제3도메인(c)의 폭(d8) 및 제4도메인(d)의 폭(d9)을 모두 최대 36 μ m까지 증가시킬 수 있으며 각 부분영역(A, B)의 폭을 60 μ m이상 또는 70 μ m이상으로 증가시킬 수 있다.
- [0141] 제8실시예에서는 연장 전극(178)과 인접한 화소전극(151)에 서로 다른 극성의 데이터 전압을 인가하기 위해서 라인 인버전이 이루어져야 한다. 또한 게이트선(121) 연장방향으로 인접한 화소전극(151) 간에 서로 다른 극성의 데이터 전압이 인가되기 위하여는 컬럼 인버전이 이루어져야 한다. 따라서 제8실시예를 구현하기 위해서는 도트 인버전이 이루어져야 한다.
- [0142] 한편 도시하지는 않았지만 데이터선(141)과 화소전극(151)간의 간섭을 감소시키기 위하여 보호층(134)은 두께가 큰 유기막을 포함할 수 있다.
- [0143] 도 18은 본발명의 제9실시예에 따른 박막트랜지스터 기관의 배치도이다. 화소전극(151)은 제7실시예와 같이 꺾

쇠형상이다. 데이터선(141)의 일부는 화소전극(151)의 테두리를 따르지 않고 일직선으로 형성되어 있으며 나머지는 화소전극(151)의 테두리를 따라 형성되어 있다.

[0144] 본발명에 따라 화소전극의 크기를 증가시키면 다양한 화소크기의 액정표시장치에 PVA 모드 특히 Z-셀 구조를 적용할 수 있다. 화소의 크기는 액정표시패널의 크기와 해상도에 의해 결정된다. 본발명에 따르면 각 도메인의 폭을 최대 36 μ m까지 증가시킬 수 있으므로, 상대적으로 큰 화소를 갖는 액정표시장치에 Z-셀 구조를 적용시킬 수 있다.

[0145] 비록 본발명의 몇몇 실시예들이 도시되고 설명되었지만, 본발명이 속하는 기술분야의 통상의 지식을 가진 당업자라면 본발명의 원칙이나 정신에서 벗어나지 않으면서 본 실시예를 변형할 수 있음을 알 수 있을 것이다. 본발명의 범위는 첨부된 청구항과 그 균등물에 의해 정해질 것이다.

발명의 효과

[0146] 이상 설명한 바와 같이 본 발명에 따르면 응답속도 그리고/또는 개구율이 증가된 액정표시장치가 제공된다.

도면의 간단한 설명

- [0001] 도 1은 본발명의 제1실시예에 따른 액정표시장치의 블록도이고,
- [0002] 도 2는 본발명의 제1실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0003] 도 3는 도 2의 III-III을 따른 단면도이고,
- [0004] 도 4는 도 2의 IV-IV를 따른 액정표시패널의 단면도이고,
- [0005] 도 5a 및 도 5b는 본발명의 제1실시예에 따른 액정표시장치의 인버전 방식을 나타낸 도면이고,
- [0006] 도 6 은 본발명의 제2실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0007] 도 7은 본발명의 제3실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0008] 도 8은 도 7의 VIII-VIII을 따른 단면도이고,
- [0009] 도 9는 본발명의 제4실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0010] 도 10은 도 9의 X-X을 따른 액정표시패널의 단면도이고,
- [0011] 도 11은 본발명의 제5실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0012] 도 12는 본발명의 제6실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0013] 도 13a 내지 도 13c는 본발명의 제6실시예에 따른 액정표시장치의 인버전 방식을 나타낸 도면이고,
- [0014] 도 14는 본발명의 제7실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0015] 도 15는 도 14의 XV-XV를 따른 액정표시패널의 단면도이고,
- [0016] 도 16은 본발명의 제8실시예에 따른 박막트랜지스터 기관의 배치도이고,
- [0017] 도 17은 도 16의 XVII-XVII을 따른 액정표시패널의 단면도이고,
- [0018] 도 18은 본발명의 제9실시예에 따른 박막트랜지스터 기관의 배치도이다.

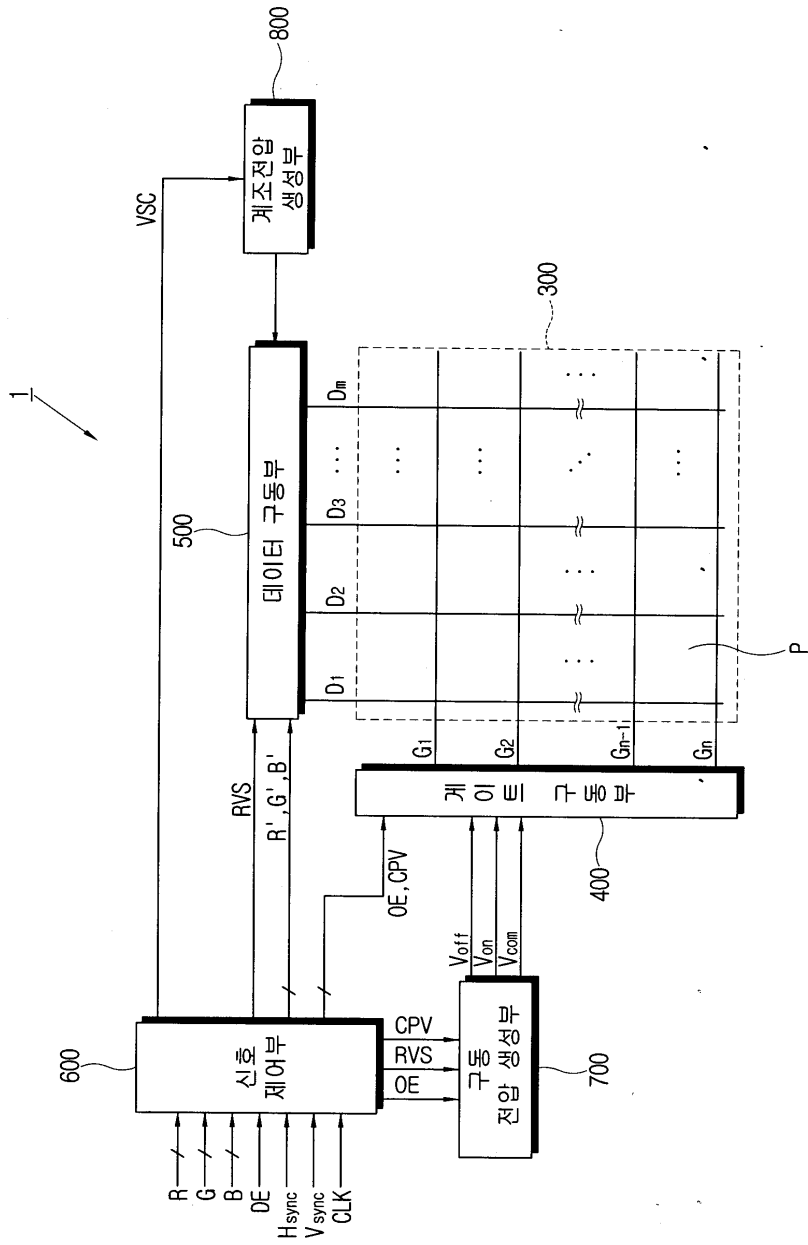
[0019] * 도면의 주요부분의 부호에 대한 설명 *

- | | |
|-------------------------|----------------|
| [0020] 100 : 박막트랜지스터 기관 | 151 : 화소전극 |
| [0021] 152 : 화소전극 절개패턴 | 171 : 연장 전극 |
| [0022] 200 : 컬러필터 기관 | 221 : 공통전극 |
| [0023] 222 : 공통전극 절개패턴 | 300 : 액정표시패널 |
| [0024] 400 : 게이트 구동부 | 500 : 데이터 구동부 |
| [0025] 600 : 신호 제어부 | 700 : 구동전압 생성부 |

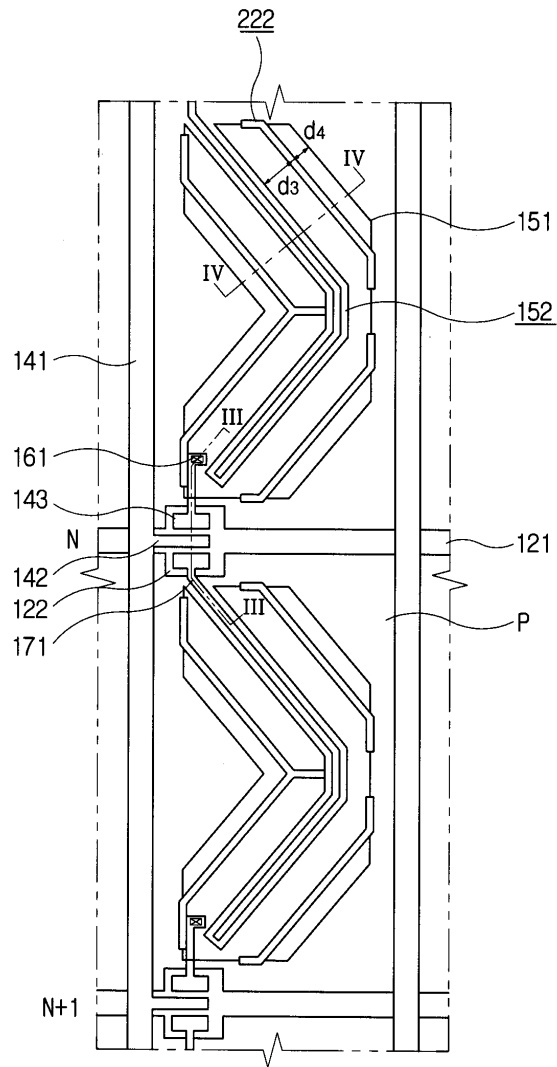
[0026] 800 : 계조전압 생성부

도면

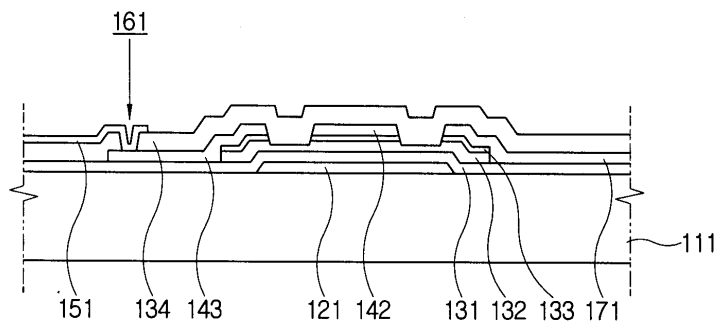
도면1



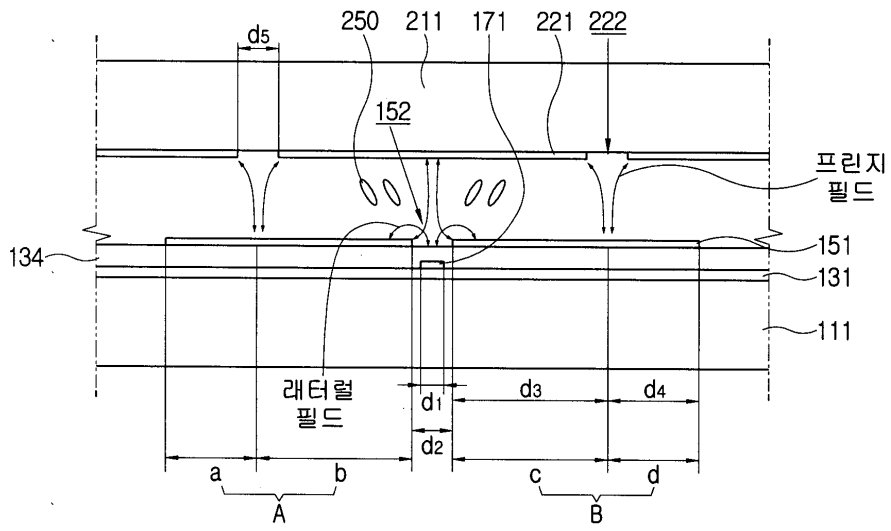
도면2



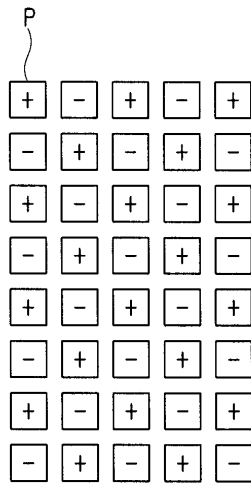
도면3



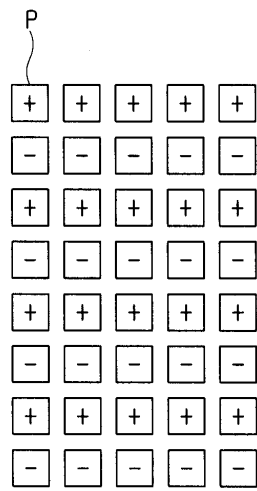
도면4



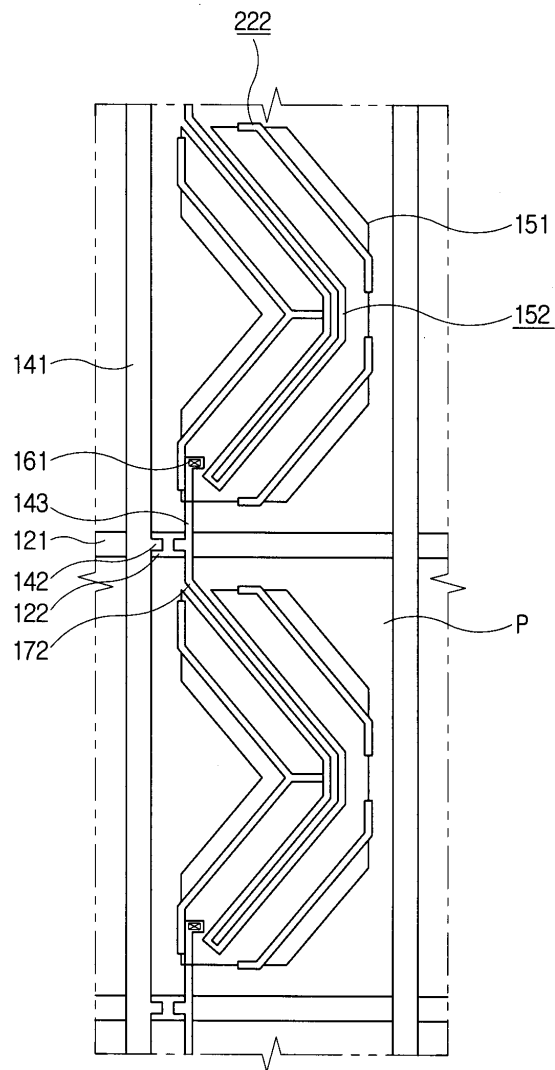
도면5a



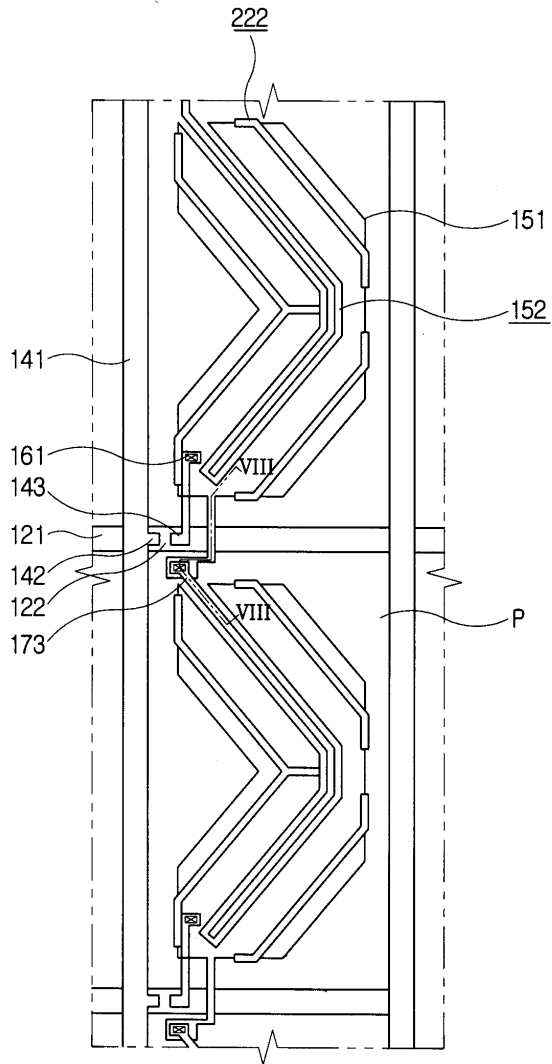
도면5b



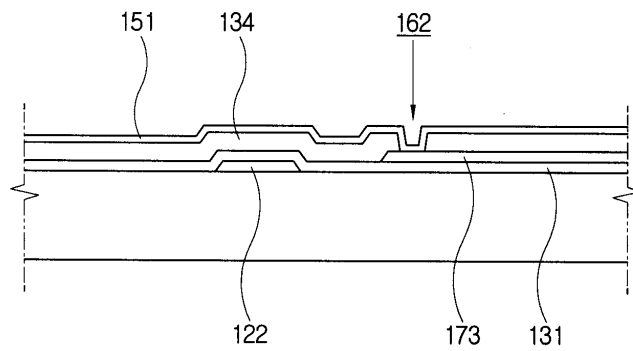
도면6



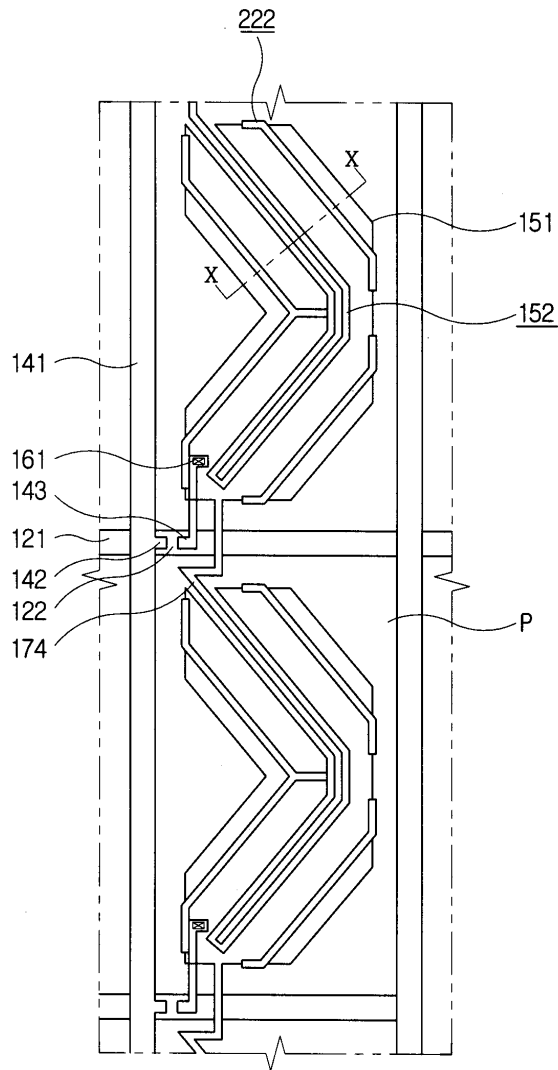
도면7



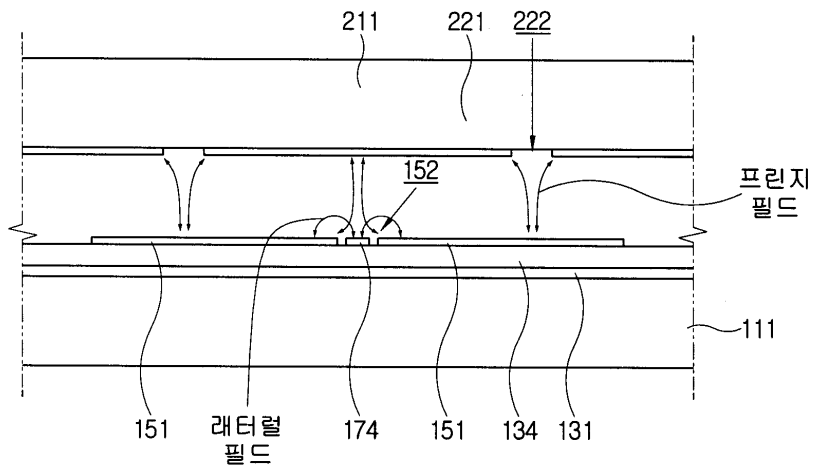
도면8



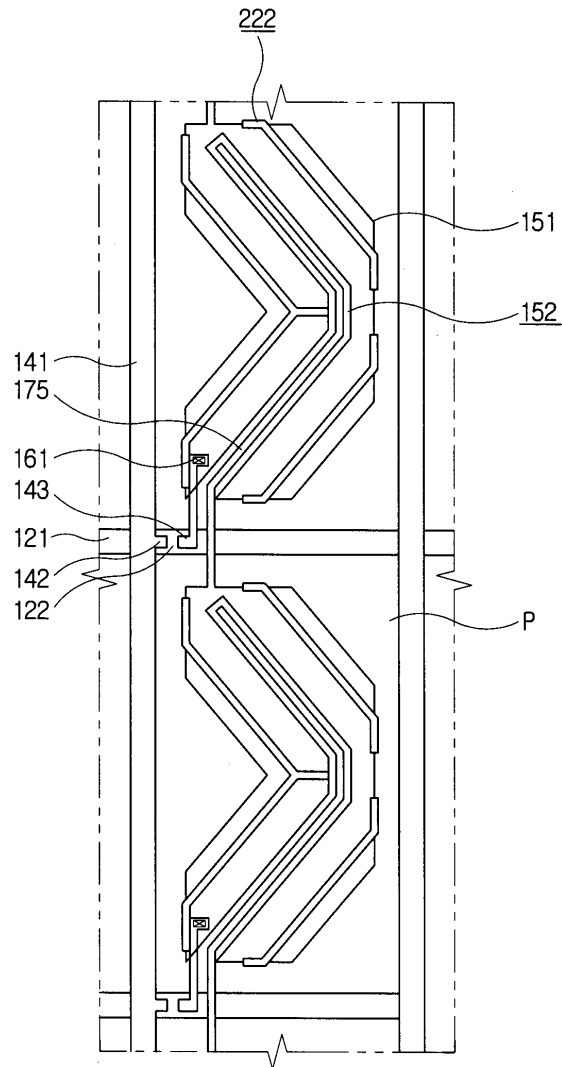
도면9



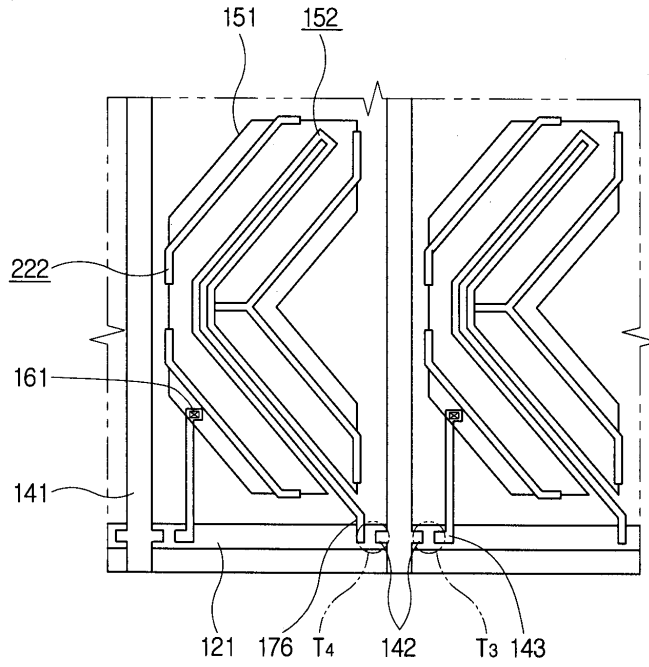
도면10



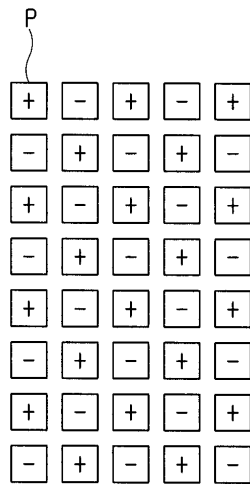
도면11



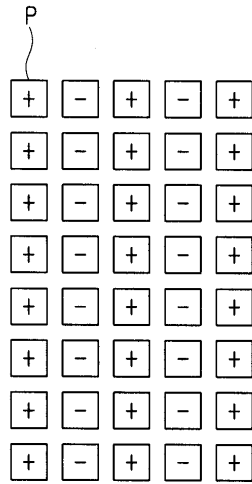
도면12



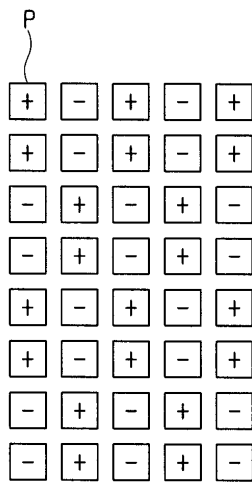
도면13a



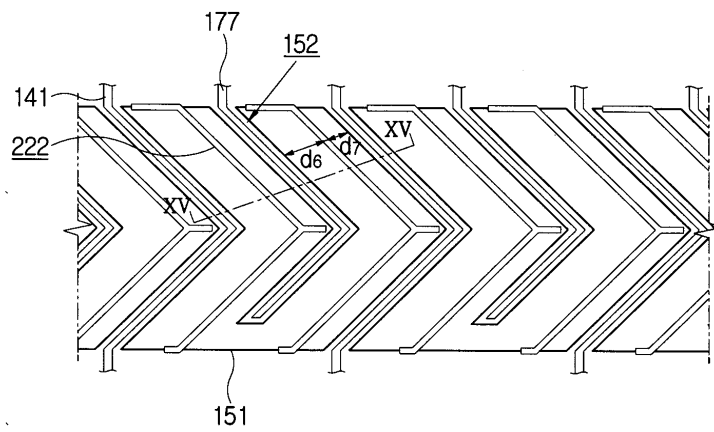
도면13b



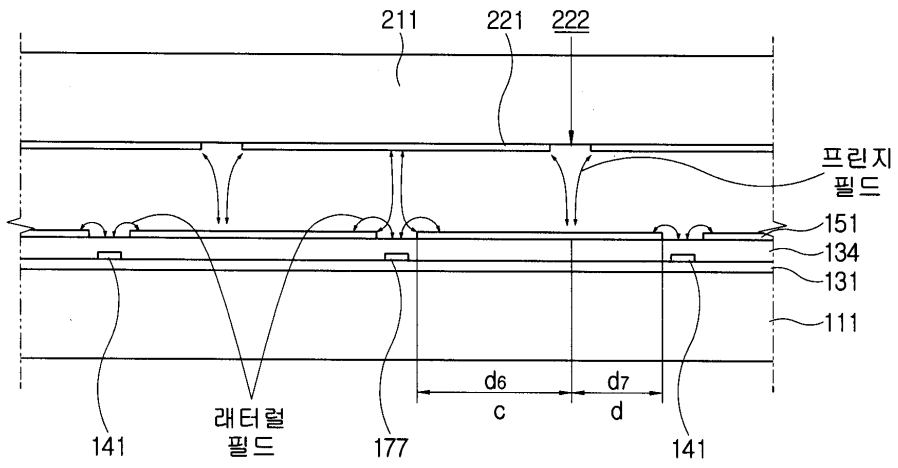
도면13c



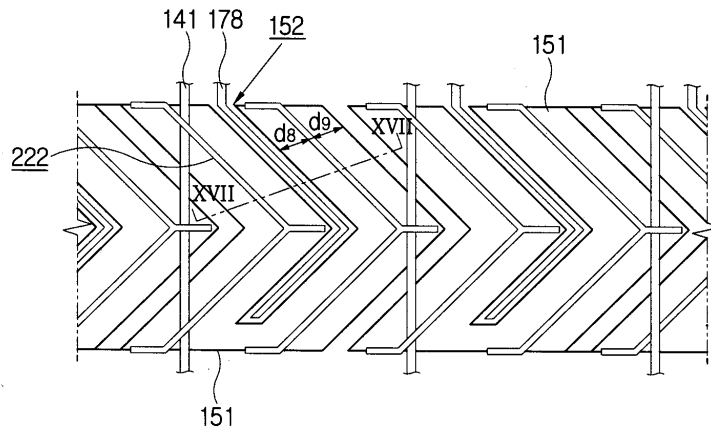
도면14



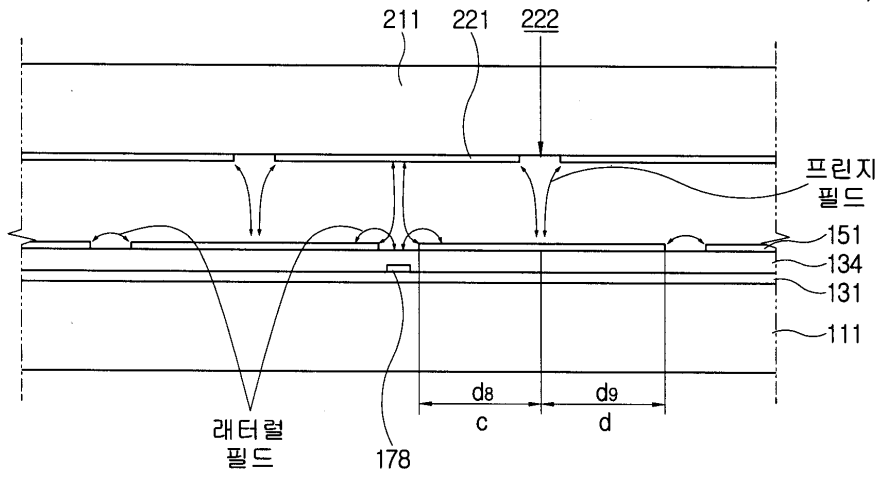
도면15



도면16



도면17



도면18

