



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월14일  
(11) 등록번호 10-2455088  
(24) 등록일자 2022년10월11일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1368 (2006.01) G02F 1/1335 (2019.01)  
G02F 1/1343 (2006.01) H01L 29/786 (2006.01)  
(52) CPC특허분류  
G02F 1/1368 (2013.01)  
G02F 1/133512 (2013.01)  
(21) 출원번호 10-2016-0003024  
(22) 출원일자 2016년01월11일  
심사청구일자 2020년12월21일  
(65) 공개번호 10-2017-0083750  
(43) 공개일자 2017년07월19일  
(56) 선행기술조사문헌  
KR1020150065005 A  
KR1020150101414 A  
KR1020090041100 A  
US09502435 A

(73) 특허권자  
쑤저우 레킨 세미컨덕터 컴퍼니 리미티드  
중국 쑤저우 타이창 시티 168 창성 노스 로드  
(72) 발명자  
이상열  
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
김청송  
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
(뒷면에 계속)  
(74) 대리인  
특허법인다나

전체 청구항 수 : 총 5 항

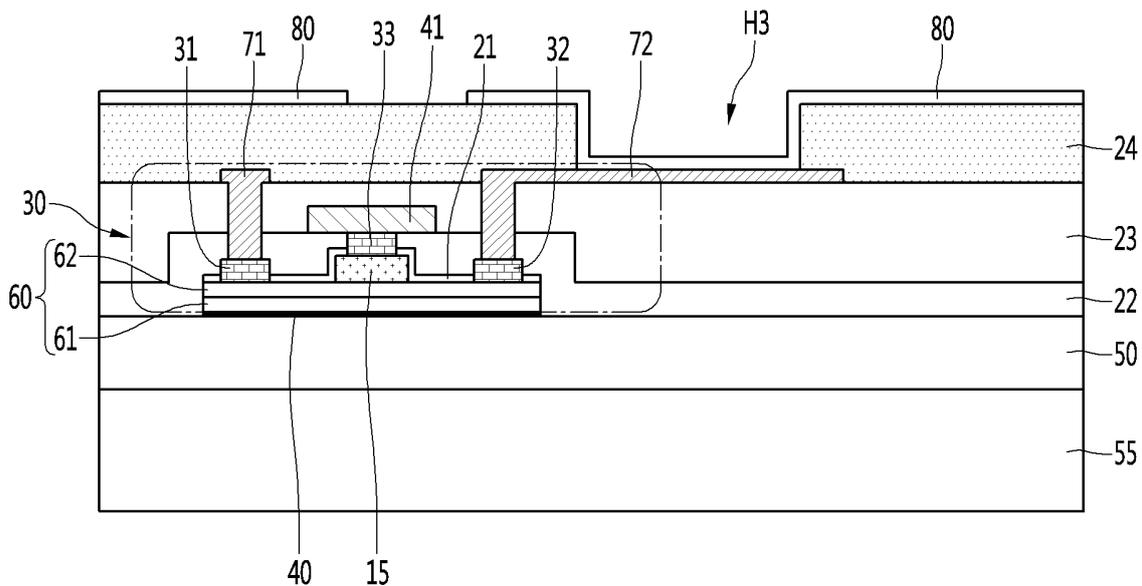
심사관 : 이우리

(54) 발명의 명칭 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치

(57) 요약

실시 예에 따른 박막 트랜지스터 기관은, 기관; 기관 위에 배치되며, 질화물계 반도체층을 포함하는 채널층, 채널층의 제1 영역에 전기적으로 연결된 소스 전극, 채널층의 제2 영역에 전기적으로 연결된 드레인 전극, 채널층 위에 배치된 게이트 전극, 채널층과 게이트 전극 사이에 배치된 디플리션 형성층을 포함하는 박막 트랜지스터를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

*G02F 1/133514* (2021.01)

*G02F 1/133553* (2013.01)

*G02F 1/134372* (2021.01)

*H01L 29/78618* (2013.01)

*H01L 29/78696* (2013.01)

(72) 발명자

**문지형**

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

**박선우**

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

**송준오**

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 위에 배치되며, 질화물계 반도체층을 포함하는 채널층, 상기 채널층의 제1 영역에 전기적으로 연결된 소스 전극, 상기 채널층의 제2 영역에 전기적으로 연결된 드레인 전극, 상기 채널층 위에 배치된 게이트 전극, 상기 채널층과 상기 게이트 전극 사이에 배치된 디플리션 형성층을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터 위에 배치되며 상기 박막 트랜지스터의 상기 드레인 전극에 전기적으로 연결된 화소전극;

상기 채널층 위에 배치된 제1 보호막;

상기 기관 및 상기 제1 보호막 위에 배치된 제2 보호막;

상기 제1 보호막을 관통하여 상기 채널층의 제1 영역에 접촉되어 배치되고 상기 소스 전극에 전기적으로 연결된 소스 콘택부;

상기 제1 보호막을 관통하여 상기 채널층의 제2 영역에 접촉되어 배치되고 상기 드레인 전극에 전기적으로 연결된 드레인 콘택부;

를 포함하는 박막 트랜지스터 기관.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 디플리션 형성층은 p형 도펀트가 첨가된 질화물 반도체층을 포함하는 박막 트랜지스터 기관.

#### 청구항 5

삭제

#### 청구항 6

제1항에 있어서,

상기 기관과 상기 채널층 사이에 배치된 블랙 매트릭스를 포함하고,

상기 채널층의 폭과 상기 블랙 매트릭스의 폭이 같고,

상기 블랙 매트릭스는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층인 박막 트랜지스터 기관.

#### 청구항 7

삭제

#### 청구항 8

삭제

**청구항 9**

제1항에 있어서,

상기 기관과 상기 채널층 사이에 배치된 본딩층을 포함하고,

상기 본딩층은, 상기 기관 위에 배치된 반사층과, 상기 반사층 위에 배치된 메탈본딩층과 상기 메탈본딩층 위에 배치된 절연층을 포함하는 박막 트랜지스터 기관.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

제1항에 있어서,

상기 게이트 전극은 상기 제1 보호막과 상기 제2 보호막을 관통하여 상기 디플리션 형성층에 접촉되어 배치되고,

상기 제2 보호막 위에 배치되어 상기 게이트 전극과 전기적으로 연결된 게이트 배선을 포함하는 박막 트랜지스터 기관.

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가되고 있으며, 고해상도 표시장치에 대한 요구도 증대되고 있다. 고해상도 표시장치를 구현하기 위한 방안으로서 단위 면적 당 화소수가 증가되고 있는데, 증가된 화소에 맞추어 게이트 신호 및 데이터 신호를 공급하기 위하여 게이트 배선 수와 데이터 배선의 수가 증가되고 있다. 그런데, 게이트 배선 수가 증가됨에 따라, 하나의 화소에 대해 게이트 신호를 제공할 수 있는 시간(Gate on Time)이 짧아 지게 되므로 캐리어의 이동도가 높은 박막 트랜지스터의 개발이 요청되고 있다.

[0003] 또한, 부드러운 동화상 재생을 위한 방안으로서 구동 주파수를 증가시키는 방안이 연구되고 있으며, 구동 주파수를 증가시키는 경우에도 하나의 화소에 대해 게이트 신호를 제공할 수 있는 시간(Gate on Time)이 짧아 지게 되므로 캐리어의 이동도가 높은 박막 트랜지스터의 개발이 요청되고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 실시 예는 캐리어의 이동도를 높이고 제품 신뢰성을 확보할 수 있는 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치를 제공한다.

**과제의 해결 수단**

[0005] 실시 예에 따른 박막 트랜지스터 기관은, 기관; 상기 기관 위에 배치되며, 질화물계 반도체층을 포함하는 채널층, 상기 채널층의 제1 영역에 전기적으로 연결된 소스 전극, 상기 채널층의 제2 영역에 전기적으로 연결된 드레인 전극, 상기 채널층 위에 배치된 게이트 전극, 상기 채널층과 상기 게이트 전극 사이에 배치된 디플리션 형성층을 포함하는 박막 트랜지스터; 를 포함할 수 있다.

[0006] 실시 예에 따른 표시패널은, 기관; 상기 기관 위에 배치되며, 질화물계 반도체층을 포함하는 채널층, 상기 채널층의 제1 영역에 전기적으로 연결된 소스 전극, 상기 채널층의 제2 영역에 전기적으로 연결된 드레인 전극, 상기 채널층 위에 배치된 게이트 전극, 상기 채널층과 상기 게이트 전극 사이에 배치된 디플리션 형성층을 포함하는 박막 트랜지스터; 를 포함하는 박막 트랜지스터 기관; 상기 박막 트랜지스터 기관 위에 배치된 컬러필터 기관; 상기 박막 트랜지스터 기관과 상기 컬러필터 기관 사이에 제공된 액정층; 을 포함할 수 있다.

[0007] 실시 예에 따른 표시장치는, 기관; 상기 기관 위에 배치되며, 질화물계 반도체층을 포함하는 채널층, 상기 채널층의 제1 영역에 전기적으로 연결된 소스 전극, 상기 채널층의 제2 영역에 전기적으로 연결된 드레인 전극, 상기 채널층 위에 배치된 게이트 전극, 상기 채널층과 상기 게이트 전극 사이에 배치된 디플리션 형성층을 포함하는 박막 트랜지스터; 를 포함하는 박막 트랜지스터 기관과 상기 박막 트랜지스터 기관 위에 배치된 컬러필터 기관을 포함하는 표시 패널; 상기 표시패널 아래에 배치되어 상기 표시패널에 빛을 공급하는 라이트 유닛; 을 포함할 수 있다.

**발명의 효과**

[0008] 실시 예에 따른 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치는, 높은 캐리어 이동도를 제공함으로써 고해상도를 구현하고 부드러운 동화상을 재생할 수 있는 장점이 있다.

**도면의 간단한 설명**

[0009] 도 1은 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 나타낸 도면이다.

도 2 내지 도 14는 본 발명의 실시 예에 따른 도 1에 도시된 박막 트랜지스터 기관의 제조 공정 예를 나타낸 도면이다.

도 15는 본 발명의 실시 예에 따른 박막 트랜지스터 기관에 복수의 화소가 배치된 예를 나타낸 도면이다.

- 도 16 및 도 17은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 다른 예를 나타낸 도면이다.
- 도 18은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 19는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 20은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 21은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 22는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 23은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 24는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 25 및 도 26은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 27은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 28은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 29는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 30은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 31은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 32는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 33은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 34는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 35는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 36은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 37은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 38은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 39는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 40은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 41은 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 포함하는 표시장치의 예를 나타낸 블록도이다.
- 도 42는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 43은 본 발명의 실시 예에 따른 도 42에 도시된 박막 트랜지스터 기관의 D-D 선에 따른 단면을 나타낸 도면이다.
- 도 44는 본 발명의 실시 예에 따른 도 42에 도시된 박막 트랜지스터 기관의 E-E 선에 따른 단면을 나타낸 도면이다.
- 도 45는 도 42 내지 도 44를 참조하여 설명된 박막 트랜지스터 기관에 있어서 하나의 화소를 증가적으로 나타낸 회로도이다.
- 도 46은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 47은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 48은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 49는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.
- 도 50은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.

도 51은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.

도 52는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다.

도 53은 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 포함하는 표시장치의 예를 나타낸 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기관, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.
- [0011] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예들에 따른 박막 트랜지스터 기관, 표시패널, 표시장치 및 박막 트랜지스터 기관 제조방법에 대해 상세히 설명하도록 한다.
- [0012] 도 1은 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 나타낸 도면이다.
- [0013] 본 발명의 실시 예에 따른 박막 트랜지스터 기관은, 도 1에 도시된 바와 같이, 기관(55)과 상기 기관(55) 위에 배치된 박막 트랜지스터(30), 상기 박막 트랜지스터(30)에 전기적으로 연결된 화소전극(80)을 포함할 수 있다.
- [0014] 실시 예에 따른 박막 트랜지스터(30)는 디플리션 형성층(depletion forming layer, 15), 게이트 전극(33), 채널층(60), 소스 전극(71), 드레인 전극(72)을 포함할 수 있다. 상기 소스 전극(71)은 상기 채널층(60)의 제1 영역에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 채널층(60)의 상부 면에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 채널층(60)의 제2 영역에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 채널층(60)의 상부 면에 전기적으로 연결될 수 있다. 상기 게이트 전극(33)은 상기 채널층(60) 위에 배치될 수 있다. 상기 디플리션 형성층(15)은 상기 채널층(60)의 제1 영역과 제2 영역 사이 위에 배치될 수 있다. 상기 디플리션 형성층(15)은 상기 채널층(60)과 상기 게이트 전극(33) 사이에 배치될 수 있다.
- [0015] 상기 채널층(60)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 채널층(60)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 채널층(60)은 예를 들어 GaN, AlN, AlGa<sub>N</sub>, InGa<sub>N</sub>, InN, InAlGa<sub>N</sub>, AlIn<sub>N</sub>, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다.
- [0016] 상기 채널층(60)은 제1 질화물 반도체층(61)과 제2 질화물 반도체층(62)을 포함할 수 있다. 상기 제1 질화물 반도체층(61)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(62)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다.
- [0017] 실시 예에 따른 상기 채널층(60)에 의하면, 상기 제1 질화물 반도체층(61)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(62)이 AlGa<sub>N</sub> 반도체층을 포함할 수 있다. 상기 제2 질화물 반도체층(62)은 상기 제1 질화물 반도체층(61)과 상기 디플리션 형성층(15) 사이에 배치될 수 있다.
- [0018] 상기 디플리션 형성층(15)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 디플리션 형성층(15)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 디플리션 형성층(15)은 예를 들어 GaN, AlN, AlGa<sub>N</sub>, InGa<sub>N</sub>, InN, InAlGa<sub>N</sub>, AlIn<sub>N</sub>, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다. 상기 디플리션 형성층(15)은 p형 도펀트가 첨가된 질화물 반도체층을 포함할 수 있다. 예로서, 상기 디플리션 형성층(15)은 p형 도펀트가 첨가된 GaN 반도체층 또는 p형 도펀트가 첨가된 AlGa<sub>N</sub> 반도체층을 포함할 수 있다. 상기 디플리션 형성층(15)은 예컨대,  $p-Al_xGa_{1-x}N$  ( $0 \leq x \leq 0.3$ )의 조성식을 갖는 반도체 물질로 구현된 단일층 또는 다중층을 포함할 수 있다.
- [0019] 상기 디플리션 형성층(15)은 예로서 2~300nm의 두께로 제공될 수 있다. 상기 디플리션 형성층(15)은 상기 채널층(60)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 제공하기 위하여 적어도 2nm의 두께로 제공될 수 있다. 또한, 상기 디플리션 형성층(15)은 제조공정에 따른 두께 편차를 고려하여 30nm 이상의 두께로 제공될 수도 있다. 또한, 상기 디플리션 형성층(15)은 제조공정에 따른 두께 편차를 고려하여 200nm 이하의 두께로 제공될 수도 있다. 상기 디플리션 형성층(15)은 예로서 50~100nm의 두께로 제공될 수도 있다.

- [0020] 상기 디플리션 형성층(15)은 상기 채널층(60)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 형성하는 역할을 할 수 있다. 상기 디플리션 형성층(15)에 의해 그 아래에 위치하는 제2 질화물 반도체층(62) 부분의 에너지 밴드갭(energy bandgap)이 높아질 수 있고, 그 결과 상기 디플리션 형성층(15)에 대응하는 상기 채널층(60) 부분에 2차원 전자가스(2DEG)의 디플리션 영역이 제공될 수 있다. 따라서, 상기 채널층(60)에 제공되는 2차원 전자가스(2DEG) 중 상기 디플리션 형성층(15)이 배치된 위치에 대응되는 영역은 끊어질 수 있다. 상기 채널층(60)에서 2차원 전자가스(2DEG)가 끊어진 영역을 단절영역이라 할 수 있으며, 예로서 상기 제2 질화물 반도체층(62)에 단절영역이 형성될 수 있다. 이러한 단절영역에 의해 상기 박막 트랜지스터(30)는 노멀리-오프(normally-off) 특성을 가질 수 있다. 상기 게이트 전극(33)에 문턱 전압(threshold voltage) 이상의 전압을 인가하면, 단절영역에 2차원 전자가스(2DEG)가 생성되어, 상기 박막 트랜지스터(30)가 온 상태가 된다. 상기 게이트 전극(33)의 하부에 형성된 채널이 온 상태가 되면 상기 채널층(60)에 형성된 2차원 전자가스(2DEG)를 경유하여 전류가 흐를 수 있게 된다. 이에 따라, 상기 게이트 전극(33)에 인가되는 전압에 따라 상기 채널층(60)의 제1 영역으로부터 제2 영역으로의 전류 흐름이 제어될 수 있게 된다.
- [0021] 상기 기판(55)은 투명기판을 포함할 수 있다. 상기 기판(55)은 예로서 0.1 mm 내지 3 mm의 두께를 갖는 투명기판으로 구현될 수 있다. 또한, 상기 기판(55)의 두께는 적용되는 표시장치의 용도 및 크기에 따라 변경될 수 있는 것으로서 0.4~1.1mm의 두께 범위 내에서 선택될 수도 있다. 예로서, 상기 기판(55)은 0.6~0.8mm의 두께로 제공될 수도 있다. 상기 기판(55)은 실리콘, 유리, 폴리이미드, 플라스틱을 포함하는 물질 중에서 선택된 적어도 하나의 물질을 포함할 수 있다. 상기 기판(55)은 플렉시블 기판을 포함할 수 있다.
- [0022] 상기 기판(55)은 뒤에서 설명될 트랜스퍼(transfer) 공정에서 적용되는 기판으로서 상기 박막 트랜지스터(30)를 지지하는 역할을 수행한다. 또한, 실시 예에 따른 박막 트랜지스터 기판은 상기 기판(55)과 상기 박막 트랜지스터(30) 사이에 제공된 본딩층(50)을 포함할 수 있다.
- [0023] 상기 본딩층(50)은 유기물을 포함할 수 있다. 상기 본딩층(50)은 투명물질로 구현될 수 있다. 상기 본딩층(50)은 예로서 투과도가 70% 이상인 물질로 구현될 수 있다. 상기 본딩층(50)은 유기 절연물질을 포함할 수 있다. 상기 본딩층(50)은 아크릴, 벤조시클로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다. 상기 본딩층(50)은 예로서 0.5~6 $\mu$ m의 두께로 제공될 수 있다. 상기 본딩층(50)의 두께는 선택된 물질 종류에 따라 차이가 있을 수 있으며 1~3 $\mu$ m의 두께로 제공될 수도 있다. 또한, 상기 본딩층(50)은 예로서 1.8~2.2 $\mu$ m의 두께로 제공될 수도 있다.
- [0024] 실시 예에 따른 박막 트랜지스터(30)는 상기 채널층(60)의 제1 영역 위에 배치된 소스 컨택부(31)와 상기 채널층(60)의 제2 영역 위에 배치된 드레인 컨택부(32)를 포함할 수 있다. 상기 소스 컨택부(31)는 상기 채널층(60)의 제1 영역에 접촉되어 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 채널층(60)의 제2 영역에 접촉되어 배치될 수 있다.
- [0025] 실시 예에 따른 박막 트랜지스터(30)는 상기 게이트 전극(33) 위에 배치된 게이트 배선(41)을 포함할 수 있다. 상기 게이트 배선(41)은 상기 게이트 전극(33)에 전기적으로 연결될 수 있다. 상기 게이트 배선(41)의 하부 면이 상기 게이트 전극(33)의 상부 면에 접촉되어 배치될 수 있다.
- [0026] 상기 소스 전극(71)은 상기 소스 컨택부(31)에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 소스 컨택부(31)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 소스 전극(71)은 상기 소스 컨택부(31)를 통하여 상기 채널층(60)의 제1 영역에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 드레인 컨택부(32)에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 드레인 컨택부(32)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 드레인 전극(72)은 상기 드레인 컨택부(32)를 통하여 상기 채널층(60)의 제2 영역에 전기적으로 연결될 수 있다.
- [0027] 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 채널층(60)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 제2 질화물 반도체층(62)과 오믹 접촉하는 물질을 포함할 수 있다. 예로서, 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 채널층(60)과의 접촉을 위한 층으로서 전류 확산 기능

을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.

- [0028] 상기 게이트 전극(33)은 상기 디플리션 형성층(15)과 오믹 접촉하는 물질로 구현될 수 있다. 예로서, 상기 게이트 전극(33)은 p형 질화물층과 오믹 접촉하는 금속성 물질로 구현될 수 있다. 상기 게이트 전극(33)은 텅스텐(W), 텅스텐실리콘(WSi<sub>2</sub>), 티타늄질소(TiN), 탄탈륨(Ta), 탄탈륨질소(TaN), 팔라듐(Pd), 니켈(Ni), 백금(Pt)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 게이트 전극(33)은 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 게이트 전극(33)은 상기 디플리션 형성층(15)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.
- [0029] 상기 게이트 배선(41)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 게이트 배선(41)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 게이트 배선(41)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 게이트 전극(33)의 두께에 비하여 더 두껍게 제공될 수도 있다.
- [0030] 상기 소스 전극(71)과 상기 드레인 전극(72)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 전극(71)과 상기 드레인 전극(72)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 소스 전극(71)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 소스 컨택부(31)의 두께에 비하여 더 두껍게 제공될 수도 있다. 상기 드레인 전극(72)도 상기 드레인 컨택부(32)의 두께에 비하여 더 두껍게 제공될 수도 있다.
- [0031] 실시 예에 따른 박막 트랜지스터 기판은 상기 채널층(60) 위에 배치된 제1 보호막(21)을 포함할 수 있다. 상기 제1 보호막(21)은 상기 제2 질화물 반도체층(62) 위에 배치될 수 있다. 상기 제1 보호막(21)의 하부 면은 상기 제2 질화물 반도체층(62)의 상부 면에 접촉되어 배치될 수 있다. 상기 제1 보호막(21)은 상기 디플리션 형성층(15) 위에 배치될 수 있다. 상기 제1 보호막(21)은 상기 디플리션 형성층(15)의 측면에 배치될 수 있다. 상기 제1 보호막(21)은 상기 디플리션 형성층(15)의 측면을 감싸도록 배치될 수 있다.
- [0032] 실시 예에 의하면, 상기 소스 컨택부(31)는 상기 제1 보호막(21)을 관통하여 배치될 수 있다. 상기 소스 컨택부(31)는 상기 제1 보호막(21)에 의하여 둘러 싸여 배치될 수 있다. 상기 소스 컨택부(31)는 상기 제1 보호막(21)을 관통하여 배치되고 상기 채널층(60)의 제1 영역에 접촉되어 제공될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)을 관통하여 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)에 의하여 둘러 싸여 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)을 관통하여 배치되고 상기 채널층(60)의 제2 영역에 접촉되어 제공될 수 있다.
- [0033] 상기 제1 보호막(21)은 절연물질로 구현될 수 있다. 상기 제1 보호막(21)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0034] 실시 예에 의하면, 상기 기판(55)과 상기 제1 보호막(21) 위에 제2 보호막(22)이 배치될 수 있다. 상기 게이트 전극(33)은 상기 제1 보호막(21)과 상기 제2 보호막(22) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 게이트 전극(33)은 상기 제1 보호막(21)과 상기 제2 보호막(22)을 관통하여 배치될 수 있다. 상기 게이트 전극(33)은 상기 제1 보호막(21)과 상기 제2 보호막(22) 중에서 적어도 하나를 관통하여 상기 디플리션 형성층(15)에 접촉되어 배치될 수 있다. 예로서, 상기 게이트 전극(33)은 상기 제1 보호막(21)과 상기 제2 보호막(22)을 관통하여 상기 디플리션 형성층(15)에 접촉되어 배치될 수 있다. 상기 게이트 배선(41)은 상기 제2 보호막(22) 위에 배치되어 상기 게이트 전극(33)과 전기적으로 연결될 수 있다. 상기 제2 보호막(22)은 절연물질로 구현될 수 있다. 상기 제2 보호막(22)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0035] 실시 예에 의하면, 상기 제2 보호막(22) 위에 제3 보호막(23)이 배치될 수 있다. 상기 제3 보호막(23)은 상기 제2 보호막(22)과 상기 게이트 배선(41) 위에 배치될 수 있다. 상기 게이트 배선(41)은 상기 게이트 전극(33)

위에 접촉되어 배치되고 상기 제3 보호막(23)에 의하여 둘러 싸여 제공될 수 있다.

- [0036] 상기 소스 전극(71)은 상기 제2 보호막(22)과 상기 제3 보호막(23)을 관통하여 상기 소스 컨택부(31)에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 제3 보호막(23) 위에 배치된 제1 영역을 포함할 수 있다. 상기 소스 전극(71)은 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하는 제2 영역을 포함할 수 있다. 상기 드레인 전극(72)은 상기 제2 보호막(22)과 상기 제3 보호막(23)을 관통하여 상기 드레인 컨택부(32)에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 제3 보호막(23) 위에 배치된 제1 영역을 포함할 수 있다. 상기 드레인 전극(72)은 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하는 제2 영역을 포함할 수 있다.
- [0037] 상기 제3 보호막(23)은 절연물질을 포함할 수 있다. 상기 제3 보호막(23)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0038] 실시 예에 따른 박막 트랜지스터 기판은 상기 제3 보호막(23) 위에 배치된 제4 보호막(24)을 포함할 수 있다. 상기 제4 보호막(24)은 상기 소스 전극(71)과 상기 드레인 전극(72) 위에 배치될 수 있다. 상기 제4 보호막(24)은 상기 드레인 전극(72) 위에 제공된 컨택홀(H3)을 포함할 수 있다.
- [0039] 상기 제4 보호막(24)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0040] 실시 예에 의하면, 상기 화소전극(80)은 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 화소전극(80)은 상기 제4 보호막(24)에 제공된 컨택홀(H3)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(80)의 하부 면은 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다.
- [0041] 상기 화소전극(80)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(80)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(80)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0042] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(55)과 상기 채널층(60) 사이에 배치된 블랙 매트릭스(40)를 포함할 수 있다. 상기 채널층(60)의 폭과 상기 블랙 매트릭스(40)의 폭이 같게 제공될 수 있다. 상기 블랙 매트릭스(40)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 블랙 매트릭스(40)는 상기 박막 트랜지스터(30)로 입사되는 빛을 차단할 수 있다. 이에 따라 포토 커런트 등에 의하여 상기 박막 트랜지스터(30)가 열화되는 것을 방지할 수 있다.
- [0043] 실시 예에 의하면, 상기 기판(55)과 상기 채널층(60) 사이에 상기 본딩층(50)이 배치될 수 있다. 상기 본딩층(50)은 상기 기판(55)과 상기 블랙 매트릭스(40) 사이에 배치될 수 있다. 예로서, 상기 본딩층(50)은 상기 기판(55)의 전체 영역 위에 배치될 수 있다. 예로서, 상기 본딩층(50)은 상기 기판(55)의 전체 영역 위에 배치될 수 있다. 상기 본딩층(50)은 상기 제2 보호막(22)과 접촉되어 배치될 수 있다. 상기 본딩층(50)의 상부면과 상기 제2 보호막(22)의 하부면이 접촉되어 배치될 수 있다. 예로서, 상기 블랙 매트릭스(40)가 제공되지 않은 영역에서, 상기 본딩층(50)의 상부면과 상기 제2 보호막(22)의 하부면이 직접 접촉되어 배치될 수 있다.
- [0044] 그러면, 도 2 내지 도 14를 참조하여 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 공정 예를 설명하기로 한다. 도 2 내지 도 13에서 각 도면의 (a)는 평면도를 나타낸 것이고 각 도면의 (b)는 평면도의 A-A 선에 따른 단면도를 나타낸 것이다.
- [0045] 먼저, 도 2에 도시된 바와 같이, 성장기판(10) 위에 제1층(11), 제2층(12), 제3층(13)이 순차적으로 성장될 수 있다.
- [0046] 상기 성장기판(10)은 상기 제1층(11), 제2층(12), 제3층(13)이 성장될 수 있는 기판일 수 있다. 상기 성장기판(10)은 예를 들어, 사파이어(Sapphire), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나를 포함할 수 있다. 상기 성장기판(10)과 상기 제1층(11) 사이에는 버퍼층이 더 형성될 수도 있다.
- [0047] 상기 제1층(11), 상기 제2층(12), 상기 제3층(13)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 상기 제1층(11), 상기 제2층(12), 상기 제3층(13)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는

반도체 물질로 구현될 수 있다. 상기 제1층(11), 상기 제2층(12), 상기 제3층(13)은 예를 들어 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다.

[0048] 실시 예에 따르면, 예로서 상기 제1층(11)은 GaN 반도체층으로 형성될 수 있고, 상기 제2층(12)은 AlGaN 반도체층으로 형성될 수 있다. 상기 제3층(13)은 p형 도펀트가 첨가된 질화물 반도체층을 포함할 수 있다. 예로서, 상기 제3층(13)은 p형 도펀트가 첨가된 GaN 반도체층 또는 p형 도펀트가 첨가된 AlGaN 반도체층을 포함할 수 있다. 상기 제3층(13)은 예컨대,  $p\text{-Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 0.3$ )의 조성식을 갖는 반도체 물질로 구현된 단일층 또는 다중층을 포함할 수 있다.

[0049] 다음으로, 도 3에 도시된 바와 같이, 상기 제3층(13)에 대한 식각을 통하여 상기 제2층(12) 위에 배치된 디플리션 형성층(15)이 형성될 수 있다. 상기 디플리션 형성층(15)은 예로서 포토 리소그래피 공정 및 식각 공정을 통하여 형성될 수 있다.

[0050] 이어서, 도 4에 도시된 바와 같이, 상기 제2층(12)과 상기 디플리션 형성층(15) 위에 제1 보호막(21)이 형성될 수 있다. 상기 제1 보호막(21)은 절연물질로 구현될 수 있다. 상기 제1 보호막(21)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $\text{Al}_2\text{O}_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0051] 도 5에 도시된 바와 같이, 상기 제2층(12) 위에 소스 컨택부(31)와 드레인 컨택부(32)가 형성될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 제1 보호막(21)을 관통하여 상기 제2층(12) 위에 형성될 수 있다. 예로서, 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 자기정렬(self-align) 공정을 통해 형성될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 제2층(12)에 오믹 접촉될 수 있다. 예로서, 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 폴리텅스텐(MoW), 폴리티타늄(MoTi), 구리/폴리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 예로서 0.1~1 $\mu\text{m}$ 의 두께로 형성될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 채널층(60)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu\text{m}$  이하의 두께로 제공될 수도 있다.

[0052] 도 5의 (a)에 도시된 바와 같이, 상기 소스 컨택부(31)는 제1 방향으로 L1의 길이를 가질 수 있고 상기 드레인 컨택부(32)는 상기 제1 방향으로 L2의 길이를 가질 수 있다. 상기 디플리션 형성층(15)은 상기 제1 방향으로 L3의 길이를 갖도록 형성될 수 있다. 예로서, 상기 소스 컨택부(31)의 측면과 상기 드레인 컨택부(32)의 측면이 서로 마주보게 배치되고, 상기 디플리션 형성층(15)이 상기 소스 컨택부(31)의 측면과 상기 드레인 컨택부(32)의 측면 사이에 일 방향으로 연장되어 배치될 수 있다. 상기 일 방향으로 연장되어 배치된 상기 디플리션 형성층(15)의 길이(L3)가 상기 소스 컨택부(31)의 측면 길이(L1)에 비해 더 길게 형성될 수 있다. 상기 디플리션 형성층(15)의 길이(L3)가 상기 드레인 컨택부(32)의 측면 길이(L2)에 비해 더 길게 형성될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32) 사이에 배치된 상기 디플리션 형성층(15)의 길이가 더 길게 형성됨으로써, 트랜지스터로서 동작되는 경우에, 상기 디플리션 형성층(15)에 의하여 채널층에 충분한 디플리션 영역이 형성되도록 할 수 있으며, 게이트 전압이 인가되지 않는 경우에 상기 소스 컨택부(31)로부터 상기 드레인 컨택부(32)로 전류가 흐르는 것을 방지할 수 있게 된다. 이에 따라 실시 예에 의하면 노멀리 오프(normally off) 구동의 트랜지스터를 제공할 수 있게 된다.

[0053] 그리고, 도 6에 도시된 바와 같이, 상기 디플리션 형성층(15) 위에 게이트 전극(33)이 형성될 수 있다. 상기 게이트 전극(33)은 상기 제1 보호막(21)을 관통하여 형성될 수 있다.

[0054] 상기 게이트 전극(33)은 상기 디플리션 형성층(15)과 오믹 접촉하는 물질로 구현될 수 있다. 예로서, 상기 게이트 전극(33)은 p형 질화물층과 오믹 접촉하는 금속성 물질로 구현될 수 있다. 상기 게이트 전극(33)은 텅스텐(W), 텅스텐실리콘( $\text{WSi}_2$ ), 티타늄질소(TiN), 탄탈륨(Ta), 탄탈륨질소(TaN), 팔라듐(Pd), 니켈(Ni), 백금(Pt)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 게이트 전극(33)은 예로서 0.1~1 $\mu\text{m}$ 의 두께로 형성될 수 있다. 상기 게이트 전극(33)은 상기 디플리션 형성층(15)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu\text{m}$  이하의 두께로 제공될 수도 있다.

- [0055] 다음으로, 도 7에 도시된 바와같이, 상기 소스 컨택부(31), 상기 드레인 컨택부(32), 상기 게이트 전극(33) 위에 본딩층(51)과 임시기판(56)이 제공될 수 있다. 상기 본딩층(51)과 상기 임시기판(56)은 트랜스퍼(transfer) 공정을 적용하고 상기 성장기판(10)을 제거하기 위하여 제공되는 것이다. 이어서, 상기 성장기판(10)이 제거되고 상기 제1 층(11) 위에 블랙 매트릭스층이 형성될 수 있다.
- [0056] 그리고, 도 8에 도시된 바와 같이, 블랙 매트릭스층에 트랜스퍼 공정 적용을 위하여 본딩층(50)과 기판(55)이 제공될 수 있으며, 상기 임시기판(56)이 제거되고, 채널층(60), 블랙 매트릭스(40)가 패터닝 될 수 있다.
- [0057] 상기 본딩층(50)은 유기물을 포함할 수 있다. 상기 본딩층(50)은 투명물질로 구현될 수 있다. 상기 본딩층(50)은 예로서 투과도가 70% 이상인 물질로 구현될 수 있다. 상기 본딩층(50)은 유기 절연물질을 포함할 수 있다. 상기 본딩층(50)은 아크릴, 벤조시클로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다. 상기 본딩층(50)은 예로서 0.5~6 $\mu$ m의 두께로 형성될 수 있다. 상기 본딩층(50)의 두께는 선택된 물질 종류에 따라 차이가 있을 수 있으며 1~3 $\mu$ m의 두께로 제공될 수도 있다. 또한, 상기 본딩층(50)은 예로서 1.8~2.2 $\mu$ m의 두께로 제공될 수도 있다.
- [0058] 상기 기판(55)은 투명기판을 포함할 수 있다. 상기 기판(55)은 예로서 0.1 mm 내지 3 mm의 두께를 갖는 투명기판으로 구현될 수 있다. 또한, 상기 기판(55)의 두께는 적용되는 표시장치의 용도 및 크기에 따라 변경될 수 있는 것으로서 0.4~1.1mm의 두께 범위 내에서 선택될 수도 있다. 예로서, 상기 기판(55)은 0.6~0.8mm의 두께로 제공될 수도 있다. 상기 기판(55)은 실리콘, 유리, 폴리이미드, 플라스틱을 포함하는 물질 중에서 선택된 적어도 하나의 물질을 포함할 수 있다. 상기 기판(55)은 플렉시블 기판을 포함할 수 있다.
- [0059] 실시 예에 의하면, 상기 성장기판(10)을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 상기 기판(55)을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0060] 도 8에 도시된 바와 같이, 상기 제1 보호막(21)에 대한 패터닝이 수행되고, 상기 채널층(60), 상기 블랙 매트릭스(40)가 형성될 수 있다.
- [0061] 이때, 상기 제1층(11)과 상기 제2층(12)에 대한 식각이 수행되어 상기 채널층(60)이 형성될 수 있다. 상기 채널층(60)은 예로서 제1 질화물 반도체층(61)과 제2 질화물 반도체층(62)을 포함할 수 있다. 예로서, 상기 채널층(60)은 상기 디플리션 형성층(15)과 같은 길이(L3)로 형성될 수 있다. 상기 디플리션 형성층(15)의 길이가 상기 채널층(60)의 길이에 비해 작은 경우에는 누설 전류(leakage current)가 발생할 수 있다. 상기 채널층(60)의 폭과 상기 블랙 매트릭스(40)의 폭이 동일하게 제공될 수 있다. 상기 제1 보호막(21)의 폭과 상기 채널층(60)의 폭이 동일하게 제공될 수 있다.
- [0062] 다음으로, 도 9에 도시된 바와 같이, 상기 본딩층(50), 상기 제1 보호막(21) 위에 제2 보호막(22)이 형성될 수 있다. 상기 제2 보호막(22)은 절연물질을 포함할 수 있다. 상기 제2 보호막(22)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0063] 이어서, 도 10에 도시된 바와 같이, 상기 제2 보호막(22) 위에 게이트 배선(41)이 형성될 수 있다. 상기 게이트 배선(41)은 상기 게이트 전극(33)에 전기적으로 연결될 수 있다.
- [0064] 그리고, 도 11에 도시된 바와 같이, 상기 제2 보호막(22) 위에 제3 보호막(23)이 형성될 수 있다. 상기 제3 보호막(23)은 평탄화층 또는 오버코트층으로 지칭될 수도 있다. 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하여 상기 소스 컨택부(31)를 노출시키는 제1 컨택홀(H1)이 형성될 수 있다. 또한, 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하여 상기 드레인 컨택부(32)를 노출시키는 제2 컨택홀(H2)이 형성될 수 있다.
- [0065] 상기 제3 보호막(23)은 절연물질을 포함할 수 있다. 상기 제3 보호막(23)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0066] 그리고, 도 12에 도시된 바와 같이, 상기 제3 보호막(23) 위에 소스 전극(71)과 드레인 전극(72)이 형성될 수 있다. 상기 소스 전극(71)의 제1 영역은 상기 제3 보호막(23) 위에 형성되고 상기 소스 전극(71)의 제2 영역은 상기 제1 컨택홀(H1)에 형성되어 상기 소스 컨택부(31)에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)의 제1 영역은 상기 제3 보호막(23) 위에 형성되고 상기 드레인 전극(72)의 제2 영역은 상기 제2 컨택홀(H2)에 형

성되어 상기 드레인 컨택부(32)에 전기적으로 연결될 수 있다. 그리고, 상기 소스 전극(71)에 연결된 데이터 배선(73)이 형성될 수 있다. 상기 데이터 배선(73)은 상기 게이트 배선(41)과 교차되어 일 방향으로 연장되어 배치될 수 있다.

[0067] 예로서, 상기 소스 전극(71)과 상기 드레인 전극(72)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 전극(71)과 상기 드레인 전극(72)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 소스 전극(71)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 소스 컨택부(31)의 두께에 비하여 더 두껍게 제공될 수도 있다. 상기 드레인 전극(72)도 상기 드레인 컨택부(32)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0068] 도 13 및 도 14에 도시된 바와 같이, 상기 소스 전극(71)과 상기 드레인 전극(72) 위에 제4 보호막(24)이 형성될 수 있다. 그리고, 상기 제4 보호막(24)에 상기 드레인 전극(72)을 노출시키는 제3 컨택홀(H3)이 형성될 수 있다.

[0069] 상기 제4 보호막(24) 위에 화소전극(80)이 형성될 수 있다. 상기 화소전극(80)은 상기 제4 보호막(24)에 제공된 상기 제3 컨택홀(H3)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다.

[0070] 상기 화소전극(80)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(80)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(80)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.

[0071] 이와 같은 공정을 통하여 실시 예에 따른 기본적인 박막 트랜지스터 기판이 형성될 수 있다. 도 2 내지 도 14를 참조하여 설명된 제조공정은 하나의 예일 뿐이며, 각 단계에서의 공정방법 또는 공정순서는 변형되어 실시될 수도 있다.

[0072] 도 15는 본 발명의 실시 예에 따른 박막 트랜지스터 기판에 복수의 화소가 배치된 예를 나타낸 도면이다.

[0073] 실시 예에 따른 박막 트랜지스터 기판은, 도 15에 도시된 바와 같이, 상기 게이트 배선(41)과 상기 데이터 배선(73)이 교차되는 영역에 배치된 복수의 박막 트랜지스터(30)를 포함할 수 있다. 상기 게이트 배선(41)과 상기 데이터 배선(73)에 의하여 정의되는 영역에 상기 화소전극(80)이 배치될 수 있다. 상기 화소전극(80)의 일부 영역은 상기 게이트 배선(41)과 중첩되어 배치될 수 있다.

[0074] 실시 예에 따른 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 컬러필터 기판에는 공통전극이 제공될 수 있으며, 공통전극과 박막 트랜지스터 기판에 제공된 화소전극 간에 인가되는 전압 차에 의하여 그 사이에 배치된 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 액정표시 패널은 수직 전계형 액정표시 패널로 지칭될 수도 있다.

[0075] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $cm^2/Vs$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.

[0076] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.

[0077] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.

[0078] 도 16 및 도 17은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 다른 예를 나타낸 도면이다. 도 16 및 도

17을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 15를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있으며, 서로 차이가 있는 부분에 대해 주로 설명하기로 한다.

- [0079] 도 1 내지 도 15를 참조하여 설명된 박막 트랜지스터 기판은 수직 전계형 액정표시 패널에 적용될 수 있는 것이다. 박막 트랜지스터 기판에는 화소전극(80)이 배치되고 화소전극(80)과 함께 화소에 전계를 형성하는 공통전극은 별도의 컬러필터 기판에 제공됨으로써 수직 전계형 액정표시 패널을 구현할 수 있는 것이다. 한편, 도 16 및 도 17을 참조하여 설명되는 박막 트랜지스터 기판은 수평 전계형 액정표시 패널에 적용될 수 있는 것이다.
- [0080] 실시 예에 따른 박막 트랜지스터 기판은, 도 16 및 도 17에 도시된 바와 같이, 화소전극(81), 공통전극(85), 제 5 보호막(25)을 포함할 수 있다.
- [0081] 상기 공통전극(85)은 제4 보호막(24) 위에 배치될 수 있다. 상기 제5 보호막(25)은 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 제5 보호막(25)은 상기 공통전극(85)과 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 공통전극(85)은 상기 제4 보호막(24)과 상기 제5 보호막(25) 사이에 배치될 수 있다. 또한, 상기 제5 보호막(25)은 상기 제4 보호막(24)을 통하여 노출된 드레인 전극(72) 위에도 제공될 수 있다. 상기 화소전극(81)은 상기 제5 보호막(25) 위에 배치될 수 있다. 상기 화소전극(81)의 일부 영역은 상기 제5 보호막(25)에 제공된 제4 콘택홀(H4)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(81)의 일부 영역은 상기 제4 콘택홀(H4)을 통하여 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다. 상기 화소전극(81)은 상기 제4 보호막(24)과 상기 제5 보호막(25)을 관통하여 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다. 상기 화소전극(81)의 일부 영역과 상기 공통전극(85)의 일부 영역이 수직 방향으로 서로 중첩되어 배치될 수 있다.
- [0082] 실시 예에 따른 박막 트랜지스터 기판은 게이트 배선(41)과 데이터 배선(73)이 교차되는 영역에 배치된 복수의 박막 트랜지스터(30)를 포함할 수 있다. 상기 게이트 배선(41)과 상기 데이터 배선(73)에 의하여 정의되는 영역에 상기 화소전극(81)이 배치될 수 있다. 상기 화소전극(81)은 평거 형상으로 연장된 부분을 포함할 수 있다. 상기 화소전극(81)의 일부 영역은 상기 게이트 배선(41)과 중첩되어 배치될 수 있다.
- [0083] 상기 공통전극(85)은 투명 도전성 물질로 구현될 수 있다. 상기 공통전극(85)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 공통전극(85)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0084] 상기 화소전극(81)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(81)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(81)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0085] 상기 제5 보호막(25)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0086] 실시 예에 따른 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 실시 예에 따른 박막 트랜지스터 기판은 상기 공통전극(85)과 상기 화소전극(81) 간에 인가되는 전압 차에 의하여 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 액정표시 패널은 수평 전계형 액정표시 패널, 횡 전계형 액정표시 패널, 또는 IPS(In Plane Switching) 액정표시 패널로 지칭될 수 있다. 액정표시 패널은 자체에 광원이 없으므로 액정표시 패널에 빛을 공급하는 라이트 유닛이 제공됨으로써 표시장치를 구현할 수 있게 된다.
- [0087] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도(cm<sup>2</sup>/Vs)가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용

된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.

- [0088] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0089] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0090] 도 18은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 18을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 17을 참조하여 설명된 부분과 중복되는 부분에 대해서는 설명이 생략될 수 있으며, 차이가 있는 부분에 대해 주로 설명하기로 한다.
- [0091] 실시 예에 따른 박막 트랜지스터 기판은 화소전극(82), 공통전극(85), 금속층(90), 터치패널 하부전극(91), 터치패널 상부전극(92)을 포함할 수 있다.
- [0092] 상기 공통전극(85)은 제4 보호막(24) 위에 배치될 수 있다. 상기 화소전극(82)은 제5 보호막(25) 위에 배치될 수 있다. 상기 화소전극(82)은 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(82)과 상기 드레인 전극(72) 사이에는 금속층(90)이 제공될 수 있다. 상기 금속층(90)은 상기 제4 보호막(24)을 통하여 노출된 상기 드레인 전극(72)에 접촉되어 배치될 수 있다. 상기 화소전극(82)의 일부 영역은 상기 제5 보호막(25)에 제공된 제5 컨택홀(H5)을 통하여 상기 금속층(90)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다.
- [0093] 실시 예에 의하면, 상기 제5 보호막(25) 위에 터치패널 상부전극(92)이 제공될 수 있으며, 상기 터치패널 상부전극(92) 아래에 상기 터치패널 하부전극(91)이 배치될 수 있다. 상기 터치패널 하부전극(91)은 제4 보호막(24) 위에 배치될 수 있으며, 상기 공통전극(85)에 전기적으로 연결될 수 있다. 상기 터치패널 하부전극(91)은 상기 공통전극(85)과 상기 제5 보호막(25) 사이에 배치될 수 있다. 상기 터치패널 상부전극(92)은 상기 터치패널 하부전극(91)과 수직 방향으로 서로 중첩되어 배치될 수 있다.
- [0094] 상기 터치패널 상부전극(92)과 상기 터치패널 하부전극(91)은 표시패널 내에 제공된 인셀 터치패널을 구성할 수 있다. 이에 따라 실시 예에 따른 박막 트랜지스터 기판은 인셀 터치패널을 이용하여 외부로부터의 표시패널 접촉 여부를 검출할 수 있게 된다.
- [0095] 상기 공통전극(85)은 투명 도전성 물질로 구현될 수 있다. 상기 공통전극(85)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 공통전극(85)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0096] 상기 화소전극(82)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(82)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(82)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0097] 상기 터치패널 하부전극(91), 상기 터치패널 상부전극(92)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(82)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(82)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0098] 실시 예에 따른 인셀 터치패널 일체형 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 인셀 터치패널 일체형 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 실시 예에 따른 인셀 터치패널 일체형 박막 트랜지스터 기판은 상기 공통전극(85)과 상기 화소전극(82) 간에 인가되는 전압 차에 의하여 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 인셀 터치패널 일체형 액정표시 패널은 수평 전계형 액정표시 패널, 횡 전계형 액정표시 패널, 또는 IPS(In Plane Switching) 액정표시 패널로 지칭될 수 있다. 인셀 터치패널 일체형 액정표시 패널은 자체에 광원이 없으므로 인셀 터치패널 일체형 액정표시 패널에 빛을 공급하는 라이트 유닛이 제공됨으로써 표시장치를

구현할 수 있게 된다.

- [0099] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\mu_{eff}/V_s$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0100] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0101] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0102] 도 19 내지 도 21은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 19 내지 도 21을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 18을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있으며, 서로 차이가 있는 부분에 대해 주로 설명하기로 한다. 도 19 내지 도 21에 도시된 실시 예는 각각 도 1, 도 16, 도 18 대비하여 본딩층 구조에 차이가 있다.
- [0103] 도 19 내지 도 21에 도시된 바와 같이, 상기 기판(55) 위에 본딩층(53)이 제공될 수 있다. 상기 본딩층(53)은 상기 기판(55)과 상기 블랙 매트릭스(40) 사이에 배치될 수 있다. 예로서, 상기 본딩층(53)의 폭은 상기 블랙 매트릭스(40)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 본딩층(53)의 폭은 상기 채널층(60)의 폭과 동일하게 제공될 수 있다.
- [0104] 실시 예에 의하면, 상기 기판(55) 위에 상기 제2 보호막(22)이 배치될 수 있다. 상기 제2 보호막(22)의 하부면이 상기 기판(55)의 상부면에 접촉되어 배치될 수 있다. 상기 본딩층(53)이 제공되지 않은 영역에서, 상기 제2 보호막(22)이 상기 기판(55)에 직접 접촉되어 배치될 수 있다.
- [0105] 이와 같이, 도 19 내지 도 21에 도시된 실시 예에 의하면, 도 1, 도 16, 도 18에 도시된 실시 예에 비하여, 상기 제2 보호막(22)과 상기 기판(55)이 직접 접촉되어 배치될 수 있게 되므로, 상기 제2 보호막(22)과 상기 기판(55) 사이에 제공되는 층(예로서, 도 1, 도 16, 도 18에 도시된 본딩층)을 배제시킬 수 있게 된다. 이에 따라, 실시 예에 의하면 빛이 진행되는 광 경로 상에 이중 물질층 간의 경계면이 줄어들게 되므로 경계면에서의 반사/굴절 등에 의한 광손실을 줄일 수 있게 된다.
- [0106] 실시 예에 따른 상기 본딩층(53)은 예로서 반사층, 메탈본딩층, 유기본딩층, 절연층을 포함할 수 있다. 상기 반사층은 상기 기판(55) 위에 배치될 수 있으며, 상기 메탈본딩층은 상기 반사층 위에 배치되고, 상기 절연층은 상기 메탈본딩층 위에 배치될 수 있다. 예로서, 상기 본딩층(53)은 상기 메탈본딩층과 상기 유기본딩층 중에서 적어도 하나를 포함할 수 있으며, 상기 반사층과 상기 절연층은 선택적으로 포함할 수도 있다.
- [0107] 상기 절연층은 상기 채널층(60)의 누설 특성을 보완해 줄 수 있다. 예로서, 상기 절연층은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0108] 상기 메탈본딩층 또는 상기 유기본딩층은 아래에 배치된 상기 기판(55)과의 접착을 위하여 제공될 수 있다. 예로서, 상기 메탈본딩층은 금(Au), 주석(Sn), 인듐(In), 니켈(Ni), 은(Ag), 구리(Cu)를 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 예로서, 상기 유기본딩층은 아크릴, 벤조시크롤부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다.
- [0109] 상기 반사층은 상기 본딩층에서의 광 흡수를 줄여줄 수 있다. 예로서, 상기 반사층은 알루미늄(Al), 은(Ag), 로듐(Rh)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 상기 반사층은 예로서 반사특성이 60%를 넘는 물질로 제공될 수 있다.
- [0110] 한편 실시 예에 의하면, 예로서 상기 본딩층(53)이 상기 메탈본딩층과 상기 반사층을 포함하는 경우, 상기 블랙 매트릭스(40)는 생략될 수도 있다.

- [0111] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0112] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0113] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0114] 도 22 내지 도 24는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 22 내지 도 24를 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 21을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 22 내지 도 24에 도시된 실시 예는 각각 도 1, 도 16, 도 18 대비하여 트랜스퍼 공정이 적용되지 않고 성장기판 위에 박막 트랜지스터가 제공되는 점에 차이가 있다.
- [0115] 실시 예에 따른 박막 트랜지스터 기판은, 도 22 내지 도 24에 도시된 바와 같이, 트랜스퍼 공정에 이용되는 지지기판 대신에 성장기판(10)을 기판으로서 포함할 수 있다. 상기 성장기판(10)은 예를 들어, 사파이어(Sapphire), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나를 포함할 수 있다.
- [0116] 상기 성장기판(10) 위에 블랙 매트릭스(45)가 배치될 수 있다. 상기 블랙 매트릭스(45)는 상기 성장기판(10) 위에 배치되어 상기 채널층(60)으로 빛이 입사되는 것을 방지할 수 있다. 상기 블랙 매트릭스(45)는 예로서 가시광선을 흡수하거나 반사하는 물질로 구현될 수 있다. 이에 따라, 실시 예에 의하면 상기 채널층(60)으로 빛이 입사되어 광전류(photo current) 등에 의하여 박막 트랜지스터(30)가 열화되는 것을 방지할 수 있게 된다. 예로서, 상기 블랙 매트릭스(45)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 블랙 매트릭스(45)는 Si, GaAs 등의 물질을 선택적으로 포함할 수 있다.
- [0117] 실시 예에 의하면, 상기 블랙 매트릭스(45) 위에 버퍼층(47)이 제공될 수 있다. 상기 버퍼층(47)은 상기 블랙 매트릭스(45)와 상기 채널층(60) 사이에 제공될 수 있다. 상기 버퍼층(47)은 상기 채널층(60)을 구성하는 질화물 반도체층의 성장을 도울 수 있다. 예로서, 상기 버퍼층(47)은 AlN, AlInN, AlGaIn을 포함하는 그룹 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0118] 예로서, 상기 블랙 매트릭스(45)의 폭은 상기 버퍼층(47)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 블랙 매트릭스(45)의 폭은 상기 채널층(60)의 폭과 동일하게 제공될 수 있다. 상기 버퍼층(47)의 폭은 상기 채널층(60)의 폭과 동일하게 제공될 수 있다.
- [0119] 실시 예에 의하면, 상기 성장기판(10) 위에 상기 제2 보호막(22)이 배치될 수 있다. 상기 제2 보호막(22)의 하부면이 상기 성장기판(10)의 상부면에 접촉되어 배치될 수 있다. 상기 블랙 매트릭스(45)가 제공되지 않은 영역에서, 상기 제2 보호막(22)이 상기 성장기판(10)에 직접 접촉되어 배치될 수 있다.
- [0120] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0121] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0122] 도 25 및 도 26은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 25 및

도 26에 도시된 박막 트랜지스터 기판은 이중 게이트 구조를 갖는 박막 트랜지스터가 적용된 실시 예로서 도 1 내지 도 24를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.

- [0123] 본 발명의 실시 예에 따른 박막 트랜지스터 기판은, 도 25 및 도 26에 도시된 바와 같이, 기판(55)과 상기 기판(55) 위에 배치된 박막 트랜지스터(130), 상기 박막 트랜지스터(130)에 전기적으로 연결된 화소전극(80)을 포함할 수 있다.
- [0124] 실시 예에 따른 박막 트랜지스터(130)는 디플리션 형성층(depletion forming layer, 15), 제1 게이트 전극(35), 제2 게이트 전극(36), 채널층(60), 소스 전극(71), 드레인 전극(72)을 포함할 수 있다. 상기 소스 전극(71)은 상기 채널층(60)의 제1 영역에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 채널층(60)의 상부 면에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 채널층(60)의 제2 영역에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 채널층(60)의 상부 면에 전기적으로 연결될 수 있다. 상기 제1 게이트 전극(35)은 상기 채널층(60) 위에 배치될 수 있다. 상기 제2 게이트 전극(36)은 상기 채널층(60) 아래에 배치될 수 있다. 상기 디플리션 형성층(15)은 상기 채널층(60)의 제1 영역과 제2 영역 사이 위에 배치될 수 있다. 상기 디플리션 형성층(15)은 상기 채널층(60)과 상기 제1 게이트 전극(35) 사이에 배치될 수 있다.
- [0125] 상기 채널층(60)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 채널층(60)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 채널층(60)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다.
- [0126] 상기 채널층(60)은 제1 질화물 반도체층(61)과 제2 질화물 반도체층(62)을 포함할 수 있다. 상기 제1 질화물 반도체층(61)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(62)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다.
- [0127] 실시 예에 따른 상기 채널층(60)에 의하면, 상기 제1 질화물 반도체층(61)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(62)이 AlGaIn 반도체층을 포함할 수 있다. 상기 제2 질화물 반도체층(62)은 상기 제1 질화물 반도체층(61)과 상기 디플리션 형성층(15) 사이에 배치될 수 있다.
- [0128] 상기 디플리션 형성층(15)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 디플리션 형성층(15)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 디플리션 형성층(15)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다. 상기 디플리션 형성층(15)은 p형 도펀트가 첨가된 질화물 반도체층을 포함할 수 있다. 예로서, 상기 디플리션 형성층(15)은 p형 도펀트가 첨가된 GaN 반도체층 또는 p형 도펀트가 첨가된 AlGaIn 반도체층을 포함할 수 있다. 상기 디플리션 형성층(15)은 예컨대,  $p-Al_xGa_{1-x}N$  ( $0 \leq x \leq 0.3$ )의 조성식을 갖는 반도체 물질로 구현된 단일층 또는 다중층을 포함할 수 있다.
- [0129] 상기 디플리션 형성층(15)은 예로서 2~300nm의 두께로 제공될 수 있다. 상기 디플리션 형성층(15)은 상기 채널층(60)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 제공하기 위하여 적어도 2nm의 두께로 제공될 수 있다. 또한, 상기 디플리션 형성층(15)은 제조공정에 따른 두께 편차를 고려하여 30nm 이상의 두께로 제공될 수도 있다. 또한, 상기 디플리션 형성층(15)은 제조공정에 따른 두께 편차를 고려하여 200nm 이하의 두께로 제공될 수도 있다. 상기 디플리션 형성층(15)은 예로서 50~100nm의 두께로 제공될 수도 있다.
- [0130] 상기 디플리션 형성층(15)은 상기 채널층(60)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 형성하는 역할을 할 수 있다. 상기 디플리션 형성층(15)에 의해 그 아래에 위치하는 제2 질화물 반도체층(62) 부분의 에너지 밴드갭(energy bandgap)이 높아질 수 있고, 그 결과 상기 디플리션 형성층(15)에 대응하는 상기 채널층(60) 부분에 2차원 전자가스(2DEG)의 디플리션 영역이 제공될 수 있다. 따라서, 상기 채널층(60)에 제공되는 2차원 전자가스(2DEG) 중 상기 디플리션 형성층(15)이 배치된 위치에 대응되는 영역은 끊어질 수 있다. 상기 채널층(60)에서 2차원 전자가스(2DEG)가 끊어진 영역을 단절영역이라 할 수 있으며, 예로서 상기 제2 질화물 반도체층(62)에 단절영역이 형성될 수 있다. 이러한 단절영역에 의해 상기 박막 트랜지스터(130)는 노멀리-오프(normally-off) 특성을 가질 수 있다. 상기 제1 게이트 전극(35)에 문턱 전압(threshold voltage) 이상의 전압을 인가하면, 단절영역에 2차원 전자가스(2DEG)가 생성되어, 상기 박막 트랜지스터(130)가 온 상태가 된다. 상기 제1 게이트 전극(35)의 하부에 형성된 채널이 온 상태가 되면 상기 채널층(60)에 형성된 2차원

전자가스(2DEG)를 경유하여 전류가 흐를 수 있게 된다. 이에 따라, 상기 제1 게이트 전극(35)과 상기 제2 게이트 전극(36)에 인가되는 전압에 따라 상기 채널층(60)의 제1 영역으로부터 제2 영역으로의 전류 흐름이 제어될 수 있게 된다. 한편, 본 실시 예에 의하면, 상기 채널층(60) 아래에 상기 제2 게이트 전극(36)이 배치될 수 있다. 상기 제1 게이트 전극(35)과 상기 제2 게이트 전극(36)은 수직 방향에서 서로 중첩되어 배치될 수 있다. 실시 예에 의하면, 상기 채널층(60)의 상부 및 하부에 상기 제1 게이트 전극(35)과 상기 제2 게이트 전극(36)이 배치됨에 따라 상기 채널층(60)에서의 전류의 흐름을 효율적이고 신뢰성 있게 조절할 수 있게 된다.

- [0131] 상기 기판(55)은 투명기판을 포함할 수 있다. 상기 기판(55)은 예로서 0.1 mm 내지 3 mm의 두께를 갖는 투명기판으로 구현될 수 있다. 또한, 상기 기판(55)의 두께는 적용되는 표시장치의 용도 및 크기에 따라 변경될 수 있는 것으로서 0.4~1.1mm의 두께 범위 내에서 선택될 수도 있다. 예로서, 상기 기판(55)은 0.6~0.8mm의 두께로 제공될 수도 있다. 상기 기판(55)은 실리콘, 유리, 폴리이미드, 플라스틱을 포함하는 물질 중에서 선택된 적어도 하나의 물질을 포함할 수 있다. 상기 기판(55)은 플렉시블 기판을 포함할 수 있다.
- [0132] 상기 기판(55)은 트랜스퍼(transfer) 공정에서 적용되는 기판으로서 상기 박막 트랜지스터(130)를 지지하는 역할을 수행한다. 또한, 실시 예에 따른 박막 트랜지스터 기판은 상기 기판(55)과 상기 박막 트랜지스터(130) 사이에 제공된 본딩층(50)을 포함할 수 있다.
- [0133] 상기 본딩층(50)은 유기물을 포함할 수 있다. 상기 본딩층(50)은 투명물질로 구현될 수 있다. 상기 본딩층(50)은 예로서 투과도가 70% 이상인 물질로 구현될 수 있다. 상기 본딩층(50)은 유기 절연물질을 포함할 수 있다. 상기 본딩층(50)은 아크릴, 벤조시클로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다. 상기 본딩층(50)은 예로서 0.5~6 $\mu$ m의 두께로 제공될 수 있다. 상기 본딩층(50)의 두께는 선택된 물질 종류에 따라 차이가 있을 수 있으며 1~3 $\mu$ m의 두께로 제공될 수도 있다. 또한, 상기 본딩층(50)은 예로서 1.8~2.2 $\mu$ m의 두께로 제공될 수도 있다.
- [0134] 실시 예에 따른 박막 트랜지스터(130)는 상기 채널층(60)의 제1 영역 위에 배치된 소스 컨택부(31)와 상기 채널층(60)의 제2 영역 위에 배치된 드레인 컨택부(32)를 포함할 수 있다. 상기 소스 컨택부(31)는 상기 채널층(60)의 제1 영역에 접촉되어 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 채널층(60)의 제2 영역에 접촉되어 배치될 수 있다.
- [0135] 실시 예에 따른 박막 트랜지스터(130)는 상기 제1 게이트 전극(35) 위에 배치된 게이트 배선(41)을 포함할 수 있다. 상기 게이트 배선(41)은 상기 제1 게이트 전극(35)에 전기적으로 연결될 수 있다. 상기 게이트 배선(41)의 하부 면이 상기 제1 게이트 전극(35)의 상부 면에 접촉되어 배치될 수 있다.
- [0136] 상기 소스 전극(71)은 상기 소스 컨택부(31)에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 소스 컨택부(31)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 소스 전극(71)은 상기 소스 컨택부(31)를 통하여 상기 채널층(60)의 제1 영역에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 드레인 컨택부(32)에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 드레인 컨택부(32)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 드레인 전극(72)은 상기 드레인 컨택부(32)를 통하여 상기 채널층(60)의 제2 영역에 전기적으로 연결될 수 있다.
- [0137] 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 채널층(60)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 제2 질화물 반도체층(62)과 오믹 접촉하는 물질을 포함할 수 있다. 예로서, 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 채널층(60)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.
- [0138] 상기 제1 게이트 전극(35)은 상기 디플리션 형성층(15)과 오믹 접촉하는 물질로 구현될 수 있다. 예로서, 상기 제1 게이트 전극(35)은 p형 질화물층과 오믹 접촉하는 금속성 물질로 구현될 수 있다. 상기 제1 게이트 전극(35)은 텅스텐(W), 텅스텐실리콘(WSi<sub>2</sub>), 티타늄질소(TiN), 탄탈륨(Ta), 탄탈륨질소(TaN), 팔라듐(Pd), 니켈(Ni), 백금(Pt)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 게이트 전극(35)은 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 제1 게이트 전극

(35)은 상기 디플리션 형성층(15)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.

[0139] 상기 게이트 배선(41)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 게이트 배선(41)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 게이트 배선(41)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 제1 게이트 전극(35)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0140] 상기 소스 전극(71)과 상기 드레인 전극(72)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 전극(71)과 상기 드레인 전극(72)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 소스 전극(71)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 소스 컨택부(31)의 두께에 비하여 더 두껍게 제공될 수도 있다. 상기 드레인 전극(72)도 상기 드레인 컨택부(32)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0141] 실시 예에 따른 박막 트랜지스터 기판은 상기 채널층(60) 위에 배치된 제1 보호막(21)을 포함할 수 있다. 상기 제1 보호막(21)은 상기 제2 질화물 반도체층(62) 위에 배치될 수 있다. 상기 제1 보호막(21)의 하부 면은 상기 제2 질화물 반도체층(62)의 상부 면에 접촉되어 배치될 수 있다. 상기 제1 보호막(21)은 상기 디플리션 형성층(15) 위에 배치될 수 있다. 상기 제1 보호막(21)은 상기 디플리션 형성층(15)의 측면에 배치될 수 있다. 상기 제1 보호막(21)은 상기 디플리션 형성층(15)의 측면을 감싸도록 배치될 수 있다.

[0142] 실시 예에 의하면, 상기 소스 컨택부(31)는 상기 제1 보호막(21)을 관통하여 배치될 수 있다. 상기 소스 컨택부(31)는 상기 제1 보호막(21)에 의하여 둘러 싸여 배치될 수 있다. 상기 소스 컨택부(31)는 상기 제1 보호막(21)을 관통하여 배치되고 상기 채널층(60)의 제1 영역에 접촉되어 제공될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)을 관통하여 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)에 의하여 둘러 싸여 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)을 관통하여 배치되고 상기 채널층(60)의 제2 영역에 접촉되어 제공될 수 있다.

[0143] 상기 제1 보호막(21)은 절연물질로 구현될 수 있다. 상기 제1 보호막(21)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0144] 실시 예에 의하면, 상기 기판(55)과 상기 제1 보호막(21) 위에 제2 보호막(22)이 배치될 수 있다. 상기 제1 게이트 전극(35)은 상기 제1 보호막(21)과 상기 제2 보호막(22) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 제1 게이트 전극(35)은 상기 제1 보호막(21)과 상기 제2 보호막(22)을 관통하여 배치될 수 있다. 상기 제1 게이트 전극(35)은 상기 제1 보호막(21)과 상기 제2 보호막(22) 중에서 적어도 하나를 관통하여 상기 디플리션 형성층(15)에 접촉되어 배치될 수 있다. 예로서, 상기 제1 게이트 전극(35)은 상기 제1 보호막(21)과 상기 제2 보호막(22)을 관통하여 상기 디플리션 형성층(15)에 접촉되어 배치될 수 있다. 상기 게이트 배선(41)은 상기 제2 보호막(22) 위에 배치되어 상기 제1 게이트 전극(35)과 전기적으로 연결될 수 있다. 상기 제2 보호막(22)은 절연물질로 구현될 수 있다. 상기 제2 보호막(22)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0145] 실시 예에 의하면, 상기 제2 보호막(22) 위에 제3 보호막(23)이 배치될 수 있다. 상기 제3 보호막(23)은 상기 제2 보호막(22)과 상기 게이트 배선(41) 위에 배치될 수 있다. 상기 게이트 배선(41)은 상기 제1 게이트 전극(35) 위에 접촉되어 배치되고 상기 제3 보호막(23)에 의하여 둘러 싸여 제공될 수 있다.

[0146] 상기 소스 전극(71)은 상기 제2 보호막(22)과 상기 제3 보호막(23)을 관통하여 상기 소스 컨택부(31)에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 제3 보호막(23) 위에 배치된 제1 영역을 포함할 수 있다. 상기 소스 전극(71)은 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하는 제2 영역을 포함할 수 있다. 상기 드레인 전극(72)은 상기 제2 보호막(22)과 상기 제3 보호막(23)을 관통하여 상기 드레인 컨택부(32)에 전기적으로

로 연결될 수 있다. 상기 드레인 전극(72)은 상기 제3 보호막(23) 위에 배치된 제1 영역을 포함할 수 있다. 상기 드레인 전극(72)은 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하는 제2 영역을 포함할 수 있다.

[0147] 상기 제2 게이트 전극(36)은 상기 채널층(60) 아래에 배치될 수 있다. 상기 제2 게이트 전극(36)은 상기 제1 질화물 반도체층(61) 아래에 배치될 수 있다. 상기 제2 게이트 전극(36)과 상기 채널층(60) 아래에 제6 보호막(26)이 배치될 수 있다. 상기 제2 게이트 전극(36)은 상기 채널층(60)의 하부 면에 접촉되어 배치될 수 있다. 상기 제2 게이트 전극(36)은 상기 제1 질화물 반도체층(61)에 쇼키 접촉(Schottky contact)될 수 있다. 상기 제2 게이트 전극(36)은 니켈(Ni), 백금(Pt), 금(Au), 팔라듐(Pd)을 포함하는 그룹 중에서 선택된 적어도 하나의 물질 또는 그 합금을 포함하는 단일층 또는 다중층을 포함할 수 있다. 예로서, 상기 쇼키 접촉은 상기 채널층(60)에 대한 플라즈마 처리(plasma treatment)에 의하여 구현될 수 있다.

[0148] 상기 제1 게이트 전극(35)과 상기 제2 게이트 전극(36)은 도 26에 도시된 바와 같이 전기적으로 연결될 수 있다. 실시 예에 따른 박막 트랜지스터(130)는 상기 제2 보호막(22) 위에 배치되며, 상기 제1 게이트 전극(35)과 전기적으로 연결되며 상기 게이트 배선(41)으로부터 연장되어 배치된 게이트 연결배선(38)을 포함할 수 있다. 상기 게이트 연결배선(38)은 상기 제2 보호막(22)을 관통하여 상기 제2 게이트 전극(36)에 전기적으로 연결될 수 있다. 예로서, 상기 제1 게이트 전극(35)과 상기 게이트 배선(41)은 동일 공정에서 일체로 형성될 수 있다. 또한, 상기 제1 게이트 전극(35)과 상기 게이트 배선(41)은 서로 다른 공정에서 분리되어 형성되어 전기적으로 연결될 수도 있다.

[0149] 도 26에 도시된 바와 같이, 상기 채널층(60)과 상기 디플리션 형성층(15)은 서로 동일한 폭으로 형성될 수 있다. 상기 디플리션 형성층(15)의 폭이 상기 채널층(60)의 폭에 비해 작은 경우에는 누설 전류(leakage current)가 발생할 수 있다. 다른 표현으로서, 상기 제1 게이트 전극(35)이 연장되어 배치된 방향을 따라 제공된 상기 채널층(60)의 길이와 상기 디플리션 형성층(15)의 길이가 동일하게 제공될 수 있다.

[0150] 상기 제3 보호막(23)은 절연물질을 포함할 수 있다. 상기 제3 보호막(23)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0151] 실시 예에 따른 박막 트랜지스터 기판은 상기 제3 보호막(23) 위에 배치된 제4 보호막(24)을 포함할 수 있다. 상기 제4 보호막(24)은 상기 소스 전극(71)과 상기 드레인 전극(72) 위에 배치될 수 있다. 상기 제4 보호막(24)은 상기 제1 게이트 전극(35) 위에 배치될 수 있다. 상기 제4 보호막(24)은 상기 드레인 전극(72) 위에 제공된 컨택홀(H3)을 포함할 수 있다.

[0152] 상기 제4 보호막(24)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0153] 실시 예에 의하면, 상기 화소전극(80)은 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 화소전극(80)은 상기 제4 보호막(24)에 제공된 컨택홀(H3)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(80)의 하부 면은 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다.

[0154] 상기 화소전극(80)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(80)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(80)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.

[0155] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(55)과 상기 채널층(60) 사이에 배치된 블랙 매트릭스(46)를 포함할 수 있다. 상기 블랙 매트릭스(46)는 상기 기판(55)과 상기 제6 보호막(26) 사이에 배치될 수 있다. 상기 블랙 매트릭스(46)는 상기 기판(55)과 상기 제2 게이트 전극(36) 사이에 배치될 수 있다. 상기 블랙 매트릭스(46)는 상기 제6 보호막(26) 하부에 대응되는 형태로 배치될 수 있다. 상기 채널층(60)의 폭과 상기 블랙 매트릭스(46)의 폭이 같게 제공될 수 있다. 상기 블랙 매트릭스(46)는 예로서 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 블랙 매트릭스(46)는 상기 박막 트랜지스터(130)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 박막 트랜지스터(130)가 열화되는 것을 방지할 수 있다.

[0156] 실시 예에 의하면, 상기 기판(55)과 상기 채널층(60) 사이에 상기 본딩층(50)이 배치될 수 있다. 상기 본딩층

(50)은 상기 기관(55)과 상기 블랙 매트릭스(46) 사이에 배치될 수 있다. 예로서, 상기 본딩층(50)은 상기 기관(55)의 전체 영역 위에 배치될 수 있다. 상기 본딩층(50)은 상기 제2 보호막(22)과 접촉되어 배치될 수 있다. 상기 본딩층(50)의 상부면과 상기 제2 보호막(22)의 하부면이 접촉되어 배치될 수 있다. 예로서, 상기 블랙 매트릭스(46)가 제공되지 않은 영역에서, 상기 본딩층(50)의 상부면과 상기 제2 보호막(22)의 하부면이 직접 접촉되어 배치될 수 있다.

[0157] 또한, 실시 예에 의하면, 상기 제2 게이트 전극(36)의 높이와 폭에 대응되는 리세스(recess)가 상기 기관(55) 또는 상기 본딩층(50)에 제공될 수 있다. 상기 제6 보호막(26)의 일부는 상기 제2 게이트 전극(36)의 단면 형상에 대응되도록 상부 및 측면의 적어도 일부에 배치되어 상기 리세스(recess) 영역에 제공될 수 있다. 상기 블랙 매트릭스(46)는 상기 제6 보호막(26)의 하부 형상과 대응되는 형상으로 배치되고 적어도 일부는 상기 리세스(recess) 영역에 배치될 수 있다. 상기 제2 게이트 전극(36)의 적어도 일부도 상기 리세스(recess) 영역에 배치될 수 있다. 이러한 구조로 상기 제2 게이트 전극(36) 제공에 따른 박막 트랜지스터 기관의 두께가 증가되는 것을 최소화 할 수 있다.

[0158] 실시 예에 따른 박막 트랜지스터 기관은 컬러필터 기관과 합착되어 액정표시 패널을 제공할 수 있다. 박막 트랜지스터 기관과 컬러필터 기관 사이에는 액정층이 제공될 수 있다. 컬러필터 기관에는 공통전극이 제공될 수 있으며, 공통전극과 박막 트랜지스터 기관에 제공된 화소전극 간에 인가되는 전압 차에 의하여 그 사이에 배치된 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 액정표시 패널은 수직 전계형 액정표시 패널로 지칭될 수도 있다.

[0159] 실시 예에 따른 박막 트랜지스터 기관에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.

[0160] 실시 예에 의하면, 성장기관을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기관을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기관을 제공할 수 있게 된다.

[0161] 따라서, 실시 예에 따른 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.

[0162] 도 27은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다. 도 27에 도시된 박막 트랜지스터 기관은 이중 게이트 구조를 갖는 박막 트랜지스터가 적용된 실시 예로서, 도 1 내지 도 26을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.

[0163] 도 25 및 도 26을 참조하여 설명된 박막 트랜지스터 기관은 수직 전계형 액정표시 패널에 적용될 수 있는 것이다. 박막 트랜지스터 기관에는 화소전극(80)이 배치되고 화소전극(80)과 함께 화소에 전계를 형성하는 공통전극은 별도의 컬러필터 기관에 제공됨으로써 수직 전계형 액정표시 패널을 구현할 수 있는 것이다. 한편, 도 27을 참조하여 설명되는 박막 트랜지스터 기관은 수평 전계형 액정표시 패널에 적용될 수 있는 것이다.

[0164] 실시 예에 따른 박막 트랜지스터 기관은, 도 27에 도시된 바와 같이, 화소전극(81), 공통전극(85), 제5 보호막(25)을 포함할 수 있다.

[0165] 상기 공통전극(85)은 제4 보호막(24) 위에 배치될 수 있다. 상기 제5 보호막(25)은 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 제5 보호막(25)은 상기 공통전극(85)과 상기 제4 보호막(24) 위에 배치될 수 있다. 또한, 상기 제5 보호막(25)은 상기 제4 보호막(24)을 통하여 노출된 드레인 전극(72) 위에도 제공될 수 있다. 상기 화소전극(81)은 상기 제5 보호막(25) 위에 배치될 수 있다. 상기 화소전극(81)의 일부 영역은 상기 제5 보호막(25)에 제공된 제4 컨택홀(H4)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(81)의 일부 영역은 상기 제4 컨택홀(H4)을 통하여 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다. 상기 화소전극(81)은 상기 제4 보호막(24)과 상기 제5 보호막(25)을 관통하여 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다. 상기 화소전극(81)의 일부 영역과 상기 공통전극(85)의 일부 영역이 수직 방향으로 서로 중첩되어 배치될 수 있다.

- [0166] 실시 예에 따른 박막 트랜지스터 기판은 게이트 배선(41)과 데이터 배선(73)이 교차되는 영역에 배치된 복수의 박막 트랜지스터(130)를 포함할 수 있다. 상기 게이트 배선(41)과 상기 데이터 배선(73)에 의하여 정의되는 영역에 상기 화소전극(81)이 배치될 수 있다. 상기 화소전극(81)은 평거 형상으로 연장된 부분을 포함할 수 있다. 상기 화소전극(81)의 일부 영역은 상기 게이트 배선(41)과 중첩되어 배치될 수 있다.
- [0167] 상기 공통전극(85)은 투명 도전성 물질로 구현될 수 있다. 상기 공통전극(85)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 공통전극(85)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0168] 상기 화소전극(81)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(81)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(81)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0169] 상기 제5 보호막(25)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0170] 실시 예에 따른 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 실시 예에 따른 박막 트랜지스터 기판은 상기 공통전극(85)과 상기 화소전극(81) 간에 인가되는 전압 차에 의하여 액정층의 배열이 조절되고 해당 화소의 광투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 액정표시 패널은 수평 전계형 액정표시 패널, 횡 전계형 액정표시 패널, 또는 IPS(In Plane Switching) 액정표시 패널로 지칭될 수 있다. 액정표시 패널은 자체에 광원이 없으므로 액정표시 패널에 빛을 공급하는 라이트 유닛이 제공됨으로써 표시장치를 구현할 수 있게 된다.
- [0171] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $cm^2/Vs$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0172] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0173] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0174] 도 28은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 28에 도시된 박막 트랜지스터 기판은 이중 게이트 구조를 갖는 박막 트랜지스터가 적용된 실시 예로서, 도 1 내지 도 27을 참조하여 설명된 부분과 중복되는 부분에 대해서는 설명이 생략될 수 있다.
- [0175] 실시 예에 따른 박막 트랜지스터 기판은 화소전극(82), 공통전극(85), 금속층(90), 터치패널 하부전극(91), 터치패널 상부전극(92)을 포함할 수 있다.
- [0176] 상기 공통전극(85)은 제4 보호막(24) 위에 배치될 수 있다. 상기 화소전극(82)은 제5 보호막(25) 위에 배치될 수 있다. 상기 화소전극(82)은 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(82)과 상기 드레인 전극(72) 사이에는 금속층(90)이 제공될 수 있다. 상기 금속층(90)은 상기 제4 보호막(24)을 통하여 노출된 상기 드레인 전극(72)에 접촉되어 배치될 수 있다. 상기 화소전극(82)의 일부 영역은 상기 제5 보호막(25)에 제공된 제5 컨택홀(H5)을 통하여 상기 금속층(90)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다.
- [0177] 실시 예에 의하면, 상기 제5 보호막(25) 위에 터치패널 상부전극(92)이 제공될 수 있으며, 상기 터치패널 상부전극(92) 아래에 상기 터치패널 하부전극(91)이 배치될 수 있다. 상기 터치패널 하부전극(91)은 제4 보호막(24) 위에 배치될 수 있으며, 상기 공통전극(85)에 전기적으로 연결될 수 있다. 상기 터치패널 하부전극(91)은 상기

공통전극(85)과 상기 제5 보호막(25) 사이에 배치될 수 있다. 상기 터치패널 상부전극(92)은 상기 터치패널 하부전극(91)과 수직 방향으로 서로 중첩되어 배치될 수 있다.

- [0178] 상기 터치패널 상부전극(92)과 상기 터치패널 하부전극(91)은 표시패널 내에 제공된 인셀 터치패널을 구성할 수 있다. 이에 따라 실시 예에 따른 박막 트랜지스터 기판은 인셀 터치패널을 이용하여 외부로부터의 표시패널 접촉 여부를 검출할 수 있게 된다.
- [0179] 상기 공통전극(85)은 투명 도전성 물질로 구현될 수 있다. 상기 공통전극(85)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 공통전극(85)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0180] 상기 화소전극(82)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(82)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(82)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0181] 상기 터치패널 하부전극(91), 상기 터치패널 상부전극(92)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(82)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(82)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0182] 실시 예에 따른 인셀 터치패널 일체형 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 인셀 터치패널 일체형 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 실시 예에 따른 인셀 터치패널 일체형 박막 트랜지스터 기판은 상기 공통전극(85)과 상기 화소전극(82) 간에 인가되는 전압 차에 의하여 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 인셀 터치패널 일체형 액정표시 패널은 수평 전계형 액정표시 패널, 횡 전계형 액정표시 패널, 또는 IPS(In Plane Switching) 액정표시 패널로 지칭될 수 있다. 인셀 터치패널 일체형 액정표시 패널은 자체에 광원이 없으므로 인셀 터치패널 일체형 액정표시 패널에 빛을 공급하는 라이트 유닛이 제공됨으로써 표시장치를 구현할 수 있게 된다.
- [0183] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0184] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0185] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0186] 도 29 내지 도 31은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 29 내지 도 31을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 28을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 29 내지 도 31에 도시된 실시 예는 각각 도 19, 도 20, 도 20 대비하여 본딩층 구조에 차이가 있다.
- [0187] 도 29 내지 도 31에 도시된 바와 같이, 상기 기판(55) 위에 본딩층(53)이 제공될 수 있다. 상기 본딩층(53)은 상기 기판(55)과 상기 블랙 매트릭스(46) 사이에 배치될 수 있다. 예로서, 상기 본딩층(53)의 폭은 상기 블랙 매트릭스(46)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 본딩층(53)의 폭은 상기 채널층(60)의 폭과 동일

하게 제공될 수 있다.

- [0188] 실시 예에 의하면, 상기 기판(55) 위에 상기 제2 보호막(22)이 배치될 수 있다. 상기 제2 보호막(22)의 하부면이 상기 기판(55)의 상부면에 접촉되어 배치될 수 있다. 상기 본딩층(53)이 제공되지 않은 영역에서, 상기 제2 보호막(22)이 상기 기판(55)에 직접 접촉되어 배치될 수 있다.
- [0189] 또한, 실시 예에 의하면, 상기 제2 게이트 전극(36)의 높이와 폭에 대응되는 리세스(recess)가 상기 본딩층(53)에 제공될 수 있다. 상기 제6 보호막(26)의 일부는 상기 제2 게이트 전극(36)의 단면 형상에 대응되도록 상부 및 측면의 적어도 일부에 배치되어 상기 리세스(recess) 영역에 제공될 수 있다. 상기 블랙 매트릭스(46)는 상기 제6 보호막(26)의 하부 형상과 대응되는 형상으로 배치되고 적어도 일부는 상기 리세스(recess) 영역에 배치될 수 있다. 상기 제2 게이트 전극(36)의 적어도 일부도 상기 리세스(recess) 영역에 배치될 수 있다. 이러한 구조로 상기 제2 게이트 전극(36) 제공에 따른 박막 트랜지스터 기판의 두께가 증가되는 것을 최소화 할 수 있다.
- [0190] 이와 같이, 도 29 내지 도 31에 도시된 실시 예에 의하면, 도 19, 도 20, 도 21에 도시된 실시 예에 비하여, 상기 제2 보호막(22)과 상기 기판(55)이 직접 접촉되어 배치될 수 있게 되므로, 상기 제2 보호막(22)과 상기 기판(55) 사이에 제공되는 층(예로서, 도 19, 도 20, 도 21에 도시된 본딩층)을 배제시킬 수 있게 된다. 이에 따라, 실시 예에 의하면 빛이 진행되는 광 경로 상에 이중 물질층 간의 경계면이 줄어들게 되므로 경계면에서의 반사/굴절 등에 의한 광손실을 줄일 수 있게 된다.
- [0191] 실시 예에 따른 상기 본딩층(53)은 예로서 반사층, 메탈본딩층, 절연층을 포함할 수 있다. 상기 반사층은 상기 기판(55) 위에 배치될 수 있으며, 상기 메탈본딩층은 상기 반사층 위에 배치되고, 상기 절연층은 상기 메탈본딩층 위에 배치될 수 있다. 예로서, 상기 본딩층(53)은 상기 메탈본딩층을 포함할 수 있으며, 상기 반사층과 상기 절연층은 선택적으로 포함할 수도 있다.
- [0192] 상기 절연층은 상기 채널층(60)의 누설 특성을 보완해 줄 수 있다. 예로서, 상기 절연층은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0193] 상기 메탈본딩층은 아래에 배치된 상기 기판(55)과의 접촉을 위하여 제공될 수 있다. 예로서, 상기 메탈본딩층은 금(Au), 주석(Sn), 인듐(In), 니켈(Ni), 은(Ag), 구리(Cu)를 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다.
- [0194] 상기 반사층은 상기 본딩층에서의 광 흡수를 줄여줄 수 있다. 예로서, 상기 반사층은 알루미늄(Al), 은(Ag), 로듐(Rh)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 상기 반사층은 예로서 반사특성이 60%를 넘는 물질로 제공될 수 있다.
- [0195] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $cm^2/Vs$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0196] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0197] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0198] 도 32는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 32에 도시된 박막 트랜지스터 기판은 채널층의 리세스된 영역에 게이트가 배치된 구조를 갖는 박막 트랜지스터가 적용된 실시 예로서 도 1 내지 도 31을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.
- [0199] 본 발명의 실시 예에 따른 박막 트랜지스터 기판은, 도 32에 도시된 바와 같이, 기판(55)과 상기 기판(55) 위에 배치된 박막 트랜지스터(230), 상기 박막 트랜지스터(230)에 전기적으로 연결된 화소전극(80)을 포함할 수

있다.

- [0200] 실시 예에 따른 박막 트랜지스터(230)는 게이트 전극(233), 채널층(260), 소스 전극(71), 드레인 전극(72)을 포함할 수 있다. 상기 소스 전극(71)은 상기 채널층(260)의 제1 영역에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 채널층(260)의 상부 면에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 채널층(260)의 제2 영역에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 채널층(260)의 상부 면에 전기적으로 연결될 수 있다. 상기 게이트 전극(233)은 상기 채널층(260) 위에 배치될 수 있다.
- [0201] 상기 채널층(260)은 상부 면에 하부 방향으로 함몰된 리세스 영역을 포함할 수 있다. 상기 게이트 전극(233)은 상기 채널층(260)의 리세스된 영역에 배치될 수 있다.
- [0202] 상기 채널층(260)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 채널층(260)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 채널층(260)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다.
- [0203] 상기 채널층(260)은 제1 질화물 반도체층(261)과 제2 질화물 반도체층(262)을 포함할 수 있다. 상기 제1 질화물 반도체층(261)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(262)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(262)의 상부 면에 하부 방향으로 함몰된 리세스 영역에 제공될 수 있다. 상기 게이트 전극(233)은 상기 제2 질화물 반도체층(262)의 리세스 영역에 배치될 수 있다. 상기 게이트 전극(233)의 상부 면이 상기 제2 질화물 반도체층(262)의 최 상부 면에 비해 더 높게 배치될 수 있다. 상기 게이트 전극(233)과 상기 제2 질화물 반도체층(262)은 쇼키 접촉(Schottky contact)될 수 있다.
- [0204] 실시 예에 따른 상기 채널층(260)에 의하면, 상기 제1 질화물 반도체층(261)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(262)이 AlGaIn 반도체층을 포함할 수 있다.
- [0205] 상기 기판(55)은 투명기판을 포함할 수 있다. 상기 기판(55)은 예로서 0.1 mm 내지 3 mm의 두께를 갖는 투명기판으로 구현될 수 있다. 또한, 상기 기판(55)의 두께는 적용되는 표시장치의 용도 및 크기에 따라 변경될 수 있는 것으로서 0.4~1.1mm의 두께 범위 내에서 선택될 수도 있다. 예로서, 상기 기판(55)은 0.6~0.8mm의 두께로 제공될 수도 있다. 상기 기판(55)은 실리콘, 유리, 폴리이미드, 플라스틱을 포함하는 물질 중에서 선택된 적어도 하나의 물질을 포함할 수 있다. 상기 기판(55)은 플렉시블 기판을 포함할 수 있다.
- [0206] 상기 기판(55)은 트랜스퍼(transfer) 공정에서 적용되는 기판으로서 상기 박막 트랜지스터(230)를 지지하는 역할을 수행한다. 또한, 실시 예에 따른 박막 트랜지스터 기판은 상기 기판(55)과 상기 박막 트랜지스터(230) 사이에 제공된 본딩층(50)을 포함할 수 있다.
- [0207] 상기 본딩층(50)은 유기물을 포함할 수 있다. 상기 본딩층(50)은 투명물질로 구현될 수 있다. 상기 본딩층(50)은 예로서 투과도가 70% 이상인 물질로 구현될 수 있다. 상기 본딩층(50)은 유기 절연물질을 포함할 수 있다. 상기 본딩층(50)은 아크릴, 벤조시클로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다. 상기 본딩층(50)은 예로서 0.5~6 $\mu$ m의 두께로 제공될 수 있다. 상기 본딩층(50)의 두께는 선택된 물질 종류에 따라 차이가 있을 수 있으며 1~3 $\mu$ m의 두께로 제공될 수도 있다. 또한, 상기 본딩층(50)은 예로서 1.8~2.2 $\mu$ m의 두께로 제공될 수도 있다.
- [0208] 실시 예에 따른 박막 트랜지스터(230)는 상기 채널층(260)의 제1 영역 위에 배치된 소스 컨택부(31)와 상기 채널층(260)의 제2 영역 위에 배치된 드레인 컨택부(32)를 포함할 수 있다. 상기 소스 컨택부(31)는 상기 채널층(260)의 제1 영역에 접촉되어 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 채널층(260)의 제2 영역에 접촉되어 배치될 수 있다.
- [0209] 실시 예에 따른 박막 트랜지스터(230)는 상기 게이트 전극(233) 위에 배치된 게이트 배선(41)을 포함할 수 있다. 상기 게이트 배선(41)은 상기 게이트 전극(233)에 전기적으로 연결될 수 있다. 상기 게이트 배선(41)의 하부 면이 상기 게이트 전극(233)의 상부 면에 접촉되어 배치될 수 있다.
- [0210] 상기 소스 전극(71)은 상기 소스 컨택부(31)에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 소스 컨택부(31)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 소스 전극(71)은 상기 소스 컨택부(31)를 통하여 상기 채널층(260)의 제1 영역에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 드레인 컨택부(32)에

전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 드레인 컨택부(32)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 드레인 전극(72)은 상기 드레인 컨택부(32)를 통하여 상기 채널층(260)의 제2 영역에 전기적으로 연결될 수 있다.

[0211] 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 채널층(260)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 제2 질화물 반도체층(262)과 오믹 접촉하는 물질을 포함할 수 있다. 예로서, 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 소스 컨택부(31)와 상기 드레인 컨택부(32)는 상기 채널층(260)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.

[0212] 상기 게이트 전극(233)은 상기 채널층(260)과 샤키 접촉하는 물질로 구현될 수 있다. 상기 게이트 전극(233)은 상기 제2 질화물 반도체층(262)과 샤키 접촉되는 물질로 구현될 수 있다. 상기 게이트 전극(233)은 니켈(Ni), 백금(Pt), 금(Au), 팔라듐(Pd)을 포함하는 그룹 중에서 선택된 적어도 하나의 물질 또는 그 합금을 포함하는 단일층 또는 다중층을 포함할 수 있다. 예로서, 상기 샤키 접촉은 상기 채널층(260)에 대한 플라즈마 처리(plasma treatment)에 의하여 구현될 수 있다. 상기 플라즈마 처리는 예로서 불소(F) 이온 처리가 적용될 수 있다. 이에 따라, 실시 예에 따른 박막 트랜지스터(230)는 상기 샤키 접촉에 의하여 문턱 전압이 제공될 수 있으며 노멀리 오프(normally off) 특성을 가질 수 있다. 상기 게이트 전극(233)에 문턱 전압 이상의 전압을 인가하면 상기 게이트 전극(233)의 하부에 형성된 채널이 온 상태가 되어 상기 채널층(260)에 전류가 흐를 수 있게 된다.

[0213] 한편, 실시 예에 따른 상기 채널층(260)에 의하면, 상기 제1 질화물 반도체층(261)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(262)이 AlGaN 반도체층을 포함할 수 있다. 상기 제2 질화물 반도체층(262)의 두께가 두꺼울수록 2차원 전자가스(2DEG)가 잘 형성되기 때문에 노멀리 오프(normally off) 특성을 만들기 어렵다. 또한, 상기 제2 질화물 반도체층(262)의 두께가 너무 얇게 제공되면 게이트 리키지(gate leakage)가 심해질 수 있는 문제점이 있다. 이에 따라, 상기 리세스 영역 아래에 배치된 상기 제2 질화물 반도체층(262)의 두께는 2~10nm 두께로 제공되는 것이 바람직할 수 있다. 그리고, 게이트 리키지(gate leakage)를 줄이기 위한 방안으로서, 상기 게이트 전극(233)과 상기 제2 질화물 반도체층(262) 사이에 절연물이 배치되도록 하여 일종의 MIS(Metal-Insulator-Semiconductor) 구조로 제공될 수도 있다. 예로서, 상기 리세스가 형성되지 않은 영역의 상기 제2 질화물 반도체층(262)의 두께는 15~25nm로 제공될 수 있다. 또한, 상기 리세스의 폭은 예로서 1.5~2.5  $\mu$ m로 제공될 수 있다.

[0214] 상기 게이트 배선(41)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 게이트 배선(41)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 게이트 배선(41)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 게이트 전극(33)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0215] 상기 소스 전극(71)과 상기 드레인 전극(72)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 소스 전극(71)과 상기 드레인 전극(72)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 소스 전극(71)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 소스 컨택부(31)의 두께에 비하여 더 두껍게 제공될 수도 있다. 상기 드레인 전극(72)도 상기 드레인 컨택부(32)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0216] 실시 예에 따른 박막 트랜지스터 기판은 상기 채널층(260) 위에 배치된 제1 보호막(21)을 포함할 수 있다. 상기 제1 보호막(21)은 상기 제2 질화물 반도체층(262) 위에 배치될 수 있다. 상기 제1 보호막(21)의 하부 면은 상기 제2 질화물 반도체층(262)의 상부 면에 접촉되어 배치될 수 있다.

[0217] 실시 예에 의하면, 상기 소스 컨택부(31)는 상기 제1 보호막(21)을 관통하여 배치될 수 있다. 상기 소스 컨택부

(31)는 상기 제1 보호막(21)에 의하여 둘러 싸여 배치될 수 있다. 상기 소스 컨택부(31)는 상기 제1 보호막(21)을 관통하여 배치되고 상기 채널층(260)의 제1 영역에 접촉되어 제공될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)을 관통하여 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)에 의하여 둘러 싸여 배치될 수 있다. 상기 드레인 컨택부(32)는 상기 제1 보호막(21)을 관통하여 배치되고 상기 채널층(260)의 제2 영역에 접촉되어 제공될 수 있다.

- [0218] 상기 제1 보호막(21)은 절연물질로 구현될 수 있다. 상기 제1 보호막(21)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0219] 실시 예에 의하면, 상기 기판(55)과 상기 제1 보호막(21) 위에 제2 보호막(22)이 배치될 수 있다. 상기 게이트 전극(233)은 상기 제1 보호막(21)과 상기 제2 보호막(22) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 게이트 전극(233)은 상기 제1 보호막(21)과 상기 제2 보호막(22)을 관통하여 배치될 수 있다. 상기 게이트 전극(233)은 상기 제1 보호막(21)과 상기 제2 보호막(22) 중에서 적어도 하나를 관통하여 상기 채널층(260)에 접촉되어 배치될 수 있다, 예로서, 상기 게이트 전극(233)은 상기 제1 보호막(21)과 상기 제2 보호막(22)을 관통하여 상기 채널층(260)에 접촉되어 배치될 수 있다. 상기 게이트 배선(41)은 상기 제2 보호막(22) 위에 배치되어 상기 게이트 전극(233)과 전기적으로 연결될 수 있다.
- [0220] 상기 제2 보호막(22)은 절연물질로 구현될 수 있다. 상기 제2 보호막(22)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0221] 실시 예에 의하면, 상기 제2 보호막(22) 위에 제3 보호막(23)이 배치될 수 있다. 상기 제3 보호막(23)은 상기 제2 보호막(22)과 상기 게이트 배선(41) 위에 배치될 수 있다. 상기 게이트 배선(41)은 상기 게이트 전극(233) 위에 접촉되어 배치되고 상기 제3 보호막(23)에 의하여 둘러 싸여 제공될 수 있다.
- [0222] 상기 소스 전극(71)은 상기 제2 보호막(22)과 상기 제3 보호막(23)을 관통하여 상기 소스 컨택부(31)에 전기적으로 연결될 수 있다. 상기 소스 전극(71)은 상기 제3 보호막(23) 위에 배치된 제1 영역을 포함할 수 있다. 상기 소스 전극(71)은 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하는 제2 영역을 포함할 수 있다. 상기 드레인 전극(72)은 상기 제2 보호막(22)과 상기 제3 보호막(23)을 관통하여 상기 드레인 컨택부(32)에 전기적으로 연결될 수 있다. 상기 드레인 전극(72)은 상기 제3 보호막(23) 위에 배치된 제1 영역을 포함할 수 있다. 상기 드레인 전극(72)은 상기 제3 보호막(23)과 상기 제2 보호막(22)을 관통하는 제2 영역을 포함할 수 있다.
- [0223] 상기 제3 보호막(23)은 절연물질을 포함할 수 있다. 상기 제3 보호막(23)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0224] 실시 예에 따른 박막 트랜지스터 기판은 상기 제3 보호막(23) 위에 배치된 제4 보호막(24)을 포함할 수 있다. 상기 제4 보호막(24)은 상기 소스 전극(71)과 상기 드레인 전극(72) 위에 배치될 수 있다. 상기 제4 보호막(24)은 상기 드레인 전극(72) 위에 제공된 컨택홀(H3)을 포함할 수 있다.
- [0225] 상기 제4 보호막(24)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0226] 실시 예에 의하면, 상기 화소전극(80)은 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 화소전극(80)은 상기 제4 보호막(24)에 제공된 컨택홀(H3)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(80)의 하부 면은 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다.
- [0227] 상기 화소전극(80)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(80)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(80)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0228] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(55)과 상기 채널층(260) 사이에 배치된 블랙 매트릭스(40)를 포함할 수 있다. 상기 채널층(260)의 폭과 상기 블랙 매트릭스(40)의 폭이 같게 제공될 수 있다. 상기 블랙

매트릭스(40)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 블랙 매트릭스(40)는 상기 박막 트랜지스터(230)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 박막 트랜지스터(230)가 열화되는 것을 방지할 수 있다.

- [0229] 실시 예에 의하면, 상기 기판(55)과 상기 채널층(260) 사이에 상기 본딩층(50)이 배치될 수 있다. 상기 본딩층(50)은 상기 기판(55)과 상기 블랙 매트릭스(40) 사이에 배치될 수 있다. 예로서, 상기 본딩층(50)은 상기 기판(55)의 전체 영역 위에 배치될 수 있다.
- [0230] 실시 예에 따른 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 컬러필터 기판에는 공통전극이 제공될 수 있으며, 공통전극과 박막 트랜지스터 기판에 제공된 화소전극 간에 인가되는 전압 차에 의하여 그 사이에 배치된 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 액정표시 패널은 수직 전계형 액정표시 패널로 지칭될 수도 있다.
- [0231] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0232] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0233] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0234] 도 33은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 33에 도시된 박막 트랜지스터 기판은 채널층의 리세스된 영역에 게이트가 배치된 구조를 갖는 박막 트랜지스터가 적용된 실시 예로서 도 1 내지 도 32를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.
- [0235] 도 32를 참조하여 설명된 박막 트랜지스터 기판은 수직 전계형 액정표시 패널에 적용될 수 있는 것이다. 한편, 도 33을 참조하여 설명되는 박막 트랜지스터 기판은 수평 전계형 액정표시 패널에 적용될 수 있는 것이다.
- [0236] 실시 예에 따른 박막 트랜지스터 기판은, 도 33에 도시된 바와 같이, 화소전극(81), 공통전극(85), 제5 보호막(25)을 포함할 수 있다.
- [0237] 상기 공통전극(85)은 제4 보호막(24) 위에 배치될 수 있다. 상기 제5 보호막(25)은 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 제5 보호막(25)은 상기 공통전극(85)과 상기 제4 보호막(24) 위에 배치될 수 있다. 상기 공통전극(85)은 상기 제4 보호막(24)과 상기 제5 보호막(25) 사이에 배치될 수 있다. 또한, 상기 제5 보호막(25)은 상기 제4 보호막(24)을 통하여 노출된 드레인 전극(72) 위에도 제공될 수 있다. 상기 화소전극(81)은 상기 제5 보호막(25) 위에 배치될 수 있다. 상기 화소전극(81)의 일부 영역은 상기 제5 보호막(25)에 제공된 제4 컨택홀(H4)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(81)의 일부 영역은 상기 제4 컨택홀(H4)을 통하여 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다. 상기 화소전극(81)은 상기 제4 보호막(24)과 상기 제5 보호막(25)을 관통하여 상기 드레인 전극(72)의 상부 면에 접촉되어 배치될 수 있다. 상기 화소전극(81)의 일부 영역과 상기 공통전극(85)의 일부 영역이 수직 방향으로 서로 중첩되어 배치될 수 있다.
- [0238] 실시 예에 따른 박막 트랜지스터 기판은 게이트 배선(41)과 데이터 배선(73)이 교차되는 영역에 배치된 복수의 박막 트랜지스터(230)를 포함할 수 있다. 상기 게이트 배선(41)과 상기 데이터 배선(73)에 의하여 정의되는 영역에 상기 화소전극(81)이 배치될 수 있다. 상기 화소전극(81)은 핑거 형상으로 연장된 부분을 포함할 수 있다. 상기 화소전극(81)의 일부 영역은 상기 게이트 배선(41)과 중첩되어 배치될 수 있다.
- [0239] 상기 공통전극(85)은 투명 도전성 물질로 구현될 수 있다. 상기 공통전극(85)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 공통전극(85)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc

Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.

[0240] 상기 화소전극(81)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(81)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(81)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.

[0241] 상기 제5 보호막(25)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0242] 실시 예에 따른 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 실시 예에 따른 박막 트랜지스터 기판은 상기 공통전극(85)과 상기 화소전극(81) 간에 인가되는 전압 차에 의하여 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 액정표시 패널은 수평 전계형 액정표시 패널, 횡 전계형 액정표시 패널, 또는 IPS(In Plane Switching) 액정표시 패널로 지칭될 수 있다. 액정표시 패널은 자체에 광원이 없으므로 액정표시 패널에 빛을 공급하는 라이트 유닛이 제공됨으로써 표시장치를 구현할 수 있게 된다.

[0243] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도(cm<sup>2</sup>/Vs)가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.

[0244] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.

[0245] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.

[0246] 도 34는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 34에 도시된 박막 트랜지스터 기판은 채널층의 리세스된 영역에 게이트가 배치된 구조를 갖는 박막 트랜지스터가 적용된 실시 예로서 도 1 내지 도 33을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.

[0247] 실시 예에 따른 박막 트랜지스터 기판은 화소전극(82), 공통전극(85), 금속층(90), 터치패널 하부전극(91), 터치패널 상부전극(92)을 포함할 수 있다.

[0248] 상기 공통전극(85)은 제4 보호막(24) 위에 배치될 수 있다. 상기 화소전극(82)은 제5 보호막(25) 위에 배치될 수 있다. 상기 화소전극(82)은 드레인 전극(72)에 전기적으로 연결될 수 있다. 상기 화소전극(82)과 상기 드레인 전극(72) 사이에는 금속층(90)이 제공될 수 있다. 상기 금속층(90)은 상기 제4 보호막(24)을 통하여 노출된 상기 드레인 전극(72)에 접촉되어 배치될 수 있다. 상기 화소전극(82)의 일부 영역은 상기 제5 보호막(25)에 제공된 제5 컨택홀(H5)을 통하여 상기 금속층(90)을 통하여 상기 드레인 전극(72)에 전기적으로 연결될 수 있다.

[0249] 실시 예에 의하면, 상기 제5 보호막(25) 위에 터치패널 상부전극(92)이 제공될 수 있으며, 상기 터치패널 상부전극(92) 아래에 상기 터치패널 하부전극(91)이 배치될 수 있다. 상기 터치패널 하부전극(91)은 제4 보호막(24) 위에 배치될 수 있으며, 상기 공통전극(85)에 전기적으로 연결될 수 있다. 상기 터치패널 하부전극(91)은 상기 공통전극(85)과 상기 제5 보호막(25) 사이에 배치될 수 있다. 상기 터치패널 상부전극(92)은 상기 터치패널 하부전극(91)과 수직 방향으로 서로 중첩되어 배치될 수 있다.

[0250] 상기 터치패널 상부전극(92)과 상기 터치패널 하부전극(91)은 표시패널 내에 제공된 인셀 터치패널을 구성할 수 있다. 이에 따라 실시 예에 따른 박막 트랜지스터 기판은 인셀 터치패널을 이용하여 외부로부터의 표시패널 접촉 여부를 검출할 수 있게 된다.

- [0251] 상기 공통전극(85)은 투명 도전성 물질로 구현될 수 있다. 상기 공통전극(85)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 공통전극(85)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0252] 상기 화소전극(82)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(82)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(82)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0253] 상기 터치패널 하부전극(91), 상기 터치패널 상부전극(92)은 투명 도전성 물질로 구현될 수 있다. 상기 화소전극(82)은 예로서 투명 도전성 산화막으로 구현될 수 있다. 상기 화소전극(82)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride) 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.
- [0254] 실시 예에 따른 인셀 터치패널 일체형 박막 트랜지스터 기판은 컬러필터 기판과 합착되어 액정표시 패널을 제공할 수 있다. 인셀 터치패널 일체형 박막 트랜지스터 기판과 컬러필터 기판 사이에는 액정층이 제공될 수 있다. 실시 예에 따른 인셀 터치패널 일체형 박막 트랜지스터 기판은 상기 공통전극(85)과 상기 화소전극(82) 간에 인가되는 전압 차에 의하여 액정층의 배열이 조절되고 해당 화소의 광 투과량을 제어할 수 있게 된다. 이와 같은 구조를 갖는 인셀 터치패널 일체형 액정표시 패널은 수평 전계형 액정표시 패널, 횡 전계형 액정표시 패널, 또는 IPS(In Plane Switching) 액정표시 패널로 지칭될 수 있다. 인셀 터치패널 일체형 액정표시 패널은 자체에 광원이 없으므로 인셀 터치패널 일체형 액정표시 패널에 빛을 공급하는 라이트 유닛이 제공됨으로써 표시장치를 구현할 수 있게 된다.
- [0255] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0256] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0257] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0258] 도 35 내지 도 37은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 35 내지 도 37을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 34를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 35 내지 도 37에 도시된 실시 예는 각각 도 32, 도 33, 도 34 대비하여 본딩층 구조에 차이가 있다.
- [0259] 도 35 내지 도 37에 도시된 바와 같이, 상기 기판(55) 위에 본딩층(53)이 제공될 수 있다. 상기 본딩층(53)은 상기 기판(55)과 상기 블랙 매트릭스(40) 사이에 배치될 수 있다. 예로서, 상기 본딩층(53)의 폭은 상기 블랙 매트릭스(40)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 본딩층(53)의 폭은 상기 채널층(260)의 폭과 동일하게 제공될 수 있다.
- [0260] 실시 예에 의하면, 상기 기판(55) 위에 상기 제2 보호막(22)이 배치될 수 있다. 상기 제2 보호막(22)의 하부면이 상기 기판(55)의 상부면에 접촉되어 배치될 수 있다. 상기 본딩층(53)이 제공되지 않은 영역에서, 상기 제2 보호막(22)이 상기 기판(55)에 직접 접촉되어 배치될 수 있다.

- [0261] 이와 같이, 도 35 내지 도 37에 도시된 실시 예에 의하면, 도 32, 도 33, 도 34에 도시된 실시 예에 비하여, 상기 제2 보호막(22)과 상기 기판(55)이 직접 접촉되어 배치될 수 있게 되므로, 상기 제2 보호막(22)과 상기 기판(55) 사이에 제공되는 층(예로서, 도 32, 도 33, 도 34에 도시된 본딩층)을 배제시킬 수 있게 된다. 이에 따라, 실시 예에 의하면 빛이 진행되는 광 경로 상에 이중 물질층 간의 경계면이 줄어들게 되므로 경계면에서의 반사/굴절 등에 의한 광손실을 줄일 수 있게 된다.
- [0262] 실시 예에 따른 상기 본딩층(53)은 예로서 반사층, 메탈본딩층, 유기본딩층, 절연층을 포함할 수 있다. 상기 반사층은 상기 기판(55) 위에 배치될 수 있으며, 상기 메탈본딩층은 상기 반사층 위에 배치되고, 상기 절연층은 상기 메탈본딩층 위에 배치될 수 있다. 예로서, 상기 본딩층(53)은 상기 메탈본딩층과 상기 유기본딩층 중에서 적어도 하나를 포함할 수 있으며, 상기 반사층과 상기 절연층은 선택적으로 포함할 수도 있다.
- [0263] 상기 절연층은 상기 채널층(260)의 누설 특성을 보완해 줄 수 있다. 예로서, 상기 절연층은 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0264] 상기 메탈본딩층 또는 상기 유기본딩층은 아래에 배치된 상기 기판(55)과의 접촉을 위하여 제공될 수 있다. 예로서, 상기 메탈본딩층은 금(Au), 주석(Sn), 인듐(In), 니켈(Ni), 은(Ag), 구리(Cu)를 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 예로서, 상기 유기본딩층은 아크릴, 벤조시크로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다.
- [0265] 상기 반사층은 상기 본딩층에서의 광 흡수를 줄여줄 수 있다. 예로서, 상기 반사층은 알루미늄(Al), 은(Ag), 로듐(Rh)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 상기 반사층은 예로서 반사특성이 60%를 넘는 물질로 제공될 수 있다.
- [0266] 한편 실시 예에 의하면, 예로서 상기 본딩층(53)이 상기 메탈본딩층과 상기 반사층을 포함하는 경우, 상기 블랙 매트릭스(40)는 생략될 수도 있다.
- [0267] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도(cm<sup>2</sup>/Vs)가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0268] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0269] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0270] 도 38 내지 도 40은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 38 내지 도 40을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 37을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 38 내지 도 40에 도시된 실시 예는 각각 도 32, 도 33, 도 34 대비하여 트랜스퍼 공정이 적용되지 않고 성장기판 위에 박막 트랜지스터가 제공되는 점에 차이가 있다.
- [0271] 실시 예에 따른 박막 트랜지스터 기판은, 도 38 내지 도 40에 도시된 바와 같이, 트랜스퍼 공정에 이용되는 지지기판 대신에 성장기판(10)을 기판으로서 포함할 수 있다. 상기 성장기판(10)은 예를 들어, 사파이어(Sapphire), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge을 포함하는 그룹 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0272] 상기 성장기판(10) 위에 블랙 매트릭스(45)가 배치될 수 있다. 상기 블랙 매트릭스(45)는 상기 성장기판(10) 위에 배치되어 상기 채널층(260)으로 빛이 입사되는 것을 방지할 수 있다. 상기 블랙 매트릭스(45)는 예로서 가시광선을 흡수하거나 반사하는 물질로 구현될 수 있다. 이에 따라, 실시 예에 의하면 상기 채널층(260)으로 빛이 입사되어 광전류(photo current) 등에 의하여 박막 트랜지스터(230)가 열화되는 것을 방지할 수 있게 된다. 예

로서, 상기 블랙 매트릭스(45)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 블랙 매트릭스(45)는 Si, GaAs 등의 물질을 선택적으로 포함할 수 있다.

- [0273] 실시 예에 의하면, 상기 블랙 매트릭스(45) 위에 버퍼층(47)이 제공될 수 있다. 상기 버퍼층(47)은 상기 블랙 매트릭스(45)와 상기 채널층(260) 사이에 제공될 수 있다. 상기 버퍼층(47)은 상기 채널층(260)을 구성하는 질화물 반도체층의 성장을 도울 수 있다. 예로서, 상기 버퍼층(47)은 AlN, AlInN, AlGaIn을 포함하는 그룹 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0274] 예로서, 상기 블랙 매트릭스(45)의 폭은 상기 버퍼층(47)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 블랙 매트릭스(45)의 폭은 상기 채널층(260)의 폭과 동일하게 제공될 수 있다. 상기 버퍼층(47)의 폭은 상기 채널층(260)의 폭과 동일하게 제공될 수 있다.
- [0275] 실시 예에 의하면, 상기 성장기관(10) 위에 상기 제2 보호막(22)이 배치될 수 있다. 상기 제2 보호막(22)의 하부면이 상기 성장기관(10)의 상부면에 접촉되어 배치될 수 있다. 상기 블랙 매트릭스(45)가 제공되지 않은 영역에서, 상기 제2 보호막(22)이 상기 성장기관(10)에 직접 접촉되어 배치될 수 있다.
- [0276] 실시 예에 따른 박막 트랜지스터 기관에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0277] 따라서, 실시 예에 따른 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0278] 도 41은 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 포함하는 표시장치의 예를 나타낸 블록도이다.
- [0279] 실시 예에 따른 표시장치는, 도 41에 도시된 바와 같이, 표시패널(1100), 라이트 유닛(1200), 패널 구동부(1300)를 포함할 수 있다.
- [0280] 상기 표시패널(1100)은 도 1 내지 도 40을 참조하여 설명된 박막 트랜지스터 기관 중의 어느 하나와, 상기 박막 트랜지스터 기관 위에 배치된 컬러필터 기관을 포함할 수 있다. 상기 표시패널(1100)은 상기 박막 트랜지스터 기관과 상기 컬러필터 기관 사이에 배치된 액정층을 포함할 수 있다.
- [0281] 상기 라이트 유닛(1200)은 상기 표시패널(1100) 아래에 배치될 수 있으며 상기 표시패널(1100)에 빛을 공급할 수 있다. 상기 패널 구동부(1300)는 상기 표시패널(1100)에 구동 신호를 제공할 수 있다. 상기 패널 구동부(1300)는 상기 표시패널(1100)에 제공된 복수 화소의 광 투과율을 제어할 수 있으며, 상기 라이트 유닛(1200)으로부터 제공되는 빛을 이용하여 상기 표시패널(1100)에 영상이 표시될 수 있게 된다.
- [0282] 실시 예에 따른 박막 트랜지스터 기관에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0283] 실시 예에 의하면, 성장기관을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기관을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기관을 제공할 수 있게 된다. 한편, 이상에서 설명된 바와 같이, 실시 예에 의하면 성장기관 위에 박막 트랜지스터 및 화소전극을 제공하고, 전자 이동도가 우수한 박막 트랜지스터 기관을 제공할 수도 있다.
- [0284] 따라서, 실시 예에 따른 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.

- [0285] 도 42는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다. 도 43은 도 42에 도시된 박막 트랜지스터 기관의 D-D 선에 따른 단면도이고, 도 44는 도 42에 도시된 박막 트랜지스터 기관의 E-E 선에 따른 단면도이다.
- [0286] 도 1 내지 도 41을 참조하여 설명된 실시 예는 액정 표시장치에 적용될 수 있는 박막 트랜지스터 기관에 관한 것이며, 도 42 내지 도 44를 참조하여 설명되는 박막 트랜지스터 기관은 유기발광 표시장치에 적용될 수 있는 것이다.
- [0287] 실시 예에 따른 박막 트랜지스터 기관은 스위칭 박막 트랜지스터(330)와 구동 박막 트랜지스터(430)를 포함할 수 있다. 상기 스위칭 박막 트랜지스터(330)는 게이트 라인(341)과 데이터 라인(373)으로부터 신호를 인가 받을 수 있으며, 해당 화소에 게이트 신호 및 데이터 신호를 제공할 수 있다. 상기 스위칭 박막 트랜지스터(330)는 제1 게이트 전극(333), 제1 소스 전극(371), 제1 드레인 전극(372)을 포함할 수 있다. 상기 구동 박막 트랜지스터(430)는 제2 게이트 전극(433), 제2 소스 전극(471), 제2 드레인 전극(472)을 포함할 수 있다. 상기 구동 박막 트랜지스터(430)의 상기 제2 게이트 전극(433)은 상기 스위칭 박막 트랜지스터(330)의 상기 제1 드레인 전극(372)과 전기적으로 연결될 수 있다. 상기 구동 박막 트랜지스터(430)의 상기 제2 소스 전극(471)은 구동 전원 배선(Vdd, 474)에 연결될 수 있다. 상기 스위칭 박막 트랜지스터(330)와 상기 구동 박막 트랜지스터(430)의 동작에 대해서는 도 45를 참조하여 뒤에서 다시 설명하기로 한다.
- [0288] 본 발명의 실시 예에 따른 박막 트랜지스터 기관은, 도 42 내지 도 44에 도시된 바와 같이, 기관(355)과 상기 기관(355) 위에 배치된 상기 스위칭 박막 트랜지스터(330), 상기 구동 박막 트랜지스터(430), 상기 구동 박막 트랜지스터(430)에 전기적으로 연결된 발광층(488)을 포함할 수 있다.
- [0289] 실시 예에 따른 스위칭 박막 트랜지스터(330)는 제1 디플리션 형성층(depletion forming layer, 315), 제1 게이트 전극(333), 제1 채널층(360), 제1 소스 전극(371), 제1 드레인 전극(372)을 포함할 수 있다. 상기 제1 소스 전극(371)은 상기 제1 채널층(360)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제1 채널층(360)의 상부 면에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 채널층(360)의 제2 영역에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 채널층(360)의 상부 면에 전기적으로 연결될 수 있다. 상기 제1 게이트 전극(333)은 상기 제1 채널층(360) 위에 배치될 수 있다. 상기 제1 디플리션 형성층(315)은 상기 제1 채널층(360)의 제1 영역과 제2 영역 사이 위에 배치될 수 있다. 상기 제1 디플리션 형성층(315)은 상기 제1 채널층(360)과 상기 제1 게이트 전극(333) 사이에 배치될 수 있다.
- [0290] 실시 예에 따른 구동 박막 트랜지스터(430)는 제2 디플리션 형성층(depletion forming layer, 415), 제2 게이트 전극(433), 제2 채널층(460), 제2 소스 전극(471), 제2 드레인 전극(472)을 포함할 수 있다. 상기 제2 소스 전극(471)은 상기 제2 채널층(460)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제2 채널층(460)의 상부 면에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 채널층(460)의 제2 영역에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 채널층(460)의 상부 면에 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(433)은 상기 제2 채널층(460) 위에 배치될 수 있다. 상기 제2 디플리션 형성층(415)은 상기 제2 채널층(460)의 제1 영역과 제2 영역 사이 위에 배치될 수 있다. 상기 제2 디플리션 형성층(415)은 상기 제2 채널층(460)과 상기 제2 게이트 전극(433) 사이에 배치될 수 있다.
- [0291] 상기 스위칭 박막 트랜지스터(330)와 상기 구동 박막 트랜지스터(430)의 구조는 서로 유사하며, 상기 구동 박막 트랜지스터(430)를 설명함에 있어 상기 스위칭 박막 트랜지스터(330)를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.
- [0292] 상기 제1 채널층(360)과 상기 제2 채널층(460)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 제1 채널층(360)과 상기 제2 채널층(460)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제1 채널층(360)과 상기 제2 채널층(460)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다. 상기 제1 채널층(360)과 상기 제2 채널층(460)은 서로 다른 물질로 형성될 수도 있다.
- [0293] 상기 제1 채널층(360)과 상기 제2 채널층(460) 각각은 제1 질화물 반도체층(361, 461)과 제2 질화물 반도체층(362, 462)을 포함할 수 있다. 상기 제1 질화물 반도체층(361, 461)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(362, 462)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다.

- [0294] 실시 예에 따른 상기 제1 채널층(360)과 상기 제2 채널층(460)에 의하면, 상기 제1 질화물 반도체층(361, 461)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(362, 462)이 AlGaN 반도체층을 포함할 수 있다. 상기 제1 채널층(360)의 상기 제2 질화물 반도체층(362)은 상기 제1 질화물 반도체층(361)과 상기 제1 디플리션 형성층(315) 사이에 배치될 수 있다. 상기 제2 채널층(460)의 상기 제2 질화물 반도체층(462)은 상기 제1 질화물 반도체층(461)과 상기 제2 디플리션 형성층(415) 사이에 배치될 수 있다.
- [0295] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예를 들어 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 p형 도펀트가 첨가된 질화물 반도체층을 포함할 수 있다. 예로서, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 p형 도펀트가 첨가된 GaN 반도체층 또는 p형 도펀트가 첨가된 AlGaN 반도체층을 포함할 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예컨대,  $p-Al_xGa_{1-x}N$  ( $0 \leq x \leq 0.3$ )의 조성식을 갖는 반도체 물질로 구현된 단일층 또는 다중층을 포함할 수 있다.
- [0296] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예로서 2~300nm의 두께로 제공될 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 상기 제1 채널층(360)과 상기 제2 채널층(460)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 제공하기 위하여 적어도 2nm의 두께로 제공될 수 있다. 또한, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 제조공정에 따른 두께 편차를 고려하여 30nm 이상의 두께로 제공될 수도 있다. 또한, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 제조공정에 따른 두께 편차를 고려하여 200nm 이하의 두께로 제공될 수도 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예로서 50~100nm의 두께로 제공될 수도 있다.
- [0297] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 서로 다른 물질을 포함할 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)에 첨가된 물질과 첨가된 물질의 첨가량은 서로 다를 수 있다.
- [0298] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 상기 제1 채널층(360)과 상기 제2 채널층(460)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 형성하는 역할을 할 수 있다. 상기 제1 디플리션 형성층(315)에 의해 그 아래에 위치하는 제2 질화물 반도체층(362) 부분의 에너지 밴드갭(energy bandgap)이 높아질 수 있고, 그 결과 상기 제1 디플리션 형성층(315)에 대응하는 상기 제1 채널층(360) 부분에 2차원 전자가스(2DEG)의 디플리션 영역이 제공될 수 있다. 따라서, 상기 제1 채널층(360)에 제공되는 2차원 전자가스(2DEG) 중 상기 제1 디플리션 형성층(315)이 배치된 위치에 대응되는 영역은 끊어질 수 있다. 상기 제1 채널층(360)에서 2차원 전자가스(2DEG)가 끊어진 영역을 단절영역이라 할 수 있으며, 예로서 상기 제2 질화물 반도체층(362)에 단절영역이 형성될 수 있다. 이러한 단절영역에 의해 상기 스위칭 박막 트랜지스터(330)는 노멀리-오프(normally-off) 특성을 가질 수 있다. 상기 제1 게이트 전극(333)에 문턱 전압(threshold voltage) 이상의 전압을 인가하면, 단절영역에 2차원 전자가스(2DEG)가 생성되어, 상기 스위칭 박막 트랜지스터(330)가 온 상태가 된다. 상기 제1 게이트 전극(333)의 하부에 형성된 채널이 온 상태가 되면 상기 제1 채널층(360)에 형성된 2차원 전자가스(2DEG)를 경유하여 전류가 흐를 수 있게 된다. 이에 따라, 상기 제1 게이트 전극(333)에 인가되는 전압에 따라 상기 제1 채널층(360)의 제1 영역으로부터 제2 영역으로의 전류 흐름이 제어될 수 있게 된다. 상기 제2 디플리션 형성층(415)은 상기 제1 디플리션 형성층(315)과 유사한 역할을 수행할 수 있다.
- [0299] 상기 기판(355)은 투명기판을 포함할 수 있다. 상기 기판(355)은 예로서 0.1 mm 내지 3 mm의 두께를 갖는 투명기판으로 구현될 수 있다. 또한, 상기 기판(355)의 두께는 적용되는 표시장치의 용도 및 크기에 따라 변경될 수 있는 것으로서 0.4~1.1mm의 두께 범위 내에서 선택될 수도 있다. 예로서, 상기 기판(355)은 0.6~0.8mm의 두께로 제공될 수도 있다. 상기 기판(355)은 실리콘, 유리, 폴리이미드, 플라스틱을 포함하는 물질 중에서 선택된 적어도 하나의 물질을 포함할 수 있다. 상기 기판(355)은 플렉시블 기판을 포함할 수 있다.
- [0300] 상기 기판(355)은 트랜스퍼(transfer) 공정에서 적용되는 기판으로서 상기 스위칭 박막 트랜지스터(330)와 상기 구동 박막 트랜지스터(430)를 지지하는 역할을 수행한다. 또한, 실시 예에 따른 박막 트랜지스터 기판은 상기 기판(355)과 상기 스위칭 박막 트랜지스터(330) 사이에 제공된 본딩층(350)을 포함할 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 구동 박막 트랜지스터(430) 사이에 배치될 수 있다.

- [0301] 상기 본딩층(350)은 유기물을 포함할 수 있다. 상기 본딩층(350)은 투명물질로 구현될 수 있다. 상기 본딩층(350)은 예로서 투과도가 70% 이상인 물질로 구현될 수 있다. 상기 본딩층(350)은 유기 절연물질을 포함할 수 있다. 상기 본딩층(350)은 아크릴, 벤조시클로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다. 상기 본딩층(350)은 예로서 0.5~6 $\mu$ m의 두께로 제공될 수 있다. 상기 본딩층(350)의 두께는 선택된 물질 종류에 따라 차이가 있을 수 있으며 1~3 $\mu$ m의 두께로 제공될 수도 있다. 또한, 상기 본딩층(350)은 예로서 1.8~2.2 $\mu$ m의 두께로 제공될 수도 있다.
- [0302] 실시 예에 따른 스위칭 박막 트랜지스터(330)는 상기 제1 채널층(360)의 제1 영역 위에 배치된 제1 소스 컨택부(331)와 상기 제1 채널층(360)의 제2 영역 위에 배치된 제1 드레인 컨택부(332)를 포함할 수 있다. 상기 제1 소스 컨택부(331)는 상기 제1 채널층(360)의 제1 영역에 접촉되어 배치될 수 있다. 상기 제1 드레인 컨택부(332)는 상기 제1 채널층(360)의 제2 영역에 접촉되어 배치될 수 있다.
- [0303] 실시 예에 따른 스위칭 박막 트랜지스터(330)는 상기 제1 게이트 전극(333) 위에 배치된 제1 게이트 배선(341)을 포함할 수 있다. 상기 제1 게이트 배선(341)은 상기 제1 게이트 전극(333)에 전기적으로 연결될 수 있다. 상기 제1 게이트 배선(341)의 하부 면이 상기 제1 게이트 전극(333)의 상부 면에 접촉되어 배치될 수 있다.
- [0304] 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)를 통하여 상기 제1 채널층(360)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)를 통하여 상기 제1 채널층(360)의 제2 영역에 전기적으로 연결될 수 있다.
- [0305] 실시 예에 따른 구동 박막 트랜지스터(430)는 상기 제2 채널층(460)의 제1 영역 위에 배치된 제2 소스 컨택부(431)와 상기 제2 채널층(460)의 제2 영역 위에 배치된 제2 드레인 컨택부(432)를 포함할 수 있다. 상기 제2 소스 컨택부(431)는 상기 제2 채널층(460)의 제1 영역에 접촉되어 배치될 수 있다. 상기 제2 드레인 컨택부(432)는 상기 제2 채널층(460)의 제2 영역에 접촉되어 배치될 수 있다.
- [0306] 실시 예에 따른 구동 박막 트랜지스터(430)는 상기 제2 게이트 전극(433) 위에 배치된 제2 게이트 배선(441)을 포함할 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 게이트 전극(433)에 전기적으로 연결될 수 있다. 상기 제2 게이트 배선(441)의 하부 면이 상기 제2 게이트 전극(433)의 상부 면에 접촉되어 배치될 수 있다.
- [0307] 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)를 통하여 상기 제2 채널층(460)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)를 통하여 상기 제2 채널층(460)의 제2 영역에 전기적으로 연결될 수 있다.
- [0308] 상기 제1 소스 컨택부(331)와 상기 제1 드레인 컨택부(332)는 상기 제1 채널층(360)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제1 소스 컨택부(331)와 상기 제1 드레인 컨택부(332)는 상기 제2 질화물 반도체층(362)과 오믹 접촉하는 물질을 포함할 수 있다. 상기 제2 소스 컨택부(431)와 상기 제2 드레인 컨택부(432)는 상기 제2 채널층(460)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제2 소스 컨택부(431)와 상기 제2 드레인 컨택부(432)는 상기 제2 질화물 반도체층(462)과 오믹 접촉하는 물질을 포함할 수 있다. 예로서, 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리비티타늄(MoTi), 구리/몰리비티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 상기 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 상기 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 상기 제1 채널층(360) 및 상기 제2 채널층(460)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.
- [0309] 상기 제1 게이트 전극(333)은 상기 제1 디플리션 형성층(315)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제

2 게이트 전극(433)은 상기 제2 디플리션 형성층(415)과 오믹 접촉하는 물질로 구현될 수 있다. 예로서, 상기 제1 게이트 전극(333)과 상기 제2 게이트 전극(433)은 p형 질화물층과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제1 게이트 전극(333)과 상기 제2 게이트 전극(433)은 텅스텐(W), 텅스텐실리콘( $WSi_2$ ), 티타늄질소(TiN), 탄탈륨(Ta), 탄탈륨질소(TaN), 팔라듐(Pd), 니켈(Ni), 백금(Pt)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 게이트 전극(333)과 상기 제2 게이트 전극(433)은 예로서 0.1~1 $\mu m$ 의 두께로 제공될 수 있다. 상기 제1 게이트 전극(333)과 상기 제2 게이트 전극(433)은 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu m$  이하의 두께로 제공될 수도 있다.

[0310] 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타늄(MoTi), 구리/몰리타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 예로서 0.1~3 $\mu m$ 의 두께로 제공될 수 있다. 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 제1 게이트 전극(333) 및 상기 제2 게이트 전극(433)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0311] 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 제2 드레인 전극(472)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타늄(MoTi), 구리/몰리타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 제2 드레인 전극(472)은 예로서 0.1~3 $\mu m$ 의 두께로 제공될 수 있다. 상기 제1 소스 전극(371)과 상기 제2 소스 전극(471)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 제1 소스 전극(371) 및 상기 제2 소스 전극(471)의 두께에 비하여 더 두껍게 제공될 수도 있다. 상기 제1 드레인 전극(372)과 상기 제2 드레인 전극(472)도 상기 제1 드레인 전극(332) 및 상기 제2 드레인 전극(432)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0312] 실시 예에 따른 박막 트랜지스터 기판은 상기 제1 채널층(360)과 상기 제2 채널층(460) 위에 배치된 제1 보호막(321, 421)을 포함할 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 채널층(360)의 상기 제2 질화물 반도체층(362) 및 상기 제2 채널층(460)의 제2 질화물 반도체층(462) 위에 배치될 수 있다. 상기 제1 보호막(321, 421)의 하부 면은 상기 제1 채널층(360)의 상기 제2 질화물 반도체층(362) 및 상기 제2 채널층(460)의 제2 질화물 반도체층(462) 상부 면에 접촉되어 배치될 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415) 위에 배치될 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 디플리션 형성층(315)의 측면과 상기 제2 디플리션 형성층(415)의 측면에 배치될 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 디플리션 형성층(315)의 측면과 상기 제2 디플리션 형성층(415)의 측면을 감싸도록 배치될 수 있다.

[0313] 실시 예에 의하면, 상기 제1 소스 전극(331)은 상기 제1 보호막(321)을 관통하여 배치될 수 있다. 상기 제1 소스 전극(331)은 상기 제1 보호막(321)에 의하여 둘러 싸여 배치될 수 있다. 상기 제1 소스 전극(331)은 상기 제1 보호막(321)을 관통하여 배치되고 상기 제1 채널층(360)의 제1 영역에 접촉되어 제공될 수 있다. 상기 제1 드레인 전극(332)은 상기 제1 보호막(321)을 관통하여 배치될 수 있다. 상기 제1 드레인 전극(332)은 상기 제1 보호막(321)에 의하여 둘러 싸여 배치될 수 있다. 상기 제1 드레인 전극(332)은 상기 제1 보호막(321)을 관통하여 배치되고 상기 제1 채널층(360)의 제2 영역에 접촉되어 제공될 수 있다.

[0314] 실시 예에 의하면, 상기 제2 소스 전극(431)은 상기 제1 보호막(421)을 관통하여 배치될 수 있다. 상기 제2 소스 전극(431)은 상기 제1 보호막(421)에 의하여 둘러 싸여 배치될 수 있다. 상기 제2 소스 전극(431)은 상기 제1 보호막(421)을 관통하여 배치되고 상기 제2 채널층(460)의 제1 영역에 접촉되어 제공될 수 있다. 상기 제2 드레인 전극(432)은 상기 제1 보호막(421)을 관통하여 배치될 수 있다. 상기 제2 드레인 전극(432)은 상기 제1 보호막(421)에 의하여 둘러 싸여 배치될 수 있다. 상기 제2 드레인 전극(432)은 상기 제1 보호막(421)을 관통하여 배치되고 상기 제2 채널층(460)의 제2 영역에 접촉되어 제공될 수 있다.

[0315] 상기 제1 보호막(321, 421)은 절연물질로 구현될 수 있다. 상기 제1 보호막(321, 421)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함

하는 단일층 또는 다중층을 포함할 수 있다.

- [0316] 실시 예에 의하면, 상기 기판(355)과 상기 제1 보호막(321, 421) 위에 제2 보호막(322)이 배치될 수 있다. 상기 제1 게이트 전극(333)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 제1 게이트 전극(333)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 배치될 수 있다. 상기 제1 게이트 전극(333)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 상기 제1 디플리션 형성층(315)에 접촉되어 배치될 수 있다, 예로서, 상기 제1 게이트 전극(333)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 상기 제1 디플리션 형성층(315)에 접촉되어 배치될 수 있다. 상기 제1 게이트 배선(341)은 상기 제2 보호막(322) 위에 배치되어 상기 제1 게이트 전극(333)과 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(433)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 제2 게이트 전극(433)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 배치될 수 있다. 상기 제2 게이트 전극(433)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 상기 제2 디플리션 형성층(415)에 접촉되어 배치될 수 있다, 예로서, 상기 제2 게이트 전극(433)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 상기 제2 디플리션 형성층(415)에 접촉되어 배치될 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 보호막(322) 위에 배치되어 상기 제2 게이트 전극(433)과 전기적으로 연결될 수 있다.
- [0317] 상기 제2 보호막(322)은 절연물질로 구현될 수 있다. 상기 제2 보호막(322)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0318] 실시 예에 의하면, 상기 제2 보호막(322) 위에 제3 보호막(323)이 배치될 수 있다. 상기 제3 보호막(323)은 상기 제2 보호막(322), 상기 제1 게이트 배선(341), 상기 제2 게이트 배선(441) 위에 배치될 수 있다. 상기 제1 게이트 배선(341)은 상기 제1 게이트 전극(333) 위에 접촉되어 배치되고 상기 제3 보호막(323)에 의하여 둘러싸여 제공될 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 게이트 전극(433) 위에 접촉되어 배치되고 상기 제3 보호막(323)에 의하여 둘러싸여 제공될 수 있다.
- [0319] 상기 제1 소스 전극(371)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제1 소스 컨택부(331)에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제1 소스 전극(371)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다. 상기 제1 드레인 전극(372)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제1 드레인 컨택부(332)에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제1 드레인 전극(372)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다.
- [0320] 상기 제2 소스 전극(471)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제2 소스 컨택부(431)에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제2 소스 전극(471)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제2 드레인 컨택부(432)에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제2 드레인 전극(472)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다.
- [0321] 실시 예에 의하면, 상기 제3 보호막(323) 위에 제1 드레인-게이트 연결배선(375)이 배치될 수 있다. 상기 제1 드레인-게이트 연결배선(375)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제1 드레인-게이트 연결배선(375)은 상기 제3 보호막(323)을 관통하는 제2 영역을 포함할 수 있다. 상기 제1 드레인-게이트 연결배선(375)의 제1 영역은 상기 제1 드레인 전극(372)과 전기적으로 연결될 수 있다. 상기 제1 드레인-게이트 연결배선(375)의 제1 영역은 상기 제1 드레인 전극(372)으로부터 연장되어 배치될 수 있다. 예로서, 상기 제1 드레인-게이트 연결배선(375)은 상기 제1 드레인 전극(372)과 동일 공정에서 일체로 형성될 수 있다. 또한, 상기 제1 드레인-게이트 연결배선(375)과 상기 제1 드레인 전극(372)은 서로 다른 공정에서 분리되어 형성되어 전기적으로 연결될 수도 있다.
- [0322] 실시 예에 의하면, 상기 제2 보호막(322) 위에 제2 드레인-게이트 연결배선(475)이 배치될 수 있다. 상기 제2 드레인-게이트 연결배선(475)은 상기 제1 드레인-게이트 연결배선(375)과 전기적으로 연결될 수 있다. 상기 제1 드레인-게이트 연결배선(375)의 제2 영역은 상기 제2 드레인-게이트 연결배선(475)에 접촉되어 배치될 수 있다.

상기 제2 드레인-게이트 연결배선(475)은 상기 제2 게이트 배선(441)과 전기적으로 연결될 수 있다. 상기 제2 드레인-게이트 연결배선(475)은 상기 제2 게이트 배선(441)으로부터 연장되어 배치될 수 있다. 예로서, 상기 제2 드레인-게이트 연결배선(475)은 상기 제2 게이트 배선(441)과 동일 공정에서 일체로 형성될 수 있다. 또한, 상기 제2 드레인-게이트 연결배선(475)은 상기 제2 게이트 배선(441)과 서로 분리된 공정에서 형성되어 전기적으로 연결될 수도 있다. 상기 제1 드레인 전극(372)은 상기 제1 드레인-게이트 연결배선(375), 상기 제2 드레인-게이트 연결배선(475), 상기 제2 게이트 배선(441)을 통하여 상기 제2 게이트 전극(433)에 전기적으로 연결될 수 있다.

[0323] 도 44에 도시된 바와 같이, 상기 제2 채널층(460)과 상기 제2 디플리션 형성층(415)은 서로 동일한 폭으로 형성될 수 있다. 상기 제2 디플리션 형성층(415)의 폭이 상기 제2 채널층(460)의 폭에 비해 작은 경우에는 누설 전류(leakage current)가 발생할 수 있다. 다른 표현으로서, 상기 제2 게이트 전극(433)이 연장되어 배치된 방향을 따라 제공된 상기 제2 채널층(460)의 길이와 상기 제2 디플리션 형성층(415)의 길이가 동일하게 제공될 수 있다.

[0324] 상기 제3 보호막(323)은 절연물질을 포함할 수 있다. 상기 제3 보호막(323)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0325] 실시 예에 따른 박막 트랜지스터 기판은 상기 제3 보호막(323) 위에 배치된 제4 보호막(324)을 포함할 수 있다. 상기 제4 보호막(324)은 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 상기 제2 드레인 전극(472) 위에 배치될 수 있다.

[0326] 상기 제4 보호막(324)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0327] 실시 예에 따른 박막 트랜지스터 기판은 상기 구동 박막 트랜지스터(430) 위에 배치된 하부 전극(486)을 포함할 수 있다. 상기 하부 전극(486)은 상기 구동 박막 트랜지스터(430)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)은 상기 구동 박막 트랜지스터(430)의 제2 드레인 전극(472)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)은 상기 제4 보호막(324) 위에 배치될 수 있다. 상기 하부 전극(486)은 상기 제4 보호막(324)에 제공된 콘택홀을 통하여 상기 제2 드레인 전극(472)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)의 하부 면은 상기 제2 드레인 전극(472)의 상부 면에 접촉되어 배치될 수 있다.

[0328] 또한 실시 예에 따른 박막 트랜지스터 기판은 상기 제4 보호막(324) 위에 배치된 제5 보호막(325)을 포함할 수 있다. 상기 하부 전극(486) 위에 상기 발광층(488)이 배치될 수 있으며, 상기 발광층(488) 위에 상부 전극(487)이 배치될 수 있다. 상기 발광층(488)과 상기 상부 전극(487)은 상기 제5 보호막(325) 위에 배치될 수 있다. 상기 발광층(488)의 제1 영역은 상기 제5 보호막(325) 위에 배치되고 상기 발광층(488)의 제2 영역은 상기 제5 보호막(325)에 제공된 콘택홀을 통하여 상기 하부 전극(486)의 상부면에 접촉되어 배치될 수 있다. 상기 발광층(488)은 예로서 적색, 녹색, 청색, 백색 중에서 어느 하나의 빛을 발광할 수 있다. 상기 발광층(488)은 예로서 유기물로 구현될 수 있다.

[0329] 상기 하부 전극(486)과 상기 상부 전극(487)은 예로서 ITO, ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO 중에서 선택된 하나의 물질, 또는 그 물질을 포함하는 합금을 포함할 수 있다. 상기 하부 전극(486)과 상기 상부 전극(487)은 서로 다른 물질을 포함할 수 있다. 상기 상부 전극(486) 또는 상기 하부 전극(487) 중에서 하나는 투명 전극으로 형성될 수 있으며, 투명 전극 방향으로 상기 발광층(488)에서 발광된 빛이 외부로 방출될 수 있게 된다.

[0330] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(355)과 상기 제1 채널층(360) 사이에 배치된 제1 블랙 매트릭스(340)를 포함할 수 있다. 상기 제1 채널층(360)의 폭과 상기 제1 블랙 매트릭스(340)의 폭이 같게 제공될 수 있다. 상기 제1 블랙 매트릭스(340)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제1 블랙 매트릭스(340)는 상기 스위칭 박막 트랜지스터(330)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 스위칭 박막 트랜지스터(330)가 열화되는 것을 방지할 수 있다.

[0331] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(355)과 상기 제2 채널층(460) 사이에 배치된 제2 블랙 매트릭스(440)를 포함할 수 있다. 상기 제2 채널층(460)의 폭과 상기 제2 블랙 매트릭스(440)의 폭이 같게 제공될 수 있다. 상기 제2 블랙 매트릭스(440)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선

택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제2 블랙 매트릭스(440)는 상기 구동 박막 트랜지스터(430)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 구동 박막 트랜지스터(430)가 열화되는 것을 방지할 수 있다.

- [0332] 실시 예에 의하면, 상기 기판(355)과 상기 제1 채널층(360) 사이에 상기 본딩층(350)이 배치될 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 제1 블랙 매트릭스(340) 사이에 배치될 수 있다. 상기 기판(355)과 상기 제2 채널층(460) 사이에 상기 본딩층(350)이 배치될 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 제2 블랙 매트릭스(440) 사이에 배치될 수 있다. 예로서, 상기 본딩층(350)은 상기 기판(355)의 전체 영역 위에 배치될 수 있다.
- [0333] 도 45는 도 42 내지 도 44를 참조하여 설명된 박막 트랜지스터 기판에 있어서 하나의 화소를 증가적으로 나타낸 회로도이다.
- [0334] 도 45에 도시된 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 기판의 화소는 유기발광다이오드(OLED), 서로 교차하는 데이터 라인(D) 및 게이트 라인(G), 상기 게이트 라인(G) 상의 스캔 펄스(SP)에 데이터를 화소에 순차적으로 전달하기 위한 스위칭 박막 트랜지스터(330), 게이트 및 소스 단자 사이의 전압에 의해 전류를 생성하는 구동 박막 트랜지스터(430), 데이터를 저장하여 일정 시간 동안 유지하기 위한 스토리지 커패시터(Cst)를 포함할 수 있다. 이와 같이 두 개의 트랜지스터(330, 430)와 한 개의 커패시터(Cst)로 구성된 구조를 간단히 2T-1C 구조라고 할 수 있다.
- [0335] 상기 스위칭 박막 트랜지스터(330)는 게이트 라인(G)으로부터의 스캔 펄스(SP)에 응답하여 턴-온됨으로써 자신의 소스전극과 드레인전극 사이의 전류패스를 도통시킨다. 상기 스위칭 박막 트랜지스터(330)의 게이트 온 타임 기간 동안 데이터 라인(D)으로부터의 데이터전압은 상기 스위칭 박막 트랜지스터(330)의 소스전극과 드레인전극을 경유하여 상기 구동 박막 트랜지스터(430)의 게이트전극과 스토리지 커패시터(Cst)에 인가된다. 상기 구동 박막 트랜지스터(430)는 자신의 게이트전극과 소스전극 간의 차 전압에 따라 유기발광다이오드(OLED)에 흐르는 전류를 제어한다. 스토리지 커패시터(Cst)는 자신의 일측 전극에 인가된 데이터전압을 저장함으로써 상기 구동 박막 트랜지스터(430)의 게이트전극에 공급되는 전압을 한 프레임 기간 동안 일정하게 유지시킨다. 상기 구동 박막 트랜지스터(430)의 소스전극에는 구동 전원배선(VDD)이 연결될 수 있다. 도 45와 같은 구조로 구현되는 유기발광다이오드(OLED)는 상기 구동 박막 트랜지스터(430)의 드레인전극과 저전위 구동전압원(VSS) 사이에 접속될 수 있다. 또한, 유기발광다이오드(OLED)는 상기 구동 박막 트랜지스터(430)의 소스전극과 구동 전원배선(VDD) 사이에 접속되어 배치될 수도 있다.
- [0336] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0337] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0338] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0339] 도 46은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 46을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 45를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 46에 도시된 실시 예는 도 42 내지 도 45를 참조하여 설명된 박막 트랜지스터 기판 대비하여 본딩층 구조에 차이가 있다.
- [0340] 도 46에 도시된 바와 같이, 상기 기판(355) 위에 제1 본딩층(353)과 제2 본딩층(453)이 제공될 수 있다. 상기 제1 본딩층(353)은 상기 기판(355)과 상기 제1 블랙 매트릭스(340) 사이에 배치될 수 있다. 예로서, 상기 제1 본딩층(353)의 폭은 상기 제1 블랙 매트릭스(340)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제1 본딩층(353)의 폭은 상기 제1 채널층(360)의 폭과 동일하게 제공될 수 있다. 상기 제2 본딩층(453)은 상기 기판(355)과 상기 제2 블랙 매트릭스(440) 사이에 배치될 수 있다. 예로서, 상기 제2 본딩층(453)의 폭은 상기 제2 블랙

매트릭스(440)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제2 본딩층(453)의 폭은 상기 제2 채널층(460)의 폭과 동일하게 제공될 수 있다.

- [0341] 실시 예에 의하면, 상기 기판(355) 위에 상기 제2 보호막(322)이 배치될 수 있다. 상기 제2 보호막(322)의 하부면이 상기 기판(355)의 상부면에 접촉되어 배치될 수 있다. 상기 제1 본딩층(353)이 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 기판(355)에 직접 접촉되어 배치될 수 있다. 상기 제2 본딩층(453)이 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 기판(355)에 직접 접촉되어 배치될 수 있다.
- [0342] 이와 같이, 도 46에 도시된 실시 예에 의하면, 도 43에 도시된 실시 예에 비하여, 상기 제2 보호막(322)과 상기 기판(355)이 직접 접촉되어 배치될 수 있게 되므로, 상기 제2 보호막(322)과 상기 기판(355) 사이에 제공되는 층(예로서, 도 43에 도시된 본딩층)을 배제시킬 수 있게 된다. 이에 따라, 실시 예에 의하면 빛이 진행되는 광경로 상에 이중 물질층 간의 경계면이 줄어 들게 되므로 경계면에서의 반사/굴절 등에 의한 광손실을 줄일 수 있게 된다.
- [0343] 실시 예에 따른 상기 제1 본딩층(353)과 상기 제2 본딩층(453)은 예로서 반사층, 메탈본딩층, 유기본딩층, 절연층을 포함할 수 있다. 상기 반사층은 상기 기판(355) 위에 배치될 수 있으며, 상기 메탈본딩층은 상기 반사층 위에 배치되고, 상기 절연층은 상기 메탈본딩층 위에 배치될 수 있다. 예로서, 상기 제1 본딩층(353)과 상기 제2 본딩층(453)은 상기 메탈본딩층과 상기 유기본딩층 중에서 적어도 하나를 포함할 수 있으며, 상기 반사층과 상기 절연층은 선택적으로 포함할 수도 있다.
- [0344] 상기 절연층은 상기 제1 채널층(360)과 상기 제2 채널층(460)의 누설 특성을 보완해 줄 수 있다. 예로서, 상기 절연층은 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0345] 상기 메탈본딩층 또는 상기 유기본딩층은 아래에 배치된 상기 기판(355)과의 접착을 위하여 제공될 수 있다. 예로서, 상기 메탈본딩층은 금(Au), 주석(Sn), 인듐(In), 니켈(Ni), 은(Ag), 구리(Cu)를 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 예로서, 상기 유기본딩층은 아크릴, 벤조시크로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다.
- [0346] 상기 반사층은 상기 본딩층에서의 광 흡수를 줄여줄 수 있다. 예로서, 상기 반사층은 알루미늄(Al), 은(Ag), 로듐(Rh)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 상기 반사층은 예로서 반사특성이 60%를 넘는 물질로 제공될 수 있다.
- [0347] 한편 실시 예에 의하면, 예로서 상기 제1 본딩층(353)과 상기 제2 본딩층(453)이 상기 메탈본딩층과 상기 반사층을 포함하는 경우, 상기 제1 블랙매트릭스(340)와 상기 제2 블랙매트릭스(440)는 생략될 수도 있다.
- [0348] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도(cm<sup>2</sup>/Vs)가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0349] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0350] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0351] 도 47은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 47을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 46을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 47에 도시된 실시 예는 도 45 대비하여 트랜스퍼 공정이 적용되지 않고 성장기판 위에 박막 트랜지스터가 제공되는 점에 차이가 있다.
- [0352] 실시 예에 따른 박막 트랜지스터 기판은, 도 47에 도시된 바와 같이, 트랜스퍼 공정에 이용되는 지지기판 대신

에 성장기관(310)을 기관으로서 포함할 수 있다. 상기 성장기관(310)은 예를 들어, 사파이어(Sapphire), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나를 포함할 수 있다.

- [0353] 상기 성장기관(310) 위에 제1 블랙 매트릭스(345)와 제2 블랙 매트릭스(445)가 배치될 수 있다. 상기 제1 블랙 매트릭스(345)는 상기 성장기관(310) 위에 배치되어 상기 제1 채널층(360)으로 빛이 입사되는 것을 방지할 수 있다. 상기 제1 블랙 매트릭스(345)는 예로서 가시광선을 흡수하거나 반사하는 물질로 구현될 수 있다. 이에 따라, 실시 예에 의하면 상기 제1 채널층(360)으로 빛이 입사되어 광전류(photo current) 등에 의하여 상기 스위칭 박막 트랜지스터(330)가 열화되는 것을 방지할 수 있게 된다. 상기 제2 블랙 매트릭스(445)는 상기 성장기관(310) 위에 배치되어 상기 제2 채널층(460)으로 빛이 입사되는 것을 방지할 수 있다. 상기 제2 블랙 매트릭스(445)는 예로서 가시광선을 흡수하거나 반사하는 물질로 구현될 수 있다. 이에 따라, 실시 예에 의하면 상기 제2 채널층(460)으로 빛이 입사되어 광전류(photo current) 등에 의하여 상기 구동 박막 트랜지스터(430)가 열화되는 것을 방지할 수 있게 된다.
- [0354] 예로서, 상기 제1 블랙 매트릭스(345)와 상기 제2 블랙 매트릭스(445)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제1 블랙 매트릭스(345)와 상기 제2 블랙 매트릭스(445)는 Si, GaAs 등의 물질을 선택적으로 포함할 수 있다.
- [0355] 실시 예에 의하면, 상기 제1 블랙 매트릭스(345) 위에 제1 버퍼층(347)이 제공될 수 있다. 상기 제1 버퍼층(347)은 상기 제1 블랙 매트릭스(345)와 상기 제1 채널층(360) 사이에 제공될 수 있다. 상기 제1 버퍼층(347)은 상기 제1 채널층(360)을 구성하는 질화물 반도체층의 성장을 도울 수 있다. 상기 제2 블랙 매트릭스(445) 위에 제2 버퍼층(447)이 제공될 수 있다. 상기 제2 버퍼층(447)은 상기 제2 블랙 매트릭스(445)와 상기 제2 채널층(460) 사이에 제공될 수 있다. 상기 제2 버퍼층(447)은 상기 제2 채널층(460)을 구성하는 질화물 반도체층의 성장을 도울 수 있다. 예로서, 상기 제1 버퍼층(347)과 상기 제2 버퍼층(447)은 AlN, AlInN, AlGaIn을 포함하는 그룹 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0356] 예로서, 상기 제1 블랙 매트릭스(345)의 폭은 상기 제1 버퍼층(347)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제1 블랙 매트릭스(345)의 폭은 상기 제1 채널층(360)의 폭과 동일하게 제공될 수 있다. 상기 제1 버퍼층(347)의 폭은 상기 제1 채널층(360)의 폭과 동일하게 제공될 수 있다. 상기 제2 블랙 매트릭스(445)의 폭은 상기 제2 버퍼층(447)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제2 블랙 매트릭스(445)의 폭은 상기 제2 채널층(460)의 폭과 동일하게 제공될 수 있다. 상기 제2 버퍼층(447)의 폭은 상기 제2 채널층(460)의 폭과 동일하게 제공될 수 있다.
- [0357] 실시 예에 의하면, 상기 성장기관(310) 위에 상기 제2 보호막(322)이 배치될 수 있다. 상기 제2 보호막(322)의 하부면이 상기 성장기관(310)의 상부면에 접촉되어 배치될 수 있다. 상기 제1 블랙 매트릭스(345)와 상기 제2 블랙 매트릭스(445)가 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 성장기관(310)에 직접 접촉되어 배치될 수 있다.
- [0358] 실시 예에 따른 박막 트랜지스터 기관에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0359] 따라서, 실시 예에 따른 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0360] 도 48은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 또 다른 예를 나타낸 도면이다. 도 48은 도 42에 도시된 박막 트랜지스터 기관의 D-D 선에 따른 단면도이다. 도 48에 도시된 박막 트랜지스터 기관은 이중 게이트 구조를 갖는 스위칭 박막 트랜지스터가 적용된 실시 예로서 도 1 내지 도 47을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.
- [0361] 실시 예에 따른 박막 트랜지스터 기관은 스위칭 박막 트랜지스터(530)와 구동 박막 트랜지스터(630)를 포함할 수 있다. 상기 스위칭 박막 트랜지스터(530)는 게이트 라인(341)과 데이터 라인(373)으로부터 신호를 인가 받을

수 있으며, 해당 화소에 게이트 신호 및 데이터 신호를 제공할 수 있다. 상기 구동 박막 트랜지스터(630)의 게이트 전극(635)은 상기 스위칭 박막 트랜지스터(530)의 드레인 전극(372)과 전기적으로 연결될 수 있다.

[0362] 본 발명의 실시 예에 따른 박막 트랜지스터 기판은, 도 48에 도시된 바와 같이, 기판(355)과 상기 기판(355) 위에 배치된 상기 스위칭 박막 트랜지스터(530), 상기 구동 박막 트랜지스터(630), 상기 구동 박막 트랜지스터(630)에 전기적으로 연결된 발광층(488)을 포함할 수 있다.

[0363] 실시 예에 따른 스위칭 박막 트랜지스터(530)는 제1 디플리션 형성층(depletion forming layer, 315), 제1 게이트 전극(535), 제1 이중 게이트 전극(536), 제1 채널층(360), 제1 소스 전극(371), 제1 드레인 전극(372)을 포함할 수 있다. 상기 제1 소스 전극(371)은 상기 제1 채널층(360)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제1 채널층(360)의 상부 면에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 채널층(360)의 제2 영역에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 채널층(360)의 상부 면에 전기적으로 연결될 수 있다. 상기 제1 게이트 전극(535)은 상기 제1 채널층(360) 위에 배치될 수 있다. 상기 제1 이중 게이트 전극(536)은 상기 제1 채널층(360) 아래에 배치될 수 있다. 상기 제1 디플리션 형성층(315)은 상기 제1 채널층(360)의 제1 영역과 제2 영역 사이 위에 배치될 수 있다. 상기 제1 디플리션 형성층(315)은 상기 제1 채널층(360)과 상기 제1 게이트 전극(535) 사이에 배치될 수 있다.

[0364] 실시 예에 따른 구동 박막 트랜지스터(630)는 제2 디플리션 형성층(depletion forming layer, 415), 제2 게이트 전극(635), 제2 이중 게이트 전극(636), 제2 채널층(460), 제2 소스 전극(471), 제2 드레인 전극(472)을 포함할 수 있다. 상기 제2 소스 전극(471)은 상기 제2 채널층(460)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제2 채널층(460)의 상부 면에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 채널층(460)의 제2 영역에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 채널층(460)의 상부 면에 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(635)은 상기 제2 채널층(460) 위에 배치될 수 있다. 상기 제2 디플리션 형성층(415)은 상기 제2 채널층(460)의 제1 영역과 제2 영역 사이 위에 배치될 수 있다. 상기 제2 디플리션 형성층(415)은 상기 제2 채널층(460)과 상기 제2 게이트 전극(635) 사이에 배치될 수 있다.

[0365] 상기 제1 채널층(360)과 상기 제2 채널층(460)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 제1 채널층(360)과 상기 제2 채널층(460)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제1 채널층(360)과 상기 제2 채널층(460)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다. 상기 제1 채널층(360)과 상기 제2 채널층(460)은 서로 다른 물질로 형성될 수도 있다.

[0366] 상기 제1 채널층(360)과 상기 제2 채널층(460) 각각은 제1 질화물 반도체층(361, 461)과 제2 질화물 반도체층(362, 462)을 포함할 수 있다. 상기 제1 질화물 반도체층(361, 461)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(362, 462)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다.

[0367] 실시 예에 따른 상기 제1 채널층(360)과 상기 제2 채널층(460)에 의하면, 상기 제1 질화물 반도체층(361, 461)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(362, 462)이 AlGaIn 반도체층을 포함할 수 있다. 상기 제1 채널층(360)의 상기 제2 질화물 반도체층(362)은 상기 제1 질화물 반도체층(361)과 상기 제1 디플리션 형성층(315) 사이에 배치될 수 있다. 상기 제2 채널층(460)의 상기 제2 질화물 반도체층(462)은 상기 제1 질화물 반도체층(461)과 상기 제2 디플리션 형성층(415) 사이에 배치될 수 있다.

[0368] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 p형 도펀트가 첨가된 질화물 반도체층을 포함할 수 있다. 예로서, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 p형 도펀트가 첨가된 GaN 반도체층 또는 p형 도펀트가 첨가된 AlGaIn 반도체층을 포함할 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예컨대,  $p-Al_xGa_{1-x}N$  ( $0 \leq x \leq 0.3$ )의 조성식을 갖는 반도체 물질로 구현된 단일층 또는 다중층을 포함할 수 있다.

- [0369] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예로서 2~300nm의 두께로 제공될 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 상기 제1 채널층(360)과 상기 제2 채널층(460)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 제공하기 위하여 적어도 2nm의 두께로 제공될 수 있다. 또한, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 제조공정에 따른 두께 편차를 고려하여 30nm 이상의 두께로 제공될 수도 있다. 또한, 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 제조공정에 따른 두께 편차를 고려하여 200nm 이하의 두께로 제공될 수도 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 예로서 50~100nm의 두께로 제공될 수도 있다.
- [0370] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 서로 다른 물질을 포함할 수 있다. 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)에 첨가된 물질과 첨가된 물질의 첨가량은 서로 다를 수 있다.
- [0371] 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)은 상기 제1 채널층(360)과 상기 제2 채널층(460)에 제공된 2차원 전자가스(2DEG)에 디플리션 영역(depletion region)을 형성하는 역할을 할 수 있다. 상기 제1 디플리션 형성층(315)에 의해 그 아래에 위치하는 제2 질화물 반도체층(362) 부분의 에너지 밴드갭(energy bandgap)이 높아질 수 있고, 그 결과 상기 제1 디플리션 형성층(315)에 대응하는 상기 제1 채널층(360) 부분에 2차원 전자가스(2DEG)의 디플리션 영역이 제공될 수 있다. 따라서, 상기 제1 채널층(360)에 제공되는 2차원 전자가스(2DEG) 중 상기 제1 디플리션 형성층(315)이 배치된 위치에 대응되는 영역은 끊어질 수 있다. 상기 제1 채널층(360)에서 2차원 전자가스(2DEG)가 끊어진 영역을 단절영역이라 할 수 있으며, 예로서 상기 제2 질화물 반도체층(362)에 단절영역이 형성될 수 있다. 이러한 단절영역에 의해 상기 스위칭 박막 트랜지스터(530)는 노멀리-오프(normally-off) 특성을 가질 수 있다. 상기 제1 게이트 전극(535)에 문턱 전압(threshold voltage) 이상의 전압을 인가하면, 단절영역에 2차원 전자가스(2DEG)가 생성되어, 상기 스위칭 박막 트랜지스터(530)가 온 상태가 된다. 상기 제1 게이트 전극(535)의 하부에 형성된 채널이 온 상태가 되면 상기 제1 채널층(360)에 형성된 2차원 전자가스(2DEG)를 경유하여 전류가 흐를 수 있게 된다. 이에 따라, 상기 제1 게이트 전극(535)과 상기 제1 이중 게이트 전극(536)에 인가되는 전압에 따라 상기 제1 채널층(360)의 제1 영역으로부터 제2 영역으로의 전류 흐름이 제어될 수 있게 된다. 상기 제2 디플리션 형성층(415)에 의해 그 아래에 위치하는 제2 질화물 반도체층(462) 부분의 에너지 밴드갭(energy bandgap)이 높아질 수 있고, 그 결과 상기 제2 디플리션 형성층(415)에 대응하는 상기 제2 채널층(460) 부분에 2차원 전자가스(2DEG)의 디플리션 영역이 제공될 수 있다. 따라서, 상기 제2 채널층(460)에 제공되는 2차원 전자가스(2DEG) 중 상기 제2 디플리션 형성층(415)이 배치된 위치에 대응되는 영역은 끊어질 수 있다. 상기 제2 채널층(460)에서 2차원 전자가스(2DEG)가 끊어진 영역을 단절영역이라 할 수 있으며, 예로서 상기 제2 질화물 반도체층(462)에 단절영역이 형성될 수 있다. 이러한 단절영역에 의해 상기 구동 박막 트랜지스터(630)는 노멀리-오프(normally-off) 특성을 가질 수 있다. 상기 제2 게이트 전극(635)에 문턱 전압(threshold voltage) 이상의 전압을 인가하면, 단절영역에 2차원 전자가스(2DEG)가 생성되어, 상기 구동 박막 트랜지스터(630)가 온 상태가 된다. 상기 제2 게이트 전극(635)의 하부에 형성된 채널이 온 상태가 되면 상기 제2 채널층(460)에 형성된 2차원 전자가스(2DEG)를 경유하여 전류가 흐를 수 있게 된다. 이에 따라, 상기 제2 게이트 전극(635)과 상기 제2 이중 게이트 전극(636)에 인가되는 전압에 따라 상기 제2 채널층(460)의 제1 영역으로부터 제2 영역으로의 전류 흐름이 제어될 수 있게 된다.
- [0372] 본 실시 예에 의하면, 상기 제1 채널층(360) 아래에 상기 제1 이중 게이트 전극(536)이 배치될 수 있다. 상기 제1 게이트 전극(535)과 상기 제1 이중 게이트 전극(536)은 수직 방향에서 서로 중첩되어 배치될 수 있다. 실시 예에 의하면, 상기 제1 채널층(360)의 하부 및 상부에 상기 제1 게이트 전극(535)과 상기 제1 이중 게이트 전극(536)이 배치됨에 따라 상기 제1 채널층(360)에서의 전류의 흐름을 효율적이고 신뢰성 있게 조절할 수 있게 된다. 상기 제2 채널층(460) 아래에 상기 제2 이중 게이트 전극(636)이 배치될 수 있다. 상기 제2 게이트 전극(635)과 상기 제2 이중 게이트 전극(636)은 수직 방향에서 서로 중첩되어 배치될 수 있다. 실시 예에 의하면, 상기 제2 채널층(460)의 하부 및 상부에 상기 제2 게이트 전극(635)과 상기 제2 이중 게이트 전극(636)이 배치됨에 따라 상기 제2 채널층(460)에서의 전류의 흐름을 효율적이고 신뢰성 있게 조절할 수 있게 된다.
- [0373] 한편, 도 48을 참조하여 실시 예를 설명함에 있어, 상기 스위칭 박막 트랜지스터와 상기 구동 박막 트랜지스터가 모두 이중 게이트 구조로 제공되는 경우를 기준으로 설명하였으나, 상기 스위칭 박막 트랜지스터와 상기 구동 박막 트랜지스터 중에서 적어도 하나가 이중 게이트 구조로 제공될 수도 있다.
- [0374] 상기 기판(355)은 투명기판을 포함할 수 있다. 상기 기판(355)은 예로서 0.1 mm 내지 3 mm의 두께를 갖는 투명기판으로 구현될 수 있다. 또한, 상기 기판(355)의 두께는 적용되는 표시장치의 용도 및 크기에 따라 변경될 수 있는 것으로서 0.4~1.1mm의 두께 범위 내에서 선택될 수도 있다. 예로서, 상기 기판(355)은 0.6~0.8mm의 두께로

제공될 수도 있다. 상기 기관(355)은 실리콘, 유리, 폴리이미드, 플라스틱을 포함하는 물질 중에서 선택된 적어도 하나의 물질을 포함할 수 있다.

- [0375] 상기 기관(355)은 플렉시블 기관을 포함할 수 있다. 상기 기관(355)은 트랜스퍼(transfer) 공정에서 적용되는 기관으로서 상기 스위칭 박막 트랜지스터(530)와 상기 구동 박막 트랜지스터(630)를 지지하는 역할을 수행한다. 또한, 실시 예에 따른 박막 트랜지스터 기관은 상기 기관(355)과 상기 스위칭 박막 트랜지스터(530) 사이에 제공된 본딩층(350)을 포함할 수 있다. 상기 본딩층(350)은 상기 기관(355)과 상기 구동 박막 트랜지스터(630) 사이에 배치될 수 있다.
- [0376] 상기 본딩층(350)은 유기물을 포함할 수 있다. 상기 본딩층(350)은 투명물질로 구현될 수 있다. 상기 본딩층(350)은 예로서 투과도가 70% 이상인 물질로 구현될 수 있다. 상기 본딩층(350)은 유기 절연물질을 포함할 수 있다. 상기 본딩층(350)은 아크릴, 벤조시클로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다. 상기 본딩층(350)은 예로서 0.5~6 $\mu$ m의 두께로 제공될 수 있다. 상기 본딩층(350)의 두께는 선택된 물질 종류에 따라 차이가 있을 수 있으며 1~3 $\mu$ m의 두께로 제공될 수도 있다. 또한, 상기 본딩층(350)은 예로서 1.8~2.2 $\mu$ m의 두께로 제공될 수도 있다.
- [0377] 실시 예에 따른 스위칭 박막 트랜지스터(530)는 상기 제1 채널층(360)의 제1 영역 위에 배치된 제1 소스 컨택부(331)와 상기 제1 채널층(360)의 제2 영역 위에 배치된 제1 드레인 컨택부(332)를 포함할 수 있다. 상기 제1 소스 컨택부(331)는 상기 제1 채널층(360)의 제1 영역에 접촉되어 배치될 수 있다. 상기 제1 드레인 컨택부(332)는 상기 제1 채널층(360)의 제2 영역에 접촉되어 배치될 수 있다.
- [0378] 실시 예에 따른 스위칭 박막 트랜지스터(530)는 상기 제1 게이트 전극(535) 위에 배치된 제1 게이트 배선(341)을 포함할 수 있다. 상기 제1 게이트 배선(341)은 상기 제1 게이트 전극(535)에 전기적으로 연결될 수 있다. 상기 제1 게이트 배선(341)의 하부 면이 상기 제1 게이트 전극(535)의 상부 면에 접촉되어 배치될 수 있다.
- [0379] 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)를 통하여 상기 제1 채널층(360)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)를 통하여 상기 제1 채널층(360)의 제2 영역에 전기적으로 연결될 수 있다.
- [0380] 실시 예에 따른 구동 박막 트랜지스터(630)는 상기 제2 채널층(460)의 제1 영역 위에 배치된 제2 소스 컨택부(431)와 상기 제2 채널층(460)의 제2 영역 위에 배치된 제2 드레인 컨택부(432)를 포함할 수 있다. 상기 제2 소스 컨택부(431)는 상기 제2 채널층(460)의 제1 영역에 접촉되어 배치될 수 있다. 상기 제2 드레인 컨택부(432)는 상기 제2 채널층(460)의 제2 영역에 접촉되어 배치될 수 있다.
- [0381] 실시 예에 따른 구동 박막 트랜지스터(630)는 상기 제2 게이트 전극(635) 위에 배치된 제2 게이트 배선(441)을 포함할 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 게이트 전극(635)에 전기적으로 연결될 수 있다. 상기 제2 게이트 배선(441)의 하부 면이 상기 제2 게이트 전극(635)의 상부 면에 접촉되어 배치될 수 있다.
- [0382] 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)를 통하여 상기 제2 채널층(460)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)를 통하여 상기 제2 채널층(460)의 제2 영역에 전기적으로 연결될 수 있다.
- [0383] 상기 제1 소스 컨택부(331)와 상기 제1 드레인 컨택부(332)는 상기 제1 채널층(360)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제1 소스 컨택부(331)와 상기 제1 드레인 컨택부(332)는 상기 제2 질화물 반도체층(362)과 오믹 접촉하는 물질을 포함할 수 있다. 상기 제2 소스 컨택부(431)와 상기 제2 드레인 컨택부(432)는 상기 제2 채널층(460)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제2 소스 컨택부(431)와 상기 제2 드레인 컨택부(432)는 상기 제2 질화물 반도체층(462)과 오믹 접촉하는 물질을 포함할 수 있다. 예로서, 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티

타늄(MoTi), 구리/몰리타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 상기 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 상기 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 상기 제1 채널층(360) 및 상기 제2 채널층(460)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.

[0384] 상기 제1 게이트 전극(535)은 상기 제1 디플리션 형성층(315)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제2 게이트 전극(635)은 상기 제2 디플리션 형성층(415)과 오믹 접촉하는 물질로 구현될 수 있다. 예로서, 상기 제1 게이트 전극(535)과 상기 제2 게이트 전극(635)은 p형 질화물층과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제1 게이트 전극(535)과 상기 제2 게이트 전극(635)은 텅스텐(W), 텅스텐실리콘(WSi<sub>2</sub>), 티타늄질소(TiN), 탄탈륨(Ta), 탄탈륨질소(TaN), 팔라듐(Pd), 니켈(Ni), 백금(Pt)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 게이트 전극(535)과 상기 제2 게이트 전극(635)은 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 제1 게이트 전극(535)과 상기 제2 게이트 전극(635)은 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.

[0385] 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타늄(MoTi), 구리/몰리타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 제1 게이트 전극(535) 및 상기 제2 게이트 전극(635)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0386] 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 제2 드레인 전극(472)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타늄(MoTi), 구리/몰리타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 제2 드레인 전극(472)은 예로서 0.1~3 $\mu$ m의 두께로 제공될 수 있다. 상기 제1 소스 전극(371)과 상기 제2 소스 전극(471)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 제1 소스 컨택부(331) 및 상기 제2 소스 컨택부(431)의 두께에 비하여 더 두껍게 제공될 수도 있다. 상기 제1 드레인 전극(372)과 상기 제2 드레인 전극(472)도 상기 제1 드레인 컨택부(332) 및 상기 제2 드레인 컨택부(432)의 두께에 비하여 더 두껍게 제공될 수도 있다.

[0387] 실시 예에 따른 박막 트랜지스터 기판은 상기 제1 채널층(360)과 상기 제2 채널층(460) 위에 배치된 제1 보호막(321, 421)을 포함할 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 채널층(360)의 상기 제2 질화물 반도체층(362) 및 상기 제2 채널층(460)의 제2 질화물 반도체층(462) 위에 배치될 수 있다. 상기 제1 보호막(321, 421)의 하부 면은 상기 제1 채널층(360)의 상기 제2 질화물 반도체층(362) 및 상기 제2 채널층(460)의 제2 질화물 반도체층(462) 상부 면에 접촉되어 배치될 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 디플리션 형성층(315) 및 상기 제2 디플리션 형성층(415) 위에 배치될 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 디플리션 형성층(315)과 상기 제2 디플리션 형성층(415)의 측면에 배치될 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 디플리션 형성층(315)의 측면과 상기 제2 디플리션 형성층(415)의 측면을 감싸도록 배치될 수 있다.

[0388] 실시 예에 의하면, 상기 제1 소스 컨택부(331)는 상기 제1 보호막(321)을 관통하여 배치될 수 있다. 상기 제1 소스 컨택부(331)는 상기 제1 보호막(321)에 의하여 둘러 싸여 배치될 수 있다. 상기 제1 소스 컨택부(331)는 상기 제1 보호막(321)을 관통하여 배치되고 상기 제1 채널층(360)의 제1 영역에 접촉되어 제공될 수 있다. 상기 제1 드레인 컨택부(332)는 상기 제1 보호막(321)을 관통하여 배치될 수 있다. 상기 제1 드레인 컨택부(332)는 상기 제1 보호막(321)에 의하여 둘러 싸여 배치될 수 있다. 상기 제1 드레인 컨택부(332)는 상기 제1 보호막(321)을 관통하여 배치되고 상기 제1 채널층(360)의 제2 영역에 접촉되어 제공될 수 있다.

[0389] 실시 예에 의하면, 상기 제2 소스 컨택부(431)는 상기 제1 보호막(421)을 관통하여 배치될 수 있다. 상기 제2

소스 컨택부(431)는 상기 제1 보호막(421)에 의하여 둘러 싸여 배치될 수 있다. 상기 제2 소스 컨택부(431)는 상기 제1 보호막(421)을 관통하여 배치되고 상기 제2 채널층(460)의 제1 영역에 접촉되어 제공될 수 있다. 상기 제2 드레인 컨택부(432)는 상기 제1 보호막(421)을 관통하여 배치될 수 있다. 상기 제2 드레인 컨택부(432)는 상기 제1 보호막(421)에 의하여 둘러 싸여 배치될 수 있다. 상기 제2 드레인 컨택부(432)는 상기 제1 보호막(421)을 관통하여 배치되고 상기 제2 채널층(460)의 제2 영역에 접촉되어 제공될 수 있다.

[0390] 상기 제1 보호막(321, 421)은 절연물질로 구현될 수 있다. 상기 제1 보호막(321, 421)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0391] 실시 예에 의하면, 상기 기판(355)과 상기 제1 보호막(321, 421) 위에 제2 보호막(322)이 배치될 수 있다. 상기 제1 게이트 전극(535)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 제1 게이트 전극(535)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 배치될 수 있다. 상기 제1 게이트 전극(535)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 상기 제1 디플리션 형성층(315)에 접촉되어 배치될 수 있다, 예로서, 상기 제1 게이트 전극(535)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 상기 제1 디플리션 형성층(315)에 접촉되어 배치될 수 있다. 상기 제1 게이트 배선(341)은 상기 제2 보호막(322) 위에 배치되어 상기 제1 게이트 전극(535)과 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(635)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 제2 게이트 전극(635)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 배치될 수 있다. 상기 제2 게이트 전극(635)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 상기 제2 디플리션 형성층(415)에 접촉되어 배치될 수 있다, 예로서, 상기 제2 게이트 전극(635)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 상기 제2 디플리션 형성층(415)에 접촉되어 배치될 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 보호막(322) 위에 배치되어 상기 제2 게이트 전극(635)과 전기적으로 연결될 수 있다.

[0392] 상기 제2 보호막(322)은 절연물질로 구현될 수 있다. 상기 제2 보호막(322)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0393] 실시 예에 의하면, 상기 제2 보호막(322) 위에 제3 보호막(323)이 배치될 수 있다. 상기 제3 보호막(323)은 상기 제2 보호막(322), 상기 제1 게이트 배선(341), 상기 제2 게이트 배선(441) 위에 배치될 수 있다. 상기 제1 게이트 배선(341)은 상기 제1 게이트 전극(535) 위에 접촉되어 배치되고 상기 제3 보호막(323)에 의하여 둘러 싸여 제공될 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 게이트 전극(635) 위에 접촉되어 배치되고 상기 제3 보호막(323)에 의하여 둘러 싸여 제공될 수 있다.

[0394] 상기 제1 소스 전극(371)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제1 소스 컨택부(331)에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제1 소스 전극(371)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다. 상기 제1 드레인 전극(372)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제1 드레인 컨택부(332)에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제1 드레인 전극(372)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다.

[0395] 상기 제2 소스 전극(471)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제2 소스 컨택부(431)에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제2 소스 전극(471)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제2 드레인 컨택부(432)에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제2 드레인 전극(472)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다.

[0396] 상기 제1 이중 게이트 전극(536)은 상기 제1 채널층(360) 아래에 배치될 수 있다. 상기 제1 이중 게이트 전극(536)은 상기 제1 질화물 반도체층(361) 아래에 배치될 수 있다. 상기 제1 이중 게이트 전극(536)과 상기 제1 채널층(360) 아래에 제6 보호막(526)이 배치될 수 있다. 상기 제1 이중 게이트 전극(536)은 상기 제1 채널층

(360)의 하부 면에 접촉되어 배치될 수 있다. 상기 제1 이중 게이트 전극(536)은 상기 제1 질화물 반도체층(361)에 쇼키 접촉(Schottky contact)될 수 있다. 상기 제1 이중 게이트 전극(536)은 니켈(Ni), 백금(Pt), 금(Au), 팔라듐(Pd)을 포함하는 그룹 중에서 선택된 적어도 하나의 물질 또는 그 합금을 포함하는 단일층 또는 다중층을 포함할 수 있다. 예로서, 상기 쇼키 접촉은 상기 제1 채널층(360)에 대한 플라즈마 처리(plasma treatment)에 의하여 구현될 수 있다.

[0397] 상기 제2 이중 게이트 전극(636)은 상기 제2 채널층(460) 아래에 배치될 수 있다. 상기 제2 이중 게이트 전극(636)은 상기 제1 질화물 반도체층(461) 아래에 배치될 수 있다. 상기 제2 이중 게이트 전극(636)과 상기 제2 채널층(460) 아래에 제6 보호막(626)이 배치될 수 있다. 상기 제2 이중 게이트 전극(636)은 상기 제2 채널층(460)의 하부 면에 접촉되어 배치될 수 있다. 상기 제2 이중 게이트 전극(636)은 상기 제1 질화물 반도체층(461)에 쇼키 접촉(Schottky contact)될 수 있다. 상기 제2 이중 게이트 전극(636)은 니켈(Ni), 백금(Pt), 금(Au), 팔라듐(Pd)을 포함하는 그룹 중에서 선택된 적어도 하나의 물질 또는 그 합금을 포함하는 단일층 또는 다중층을 포함할 수 있다. 예로서, 상기 쇼키 접촉은 상기 제2 채널층(460)에 대한 플라즈마 처리(plasma treatment)에 의하여 구현될 수 있다.

[0398] 상기 제1 게이트 전극(535)과 상기 제1 이중 게이트 전극(536)은 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(635)과 상기 제2 이중 게이트 전극(636)은 전기적으로 연결될 수 있다. 상기 스위칭 박막 트랜지스터(530)의 상기 제2 드레인 전극(372)과 상기 구동 박막 트랜지스터(630)의 상기 제2 게이트 전극(635)은 전기적으로 연결될 수 있다.

[0399] 상기 제3 보호막(323)은 절연물질을 포함할 수 있다. 상기 제3 보호막(323)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0400] 실시 예에 따른 박막 트랜지스터 기판은 상기 제3 보호막(323) 위에 배치된 제4 보호막(324)을 포함할 수 있다. 상기 제4 보호막(324)은 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 상기 제2 드레인 전극(472) 위에 배치될 수 있다.

[0401] 상기 제4 보호막(324)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.

[0402] 실시 예에 따른 박막 트랜지스터 기판은 상기 구동 박막 트랜지스터(630) 위에 배치된 하부 전극(486)을 포함할 수 있다. 상기 하부 전극(486)은 상기 구동 박막 트랜지스터(630)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)은 상기 구동 박막 트랜지스터(630)의 제2 드레인 전극(472)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)은 상기 제4 보호막(324) 위에 배치될 수 있다. 상기 하부 전극(486)은 상기 제4 보호막(324)에 제공된 콘택홀을 통하여 상기 제2 드레인 전극(472)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)의 하부 면은 상기 제2 드레인 전극(472)의 상부 면에 접촉되어 배치될 수 있다.

[0403] 또한 실시 예에 따른 박막 트랜지스터 기판은 상기 제4 보호막(324) 위에 배치된 제5 보호막(325)을 포함할 수 있다. 상기 하부 전극(486) 위에 상기 발광층(488)이 배치될 수 있으며, 상기 발광층(488) 위에 상부 전극(487)이 배치될 수 있다. 상기 발광층(488)과 상기 상부 전극(487)은 상기 제5 보호막(325) 위에 배치될 수 있다. 상기 발광층(488)의 제1 영역은 상기 제5 보호막(325) 위에 배치되고 상기 발광층(488)의 제2 영역은 상기 제5 보호막(325)에 제공된 콘택홀을 통하여 상기 하부 전극(486)의 상부면에 접촉되어 배치될 수 있다. 상기 발광층(488)은 예로서 적색, 녹색, 청색, 백색 중에서 어느 하나의 빛을 발광할 수 있다. 상기 발광층(488)은 예로서 유기물로 구현될 수 있다.

[0404] 상기 하부 전극(486)과 상기 상부 전극(487)은 예로서 ITO, ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO 중에서 선택된 하나의 물질, 또는 그 물질을 포함하는 합금을 포함할 수 있다. 상기 하부 전극(486)과 상기 상부 전극(487)은 서로 다른 물질을 포함할 수 있다. 상기 상부 전극(486) 또는 상기 하부 전극(487) 중에서 하나는 투명 전극으로 형성될 수 있으며, 투명 전극 방향으로 상기 발광층(488)에서 발광된 빛이 외부로 방출될 수 있게 된다.

[0405] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(355)과 상기 제1 채널층(360) 사이에 배치된 제1 블랙 매트릭스(546)를 포함할 수 있다. 상기 제1 블랙 매트릭스(546)는 상기 기판(355)과 상기 제6 보호막(526) 사이에 배치될 수 있다. 상기 제1 블랙 매트릭스(546)는 상기 기판(355)과 상기 제1 이중 게이트 전극(536) 사이에 배치될 수 있다. 상기 제1 블랙 매트릭스(546)는 상기 제6 보호막(526) 하부에 대응되는 형태로 배치될 수 있다.

상기 제1 채널층(360)의 폭과 상기 제1 블랙 매트릭스(546)의 폭이 같게 제공될 수 있다. 상기 제1 블랙 매트릭스(546)는 예로서 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제1 블랙 매트릭스(546)는 상기 스위칭 박막 트랜지스터(530)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 스위칭 박막 트랜지스터(530)가 열화되는 것을 방지할 수 있다.

[0406] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(355)과 상기 제2 채널층(460) 사이에 배치된 제2 블랙 매트릭스(646)를 포함할 수 있다. 상기 제2 블랙 매트릭스(646)는 상기 기판(355)과 상기 제6 보호막(626) 사이에 배치될 수 있다. 상기 제2 블랙 매트릭스(646)는 상기 기판(355)과 상기 제2 이중 게이트 전극(636) 사이에 배치될 수 있다. 상기 제2 블랙 매트릭스(646)는 상기 제6 보호막(626) 하부에 대응되는 형태로 배치될 수 있다. 상기 제2 채널층(460)의 폭과 상기 제2 블랙 매트릭스(646)의 폭이 같게 제공될 수 있다. 상기 제2 블랙 매트릭스(646)는 예로서 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제2 블랙 매트릭스(646)는 상기 구동 박막 트랜지스터(630)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 구동 박막 트랜지스터(630)가 열화되는 것을 방지할 수 있다.

[0407] 실시 예에 의하면, 상기 기판(355)과 상기 제1 채널층(360) 사이에 상기 본딩층(350)이 배치될 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 제1 블랙 매트릭스(546) 사이에 배치될 수 있다. 상기 기판(355)과 상기 제2 채널층(460) 사이에 상기 본딩층(350)이 배치될 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 제2 블랙 매트릭스(646) 사이에 배치될 수 있다. 예로서, 상기 본딩층(350)은 상기 기판(355)의 전체 영역 위에 배치될 수 있다. 상기 본딩층(350)은 상기 제2 보호막(322)과 접촉되어 배치될 수 있다. 상기 본딩층(350)의 상부면과 상기 제2 보호막(322)의 하부면이 접촉되어 배치될 수 있다. 예로서, 상기 제1 블랙 매트릭스(546)과 상기 제2 블랙 매트릭스(646)가 제공되지 않은 영역에서, 상기 본딩층(350)의 상부면과 상기 제2 보호막(322)의 하부면이 직접 접촉되어 배치될 수 있다.

[0408] 또한, 실시 예에 의하면, 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636)의 높이와 폭에 대응되는 리세스(recess)가 상기 기판(355) 또는 상기 본딩층(350)에 제공될 수 있다. 상기 제6 보호막(526, 626)의 일부는 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636)의 단면 형상에 대응되도록 상부 및 측면의 적어도 일부에 배치되어 상기 리세스(recess) 영역에 제공될 수 있다. 상기 제1 블랙 매트릭스(546)는 상기 제6 보호막(526)의 하부 형상과 대응되는 형상으로 배치되고 적어도 일부는 상기 리세스(recess) 영역에 배치될 수 있다. 상기 제2 블랙 매트릭스(646)는 상기 제6 보호막(626)의 하부 형상과 대응되는 형상으로 배치되고 적어도 일부는 상기 리세스(recess) 영역에 배치될 수 있다. 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636)의 적어도 일부도 상기 리세스(recess) 영역에 배치될 수 있다. 이러한 구조로 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636) 제공에 따른 박막 트랜지스터 기판의 두께가 증가되는 것을 최소화 할 수 있다.

[0409] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\mu_{\text{eff}}/V_s$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.

[0410] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.

[0411] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.

[0412] 도 49는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 49를 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 48을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 49에 도시된 실시 예는 도 48을 참조하여 설명된 박막 트랜지스터 기판 대비하여 본딩층 구조에 차이가 있다.

- [0413] 도 49에 도시된 바와 같이, 상기 기판(355) 위에 제1 본딩층(553)과 제2 본딩층(653)이 제공될 수 있다. 상기 제1 본딩층(553)은 상기 기판(355)과 상기 제1 블랙 매트릭스(546) 사이에 배치될 수 있다. 예로서, 상기 제1 본딩층(553)의 폭은 상기 제1 블랙 매트릭스(546)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제1 본딩층(553)의 폭은 상기 제1 채널층(360)의 폭과 동일하게 제공될 수 있다. 상기 제2 본딩층(653)은 상기 기판(355)과 상기 제2 블랙 매트릭스(646) 사이에 배치될 수 있다. 예로서, 상기 제2 본딩층(653)의 폭은 상기 제2 블랙 매트릭스(646)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제2 본딩층(653)의 폭은 상기 제2 채널층(460)의 폭과 동일하게 제공될 수 있다.
- [0414] 실시 예에 의하면, 상기 기판(355) 위에 상기 제2 보호막(322)이 배치될 수 있다. 상기 제2 보호막(322)의 하부면이 상기 기판(355)의 상부면에 접촉되어 배치될 수 있다. 상기 제1 본딩층(553)이 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 기판(355)에 직접 접촉되어 배치될 수 있다. 상기 제2 본딩층(653)이 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 기판(355)에 직접 접촉되어 배치될 수 있다.
- [0415] 또한, 실시 예에 의하면, 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636)의 높이와 폭에 대응되는 리세스(recess)가 상기 제1 본딩층(526)과 상기 제2 본딩층(626)에 제공될 수 있다. 상기 제6 보호막(526, 626)의 일부는 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636)의 단면 형상에 대응되도록 상부 및 측면의 적어도 일부에 배치되어 상기 리세스(recess) 영역에 제공될 수 있다. 상기 제1 블랙 매트릭스(546)는 상기 제6 보호막(526)의 하부 형상과 대응되는 형상으로 배치되고 적어도 일부는 상기 리세스(recess) 영역에 배치될 수 있다. 상기 제2 블랙 매트릭스(646)는 상기 제6 보호막(626)의 하부 형상과 대응되는 형상으로 배치되고 적어도 일부는 상기 리세스(recess) 영역에 배치될 수 있다. 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636)의 적어도 일부도 상기 리세스(recess) 영역에 배치될 수 있다. 이러한 구조로 상기 제1 이중 게이트 전극(536)과 상기 제2 이중 게이트 전극(636) 제공에 따른 박막 트랜지스터 기판의 두께가 증가되는 것을 최소화 할 수 있다.
- [0416] 이와 같이, 도 49에 도시된 실시 예에 의하면, 도 48에 도시된 실시 예에 비하여, 상기 제2 보호막(322)과 상기 기판(355)이 직접 접촉되어 배치될 수 있게 되므로, 상기 제2 보호막(322)과 상기 기판(355) 사이에 제공되는 층(예로서, 도 48에 도시된 본딩층)을 배제시킬 수 있게 된다. 이에 따라, 실시 예에 의하면 빛이 진행되는 광 경로 상에 이중 물질층 간의 경계면이 줄어 들게 되므로 경계면에서의 반사/굴절 등에 의한 광손실을 줄일 수 있게 된다.
- [0417] 실시 예에 따른 상기 제1 본딩층(553)과 상기 제2 본딩층(653)은 예로서 반사층, 메탈본딩층, 유기본딩층, 절연층을 포함할 수 있다. 상기 반사층은 상기 기판(355) 위에 배치될 수 있으며, 상기 메탈본딩층은 상기 반사층 위에 배치되고, 상기 절연층은 상기 메탈본딩층 위에 배치될 수 있다. 예로서, 상기 제1 본딩층(553)과 상기 제2 본딩층(653)은 상기 메탈본딩층과 상기 유기본딩층 중에서 적어도 하나를 포함할 수 있으며, 상기 반사층과 상기 절연층은 선택적으로 포함할 수도 있다.
- [0418] 상기 절연층은 상기 제1 채널층(360)과 상기 제2 채널층(460)의 누설 특성을 보완해 줄 수 있다. 예로서, 상기 절연층은 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0419] 상기 메탈본딩층 또는 상기 유기본딩층은 아래에 배치된 상기 기판(355)과의 접촉을 위하여 제공될 수 있다. 예로서, 상기 메탈본딩층은 금(Au), 주석(Sn), 인듐(In), 니켈(Ni), 은(Ag), 구리(Cu)를 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 예로서, 상기 유기본딩층은 아크릴, 벤조시크롤부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다.
- [0420] 상기 반사층은 상기 본딩층에서의 광 흡수를 줄여줄 수 있다. 예로서, 상기 반사층은 알루미늄(Al), 은(Ag), 로듐(Rh)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 상기 반사층은 예로서 반사특성이 60%를 넘는 물질로 제공될 수 있다.
- [0421] 한편 실시 예에 의하면, 예로서 상기 제1 본딩층(553)과 상기 제2 본딩층(653)이 상기 메탈본딩층과 상기 반사층을 포함하는 경우, 상기 제1 블랙매트릭스(546)와 상기 제2 블랙매트릭스(646)는 생략될 수도 있다.
- [0422] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도(cm<sup>2</sup>/Vs)가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물

반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.

- [0423] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.
- [0424] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0425] 도 50은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 50은 도 42에 도시된 박막 트랜지스터 기판의 D-D 선에 따른 단면도이다.
- [0426] 도 50에 도시된 박막 트랜지스터 기판은 채널층의 리세스된 영역에 게이트 전극이 배치된 구조를 갖는 박막 트랜지스터가 적용된 실시 예로서 도 1 내지 도 49를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.
- [0427] 실시 예에 따른 박막 트랜지스터 기판은 스위칭 박막 트랜지스터(730)와 구동 박막 트랜지스터(830)를 포함할 수 있다. 상기 스위칭 박막 트랜지스터(730)는 제1 게이트 라인(341)과 데이터 라인(373)으로부터 신호를 인가 받을 수 있으며, 해당 화소에 게이트 신호 및 데이터 신호를 제공할 수 있다. 상기 구동 박막 트랜지스터(830)의 제2 게이트 전극(833)은 상기 스위칭 박막 트랜지스터(330)의 제1 드레인 전극(372)과 전기적으로 연결될 수 있다.
- [0428] 본 발명의 실시 예에 따른 박막 트랜지스터 기판은, 도 50에 도시된 바와 같이, 기판(355)과 상기 기판(355) 위에 배치된 상기 스위칭 박막 트랜지스터(730), 상기 구동 박막 트랜지스터(830), 상기 구동 박막 트랜지스터(830)에 전기적으로 연결된 발광층(488)을 포함할 수 있다.
- [0429] 실시 예에 따른 스위칭 박막 트랜지스터(730)는 제1 게이트 전극(733), 제1 채널층(760), 제1 소스 전극(371), 제1 드레인 전극(372)을 포함할 수 있다. 상기 제1 소스 전극(371)은 상기 제1 채널층(760)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제1 채널층(760)의 상부 면에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 채널층(760)의 제2 영역에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 채널층(760)의 상부 면에 전기적으로 연결될 수 있다. 상기 제1 게이트 전극(733)은 상기 제1 채널층(760) 위에 배치될 수 있다.
- [0430] 상기 제1 채널층(760)은 상부 면에 하부 방향으로 함몰된 리세스 영역을 포함할 수 있다. 상기 제1 게이트 전극(733)은 상기 제1 채널층(760)의 리세스된 영역에 배치될 수 있다.
- [0431] 실시 예에 따른 구동 박막 트랜지스터(830)는 제2 게이트 전극(833), 제2 채널층(860), 제2 소스 전극(471), 제2 드레인 전극(472)을 포함할 수 있다. 상기 제2 소스 전극(471)은 상기 제2 채널층(860)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제2 채널층(860)의 상부 면에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 채널층(860)의 제2 영역에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 채널층(860)의 상부 면에 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(833)은 상기 제2 채널층(860) 위에 배치될 수 있다.
- [0432] 상기 제2 채널층(860)은 상부 면에 하부 방향으로 함몰된 리세스 영역을 포함할 수 있다. 상기 제2 게이트 전극(833)은 상기 제2 채널층(860)의 리세스된 영역에 배치될 수 있다.
- [0433] 상기 스위칭 박막 트랜지스터(730)와 상기 구동 박막 트랜지스터(830)의 구조는 서로 유사하며, 상기 구동 박막 트랜지스터(830)를 설명함에 있어 상기 스위칭 박막 트랜지스터(730)를 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다.
- [0434] 상기 제1 채널층(760)과 상기 제2 채널층(860)은 예로서 III족-V족 화합물 반도체로 구현될 수 있다. 예컨대, 상기 제1 채널층(760)과 상기 제2 채널층(860)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제1 채널층(760)과 상기 제2 채널층(860)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택된 단일층 또는 다중층을 포함할 수 있다. 상기 제1 채널층(760)과 상기 제2 채널층(860)은 서로 다른 물질로 형성될 수도 있다.

- [0435] 상기 제1 채널층(760)과 상기 제2 채널층(860) 각각은 제1 질화물 반도체층(761, 861)과 제2 질화물 반도체층(762, 862)을 포함할 수 있다. 상기 제1 질화물 반도체층(761, 861)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(762, 862)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 구현될 수 있다. 상기 제2 질화물 반도체층(762, 862)의 상부 면에 하부 방향으로 함몰된 리세스 영역에 제공될 수 있다. 상기 제1 게이트 전극(733)은 상기 제2 질화물 반도체층(762)의 리세스 영역에 배치될 수 있다. 상기 제1 게이트 전극(733)의 상부 면이 상기 제2 질화물 반도체층(762)의 최 상부 면에 비해 더 높게 배치될 수 있다. 상기 제1 게이트 전극(733)과 상기 제2 질화물 반도체층(762)은 샤키 접촉(Schottky contact)될 수 있다. 상기 제2 게이트 전극(833)은 상기 제2 질화물 반도체층(862)의 리세스 영역에 배치될 수 있다. 상기 제2 게이트 전극(833)의 상부 면이 상기 제2 질화물 반도체층(862)의 최 상부 면에 비해 더 높게 배치될 수 있다. 상기 제2 게이트 전극(833)과 상기 제2 질화물 반도체층(862)은 샤키 접촉(Schottky contact)될 수 있다. 실시 예에 따른 상기 제1 채널층(760)과 상기 제2 채널층(860)에 의하면, 상기 제1 질화물 반도체층(761, 861)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(762, 862)이 AlGaN 반도체층을 포함할 수 있다.
- [0436] 상기 기판(355)은 투명기판을 포함할 수 있다. 상기 기판(355)은 예로서 0.1 mm 내지 3 mm의 두께를 갖는 투명 기판으로 구현될 수 있다. 또한, 상기 기판(355)의 두께는 적용되는 표시장치의 용도 및 크기에 따라 변경될 수 있는 것으로서 0.4~1.1mm의 두께 범위 내에서 선택될 수도 있다. 예로서, 상기 기판(355)은 0.6~0.8mm의 두께로 제공될 수도 있다. 상기 기판(355)은 실리콘, 유리, 폴리이미드, 플라스틱을 포함하는 물질 중에서 선택된 적어도 하나의 물질을 포함할 수 있다. 상기 기판(355)은 플렉시블 기판을 포함할 수 있다.
- [0437] 상기 기판(355)은 트랜스퍼(transfer) 공정에서 적용되는 기판으로서 상기 스위칭 박막 트랜지스터(730)와 상기 구동 박막 트랜지스터(830)를 지지하는 역할을 수행한다. 또한, 실시 예에 따른 박막 트랜지스터 기판은 상기 기판(355)과 상기 스위칭 박막 트랜지스터(730) 사이에 제공된 본딩층(350)을 포함할 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 구동 박막 트랜지스터(830) 사이에 배치될 수 있다.
- [0438] 상기 본딩층(350)은 유기물을 포함할 수 있다. 상기 본딩층(350)은 투명물질로 구현될 수 있다. 상기 본딩층(350)은 예로서 투과도가 70% 이상인 물질로 구현될 수 있다. 상기 본딩층(350)은 유기 절연물질을 포함할 수 있다. 상기 본딩층(350)은 아크릴, 벤조시클로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다. 상기 본딩층(350)은 예로서 0.5~6 $\mu$ m의 두께로 제공될 수 있다. 상기 본딩층(350)의 두께는 선택된 물질 종류에 따라 차이가 있을 수 있으며 1~3 $\mu$ m의 두께로 제공될 수도 있다. 또한, 상기 본딩층(350)은 예로서 1.8~2.2 $\mu$ m의 두께로 제공될 수도 있다.
- [0439] 실시 예에 따른 스위칭 박막 트랜지스터(730)는 상기 제1 채널층(760)의 제1 영역 위에 배치된 제1 소스 컨택부(331)와 상기 제1 채널층(760)의 제2 영역 위에 배치된 제1 드레인 컨택부(332)를 포함할 수 있다. 상기 제1 소스 컨택부(331)는 상기 제1 채널층(760)의 제1 영역에 접촉되어 배치될 수 있다. 상기 제1 드레인 컨택부(332)는 상기 제1 채널층(760)의 제2 영역에 접촉되어 배치될 수 있다.
- [0440] 실시 예에 따른 스위칭 박막 트랜지스터(730)는 상기 제1 게이트 전극(733) 위에 배치된 제1 게이트 배선(341)을 포함할 수 있다. 상기 제1 게이트 배선(341)은 상기 제1 게이트 전극(733)에 전기적으로 연결될 수 있다. 상기 제1 게이트 배선(341)의 하부 면이 상기 제1 게이트 전극(733)의 상부 면에 접촉되어 배치될 수 있다.
- [0441] 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제1 소스 전극(371)은 상기 제1 소스 컨택부(331)를 통하여 상기 제1 채널층(760)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제1 드레인 전극(372)은 상기 제1 드레인 컨택부(332)를 통하여 상기 제1 채널층(760)의 제2 영역에 전기적으로 연결될 수 있다.
- [0442] 실시 예에 따른 구동 박막 트랜지스터(830)는 상기 제2 채널층(860)의 제1 영역 위에 배치된 제2 소스 컨택부(431)와 상기 제2 채널층(860)의 제2 영역 위에 배치된 제2 드레인 컨택부(432)를 포함할 수 있다. 상기 제2 소스 컨택부(431)는 상기 제2 채널층(860)의 제1 영역에 접촉되어 배치될 수 있다. 상기 제2 드레인 컨택부(432)는 상기 제2 채널층(860)의 제2 영역에 접촉되어 배치될 수 있다.
- [0443] 실시 예에 따른 구동 박막 트랜지스터(830)는 상기 제2 게이트 전극(833) 위에 배치된 제2 게이트 배선(441)을 포함할 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 게이트 전극(833)에 전기적으로 연결될 수 있다. 상기

제2 게이트 배선(441)의 하부 면이 상기 제2 게이트 전극(833)의 상부 면에 접촉되어 배치될 수 있다.

[0444] 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제2 소스 전극(471)은 상기 제2 소스 컨택부(431)를 통하여 상기 제2 채널층(860)의 제1 영역에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)의 상부 면에 접촉되어 배치될 수 있다. 예로서, 상기 제2 드레인 전극(472)은 상기 제2 드레인 컨택부(432)를 통하여 상기 제2 채널층(860)의 제2 영역에 전기적으로 연결될 수 있다.

[0445] 상기 제1 소스 컨택부(331)와 상기 제1 드레인 컨택부(332)는 상기 제1 채널층(760)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제1 소스 컨택부(331)와 상기 제1 드레인 컨택부(332)는 상기 제2 질화물 반도체층(762)과 오믹 접촉하는 물질을 포함할 수 있다. 상기 제2 소스 컨택부(431)와 상기 제2 드레인 컨택부(432)는 상기 제2 채널층(860)과 오믹 접촉하는 물질로 구현될 수 있다. 상기 제2 소스 컨택부(431)와 상기 제2 드레인 컨택부(432)는 상기 제2 질화물 반도체층(862)과 오믹 접촉하는 물질을 포함할 수 있다. 예로서, 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리비덴(MoTi), 구리/몰리비덴(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 상기 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 예로서 0.1~1 $\mu$ m의 두께로 제공될 수 있다. 상기 제1 소스 컨택부(331), 상기 제1 드레인 컨택부(332), 상기 제2 소스 컨택부(431), 상기 제2 드레인 컨택부(432)는 상기 제1 채널층(360) 및 상기 제2 채널층(460)과의 접촉을 위한 층으로서 전류 확산 기능을 수행하지 않아도 되므로 1 $\mu$ m 이하의 두께로 제공될 수도 있다.

[0446] 상기 제1 게이트 전극(733)은 상기 제1 채널층(760)과 샤키 접촉하는 물질로 구현될 수 있다. 상기 제1 게이트 전극(733)은 상기 제2 질화물 반도체층(762)과 샤키 접촉되는 물질로 구현될 수 있다. 상기 제1 게이트 전극(733)은 니켈(Ni), 백금(Pt), 금(Au), 팔라듐(Pd)을 포함하는 그룹 중에서 선택된 적어도 하나의 물질 또는 그 합금을 포함하는 단일층 또는 다중층을 포함할 수 있다. 예로서, 상기 샤키 접촉은 상기 제1 채널층(760)에 대한 플라즈마 처리(plasma treatment)에 의하여 구현될 수 있다. 상기 플라즈마 처리는 예로서 불소(F) 이온 처리가 적용될 수 있다. 이에 따라, 실시 예에 따른 스위칭 박막 트랜지스터(730)는 상기 샤키 접촉에 의하여 문턱 전압이 제공될 수 있으며 노멀리 오프(normally off) 특성을 가질 수 있다. 상기 제1 게이트 전극(733)에 문턱 전압 이상의 전압을 인가하면 상기 제1 게이트 전극(733)의 하부에 형성된 채널이 온 상태가 되어 상기 제1 채널층(760)에 전류가 흐를 수 있게 된다.

[0447] 상기 제2 게이트 전극(833)은 상기 제2 채널층(860)과 샤키 접촉하는 물질로 구현될 수 있다. 상기 제2 게이트 전극(833)은 상기 제2 질화물 반도체층(862)과 샤키 접촉되는 물질로 구현될 수 있다. 상기 제2 게이트 전극(833)은 니켈(Ni), 백금(Pt), 금(Au), 팔라듐(Pd)을 포함하는 그룹 중에서 선택된 적어도 하나의 물질 또는 그 합금을 포함하는 단일층 또는 다중층을 포함할 수 있다. 예로서, 상기 샤키 접촉은 상기 제2 채널층(860)에 대한 플라즈마 처리(plasma treatment)에 의하여 구현될 수 있다. 상기 플라즈마 처리는 예로서 불소(F) 이온 처리가 적용될 수 있다. 이에 따라, 실시 예에 따른 구동 박막 트랜지스터(830)는 상기 샤키 접촉에 의하여 문턱 전압이 제공될 수 있으며 노멀리 오프(normally off) 특성을 가질 수 있다. 상기 제2 게이트 전극(833)에 문턱 전압 이상의 전압을 인가하면 상기 제2 게이트 전극(833)의 하부에 형성된 채널이 온 상태가 되어 상기 제2 채널층(860)에 전류가 흐를 수 있게 된다.

[0448] 한편, 실시 예에 따른 상기 제1 채널층(760)에 의하면, 상기 제1 질화물 반도체층(761)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(762)이 AlGaN 반도체층을 포함할 수 있다. 상기 제2 질화물 반도체층(762)의 두께가 두꺼울수록 2차원 전자가스(2DEG)가 잘 형성되기 때문에 노멀리 오프(normally off) 특성을 만들기가 어렵다. 또한, 상기 제2 질화물 반도체층(762)의 두께가 너무 얇게 제공되면 게이트 리키지(gate leakage)가 심해질 수 있는 문제점이 있다. 이에 따라, 상기 리세스 영역 아래에 배치된 상기 제2 질화물 반도체층(762)의 두께는 2~10nm 두께로 제공되는 것이 바람직할 수 있다. 그리고, 게이트 리키지(gate leakage)를 줄이기 위한 방안으로서, 상기 게이트 전극(733)과 상기 제2 질화물 반도체층(762) 사이에 절연물이 배치되도록 하여 일종의 MIS(Metal-Insulator-Semiconductor) 구조로 제공될 수도 있다. 예로서, 상기 리세스가 형성되지 않은 영역의 상기 제2 질화물 반도체층(762)의 두께는 15~25nm로 제공될 수 있다. 또한, 상기 리세스의 폭은 예로서 1.5~2.5

μm로 제공될 수 있다.

- [0449] 실시 예에 따른 상기 제2 채널층(860)에 의하면, 상기 제1 질화물 반도체층(861)이 GaN 반도체층을 포함하고, 상기 제2 질화물 반도체층(862)이 AlGaN 반도체층을 포함할 수 있다. 상기 제2 질화물 반도체층(862)의 두께가 두꺼울수록 2차원 전자가스(2DEG)가 잘 형성되기 때문에 노멀리 오프(normally off) 특성을 만들기가 어렵다. 또한, 상기 제2 질화물 반도체층(862)의 두께가 너무 얇게 제공되면 게이트 리키지(gate leakage)가 심해질 수 있는 문제점이 있다. 이에 따라, 상기 리세스 영역 아래에 배치된 상기 제2 질화물 반도체층(862)의 두께는 2~10nm 두께로 제공되는 것이 바람직할 수 있다. 그리고, 게이트 리키지(gate leakage)를 줄이기 위한 방안으로서, 상기 게이트 전극(833)과 상기 제2 질화물 반도체층(862) 사이에 절연물이 배치되도록 하여 일종의 MIS(Metal-Insulator-Semiconductor) 구조로 제공될 수도 있다. 예로서, 상기 리세스가 형성되지 않은 영역의 상기 제2 질화물 반도체층(862)의 두께는 15~25nm로 제공될 수 있다. 또한, 상기 리세스의 폭은 예로서 1.5~2.5 μm로 제공될 수 있다.
- [0450] 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 예로서 0.1~3μm의 두께로 제공될 수 있다. 상기 제1 게이트 배선(341)과 상기 제2 게이트 배선(441)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 제1 게이트 전극(733) 및 상기 제2 게이트 전극(833)의 두께에 비하여 더 두껍게 제공될 수도 있다.
- [0451] 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 제2 드레인 전극(472)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금(Cu alloy), 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다. 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 제2 드레인 전극(472)은 예로서 0.1~3μm의 두께로 제공될 수 있다. 상기 제1 소스 전극(371)과 상기 제2 소스 전극(471)은 복수의 트랜지스터에 순차적으로 전압을 인가하는 기능을 수행하므로 상기 제1 소스 콘택부(331) 및 상기 제2 소스 콘택부(431)의 두께에 비하여 더 두껍게 제공될 수도 있다. 상기 제1 드레인 전극(372)과 상기 제2 드레인 전극(472)도 상기 제1 드레인 콘택부(332) 및 상기 제2 드레인 콘택부(432)의 두께에 비하여 더 두껍게 제공될 수도 있다.
- [0452] 실시 예에 따른 박막 트랜지스터 기판은 상기 제1 채널층(760)과 상기 제2 채널층(860) 위에 배치된 제1 보호막(321, 421)을 포함할 수 있다. 상기 제1 보호막(321, 421)은 상기 제1 채널층(760)의 상기 제2 질화물 반도체층(762) 및 상기 제2 채널층(860)의 제2 질화물 반도체층(862) 위에 배치될 수 있다. 상기 제1 보호막(321, 421)의 하부 면은 상기 제1 채널층(760)의 상기 제2 질화물 반도체층(762) 및 상기 제2 채널층(860)의 제2 질화물 반도체층(862) 상부 면에 접촉되어 배치될 수 있다.
- [0453] 실시 예에 의하면, 상기 제1 소스 콘택부(331)는 상기 제1 보호막(321)을 관통하여 배치될 수 있다. 상기 제1 소스 콘택부(331)는 상기 제1 보호막(321)에 의하여 둘러 싸여 배치될 수 있다. 상기 제1 소스 콘택부(331)는 상기 제1 보호막(321)을 관통하여 배치되고 상기 제1 채널층(760)의 제1 영역에 접촉되어 제공될 수 있다. 상기 제1 드레인 콘택부(332)는 상기 제1 보호막(321)을 관통하여 배치될 수 있다. 상기 제1 드레인 콘택부(332)는 상기 제1 보호막(321)에 의하여 둘러 싸여 배치될 수 있다. 상기 제1 드레인 콘택부(332)는 상기 제1 보호막(321)을 관통하여 배치되고 상기 제1 채널층(760)의 제2 영역에 접촉되어 제공될 수 있다.
- [0454] 실시 예에 의하면, 상기 제2 소스 콘택부(431)는 상기 제1 보호막(421)을 관통하여 배치될 수 있다. 상기 제2 소스 콘택부(431)는 상기 제1 보호막(421)에 의하여 둘러 싸여 배치될 수 있다. 상기 제2 소스 콘택부(431)는 상기 제1 보호막(421)을 관통하여 배치되고 상기 제2 채널층(860)의 제1 영역에 접촉되어 제공될 수 있다. 상기 제2 드레인 콘택부(432)는 상기 제1 보호막(421)을 관통하여 배치될 수 있다. 상기 제2 드레인 콘택부(432)는 상기 제1 보호막(421)에 의하여 둘러 싸여 배치될 수 있다. 상기 제2 드레인 콘택부(432)는 상기 제1 보호막(421)을 관통하여 배치되고 상기 제2 채널층(860)의 제2 영역에 접촉되어 제공될 수 있다.
- [0455] 상기 제1 보호막(321, 421)은 절연물질로 구현될 수 있다. 상기 제1 보호막(321, 421)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물, Al<sub>2</sub>O<sub>3</sub>를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함

하는 단일층 또는 다중층을 포함할 수 있다.

- [0456] 실시 예에 의하면, 상기 기판(355)과 상기 제1 보호막(321, 421) 위에 제2 보호막(322)이 배치될 수 있다. 상기 제1 게이트 전극(733)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 제1 게이트 전극(733)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 배치될 수 있다. 상기 제1 게이트 전극(733)은 상기 제1 보호막(321)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 상기 제1 채널층(760)에 접촉되어 배치될 수 있다, 예로서, 상기 제1 게이트 전극(733)은 상기 제1 보호막(321)과 상기 제2 보호막(322)을 관통하여 상기 제1 채널층(760)에 접촉되어 배치될 수 있다. 상기 제1 게이트 배선(341)은 상기 제2 보호막(322) 위에 배치되어 상기 제1 게이트 전극(233)과 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(833)은 상기 제1 보호막(421)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 배치될 수 있다. 예로서, 상기 제2 게이트 전극(833)은 상기 제1 보호막(421)과 상기 제2 보호막(322)을 관통하여 배치될 수 있다. 상기 제2 게이트 전극(833)은 상기 제1 보호막(421)과 상기 제2 보호막(322) 중에서 적어도 하나를 관통하여 상기 제2 채널층(860)에 접촉되어 배치될 수 있다, 예로서, 상기 제2 게이트 전극(833)은 상기 제1 보호막(421)과 상기 제2 보호막(322)을 관통하여 상기 제2 채널층(860)에 접촉되어 배치될 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 보호막(322) 위에 배치되어 상기 제2 게이트 전극(833)과 전기적으로 연결될 수 있다.
- [0457] 상기 제2 보호막(322)은 절연물질로 구현될 수 있다. 상기 제2 보호막(322)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0458] 실시 예에 의하면, 상기 제2 보호막(322) 위에 제3 보호막(323)이 배치될 수 있다. 상기 제3 보호막(323)은 상기 제2 보호막(322), 상기 제1 게이트 배선(341), 상기 제2 게이트 배선(441) 위에 배치될 수 있다.
- [0459] 상기 제1 게이트 배선(341)은 상기 제1 게이트 전극(333) 위에 접촉되어 배치되고 상기 제3 보호막(323)에 의하여 둘러 싸여 제공될 수 있다. 상기 제2 게이트 배선(441)은 상기 제2 게이트 전극(833) 위에 접촉되어 배치되고 상기 제3 보호막(323)에 의하여 둘러 싸여 제공될 수 있다.
- [0460] 상기 제1 소스 전극(371)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제1 소스 컨택부(331)에 전기적으로 연결될 수 있다. 상기 제1 소스 전극(371)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제1 소스 전극(371)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다. 상기 제1 드레인 전극(372)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제1 드레인 컨택부(332)에 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(372)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제1 드레인 전극(372)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다.
- [0461] 상기 제2 소스 전극(471)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제2 소스 컨택부(431)에 전기적으로 연결될 수 있다. 상기 제2 소스 전극(471)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제2 소스 전극(471)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다. 상기 제2 드레인 전극(472)은 상기 제2 보호막(322)과 상기 제3 보호막(323)을 관통하여 상기 제2 드레인 컨택부(432)에 전기적으로 연결될 수 있다. 상기 제2 드레인 전극(472)은 상기 제3 보호막(323) 위에 배치된 제1 영역을 포함할 수 있다. 상기 제2 드레인 전극(472)은 상기 제3 보호막(323)과 상기 제2 보호막(322)을 관통하는 제2 영역을 포함할 수 있다.
- [0462] 상기 제3 보호막(323)은 절연물질을 포함할 수 있다. 상기 제3 보호막(323)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0463] 실시 예에 따른 박막 트랜지스터 기판은 상기 제3 보호막(323) 위에 배치된 제4 보호막(324)을 포함할 수 있다. 상기 제4 보호막(324)은 상기 제1 소스 전극(371), 상기 제1 드레인 전극(372), 상기 제2 소스 전극(471), 상기 제2 드레인 전극(472) 위에 배치될 수 있다.
- [0464] 상기 제4 보호막(324)은 예로서 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0465] 실시 예에 따른 박막 트랜지스터 기판은 상기 구동 박막 트랜지스터(830) 위에 배치된 하부 전극(486)을 포함할

수 있다. 상기 하부 전극(486)은 상기 구동 박막 트랜지스터(830)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)은 상기 구동 박막 트랜지스터(830)의 제2 드레인 전극(472)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)은 상기 제4 보호막(324) 위에 배치될 수 있다. 상기 하부 전극(486)은 상기 제4 보호막(324)에 제공된 콘택홀을 통하여 상기 제2 드레인 전극(472)에 전기적으로 연결될 수 있다. 상기 하부 전극(486)의 하부 면은 상기 제2 드레인 전극(472)의 상부 면에 접촉되어 배치될 수 있다.

[0466] 또한 실시 예에 따른 박막 트랜지스터 기판은 상기 제4 보호막(324) 위에 배치된 제5 보호막(325)을 포함할 수 있다. 상기 하부 전극(486) 위에 상기 발광층(488)이 배치될 수 있으며, 상기 발광층(488) 위에 상부 전극(487)이 배치될 수 있다. 상기 발광층(488)과 상기 상부 전극(487)은 상기 제5 보호막(325) 위에 배치될 수 있다. 상기 발광층(488)의 제1 영역은 상기 제5 보호막(325) 위에 배치되고 상기 발광층(488)의 제2 영역은 상기 제5 보호막(325)에 제공된 콘택홀을 통하여 상기 하부 전극(486)의 상부면에 접촉되어 배치될 수 있다. 상기 발광층(488)은 예로서 적색, 녹색, 청색, 백색 중에서 어느 하나의 빛을 발광할 수 있다. 상기 발광층(488)은 예로서 유기물로 구현될 수 있다.

[0467] 상기 하부 전극(486)과 상기 상부 전극(487)은 예로서 ITO, ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO 중에서 선택된 하나의 물질, 또는 그 물질을 포함하는 합금을 포함할 수 있다. 상기 하부 전극(486)과 상기 상부 전극(487)은 서로 다른 물질을 포함할 수 있다. 상기 상부 전극(486) 또는 상기 하부 전극(487) 중에서 하나는 투명 전극으로 형성될 수 있으며, 투명 전극 방향으로 상기 발광층(488)에서 발광된 빛이 외부로 방출될 수 있게 된다.

[0468] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(355)과 상기 제1 채널층(760) 사이에 배치된 제1 블랙 매트릭스(340)를 포함할 수 있다. 상기 제1 채널층(760)의 폭과 상기 제1 블랙 매트릭스(340)의 폭이 같게 제공될 수 있다. 상기 제1 블랙 매트릭스(340)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제1 블랙 매트릭스(340)는 상기 스위칭 박막 트랜지스터(730)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 스위칭 박막 트랜지스터(730)가 열화되는 것을 방지할 수 있다.

[0469] 실시 예에 따른 박막 트랜지스터 기판은, 상기 기판(355)과 상기 제2 채널층(860) 사이에 배치된 제2 블랙 매트릭스(440)를 포함할 수 있다. 상기 제2 채널층(860)의 폭과 상기 제2 블랙 매트릭스(440)의 폭이 같게 제공될 수 있다. 상기 제2 블랙 매트릭스(440)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제2 블랙 매트릭스(440)는 상기 구동 박막 트랜지스터(830)로 입사되는 빛을 차단할 수 있다. 이에 따라 광전류(photo current) 등에 의하여 상기 구동 박막 트랜지스터(830)가 열화되는 것을 방지할 수 있다.

[0470] 실시 예에 의하면, 상기 기판(355)과 상기 제1 채널층(760) 사이에 상기 본딩층(350)이 배치될 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 제1 블랙 매트릭스(340) 사이에 배치될 수 있다. 상기 기판(355)과 상기 제2 채널층(860) 사이에 상기 본딩층(350)이 배치될 수 있다. 상기 본딩층(350)은 상기 기판(355)과 상기 제2 블랙 매트릭스(440) 사이에 배치될 수 있다. 예로서, 상기 본딩층(350)은 상기 기판(355)의 전체 영역 위에 배치될 수 있다.

[0471] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.

[0472] 실시 예에 의하면, 성장기판을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기판을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기판을 제공할 수 있게 된다.

[0473] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.

[0474] 도 51은 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 51을 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 50을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 51에 도시된 실시 예는 도 50을 참조하여 설명된 박막 트랜지스터

기관 대비하여 본딩층 구조에 차이가 있다.

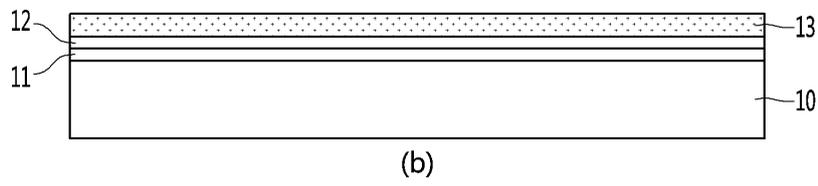
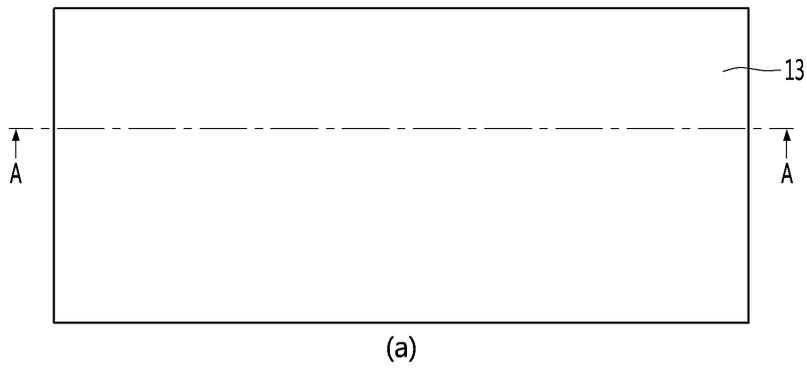
- [0475] 도 51에 도시된 바와 같이, 상기 기관(355) 위에 제1 본딩층(353)과 제2 본딩층(453)이 제공될 수 있다. 상기 제1 본딩층(353)은 상기 기관(355)과 상기 제1 블랙 매트릭스(340) 사이에 배치될 수 있다. 예로서, 상기 제1 본딩층(353)의 폭은 상기 제1 블랙 매트릭스(340)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제1 본딩층(353)의 폭은 상기 제1 채널층(760)의 폭과 동일하게 제공될 수 있다. 상기 제2 본딩층(453)은 상기 기관(355)과 상기 제2 블랙 매트릭스(440) 사이에 배치될 수 있다. 예로서, 상기 제2 본딩층(453)의 폭은 상기 제2 블랙 매트릭스(440)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제2 본딩층(453)의 폭은 상기 제2 채널층(860)의 폭과 동일하게 제공될 수 있다.
- [0476] 실시 예에 의하면, 상기 기관(355) 위에 상기 제2 보호막(322)이 배치될 수 있다. 상기 제2 보호막(322)의 하부면이 상기 기관(355)의 상부면에 접촉되어 배치될 수 있다. 상기 제1 본딩층(353)이 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 기관(355)에 직접 접촉되어 배치될 수 있다. 상기 제2 본딩층(453)이 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 기관(355)에 직접 접촉되어 배치될 수 있다.
- [0477] 이와 같이, 도 51에 도시된 실시 예에 의하면, 도 50에 도시된 실시 예에 비하여, 상기 제2 보호막(322)과 상기 기관(355)이 직접 접촉되어 배치될 수 있게 되므로, 상기 제2 보호막(322)과 상기 기관(355) 사이에 제공되는 층(예로서, 도 50에 도시된 본딩층)을 배제시킬 수 있게 된다. 이에 따라, 실시 예에 의하면 빛이 진행되는 광 경로 상에 이중 물질층 간의 경계면이 줄어 들게 되므로 경계면에서의 반사/굴절 등에 의한 광손실을 줄일 수 있게 된다.
- [0478] 실시 예에 따른 상기 제1 본딩층(353)과 상기 제2 본딩층(453)은 예로서 반사층, 메탈본딩층, 유기본딩층, 절연층을 포함할 수 있다. 상기 반사층은 상기 기관(355) 위에 배치될 수 있으며, 상기 메탈본딩층은 상기 반사층 위에 배치되고, 상기 절연층은 상기 메탈본딩층 위에 배치될 수 있다. 예로서, 상기 제1 본딩층(353)과 상기 제2 본딩층(453)은 상기 메탈본딩층과 상기 유기본딩층 중에서 적어도 하나를 포함할 수 있으며, 상기 반사층과 상기 절연층은 선택적으로 포함할 수도 있다.
- [0479] 상기 절연층은 상기 제1 채널층(760)과 상기 제2 채널층(860)의 누설 특성을 보완해 줄 수 있다. 예로서, 상기 절연층은 실리콘 계열의 산화물, 실리콘 계열의 질화물,  $Al_2O_3$ 를 포함하는 금속 산화물, 유기 절연물 중에서 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0480] 상기 메탈본딩층 또는 상기 유기본딩층은 아래에 배치된 상기 기관(355)과의 접촉을 위하여 제공될 수 있다. 예로서, 상기 메탈본딩층은 금(Au), 주석(Sn), 인듐(In), 니켈(Ni), 은(Ag), 구리(Cu)를 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 예로서, 상기 유기본딩층은 아크릴, 벤조시크로부텐(BCB), SU-8 폴리머(SU-8 polymer) 등을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질을 포함할 수 있다.
- [0481] 상기 반사층은 상기 본딩층에서의 광 흡수를 줄여줄 수 있다. 예로서, 상기 반사층은 알루미늄(Al), 은(Ag), 로듐(Rh)을 포함하는 그룹 중에서 선택된 적어도 어느 하나의 물질 또는 합금을 포함할 수 있다. 상기 반사층은 예로서 반사특성이 60%를 넘는 물질로 제공될 수 있다.
- [0482] 한편 실시 예에 의하면, 예로서 상기 제1 본딩층(353)과 상기 제2 본딩층(453)이 상기 메탈본딩층과 상기 반사층을 포함하는 경우, 상기 제1 블랙매트릭스(340)와 상기 제2 블랙매트릭스(440)는 생략될 수도 있다.
- [0483] 실시 예에 따른 박막 트랜지스터 기관에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $cm^2/Vs$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0484] 실시 예에 의하면, 성장기관을 이용하여 품질이 좋은 반도체층을 형성할 수 있으며, 지지기관을 이용하여 트랜스퍼(transfer) 공정을 적용함으로써 전자 이동도가 우수한 박막 트랜지스터 기관을 제공할 수 있게 된다.
- [0485] 따라서, 실시 예에 따른 박막 트랜지스터 기관, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.

- [0486] 도 52는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 또 다른 예를 나타낸 도면이다. 도 52를 참조하여 실시 예에 따른 박막 트랜지스터 기판을 설명함에 있어, 도 1 내지 도 51을 참조하여 설명된 부분과 중복되는 내용에 대해서는 설명이 생략될 수 있다. 도 52에 도시된 실시 예는 도 50 대비하여 트랜스퍼 공정이 적용되지 않고 성장기판 위에 박막 트랜지스터가 제공되는 점에 차이가 있다.
- [0487] 실시 예에 따른 박막 트랜지스터 기판은, 도 52에 도시된 바와 같이, 트랜스퍼 공정에 이용되는 지지기판 대신에 성장기판(310)을 기판으로서 포함할 수 있다. 상기 성장기판(310)은 예를 들어, 사파이어(Sapphire), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나를 포함할 수 있다.
- [0488] 상기 성장기판(310) 위에 제1 블랙 매트릭스(345)와 제2 블랙 매트릭스(445)가 배치될 수 있다. 상기 제1 블랙 매트릭스(345)는 상기 성장기판(310) 위에 배치되어 상기 제1 채널층(760)으로 빛이 입사되는 것을 방지할 수 있다. 상기 제1 블랙 매트릭스(345)는 예로서 가시광선을 흡수하거나 반사하는 물질로 구현될 수 있다. 이에 따라, 실시 예에 의하면 상기 제1 채널층(760)으로 빛이 입사되어 광전류(photo current) 등에 의하여 상기 스위칭 박막 트랜지스터(730)가 열화되는 것을 방지할 수 있게 된다. 상기 제2 블랙 매트릭스(445)는 상기 성장기판(310) 위에 배치되어 상기 제2 채널층(860)으로 빛이 입사되는 것을 방지할 수 있다. 상기 제2 블랙 매트릭스(445)는 예로서 가시광선을 흡수하거나 반사하는 물질로 구현될 수 있다. 이에 따라, 실시 예에 의하면 상기 제2 채널층(860)으로 빛이 입사되어 광전류(photo current) 등에 의하여 상기 구동 박막 트랜지스터(830)가 열화되는 것을 방지할 수 있게 된다.
- [0489] 예로서, 상기 제1 블랙 매트릭스(345)와 상기 제2 블랙 매트릭스(445)는 Si 기반의 물질, Ga 기반의 물질, Al 기반의 물질, 유기물 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층으로 제공될 수 있다. 상기 제1 블랙 매트릭스(345)와 상기 제2 블랙 매트릭스(445)는 Si, GaAs 등의 물질을 선택적으로 포함할 수 있다.
- [0490] 실시 예에 의하면, 상기 제1 블랙 매트릭스(345) 위에 제1 버퍼층(347)이 제공될 수 있다. 상기 제1 버퍼층(347)은 상기 제1 블랙 매트릭스(345)와 상기 제1 채널층(760) 사이에 제공될 수 있다. 상기 제1 버퍼층(347)은 상기 제1 채널층(760)을 구성하는 질화물 반도체층의 성장을 도울 수 있다. 상기 제2 블랙 매트릭스(445) 위에 제2 버퍼층(447)이 제공될 수 있다. 상기 제2 버퍼층(447)은 상기 제2 블랙 매트릭스(445)와 상기 제2 채널층(860) 사이에 제공될 수 있다. 상기 제2 버퍼층(447)은 상기 제2 채널층(860)을 구성하는 질화물 반도체층의 성장을 도울 수 있다. 예로서, 상기 제1 버퍼층(347)과 상기 제2 버퍼층(447)은 AlN, AlInN, AlGaIn을 포함하는 그룹 중에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층을 포함할 수 있다.
- [0491] 예로서, 상기 제1 블랙 매트릭스(345)의 폭은 상기 제1 버퍼층(347)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제1 블랙 매트릭스(345)의 폭은 상기 제1 채널층(760)의 폭과 동일하게 제공될 수 있다. 상기 제1 버퍼층(347)의 폭은 상기 제1 채널층(760)의 폭과 동일하게 제공될 수 있다. 상기 제2 블랙 매트릭스(445)의 폭은 상기 제2 버퍼층(447)의 폭과 동일하게 제공될 수 있다. 예로서, 상기 제2 블랙 매트릭스(445)의 폭은 상기 제2 채널층(860)의 폭과 동일하게 제공될 수 있다. 상기 제2 버퍼층(447)의 폭은 상기 제2 채널층(860)의 폭과 동일하게 제공될 수 있다.
- [0492] 실시 예에 의하면, 상기 성장기판(310) 위에 상기 제2 보호막(322)이 배치될 수 있다. 상기 제2 보호막(322)의 하부면이 상기 성장기판(310)의 상부면에 접촉되어 배치될 수 있다. 상기 제1 블랙 매트릭스(345)와 상기 제2 블랙 매트릭스(445)가 제공되지 않은 영역에서, 상기 제2 보호막(322)이 상기 성장기판(310)에 직접 접촉되어 배치될 수 있다.
- [0493] 실시 예에 따른 박막 트랜지스터 기판에 의하면, 질화물계 반도체층을 포함하는 박막 트랜지스터를 제공함으로써 높은 캐리어 이동도를 구현할 수 있게 된다. 예를 들어, 박막 트랜지스터는 채널층으로 적용되는 물질에 따라 전자 이동도( $\text{cm}^2/\text{Vs}$ )가 달라지게 되는데, 아몰퍼스 실리콘 반도체의 경우에는 전자 이동도가 1이고, 산화물 반도체의 경우에는 10 내지 80, 폴리 실리콘 반도체의 경우에는 100 이하인 것으로 보고되고 있다. 그러나, 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 전자 이동도가 1500에 달하는 것으로 측정되고 있다. 이에 따라 실시 예에 따른 질화물계 반도체층을 포함하는 박막 트랜지스터는 폴리 실리콘 반도체가 적용된 박막 트랜지스터에 비해 15 배 이상의 높은 전자 이동도를 구현할 수 있게 된다.
- [0494] 따라서, 실시 예에 따른 박막 트랜지스터 기판, 이를 포함하는 표시패널 및 표시장치에 의하면, 높은 캐리어 이동도를 제공할 수 있게 되므로, 고해상도를 구현하고 부드러운 동화상을 재생할 수 있게 된다.
- [0495] 도 53은 본 발명의 실시 예에 따른 박막 트랜지스터 기판을 포함하는 표시장치의 예를 나타낸 블록도이다.

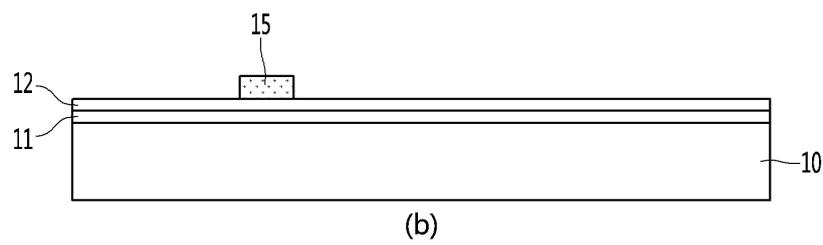
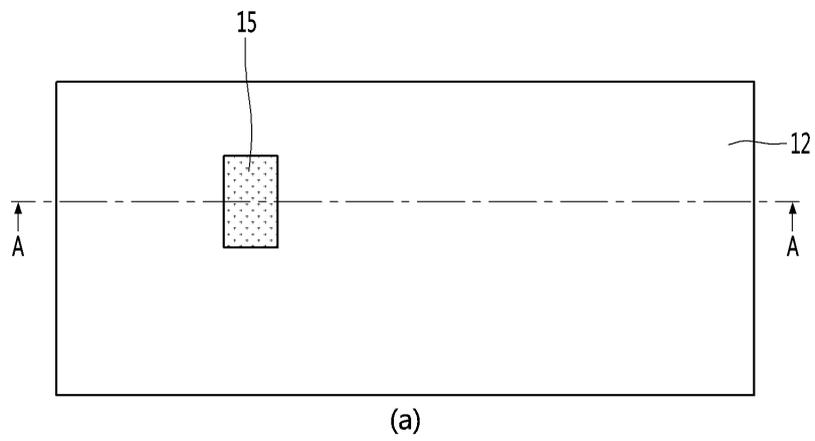




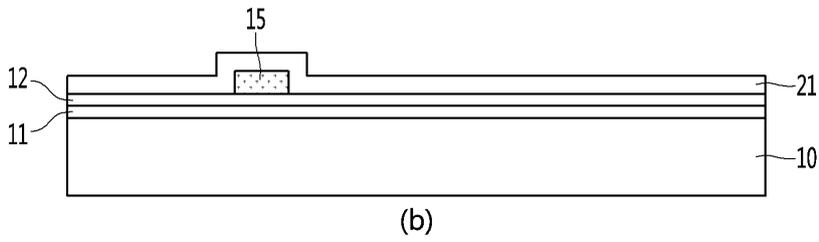
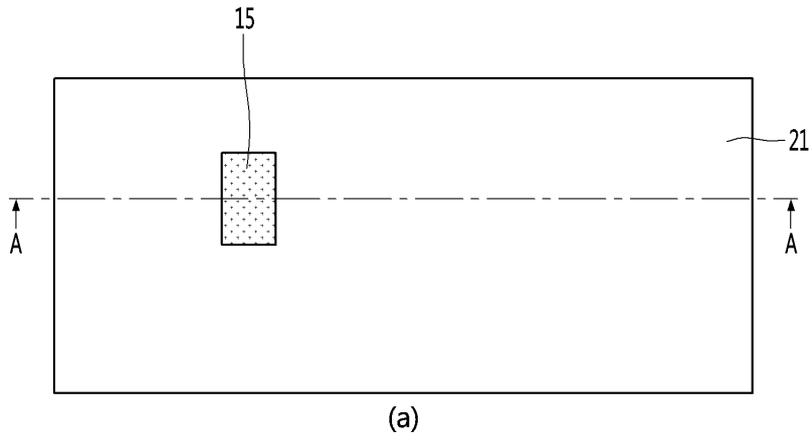
도면2



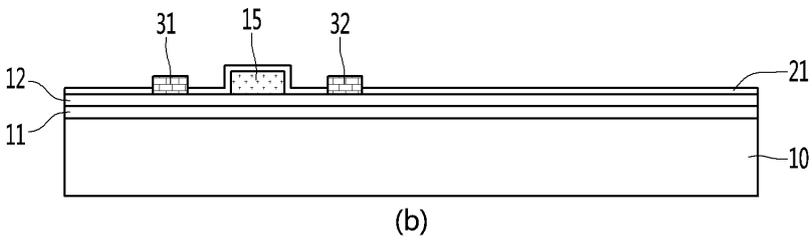
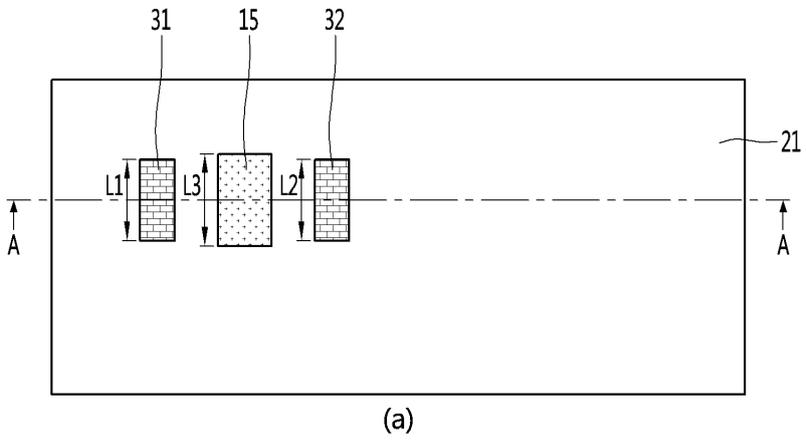
도면3



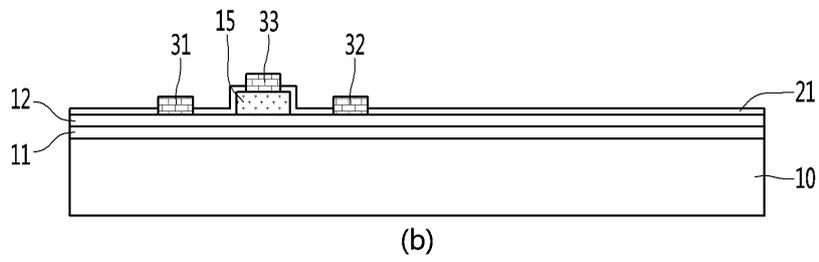
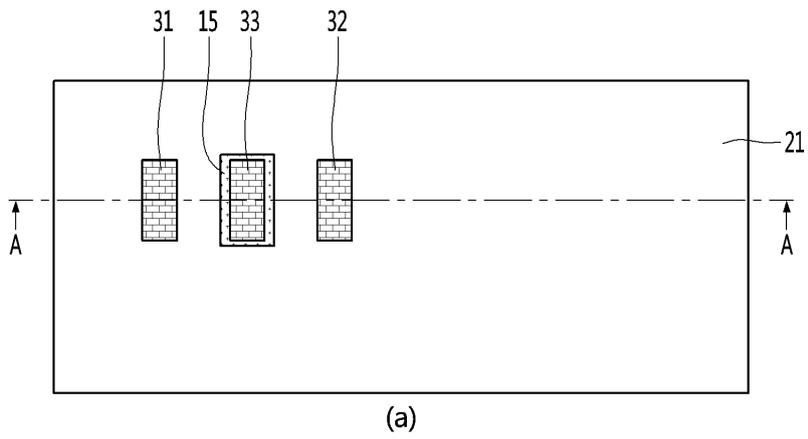
도면4



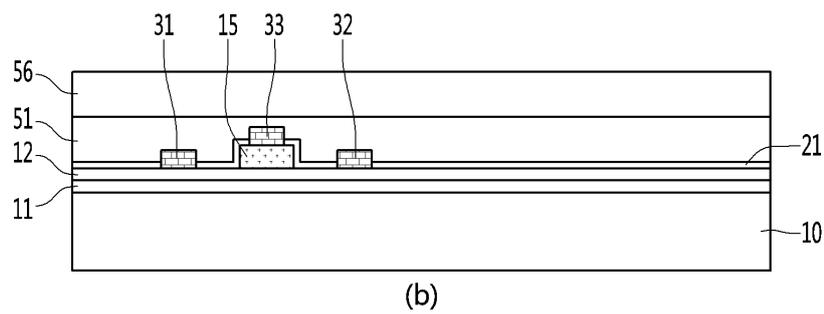
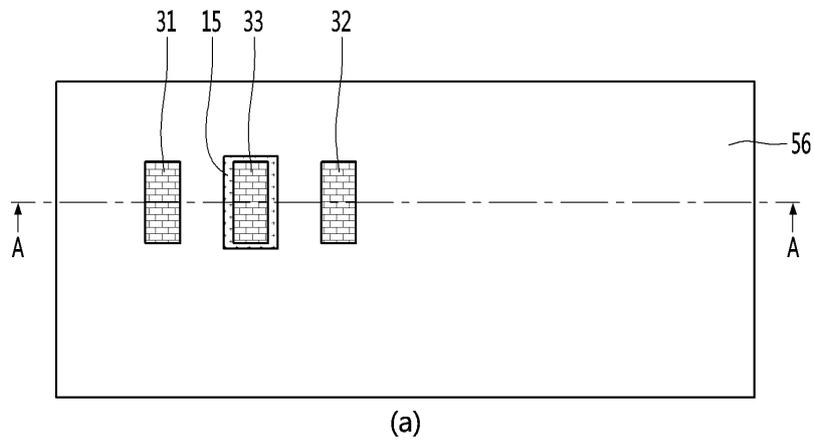
도면5



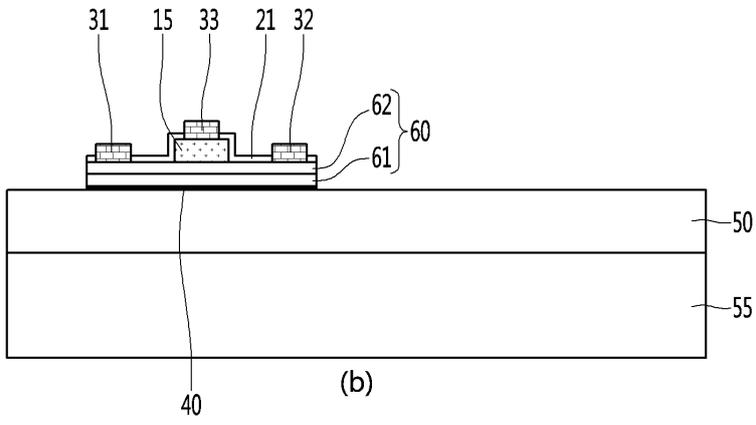
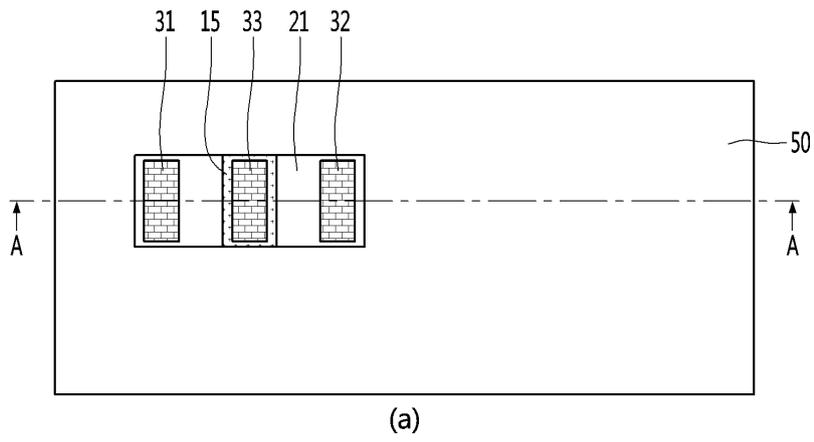
도면6



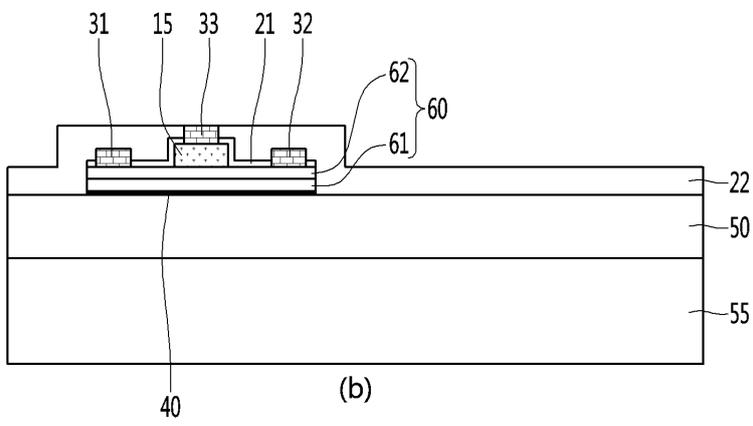
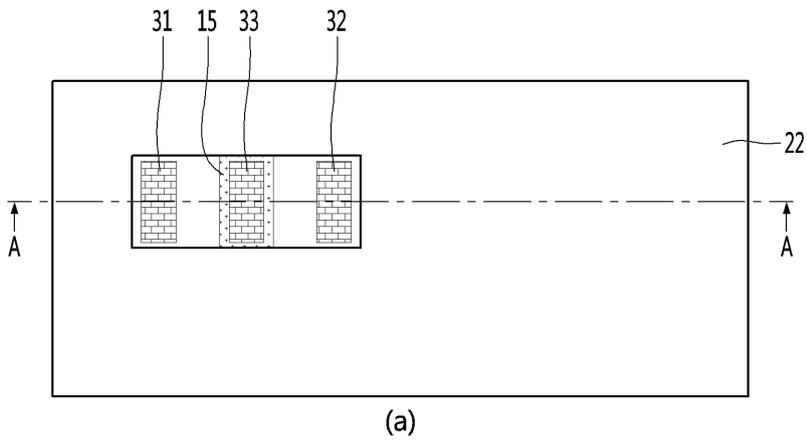
도면7



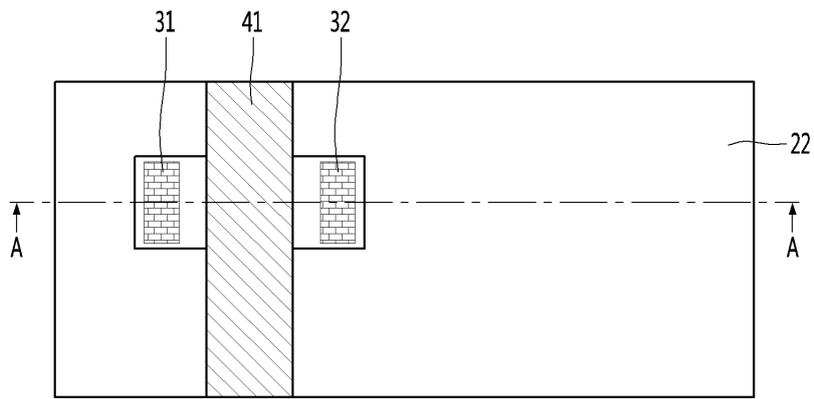
도면8



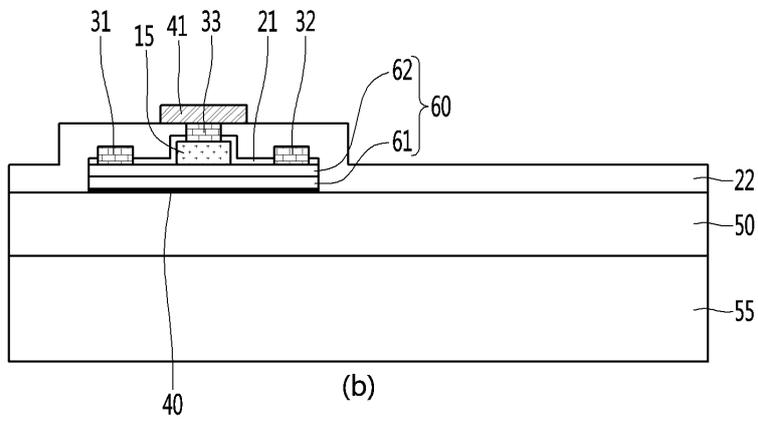
도면9



도면10

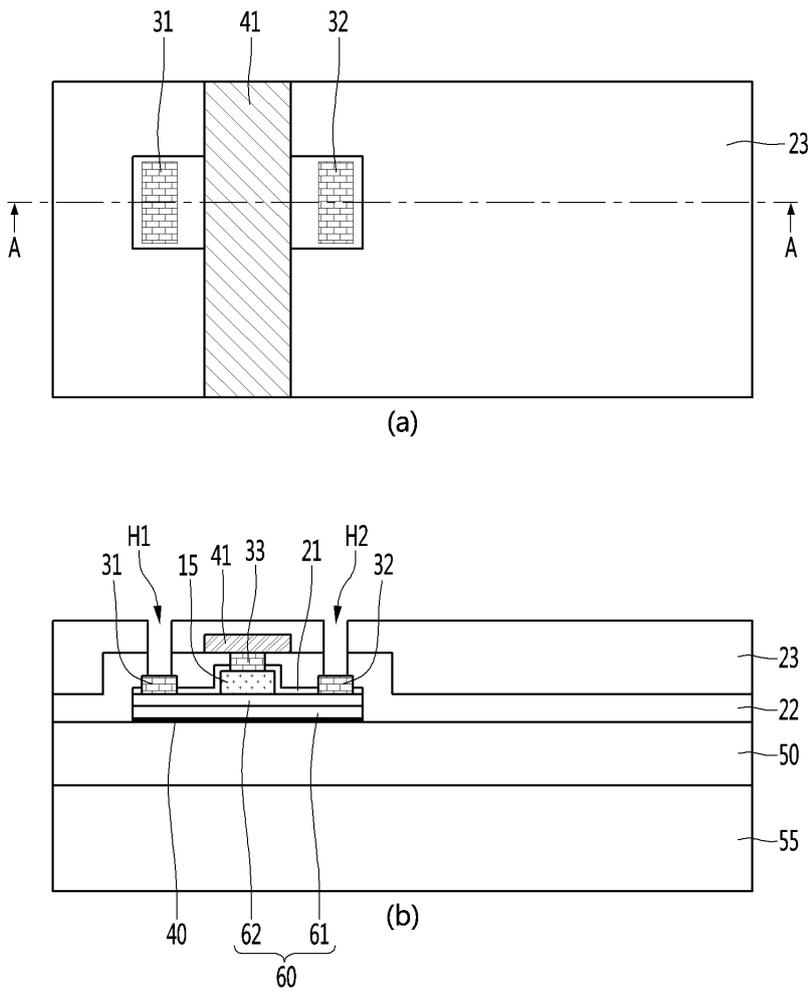


(a)

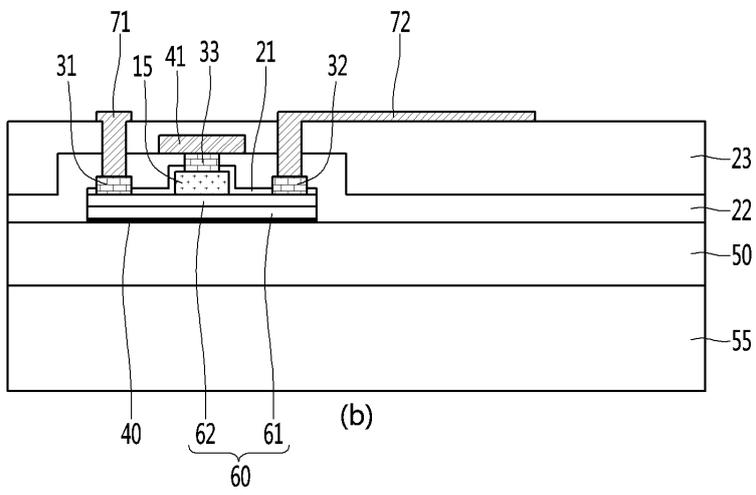
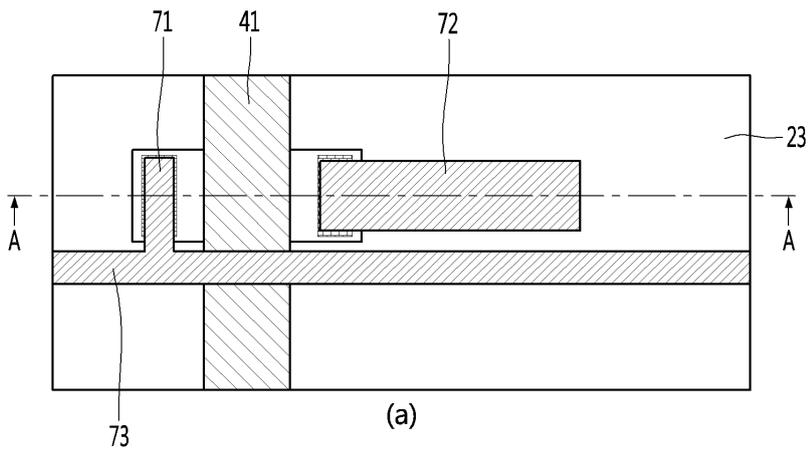


(b)

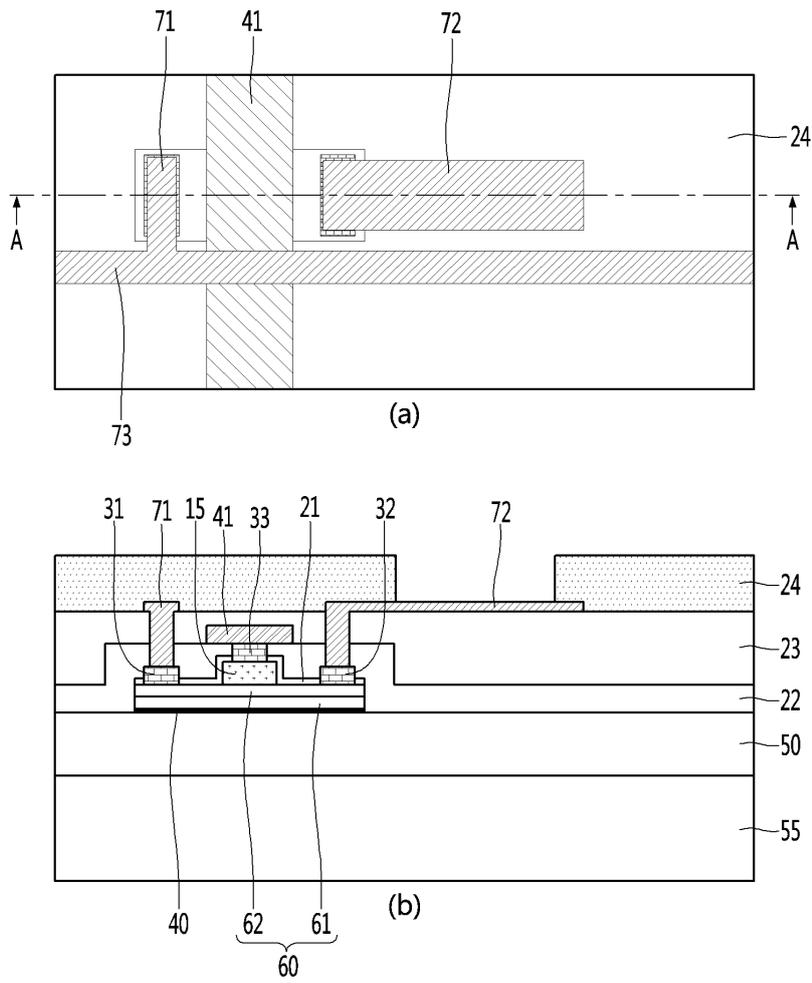
도면11



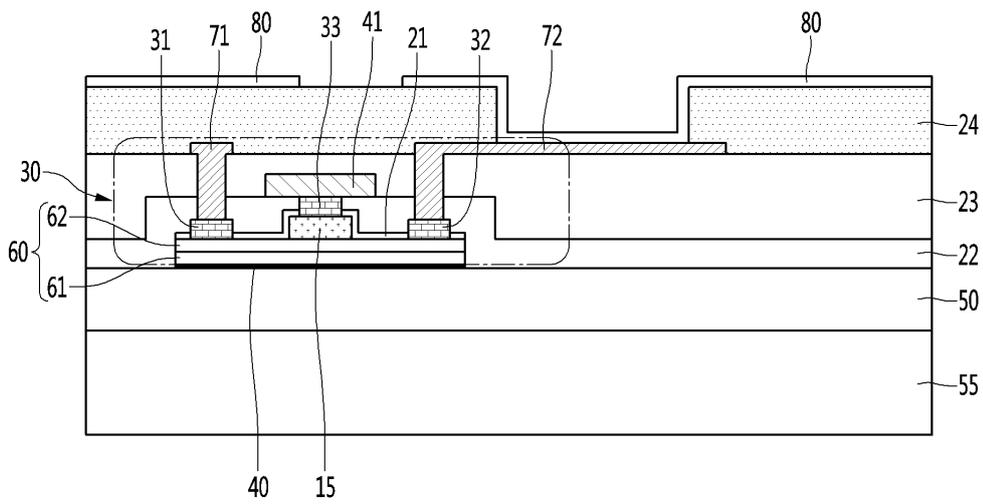
도면12



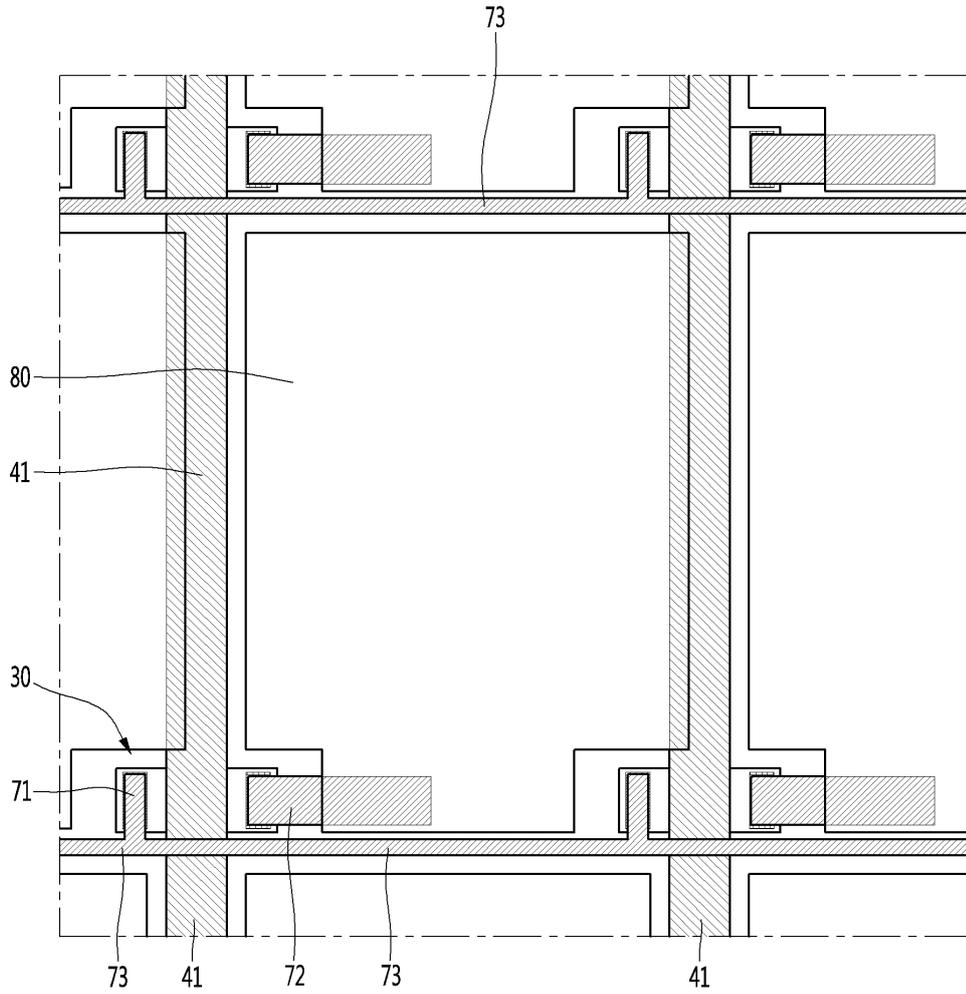
도면13



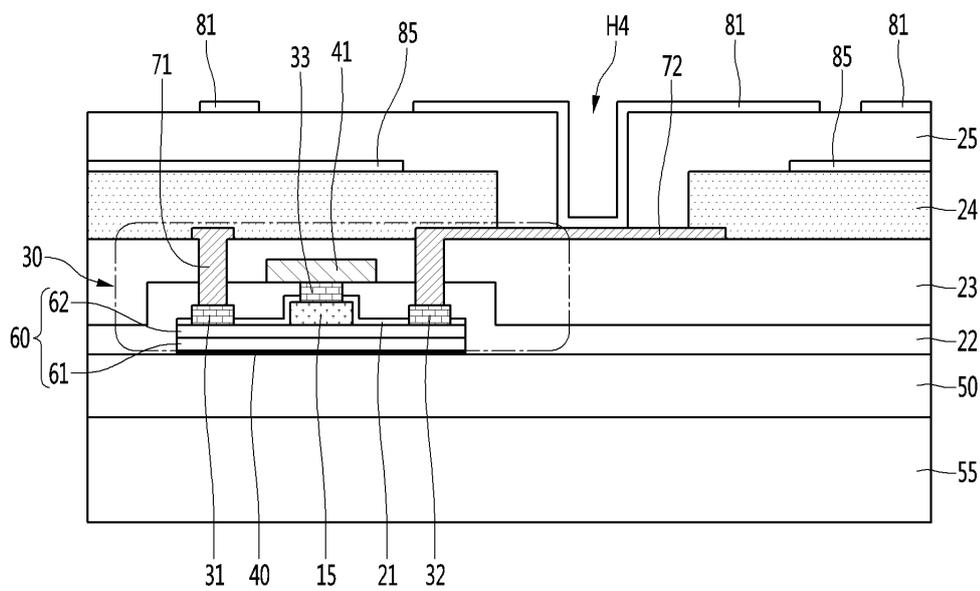
도면14



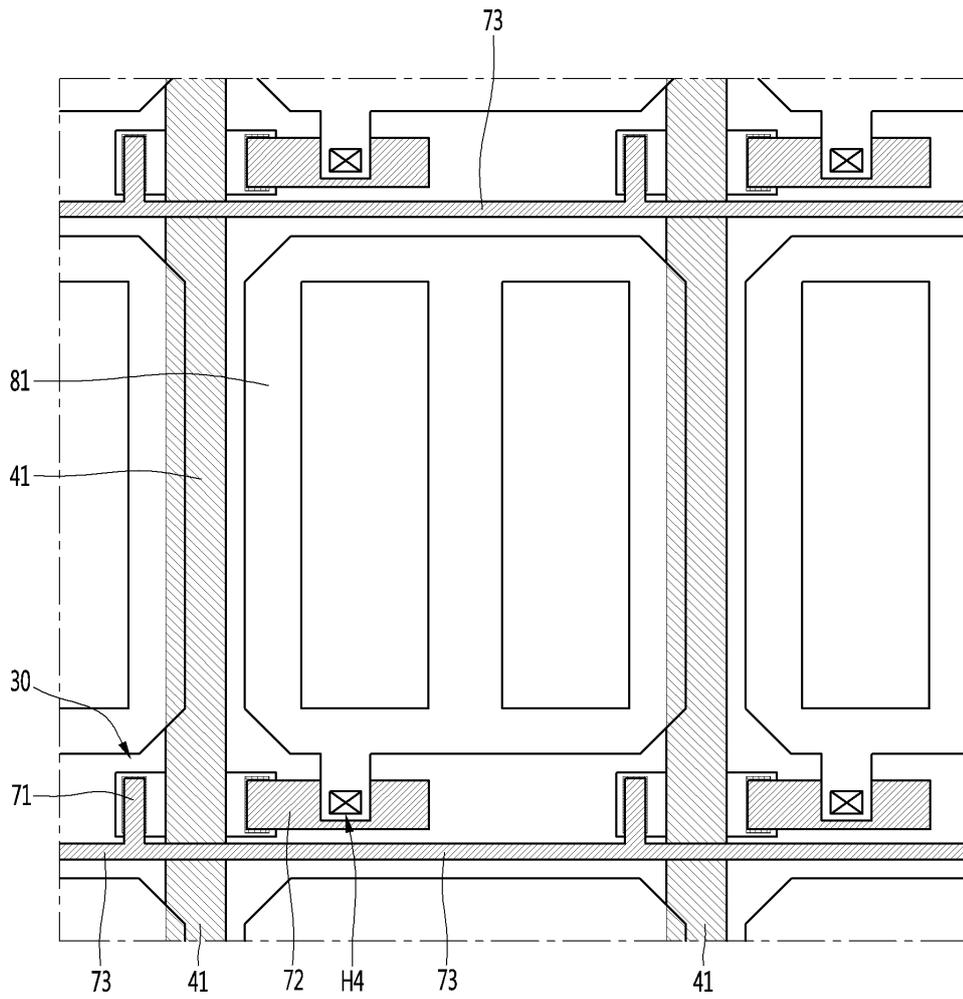
도면15



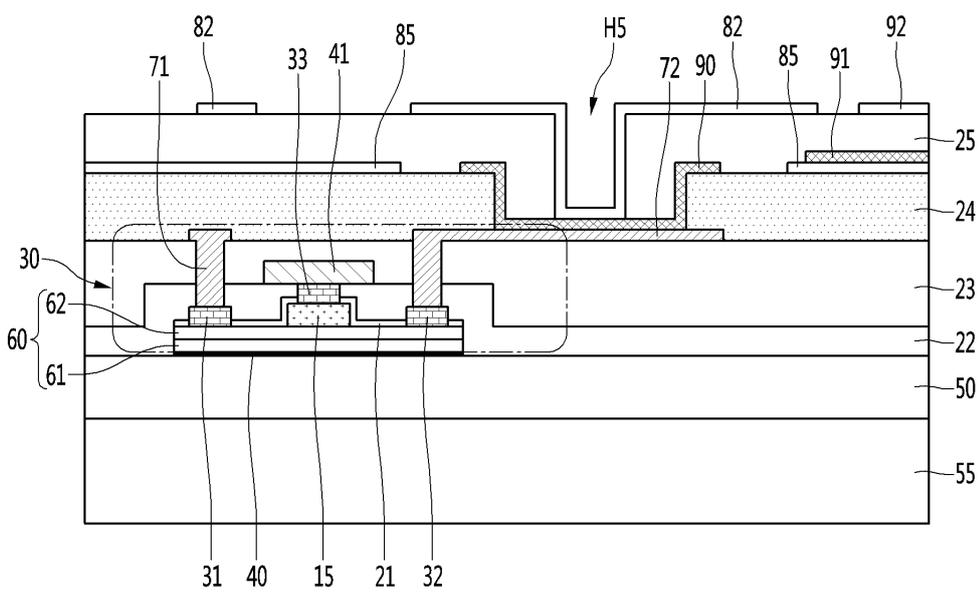
도면16



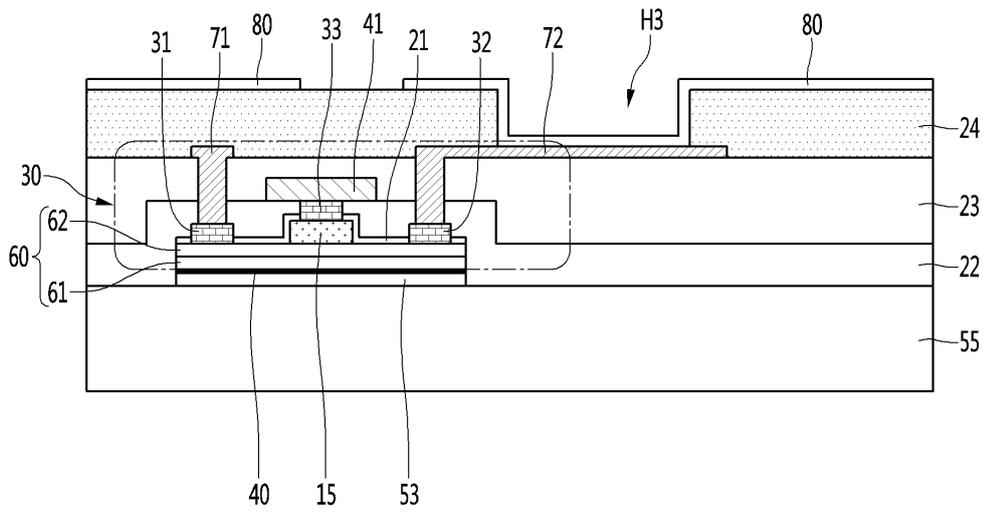
도면17



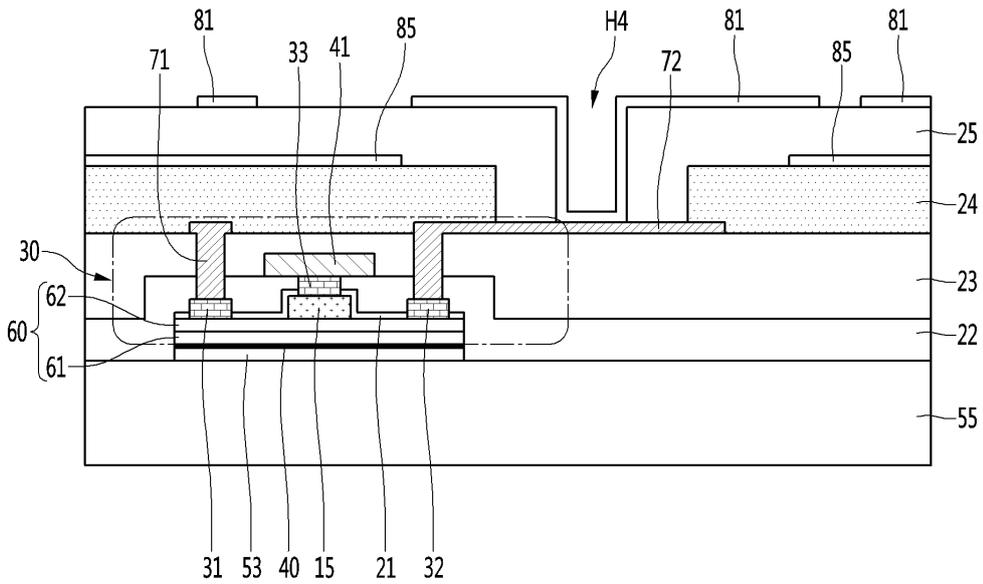
도면18



도면19

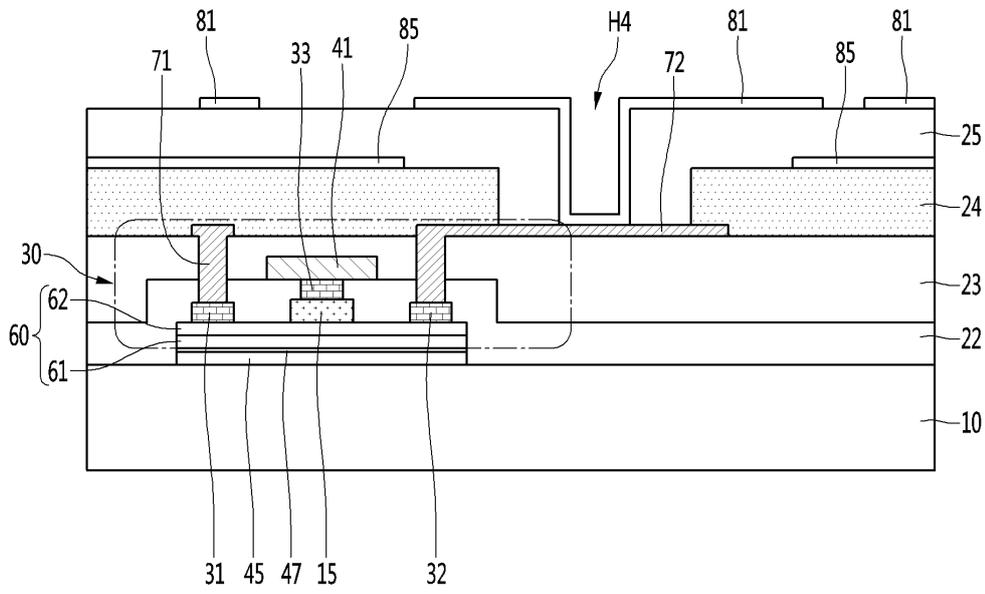


도면20

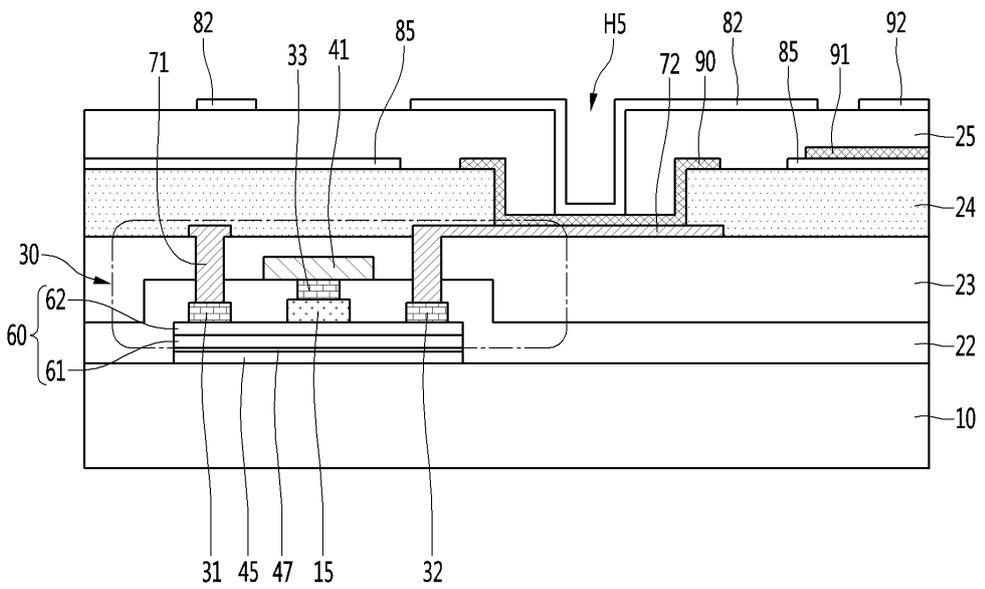




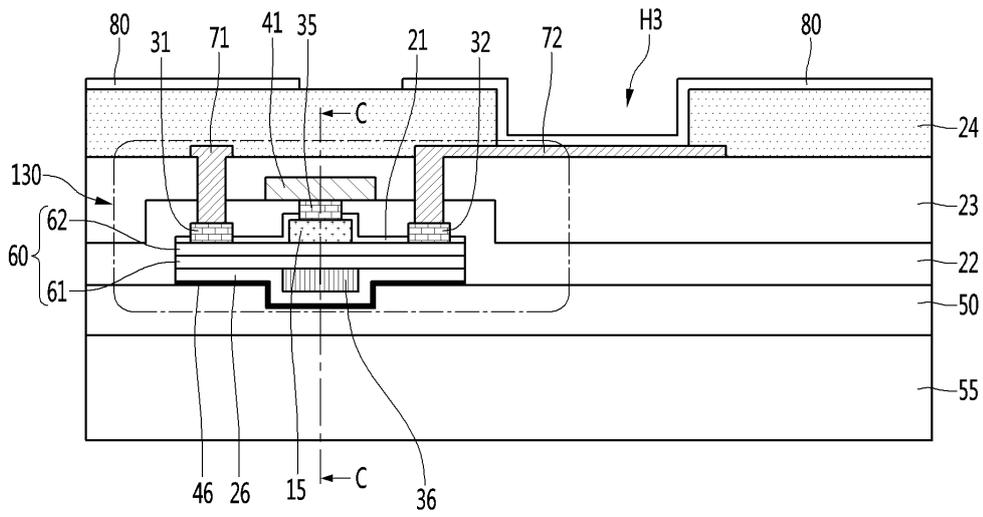
도면23



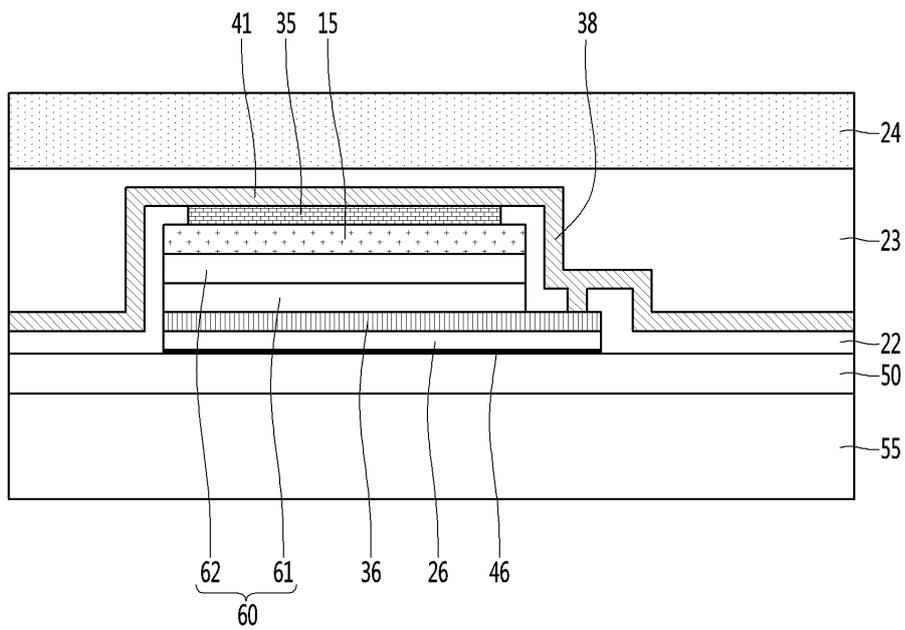
도면24



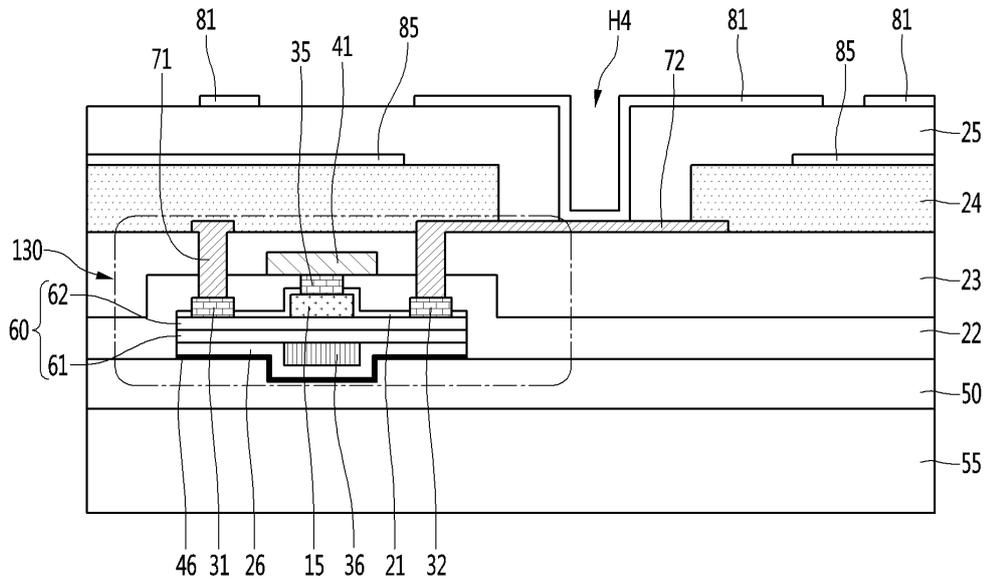
도면25



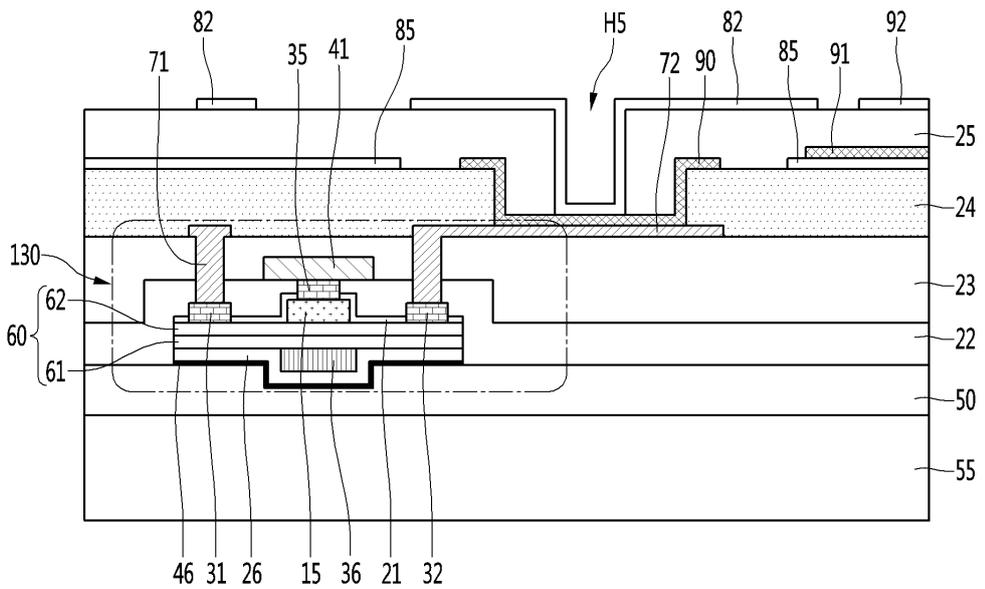
도면26



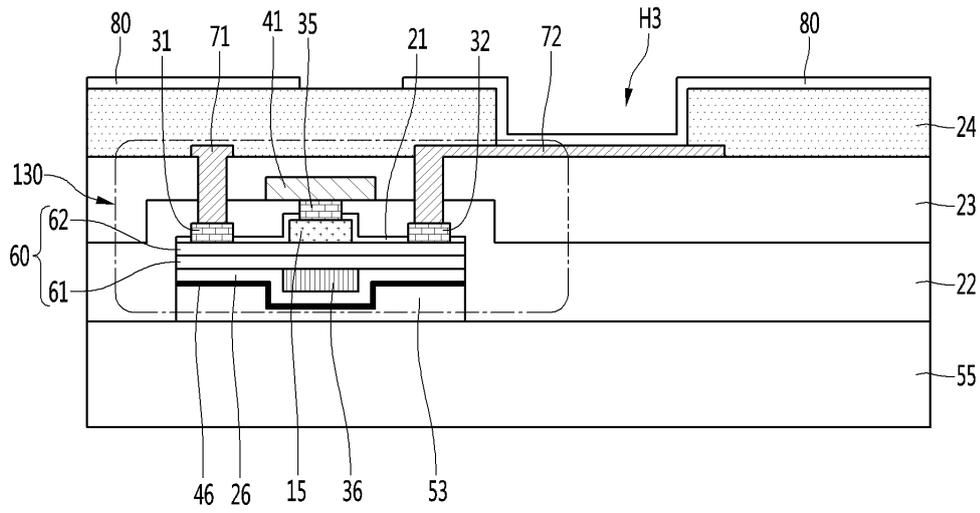
도면27



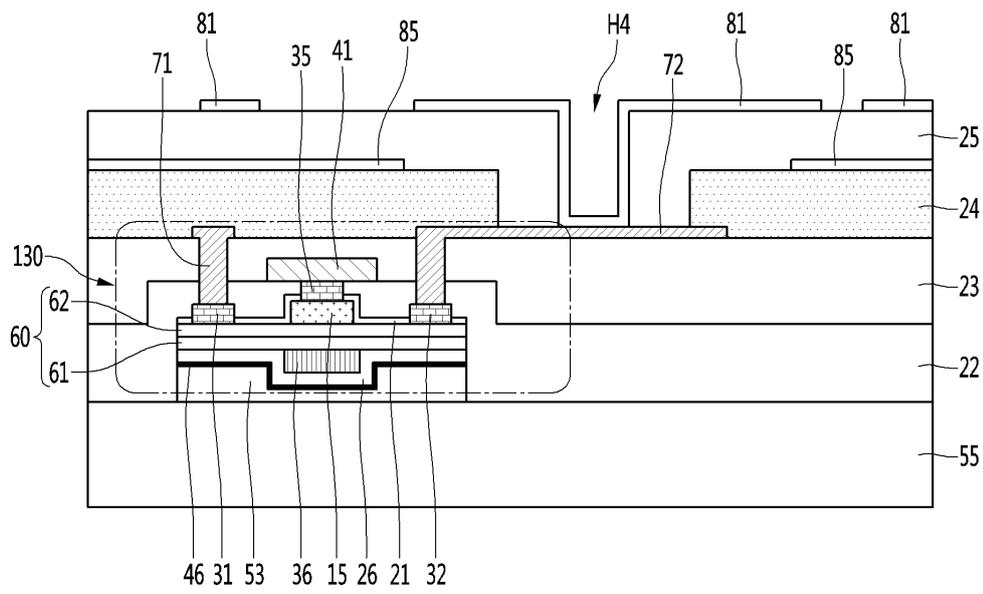
도면28



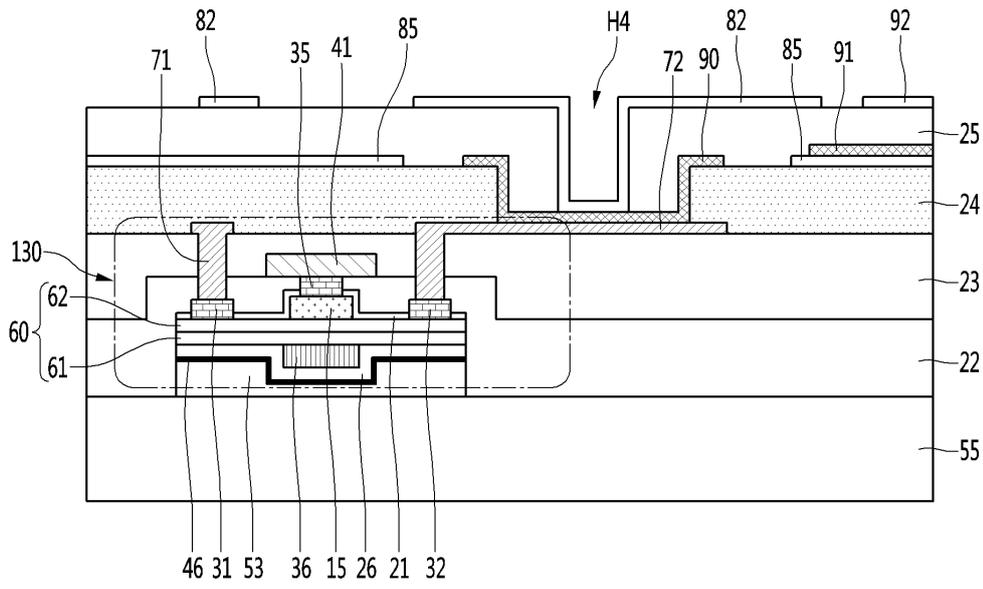
도면29



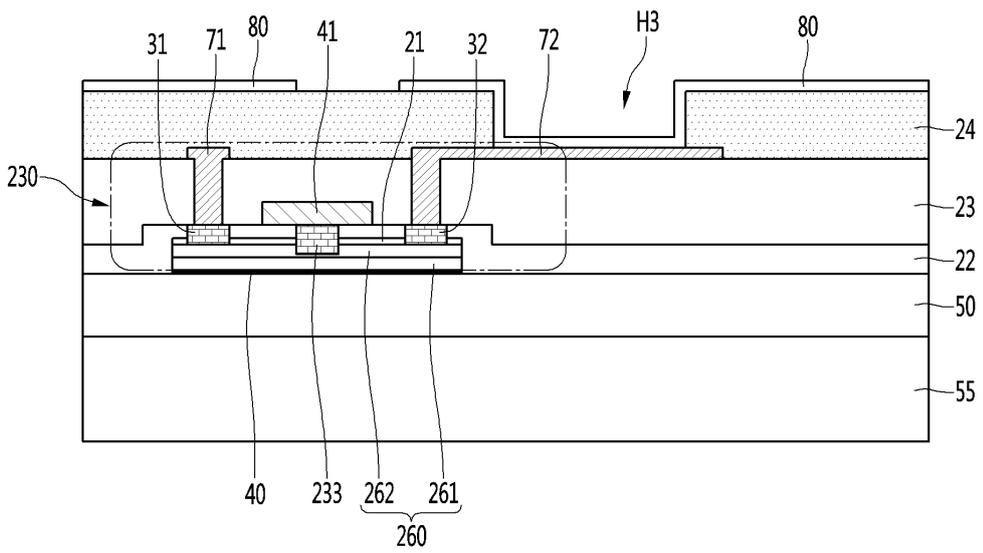
도면30



도면31

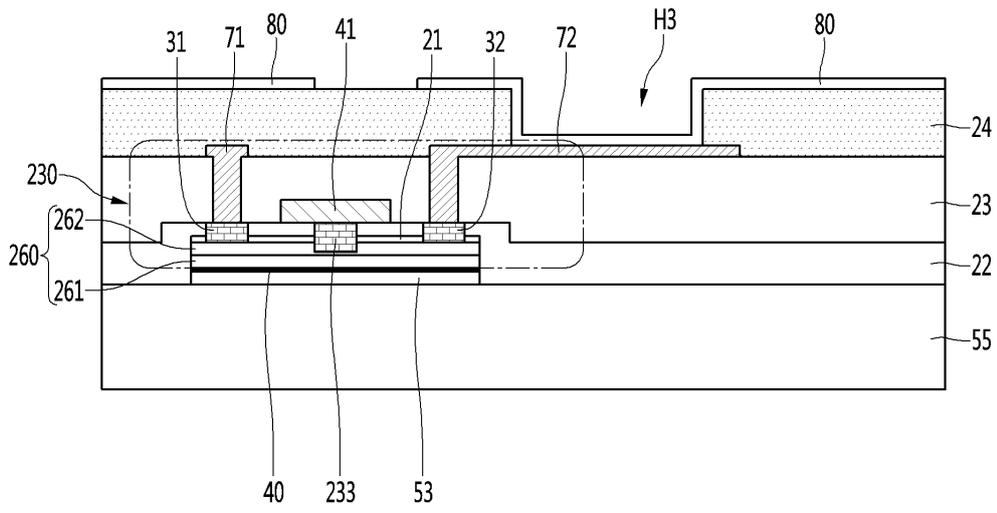


도면32

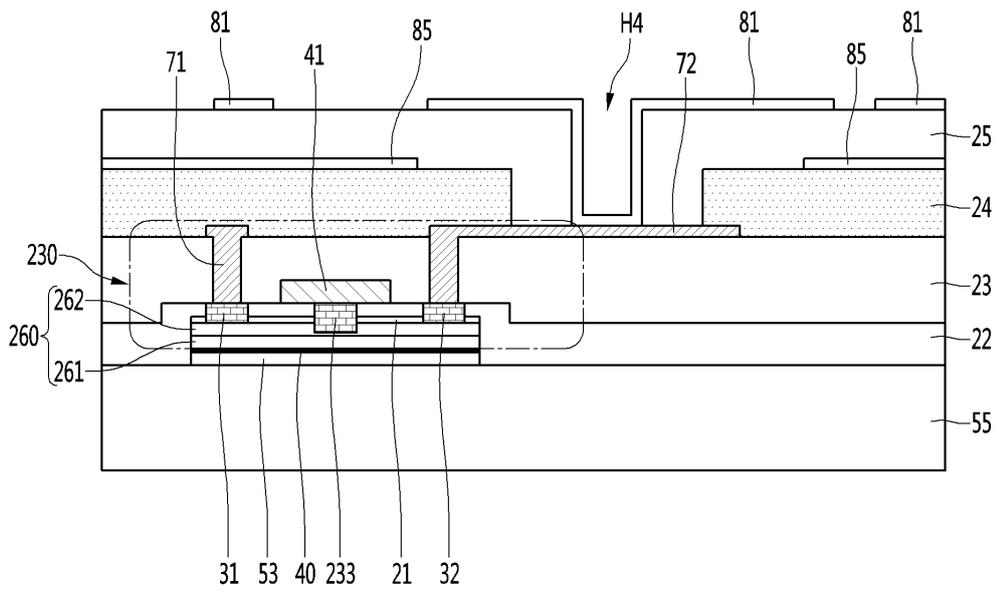




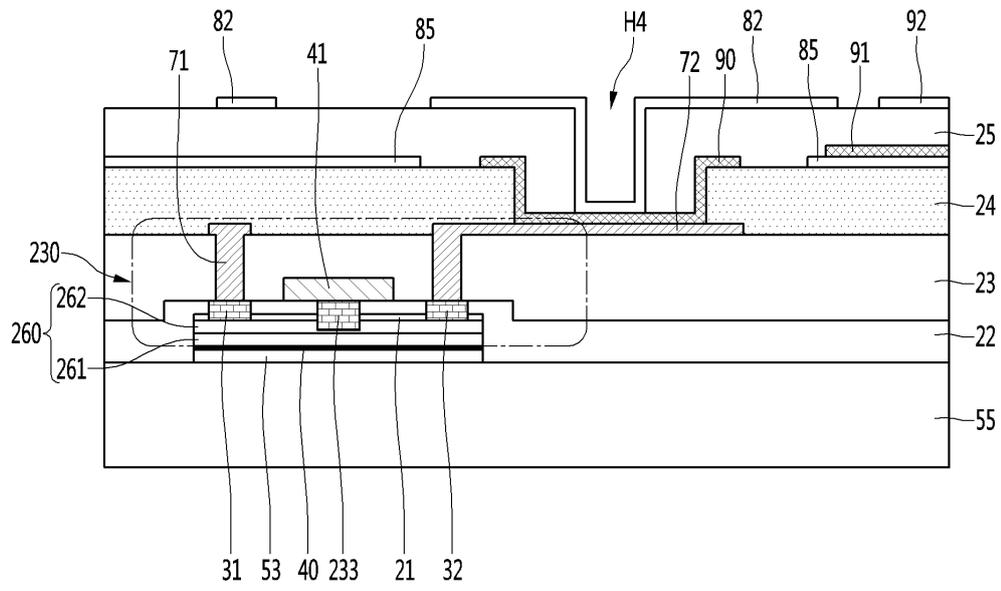
도면35



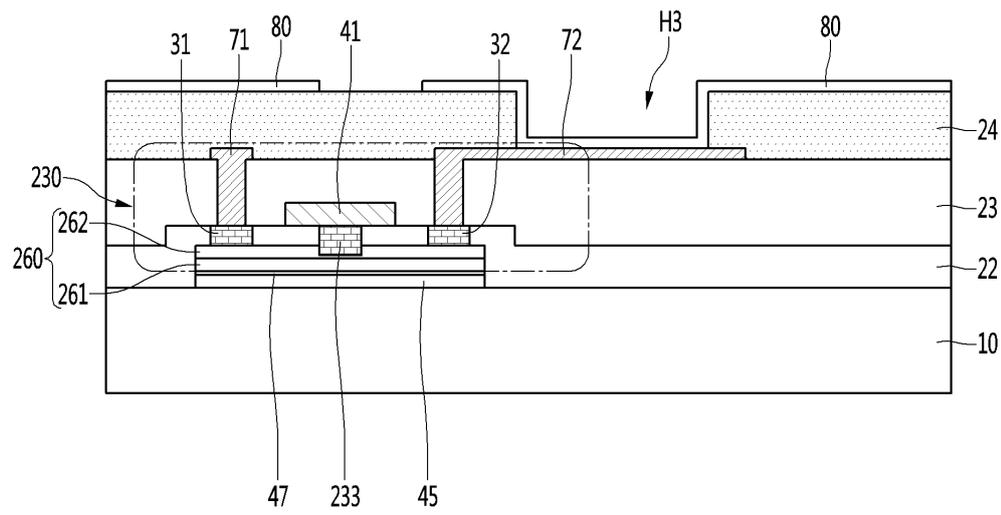
도면36



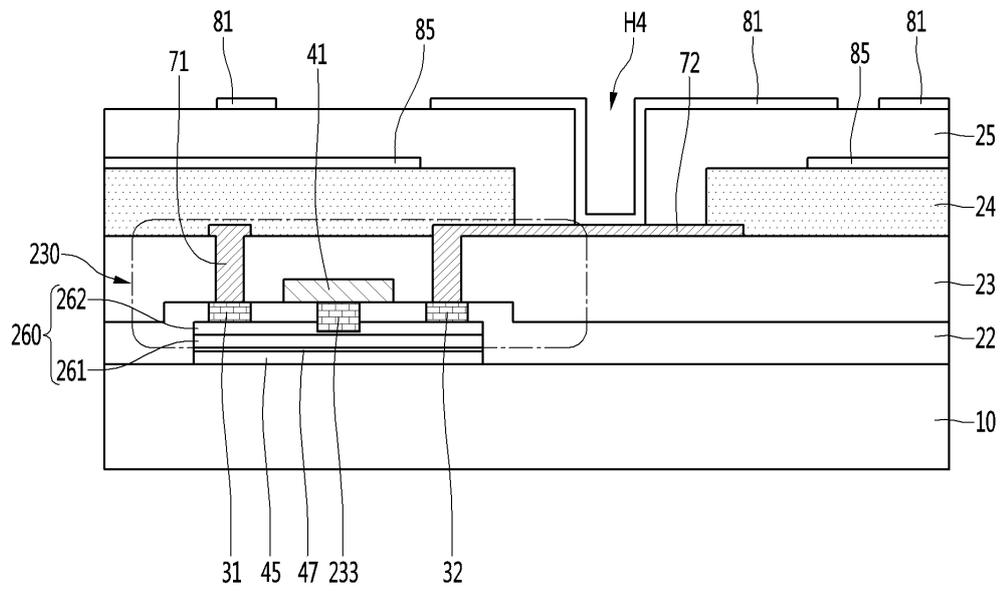
도면37



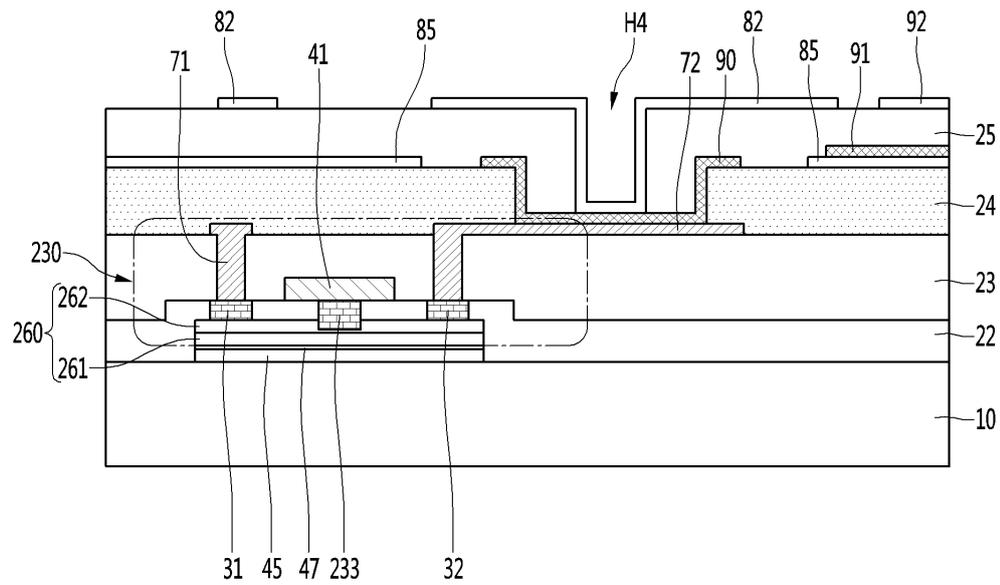
도면38



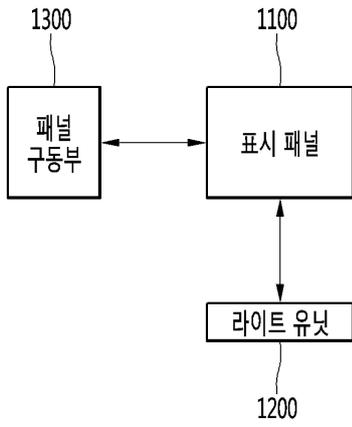
도면39



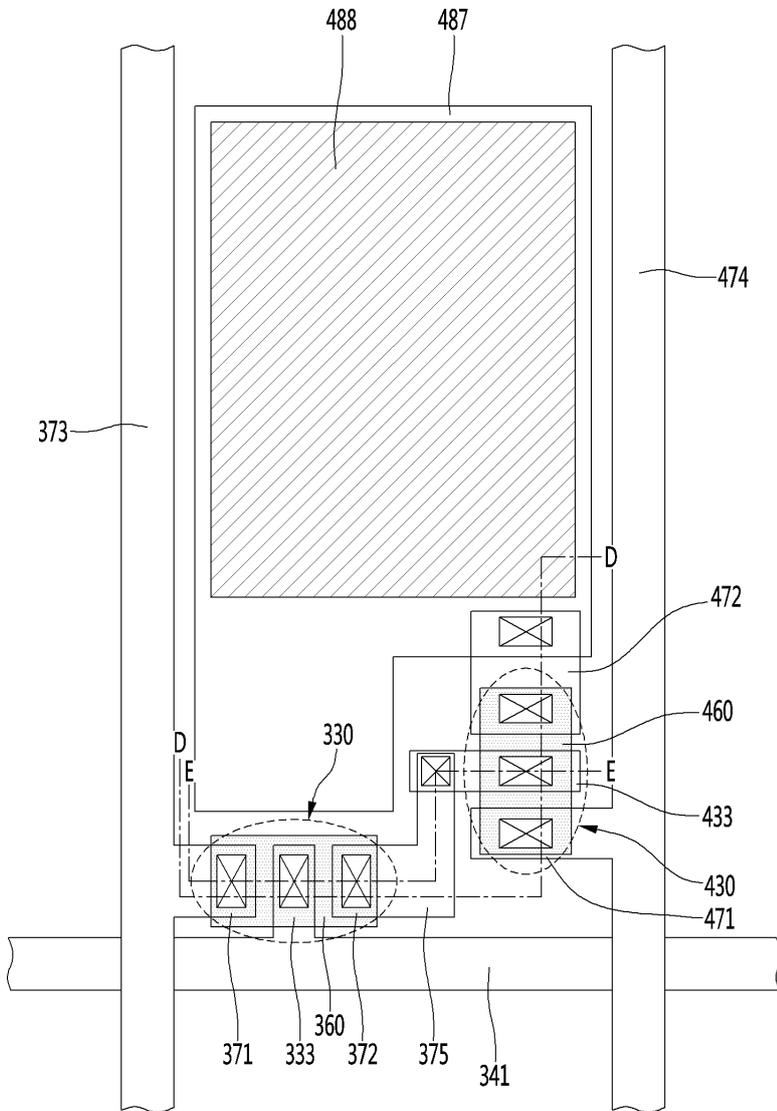
도면40



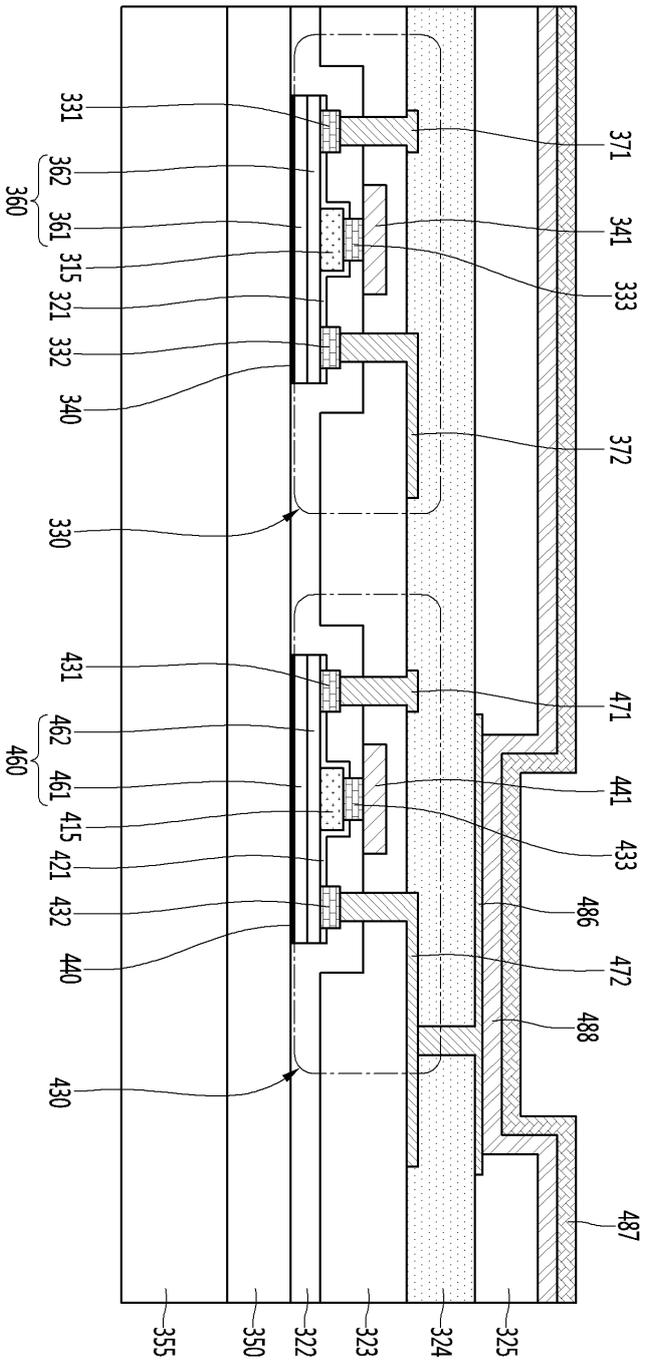
도면41



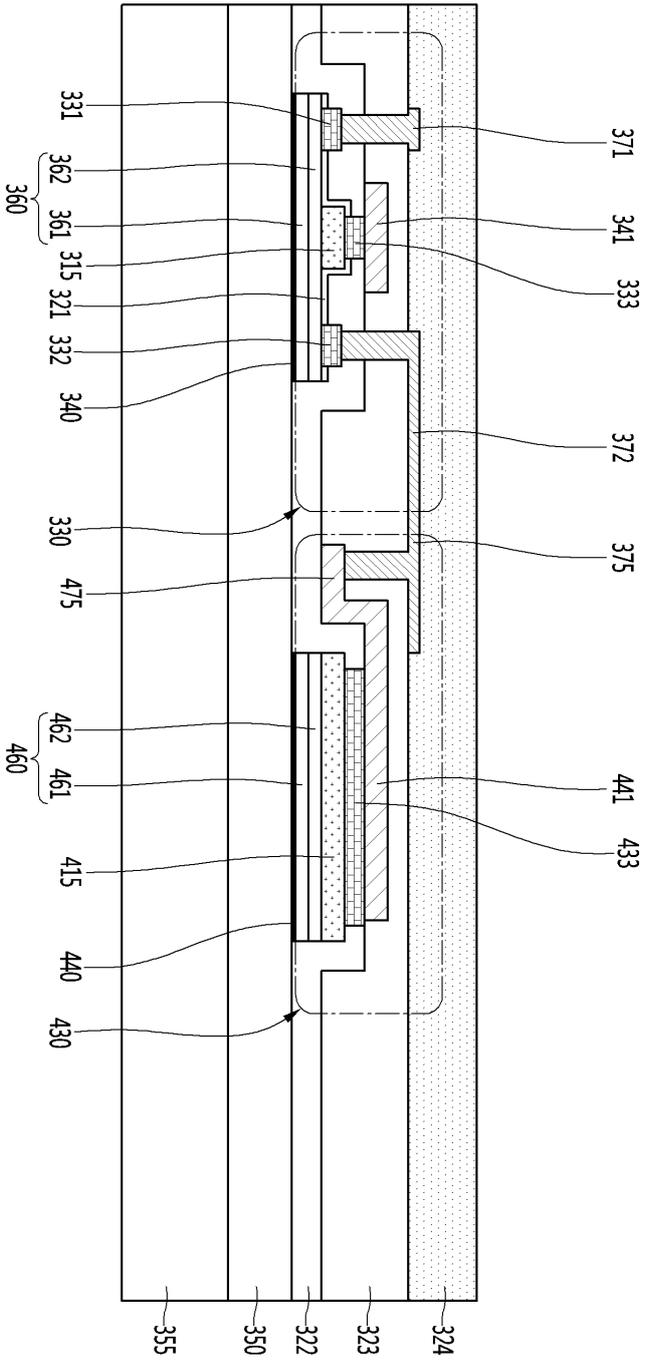
도면42



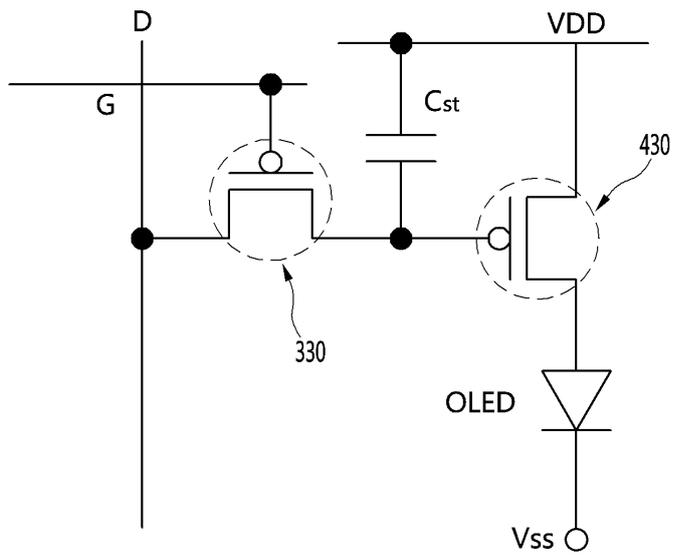
도면43



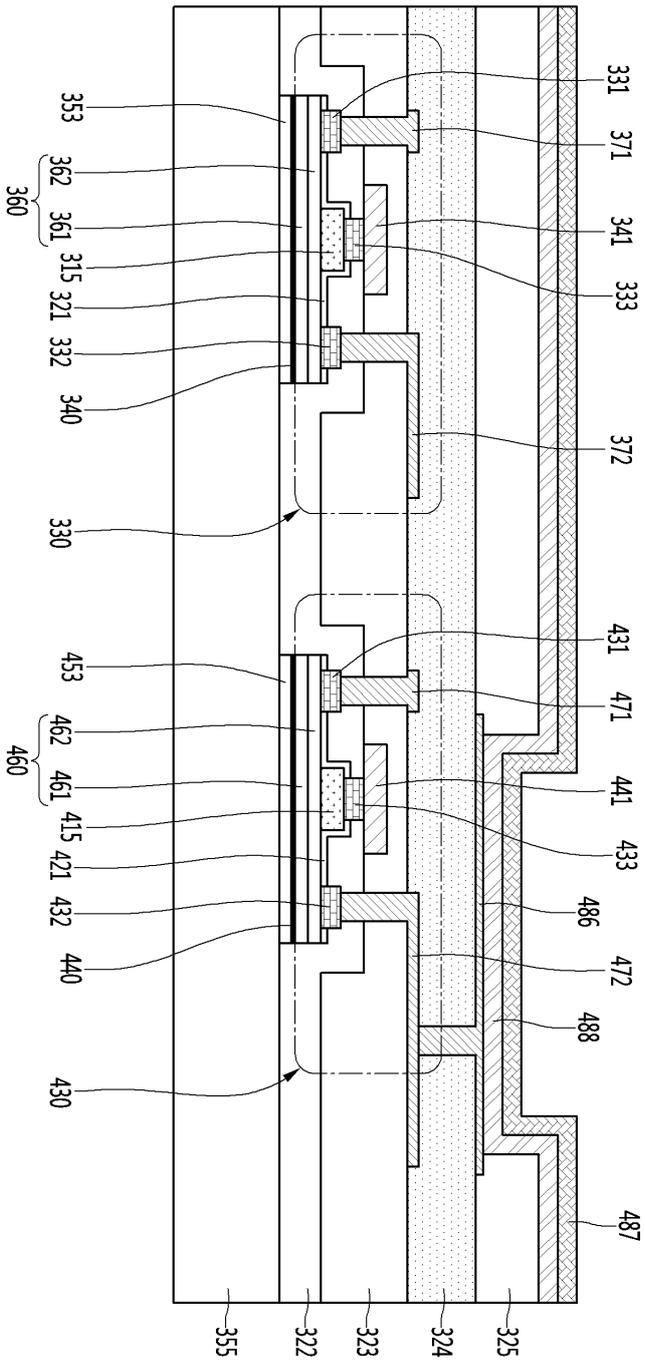
도면44



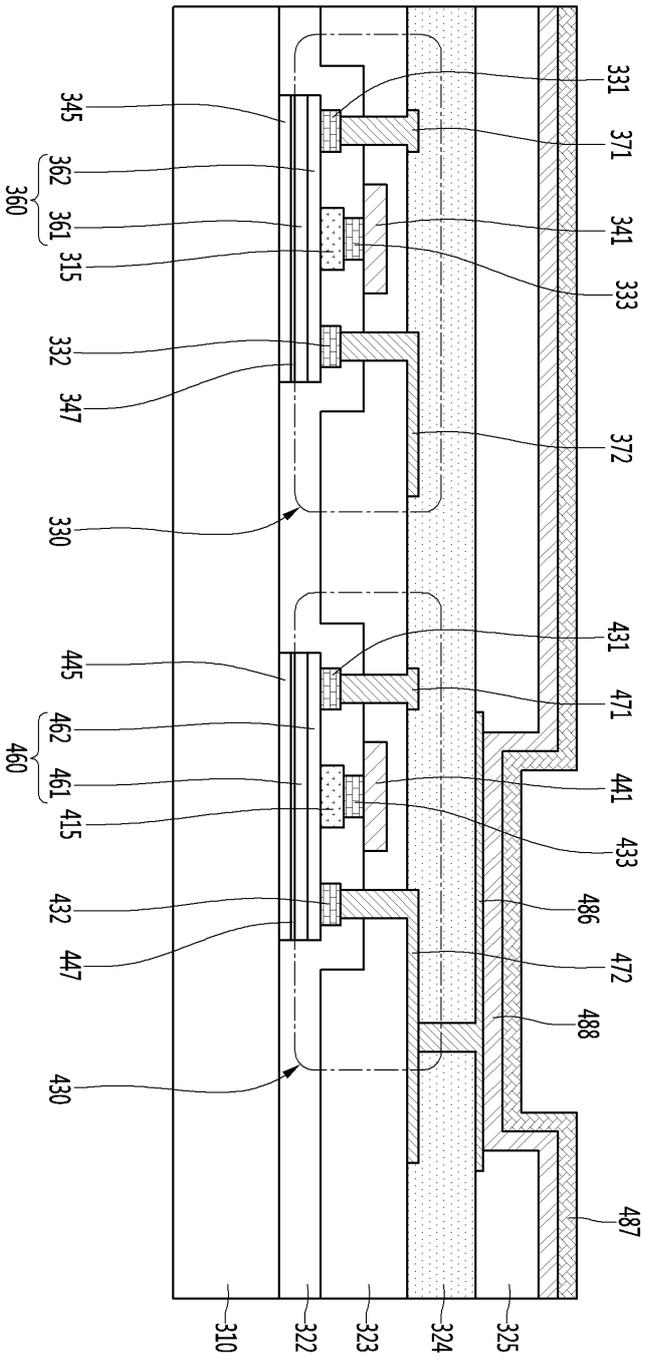
도면45



도면46

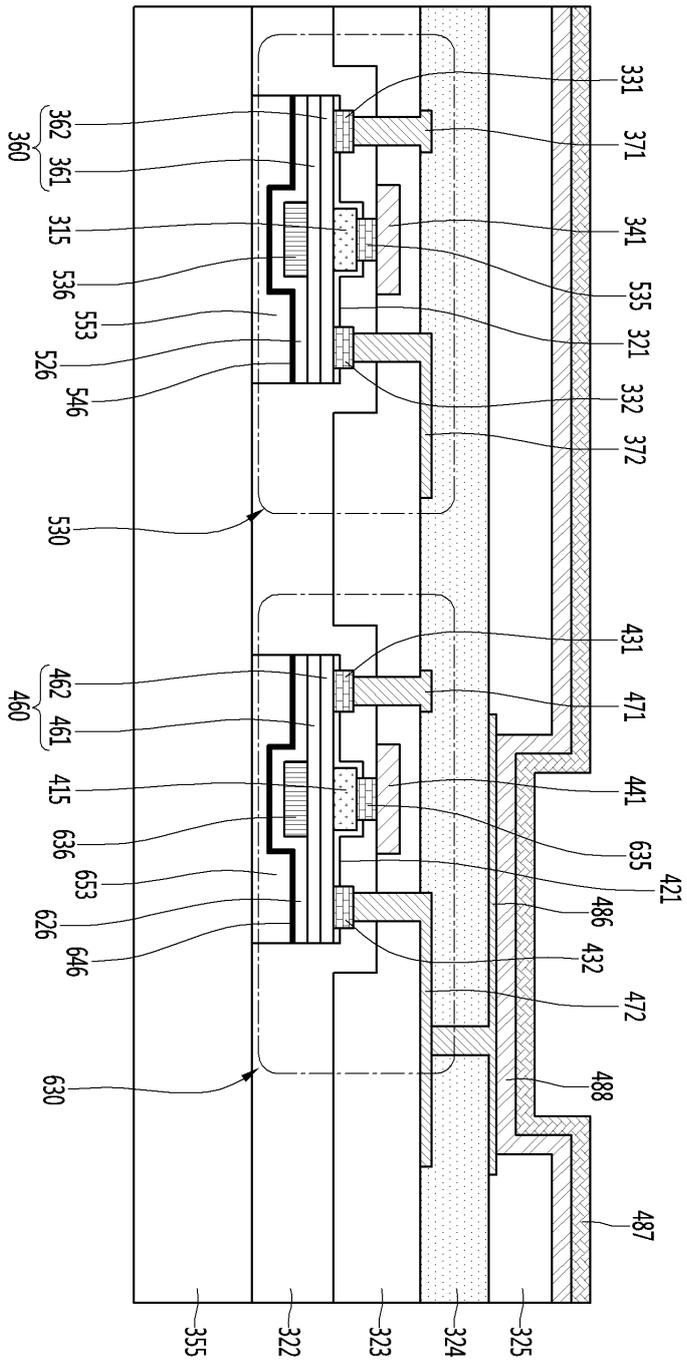


도면47

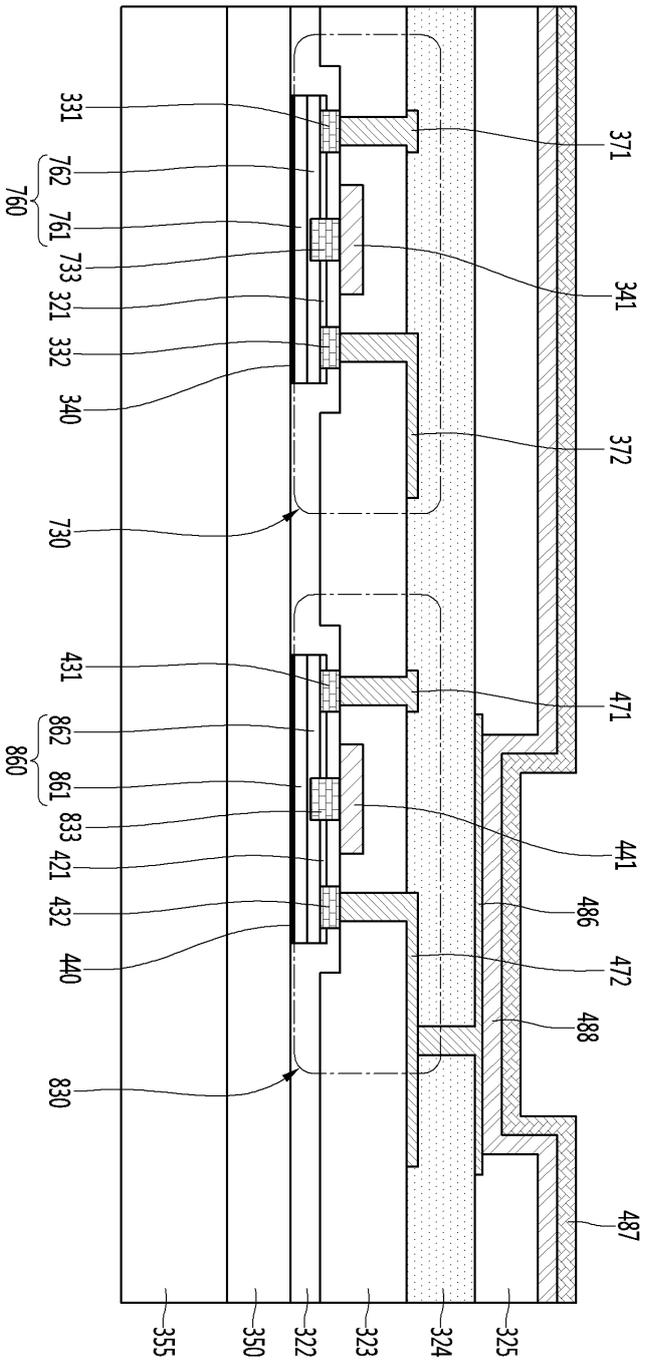




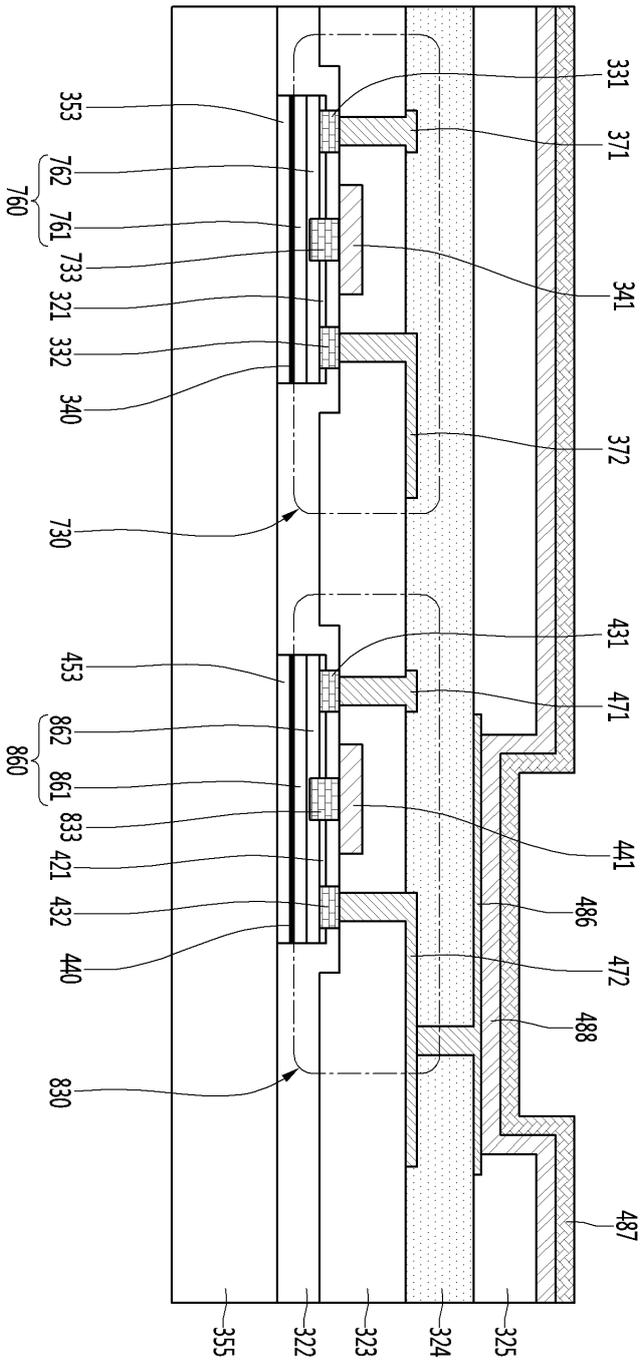
도면49



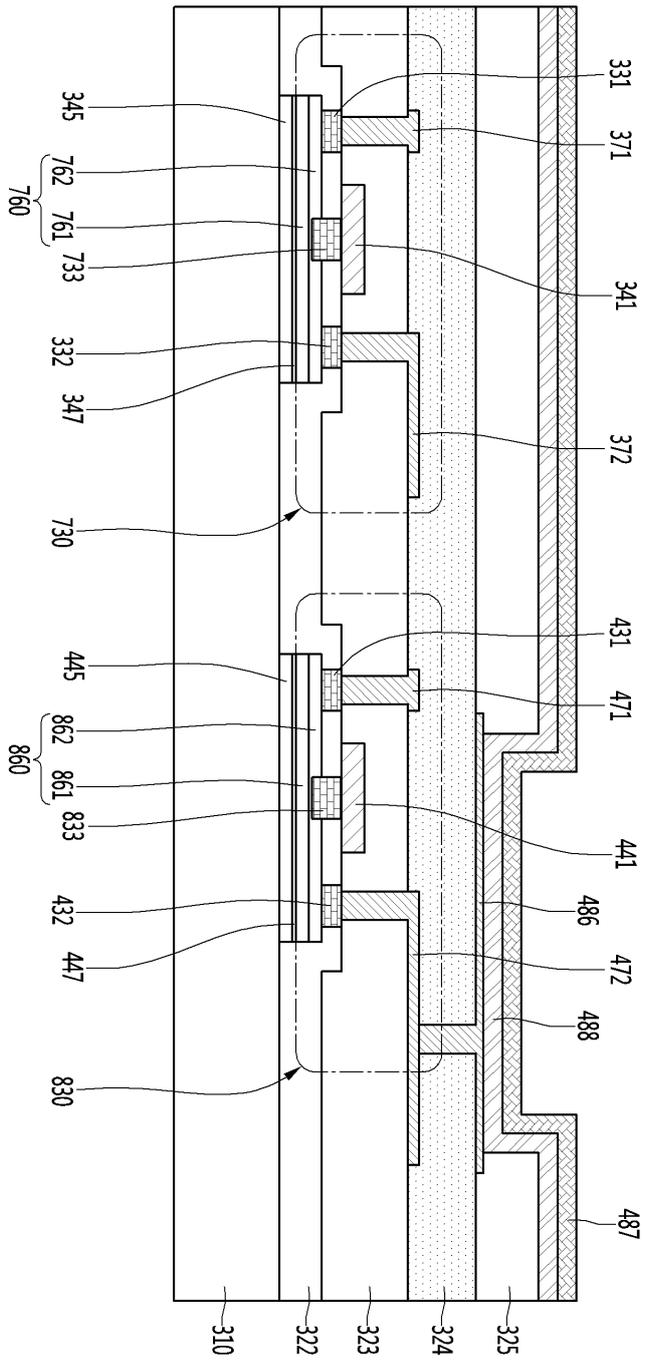
도면50



도면51



도면52



도면53

