



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0037697
(43) 공개일자 2008년04월30일

- | | |
|--|--|
| <p>(51) Int. Cl.
<i>H01L 33/00</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7005175</p> <p>(22) 출원일자 2008년02월29일
심사청구일자 2008년02월29일
번역문제출일자 2008년02월29일</p> <p>(86) 국제출원번호 PCT/JP2006/315978
국제출원일자 2006년08월07일</p> <p>(87) 국제공개번호 WO 2007/018299
국제공개일자 2007년02월15일</p> <p>(30) 우선권주장
JP-P-2005-00229426 2005년08월08일 일본(JP)</p> | <p>(71) 출원인
쇼와 덴코 가부시카이가이사
일본국 도쿄도 미나토구 시바다이몬 1초메 13반 9고</p> <p>학교법인 도시샤
일본국 교토후 교토시 카미교쿠 이마테가와도리 카라스마히가시이루 겐부초 601</p> <p>(72) 발명자
오하치 타다시
일본 교토후 교타나베시 미야코다니 타타라 1-3 도시샤다가쿠 나이</p> <p>우다가와 타카시
일본 사이타마켄 치치부시 시모카게모리 1505 쇼와 덴코가부시카이가이사 나이</p> <p>(74) 대리인
하영옥</p> |
|--|--|

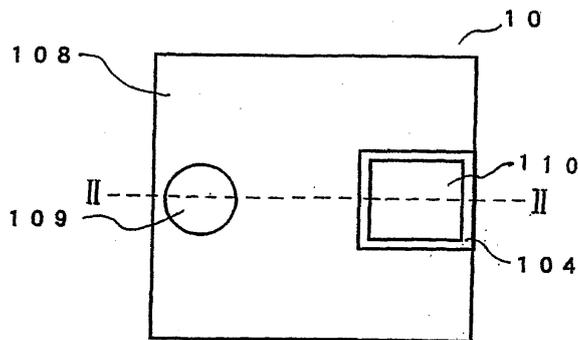
전체 청구항 수 : 총 16 항

(54) 반도체 소자 및 그 제조방법

(57) 요약

규소 단결정 기판(101), 상기 기판의 표면에 형성된 탄화규소층(102), 상기 탄화규소층에 접해서 형성된 III족 질화물 반도체 접합층(103) 및 상기 III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층(104)을 구비한 반도체 소자에 있어서, 탄화규소층은 입방정이고 격자정수가 0.436nm를 초과하고 0.460nm 이하인 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 층이고, III족 질화물 반도체 접합층은 조성이 $Al_xGa_yIn_zN_{1-a}M_a$ ($0 \leq X, Y, Z \leq 1, X+Y+Z=1, 0 \leq a < 1, M$ 은 질소 이외의 제 V 족 원소)인 것으로 구성된다.

대표도 - 도1



특허청구의 범위

청구항 1

규소 단결정 기관, 상기 기관의 표면에 형성된 탄화규소층, 상기 탄화규소층에 접해서 형성된 III족 질화물 반도체 접합층 및 상기 III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 구비한 반도체 소자로서:

상기 탄화규소층은 입방정이고 격자정수가 0.436nm를 초과하고 0.460nm 이하인 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 층이고, 상기 III족 질화물 반도체 접합층은 조성이 $Al_xGa_yIn_zN_{1-a}M_a$ ($0 \leq X, Y, Z \leq 1, X+Y+Z=1, 0 \leq a < 1$, M은 질소 이외의 제 V 족 원소이다.)인 것을 특징으로 하는 반도체 소자.

청구항 2

제 1 항에 있어서, 상기 III족 질화물 반도체로 이루어진 초격자 구조층은 알루미늄(Al) 조성을 달리한 질화 알루미늄·갈륨($Al_xGa_{1-x}N: 0 \leq X \leq 1$)층을 교대로 적층한 층인 것을 특징으로 하는 반도체 소자.

청구항 3

제 2 항에 있어서, 알루미늄 조성을 달리한 질화 알루미늄·갈륨층에서 알루미늄 조성을 작게 한 층이 상기 III족 질화물 반도체 접합층에 접하여 있는 것을 특징으로 하는 반도체 소자.

청구항 4

제 1 항에 있어서, 상기 III족 질화물 반도체로 이루어진 초격자 구조층은 갈륨(Ga) 조성을 달리한 질화 갈륨·인듐($Ga_qIn_{1-q}N: 0 \leq Q \leq 1$)층을 교대로 적층한 층인 것을 특징으로 하는 반도체 소자.

청구항 5

제 4 항에 있어서, 갈륨 조성을 달리한 질화 갈륨·인듐층에서 갈륨 조성을 크게 한 층이 III족 질화물 반도체 접합층에 접하여 있는 것을 특징으로 하는 반도체 소자.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 III족 질화물 반도체로 이루어진 초격자 구조층은 막두께가 5ML~30ML의 범위 내인 것을 특징으로 하는 반도체 소자.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 규소 단결정 기관은 표면을 {111} 결정면으로 하는 기관이고, 상기 III족 질화물 반도체 접합층은 육방정의 섬유아연석 결정형 질화 알루미늄(AlN)층인 것을 특징으로 하는 반도체 소자.

청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 규소 단결정 기관은 표면을 {001} 결정면으로 하는 기관이고, 상기 III족 질화물 반도체 접합층은 입방정의 섬아연광 결정형 질화 알루미늄(AlN)층인 것을 특징으로 하는 반도체 소자.

청구항 9

(1) 규소 단결정 기관의 표면에 탄화수소 가스를 블로잉하여 기관의 표면에

탄화수소를 흡착시키는 공정, (2) 흡착시킨 온도 이상의 온도로 규소 단결정 기관을 가열하여 규소 단결정 기관의 표면에 격자정수를 0.436nm를 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소층을 형성하는 공정, (3) 탄화규소층의 표면에 제 V 족 원소를 함유하는 기체와 제 III 족 원소를 함유하는 기체를 공급하여 III족 질화물 반도체 접합층을 형성하는 공정, 및 (4) III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 형성하는 공정을 포함하는 것을 특징으로

하는 반도체 소자의 제조방법.

청구항 10

제 9 항에 있어서, 상기 규소 단결정 기판을 표면을 {111} 결정면으로 하는 기판으로 하고, 상기 기판 표면에 형성하는 탄화규소층을 표면을 {111} 결정면으로 하는 층으로 하고, 상기 III족 질화물 반도체 접합층을 육방정의 층으로 하고, 상기 III족 질화물 반도체로 이루어진 초격자 구조층을 육방정의 층으로 하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

제 9 항에 있어서, 상기 규소 단결정 기판을 표면을 {001} 결정면으로 하는 기판으로 하고, 상기 기판 표면에 형성하는 탄화규소층을 표면을 {001} 결정면으로 하는 층으로 하고, 상기 III족 질화물 반도체 접합층을 입방정의 층으로 하고, 상기 III족 질화물 반도체로 이루어진 초격자 구조층을 입방정의 층으로 하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12

제 9 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 (3)의 공정에 있어서, 탄화규소층의 표면에 제 III 족 원소를 함유하는 기체로서 알루미늄을 함유하는 기체와 제 V 족 원소를 함유하는 기체로서 질소를 함유하는 원료를 공급하여 질화 알루미늄으로 이루어진 III족 질화물 반도체 접합층을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13

제 9 항 내지 제 12 항 중 어느 한 항에 있어서, 상기 (3)의 공정을 (3a) 탄화규소층의 표면에 제 III 족 원소를 함유하는 기체를 공급해서 제 III 족 원소를 함유하는 층을 형성하는 공정과, (3b) 제 III 족 원소를 함유하는 층을 질화해서 III족 질화물 반도체 접합층으로서 제 III 족 원소의 질화층을 형성하는 공정으로 하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14

제 13 항에 있어서, 상기 (3a)의 공정에 있어서, 탄화규소층의 표면에 제 III 족 원소를 함유하는 기체로서 알루미늄을 함유하는 기체를 공급해서 알루미늄층을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15

제 9 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 (1)의 공정을 (1a) 규소 단결정 기판의 표면에 탄화수소 가스를 블로잉함과 아울러 전자를 조사해서 기판의 표면에 탄화수소를 흡착시키는 공정으로 하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 16

제 9 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 (1) 및 (2)의 공정을 (1b) 규소 단결정 기판의 표면에 탄화수소를 흡착시킨 후, 전자를 조사하면서 탄화수소를 흡착시킨 온도 이상의 온도로 규소 단결정 기판을 가열하여, 규소 단결정 기판의 표면에 격자정수가 0.436nm을 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소층을 형성하는 공정으로 하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

기술분야

<1> 본 발명은 규소 단결정을 기판과 그 기판 상에 형성된 III족 질화물 반도체층을 구비한 적층구조를 사용해서 구성된 반도체 소자에 관한 것이다.

배경기술

<2> 질화 갈륨(GaN)이나 질화 알루미늄(AIN) 등은 종래부터 III족 질화물 반도체로서 알려져 있다. 이들 III족 질화

물 반도체 재료는 청색 또는 녹색 등의 단파장의 가시광을 방출하는 발광 다이오드(이하 「LED」로 생략함)나 레이저 다이오드(이하 「LD」로 생략함) 등의 반도체 발광소자를 구성하기 위해서 이용되고 있다(예를 들면, 일본특허공개 소54-3834호 공보(특허문헌 1) 참조). 또한, 고주파 트랜지스터 등의 전자 디바이스를 구성하기 위해서 이용되고 있다(예를 들면, M. A. Kahn et al., Applied Physics Letters(Appl. Phys. Lett.), USA, 1993, Vol. 62, p. 1786 (비특허문헌 1) 참조).

- <3> 이러한 III족 질화물 반도체 재료로 이루어진 반도체 소자는 사파이어($\alpha\text{-Al}_2\text{O}_3$) 벌크 단결정(예를 들면, 일본특허공개 평6-151963호 공보(특허문헌 2)참조) 또는 입방정(cubic)의 탄화규소(SiC) 벌크(bulk) 단결정을 기관으로 하여 구성되어 있다(예를 들면, 일본특허공개 평6-326416호 공보(특허문헌 3) 참조). 예를 들면, 사파이어 기관 상에 III족 질화물 반도체 재료로 이루어진 클래드(clad)층 및 발광층 등을 구비한 적층구조체를 이용해서 LED가 제조되기에 이르렀다(예를 들면, 일본특허공개 평6-151966호 공보(특허문헌 4) 참조).
- <4> 그러나, III족 질화물 반도체 소자용 기관으로서 상용되는 사파이어는 전기절연성이기 때문에, 예를 들면 정전기 등에 대하여 내전압성이 높은 III족 질화물 LED를 얻는 것이 용이하지 않다고 하는 문제가 있다. 또한, 사파이어는 그다지 열전도성이 양호하지 않기 때문에, 기관의 방열성을 이용한 저손실의 전계효과형 트랜지스터(이하 「FET」로 생략함)를 제조하는 것은 곤란했다. 전도성이 있고, 또한 열전도성이 뛰어난 탄화규소 벌크 단결정을 기관으로 하면, 정전기 등에 대하여 내전압성이 뛰어난 LED나 방열성이 뛰어난 FET를 구성하는 것이 편리하게 된다. 그러나, 기관으로서 이용하기 위해서 적절하게 큰 구경의 탄화규소 벌크 단결정은 고가이어서, 민생용의 범용 III족 질화물 반도체 소자를 제조하는 경우에 불리하게 되어 있다.
- <5> 한편, 규소 단결정(실리콘)은 원래 열전도성이 뛰어나고 게다가 양호한 도전성의 대구경 단결정이 이미 양산되는 것에 이르렀다. 따라서, 양호한 도전성이고 대구경인 실리콘을 기관으로서 이용하면, 예를 들면 정전기 등에 대한 내성이 높고 염가인 범용 LED를 실용화할 수 있을 것으로 기대된다. 또한, 고저항이면서 열전도율이 높은 실리콘을 기관으로 하면, 저손실의 고주파 대역 통신용 FET를 실현할 수 있을 것으로 기대된다. 그러나, 규소 단결정의 격자정수(a)는 0.543nm이고, III족 질화물 반도체, 예를 들면 육방정 GaN의 a 축 격자정수는 3.189Å이기 때문에, 쌍방의 재료간에는 큰 격자 미스매치(mismatch)가 있다. 입방정의 GaN($a=0.451\text{nm}$)에 대해서도 규소 단결정과 격자 미스매치는 크다. 이 때문에, 규소 단결정 기관 상에는 결정 결함이 적은 양질의 III족 질화물 반도체층을 안정하게 형성하는 것이 어려운 결점이 있었다.
- <6> 격자 미스매치가 큰 단결정 기관 상에 III족 질화물 반도체층을 형성할 때에는, 쌍방의 격자의 부정합성을 완화하기 위한 완충(buffer)층을 형성하는 것이 종래부터의 기술이다. 종래기술에 있어서 완충층은, 예를 들면 AlN이나 GaN 등의 III족 질화물 반도체 재료로 구성되어 있다(예를 들면, 일본특허공개 평6-314659호 공보(특허문헌 5) 참조). 그러나, 규소 단결정과 입방정 또는 육방정의 AlN 또는 GaN의 격자 미스매치가 커서 충분히 격자 변형을 완화할 수 없다. 이 때문에, 종래의 III족 질화물 반도체 재료로 이루어진 완충층으로서 사용하여 III족 질화물 반도체층을 형성해도 결정성이 뛰어난 III족 질화물 반도체층을 안정하게 형성할 수 없는 것이 문제로 되어 있다.
- <7> 또한, 규소 단결정을 기관으로서, 그 위에 III족 질화물 반도체층을 형성하는 경우, 입방정 3C형의 탄화규소(3C-SiC)의 박막층을 통해 III족 질화물 반도체층을 형성하는 종래기술도 알려져 있다(예를 들면, T. Kikuchi et al., Journal of Crystal Growth(J. Crystal Growth), the Netherlands, 2005, Vol. 271, No. 1-2, p. e1215~page e1221(비특허문헌 2) 참조). 그러나, 3C-SiC 박막층의 성질에 따라 그 상층의 III족 질화물 반도체층의 결정성 등이 현저히 변화되기 때문에, 양질의 III족 질화물 반도체층을 안정하게 형성할 수 없는 난점이 있다. 또한, SiC로 이루어진 완충층을 사용해도, 그 위에 형성한 III족 질화물 반도체층은 반드시 표면의 평탄성이 떨어질 수는 없다고 하는 문제가 있다.
- <8> 전도성 및 방열성이 뛰어나고, 또한 대구경의 단결정이 이미 양산되고 있는 규소 단결정을 기관으로 한 광학적 및 전기적 특성이 뛰어난 반도체 소자를 얻기 위해서는, 기관과의 격자 미스매치를 적합하게 완화하여 양질의 III족 질화물 반도체층을 얻을 수 있는 구성으로 이루어진 완충층이 필요하다. 예를 들면, 규소 단결정 기관 상에 III족 질화물 반도체층을 형성하는 경우, SiC층을 완충층으로서 사용하는 경우에 있어서도, 쌍방의 재료 간의 격자 미스매치를 적합하게 완화할 수 있는 구성으로 이루어진 SiC 완충층이 필요하다.
- <9> 또한, 격자 미스매치를 완화하는 것에 유효한 구성으로 이루어진 SiC 완충층을 사용하는 것에 더하여 결정성이 뛰어나고, 또한 표면의 평탄성도 뛰어난 III족 질화물 반도체층을 얻기 위한 완충층 상의 적층구조에도 창의가 필요하다. 또한, 특성이 뛰어난 반도체 소자를 제조하기 위해서는 그 SiC 완충층과 표면의 평탄성이 뛰어난 양

질의 III족 질화물 반도체층을 안정하게 얻기 위한 제조방법이 필요하다.

- <10> 본 발명의 목적은, 기판과의 격자 미스매치를 적합하게 완화할 수 있는 완충층을 구비한 반도체 소자를 제공하는 것에 있다.
- <11> 본 발명의 다른 목적은, 결정성이 뛰어난 양질이고, 또한 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 얻을 수 있는 고성능의 반도체 소자를 제공하는 것에 있다.
- <12> 본 발명의 또 다른 목적은, 격자 미스매치를 유효하게 완화하는 SiC 완충층과 표면의 평탄성이 뛰어난 양질의 III족 질화물 반도체층을 안정하게 제조할 수 있는 반도체 소자의 제조방법을 제공하는 것에 있다.

발명의 상세한 설명

- <13> 상기 목적을 달성하기 위해서, 단결정으로 이루어진 기판, 상기 단결정 기판의 표면에 형성된 탄화규소(SiC)층, 상기 탄화규소층에 접합되어 형성된 III족 질화물 반도체 접합층 및 상기 III족 질화물 반도체층 상에 형성된 III족 질화물 반도체로 이루어진 초격자 구조층을 구비한 반도체 소자에 있어서, 본 발명의 반도체 소자는 (1) 기판을 규소 단결정으로 하고, 상기 기판 상에 형성된 격자정수가 0.436nm을 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유한 비화학양론적 조성의 입방정 탄화규소로 이루어진 탄화규소층, 그 위에 형성된 $Al_xGa_yIn_zN_{1-\alpha}M_\alpha$ ($0 \leq X, Y, Z \leq 1, X+Y+Z=1$. 기호 M은 질소(N) 이외의 제 V 족 원소를 나타내고, $0 \leq \alpha < 1$ 이다.) III족 질화물 반도체 접합층 및 그 위에 형성된 III족 질화물 반도체로 이루어진 초격자 구조층을 구비하고 있는 것을 특징으로 한다.
- <14> 특히, 본 발명에 관련된 반도체 소자는, 상기 (1)항에 기재된 반도체 소자에 있어서, (2) III족 질화물 반도체 접합층 상에 형성된 초격자 구조층이 알루미늄(Al) 조성을 달리한 질화 알루미늄·갈륨(조성식 $Al_xGa_{1-x}N$: $0 \leq X \leq 1$)층이 교대로 적층되어 구성되어 있는 것을 특징으로 한다.
- <15> 특히, 본 발명에 관련된 반도체 소자는, 상기 (2)항에 기재된 반도체 소자에 있어서, (3) III족 질화물 반도체 접합층에 초격자 구조층을 이루는 질화 알루미늄·갈륨($Al_xGa_{1-x}N$: $0 \leq X \leq 1$)층에 있어서, 알루미늄 조성(=X)을 보다 작게 한 질화 알루미늄·갈륨층이 접합되어 형성되어 있는 것을 특징으로 한다.
- <16> 특히, 본 발명에 관련된 반도체 소자는, 상기 (1)항에 기재된 반도체 소자에 있어서, (4) 초격자 구조층이 갈륨(Ga) 조성을 달리한 질화 갈륨·인듐(조성식 $Ga_qIn_{1-q}N$: $0 \leq Q \leq 1$)층을 교대로 적층시켜서 구성되어 있는 것을 특징으로 한다.
- <17> 특히, 본 발명에 관련된 반도체 소자는, 상기 (4)항에 기재된 반도체 소자에 있어서, (5) III족 질화물 반도체 접합층에 초격자 구조층을 이루는 질화 갈륨·인듐($Ga_qIn_{1-q}N$: $0 \leq Q \leq 1$)층에 있어서, 갈륨 조성(=Q)을 보다 크게 한 질화 갈륨·인듐층이 접합되어 형성되어 있는 것을 특징으로 한다.
- <18> 특히, 본 발명에 관련된 반도체 소자는, 상기 (1) 내지 (5)항 중 어느 하나에 기재된 반도체 소자에 있어서, (6) III족 질화물 반도체 초격자 구조층이 막두께를 5ML(모노레이어) 이상 30ML로 하는 III족 질화물 반도체층으로 구성되어 있는 것을 특징으로 한다.
- <19> 특히, 본 발명에 관련된 반도체 소자는, 상기 (1) 내지 (6)항 중 어느 하나에 기재된 반도체 소자에 있어서, (7) 기판이 표면을 {111} 결정면으로 하는 {111} 규소 단결정이고, III족 질화물 반도체 접합층이 육방정 섬유아연석 결정형 질화 AlN으로 구성되어 있는 것을 특징으로 한다.
- <20> 특히, 본 발명에 관련된 반도체 소자는, 상기 (1) 내지 (6)항 중 어느 하나에 기재된 반도체 소자에 있어서, (8) 기판이 표면을 {011} 결정면으로 하는 {001} 규소 단결정이고, III족 질화물 반도체 접합층이 입방정의 섬유아연광 결정형 질화 알루미늄(AlN)으로 구성되어 있는 것을 특징으로 한다.
- <21> 또한, 규소 단결정으로 이루어진 기판, 상기 규소 단결정 기판의 표면에 형성된 탄화규소층, 상기 탄화규소층에 접합시켜 형성된 III족 질화물 반도체 접합층, 및 상기 III족 질화물 반도체층 상에 형성된 III족 질화물 반도체로 이루어진 초격자 구조층을 구비한 반도체 소자의 제조방법에 있어서, 본 발명의 반도체 소자의 제조방법은, (A) (1) 규소 단결정 기판의 표면에 탄화수소 가스를 블로잉하여 기판의 표면을 이루는 결정면에 탄화수소를 흡착시키는 공정, (2) 그 후 흡착시킨 온도 이상의 온도로 규소 단결정 기판을 가열하여 규소 단결정 기판의 표면에 격자정수를 0.36nm을 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소층을 형성하는 공정, (3) 그 후, 탄화규소층의 표면에 제 V 족 원소를 함유

하는 기체와 제 III 족 원소를 함유하는 기체를 공급하여 III족 질화물 반도체 접합층을 형성하는 공정, 및 (4) 그 후, III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 형성하는 공정을 포함하는 것을 특징으로 한다.

- <22> 특히, 본 발명의 반도체 소자의 제조방법은, 상기 (A)항에 기재된 제조방법에 있어서, (B) 기판을 {111} 결정면을 표면으로 하는 {111} 규소 단결정으로 하고, 상기 기판의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성을 갖고 또한 {111} 결정면을 표면으로 하는 입방정 탄화규소층을 형성한 후, 상기 탄화규소층의 표면에 육방정 III족 질화물 반도체 접합층을 형성하고, 그 후 III족 질화물 반도체 접합층 상에 육방정의 III족 질화물 반도체로 이루어진 초격자 구조층을 형성하는 것을 특징으로 한다.
- <23> 또한, 특히 상기 (A)항에 기재된 제조방법에 있어서, (C) 기판을 {001} 결정면을 표면으로 하는 {001} 규소 단결정으로 하고, 상기 기판의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성을 갖고 또한 {001} 결정면을 표면으로 하는 입방정 탄화규소층을 형성한 후, 상기 탄화규소층의 표면에 입방정 III족 질화물 반도체 접합층을 형성하고, 그 후 III족 질화물 반도체 접합층 상에 입방정 III족 질화물 반도체로 이루어진 초격자 구조층을 형성하는 것을 특징으로 한다.
- <24> 또한, 특히 상기 (B) 또는 (C)항에 기재된 제조방법에 있어서, (D) 규소 단결정으로 이루어진 기판의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 탄화규소층을 형성한 후, 상기 탄화규소층의 표면에 알루미늄을 함유하는 기체원료와 질소를 함유하는 기체원료를 공급하여, 질화 알루미늄으로 이루어진 III족 질화물 반도체 접합층을 형성하는 것을 특징으로 한다.
- <25> 또한, 특히 상기 (D)항에 기재된 제조방법에 있어서, (E) 규소 단결정으로 이루어진 기판의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 탄화규소층을 형성한 후, 상기 탄화규소층의 표면에 알루미늄을 함유하는 기체원료를 공급하여 알루미늄막을 피착시킨 후, 질소를 함유하는 기체원료를 공급하여 알루미늄막을 질화하여 질화 알루미늄층을 형성하는 것을 특징으로 한다.
- <26> 또한, 특히 상기 (D)항에 기재된 제조방법에 있어서, (F) 규소 단결정으로 이루어진 기판의 표면에 탄화수소 가스를 블로잉함과 아울러 전자를 조사하면서 규소 단결정 기판의 표면에 탄화규소를 흡착시키는 것을 특징으로 한다.
- <27> 또한, 특히 상기 (F)항에 기재된 제조방법에 있어서, (G) 규소 단결정으로 이루어진 기판의 표면에 탄화수소를 흡착시킨 후, 전자를 조사하면서 탄화수소를 흡착시킨 온도 이상의 온도로 규소 단결정 기판을 가열하여, 규소 단결정 기판의 표면에 격자정수를 0.436nm를 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소층을 형성하는 것을 특징으로 한다.
- <28> 즉 본원 발명은 이하에 관한 것이다.
- <29> [1] 규소 단결정 기판, 상기 기판의 표면에 형성된 탄화규소층, 상기 탄화규소층에 접해서 형성된 III족 질화물 반도체 접합층 및 상기 III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 구비한 반도체 소자로서, 상기 탄화규소층은 입방정이고 격자정수가 0.436nm를 초과하고 0.460nm 이하인 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 층이고, 상기 III족 질화물 반도체 접합층은 조성이 $Al_xGa_yIn_zN_{1-a}M_a$ ($0 \leq X, Y, Z \leq 1, X+Y+Z=1, 0 \leq a < 1, M$ 은 질소 이외의 제 V 족 원소이다.)인 것을 특징으로 하는 반도체 소자.
- <30> [2] 상기 III족 질화물 반도체로 이루어진 초격자 구조층이 알루미늄(Al) 조성을 달리한 질화 알루미늄·갈륨 ($Al_xGa_{1-x}N$: $0 \leq X \leq 1$)층을 교대로 적층한 층인 것을 특징으로 하는 [1]에 기재된 반도체 소자.
- <31> [3] 알루미늄 조성을 달리한 질화 알루미늄·갈륨층에서 알루미늄 조성을 작게 한 층이 III족 질화물 반도체 접합층에 접하여 있는 것을 특징으로 하는 [2]에 기재된 반도체 소자.
- <32> [4] III족 질화물 반도체로 이루어진 초격자 구조층이 갈륨(Ga) 조성을 달리한 질화 갈륨·인듐($Ga_qIn_{1-q}N$: $0 \leq Q \leq 1$)층을 교대로 적층한 층인 것을 특징으로 하는 [1]에 기재된 반도체 소자.
- <33> [5] 갈륨 조성을 달리한 질화 갈륨·인듐층에서 갈륨 조성을 크게 한 층이 III족 질화물 반도체 접합층에 접하여 있는 것을 특징으로 하는 [4]에 기재된 반도체 소자.
- <34> [6] III족 질화물 반도체로 이루어진 초격자 구조층이 막두께가 5ML~30ML의 범위 내인 것을 특징으로 하는 [1]

내지 [5] 중 어느 하나에 기재된 반도체 소자.

- <35> [7] 규소 단결정 기판이 표면을 {111} 결정면으로 하는 기판이고, III족 질화물 반도체 접합층이 육방정의 섬유아연석 결정형 질화 알루미늄(AIN)층인 것을 특징으로 하는 [1] 내지 [6] 중 어느 하나에 기재된 반도체 소자.
- <36> [8] 규소 단결정 기판이 표면을 {001} 결정면으로 하는 기판이고, III족 질화물 반도체 접합층이 입방정의 섬유아연광 결정형 질화 알루미늄(AIN)층인 것을 특징으로 하는 [1] 내지 [6] 중 어느 하나에 기재된 반도체 소자.
- <37> [9] (1) 규소 단결정 기판의 표면에 탄화수소 가스를 블로잉하여 기판의 표면에 탄화수소를 흡착시키는 공정, (2) 흡착시킨 온도 이상의 온도로 규소 단결정 기판을 가열하여 규소 단결정 기판의 표면에 격자정수를 0.436nm을 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소층을 형성하는 공정, (3) 탄화규소층의 표면에 제 V 족 원소를 함유하는 기체와 제 III 족 원소를 함유하는 기체를 공급하여 III족 질화물 반도체 접합층을 형성하는 공정, 및 (4) III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 형성하는 공정을 이 순서로 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.
- <38> [10] 규소 단결정 기판을 표면을 {111} 결정면으로 하는 기판으로 하고, 상기 기판 표면에 형성하는 탄화규소층을 표면을 {111} 결정면으로 하는 층으로 하고, 상기 III 족 질화물 반도체 접합층을 육방정의 층으로 하고, III족 질화물 반도체로 이루어진 초격자 구조층을 육방정의 층으로 하는 것을 특징으로 하는 [9]에 기재된 반도체 소자의 제조방법.
- <39> [11] 규소 단결정 기판을 표면을 {001} 결정면으로 하는 기판으로 하고, 상기 기판 표면에 형성하는 탄화규소층을 표면을 {001} 결정면으로 하는 층으로 하고, 상기 III족 질화물 반도체 접합층을 입방정의 층으로 하고, 상기 III족 질화물 반도체로 이루어진 초격자 구조층을 입방정의 층으로 하는 것을 특징으로 하는 [9]에 기재된 반도체 소자의 제조방법.
- <40> [12] (3)의 공정에 있어서, 탄화규소층의 표면에 제 III 족 원소를 함유하는 기체로서 알루미늄을 함유하는 기체와 제 V 족 원소를 함유하는 기체로서 질소를 함유하는 원료를 공급하여 질화 알루미늄으로 이루어진 III족 질화물 반도체 접합층을 형성하는 것을 특징으로 하는 [9] 내지 [11] 중 어느 하나에 기재된 반도체 소자의 제조방법.
- <41> [13] (3)의 공정을 (3a) 탄화규소층의 표면에 제 III 족 원소를 함유하는 기체를 공급해서 제 III 족 원소를 함유하는 층을 형성하는 공정과, (3b) 제 III 족 원소를 함유하는 층을 질화해서 III족 질화물 반도체 접합층으로서 제 III 족 원소의 질화층을 형성하는 공정으로 하는 것을 특징으로 하는 [9] 내지 [12] 중 어느 하나에 기재된 반도체 소자의 제조방법.
- <42> [14] (3a)의 공정에 있어서, 탄화규소층의 표면에 제 III 족 원소를 함유하는 기체로서 알루미늄을 함유하는 기체를 공급해서 알루미늄층을 형성하는 것을 특징으로 하는 [13]에 기재된 반도체 소자의 제조방법.
- <43> [15] (1)의 공정을 (1a) 규소 단결정 기판의 표면에 탄화수소 가스를 블로잉함과 아울러 전자를 조사해서 기판의 표면에 탄화수소를 흡착시키는 공정으로 하는 것을 특징으로 하는 [9] 내지 [14] 중 어느 하나에 기재된 반도체 소자의 제조방법.
- <44> [16] (1) 및 (2)의 공정을 (1b) 규소 단결정 기판의 표면에 탄화수소를 흡착시킨 후, 전자를 조사하면서 탄화수소를 흡착시킨 온도 이상의 온도로 규소 단결정 기판을 가열하여, 규소 단결정 기판의 표면에 격자정수가 0.436nm을 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소층을 형성하는 공정으로 하는 것을 특징으로 하는 [9] 내지 [14] 중 어느 하나에 기재된 반도체 소자의 제조방법.
- <45> 본 발명에 따르면, 단결정으로 이루어진 기판, 상기 단결정 기판의 표면에 형성된 탄화규소층, 상기 탄화규소층에 접합시켜서 형성된 III족 질화물 반도체 접합층, 상기 III족 질화물 반도체층 상에 형성된 III족 질화물 반도체로 이루어진 초격자 구조층을 구비한 반도체 소자에 있어서, 본 발명의 반도체 소자는 기판을 규소 단결정으로 하고 상기 기판 상에 형성된 격자정수가 0.436nm을 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소로 완충층을 구성하고, 상기 완충층 상에는 $Al_xGa_yIn_zN_{1-\alpha}M_\alpha$ ($0 \leq x, y, z \leq 1, x+y+z=1$. 기호 M은 질소(N) 이외의 제 V 족 원소를 표시하고, $0 \leq \alpha < 1$ 이다.)로 이루어진 III족 질화물 반도체 접합층을 형성하고, 또한 상기 III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 형성한 적층구성을 이용하여 반도체 소자를 얻는 것으로 했으므로, 결정성이 뛰어난 양질

이고, 또한 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 얻을 수 있고, 따라서 고성능의 반도체 소자를 제공할 수 있다.

<46> 특히 본 발명에서는, III족 질화물 반도체 접합층 상에 형성한 초격자 구조층을 알루미늄 조성을 달리한 $Al_xGa_{1-x}N(0 \leq x \leq 1)$ 층을 교대로 적층시켜서 구성하는 것으로 했으므로, 결정성이 뛰어난 양질이고, 또한 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 안정하게 얻을 수 있고, 따라서 고성능의 반도체 소자를 안정하게 제공하는 효과를 발휘한다.

<47> 특히, 본 발명에서는 또한, 알루미늄 조성을 달리한 $Al_xGa_{1-x}N(0 \leq x \leq 1)$ 층으로 이루어진 초격자 구조층을 형성함에 있어서, 상기 초격자 구조층을 이루는 $Al_xGa_{1-x}N(0 \leq x \leq 1)$ 층 중에서 알루미늄 조성(=X)을 보다 작게 한 $Al_xGa_{1-x}N$ 층을 III족 질화물 반도체 접합층 상에 접합시켜서 형성한 적층구성으로 했으므로, 특히 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 형성할 수 있어, 고성능의 반도체 소자를 얻는 것에 공헌할 수 있다.

<48> 또한, 본 발명에서는 또한, III족 질화물 반도체 접합층 상에 형성하는 초격자 구조층을 갈륨(Ga) 조성을 달리한 $Ga_qIn_{1-q}N(0 \leq q \leq 1)$ 층을 교대로 적층시켜서 구성하는 것으로 했으므로, 결정성이 뛰어난 양질이고, 또한 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 안정하게 얻을 수 있고, 따라서 고성능한 반도체 소자를 안정하게 제공하는 효과를 발휘한다.

<49> 특히, 본 발명에서는 $Ga_qIn_{1-q}N(0 \leq q \leq 1)$ 층으로 이루어진 초격자 구조층을 형성함에 있어서, 상기 초격자 구조층을 이루는 $Ga_qIn_{1-q}N(0 \leq q \leq 1)$ 층에서 갈륨 조성(=Q)을 보다 크게 한 질화 갈륨·인듐층을 III족 질화물 반도체 접합층 상에 접합시켜서 형성한 적층구성으로 했으므로, 특히 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 형성할 수 있어, 고성능 반도체 소자를 얻는 것에 공헌할 수 있다.

<50> 특히, 본 발명에서는 초격자 구조층을 막두께를 5ML 이상 30ML로 한 $Al_xGa_{1-x}N(0 \leq x \leq 1)$ 층 또는 $Ga_qIn_{1-q}N(0 \leq q \leq 1)$ 층으로 구성하는 것으로 했으므로, 특히 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 안정하게 형성할 수 있어, 고성능 반도체 소자를 안정하게 얻는 것에 공헌할 수 있다.

<51> 특히, 본 발명에서는 기판을 {111} 규소 단결정으로 하고, 상기 기판 표면 상에 SiC 완충층을 통해 형성한 III족 질화물 반도체 접합층을 육방정 섬유아연석 결정형의 $Al_xGa_yIn_zN_{1-a}M_a(0 \leq x, y, z \leq 1, x+y+z=1)$. 기호 M은 질소(N) 이외의 제 V 족 원소를 표시하고, $0 \leq a < 1$ 이다.)으로 구성하는 것으로 했으므로, 그 위에 형성한 초격자 구조층 등을 육방정의 III족 질화물 반도체층으로 통일적으로 구성할 수 있고, 따라서 육방정의 III족 질화물 반도체 재료에 기초하여 특성을 발현할 수 있는 반도체 소자를 얻는 것에 우위가 된다.

<52> 특히, 본 발명에서는 표면을 {001} 결정면으로 하는 {001} 규소 단결정을 기판으로 하고, 상기 기판 표면 상에 SiC 완충층을 통해 형성하는 III족 질화물 반도체 접합층을 입방정의 섬아연광 결정형의 $Al_xGa_yIn_zN_{1-a}M_a(0 \leq x, y, z \leq 1, x+y+z=1)$. 기호 M은 질소(N) 이외의 제 V 족 원소를 표시하고, $0 \leq a < 1$ 이다.)으로 구성하는 것으로 했으므로, 그 위에 형성한 초격자 구조층 등을 입방정의 III족 질화물 반도체층으로 통일적으로 구성할 수 있고, 따라서 입방정의 III족 질화물 반도체 재료에 기초하여 특성을 발현할 수 있는 반도체 소자를 얻는 것에 우위가 된다.

<53> 또한, 본 발명에서는 규소 단결정으로 이루어진 기판, 상기 규소 단결정 기판의 표면에 형성된 탄화규소층, 상기 탄화규소층에 접합시켜서 형성된 III족 질화물 반도체 접합층, 및 상기 III족 질화물 반도체층 상에 형성된 III족 질화물 반도체로 이루어진 초격자 구조층을 구비한 반도체 소자를 제조하는 경우, 단결정 기판의 표면에 탄화수소 가스를 블로잉하여 기판의 표면을 이루는 결정면에 탄화수소를 흡착시키고, 그 후 흡착시킨 온도 이상의 온도로 규소 단결정 기판을 가열해서 탄화규소층을 형성하는 것으로 했으므로, 규소 단결정 기판의 표면에 격자정수가 0.436nm를 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정을 확실히 형성할 수 있고, 또한 그 위에 양질의 $Al_xGa_yIn_zN_{1-a}M_a(0 \leq x, y, z \leq 1, x+y+z=1)$. 기호 M은 질소(N) 이외의 제 V 족 원소를 표시하고, $0 \leq a < 1$ 이다.)로 이루어진 III족 질화물 반도체 접합층, 또한 그 위에 III족 질화물 반도체로 이루어진 초격자 구조층을 더 형성할 수 있으므로, 이들 반도체층의 결정성의 양호함을 반영하여 특성이 뛰어난 반도체 소자를 제조할 수 있다.

<54> 특히, 본 발명에 따르면, {111} 결정면을 표면으로 하는 {111} 규소 단결정을 기판으로서 사용하고, 상기 기판의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성을 갖고 또한 {111} 결정면을 표면으로 하는

입방정의 {111} 탄화수소층을 형성하고, 상기 탄화규소층의 표면에 육방정의 $Al_xGa_yIn_zN_{1-a}M_a$ ($0 \leq X, Y, Z \leq 1, X+Y+Z=1$. 기호 M은 질소(N) 이외의 제 V 족 원소를 표시하고, $0 \leq a < 1$ 이다.)로 이루어진 III족 질화물 반도체 접합층을 형성하고, 그 후 III족 질화물 반도체 접합층 상에 육방정의 III족 질화물 반도체로 이루어진 초격자 구조층을 형성하는 공정을 거쳐서 반도체 소자를 형성하는 것으로 했으므로, 육방정의 III족 질화물 반도체의 결정 특성에 기초하여 광학적 또는 전기적 특성을 적합하게 발현할 수 있는 반도체 소자를 제조할 수 있다.

<55> 또한, 특히 본 발명에 따르면, {001} 결정면을 표면으로 하는 {001} 규소 단결정을 기관으로서 사용하고, 상기 기관의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성을 갖고 또한 {001} 결정면을 표면으로 하는 입방정의 탄화규소층을 형성하고, 상기 탄화규소층의 표면에 입방정의 III족 질화물 반도체 접합층을 형성하고, 그 후 III족 질화물 반도체 접합층 상에 입방정의 III족 질화물 반도체로 이루어진 초격자 구조층을 형성하는 공정을 거쳐서 반도체 소자를 형성하는 것으로 했으므로, 입방정의 III족 질화물 반도체의 결정 특성에 기초하여 광학적 또는 전기적 특성을 적합하게 발현할 수 있는 반도체 소자를 제조할 수 있다.

<56> 또한, 특히 본 발명에 따르면, 규소 단결정으로 이루어진 기관의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 탄화규소층을 형성한 후, 상기 탄화규소층의 표면에 알루미늄을 함유하는 기체 원료와 질소를 함유하는 기체 원료를 공급하여 질화 알루미늄으로 이루어진 III족 질화물 반도체 접합층을 형성하는 것으로 했으므로, 격자 미스매치를 저감할 수 있고, 따라서 양질의 AlN으로 이루어진 III족 질화물 반도체 접합층을 구비한 고성능 반도체 소자를 제조할 수 있다.

<57> 또한, 특히 본 발명에 따르면, 규소 단결정으로 이루어진 기관의 표면에 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 탄화규소층을 형성한 후, 상기 탄화규소층의 표면에 AlN으로 이루어진 III족 질화물 반도체 접합층을 형성하는 경우, 알루미늄을 함유하는 기체 원료를 공급하여 탄화규소층의 표면에 알루미늄 피막을 형성한 후, 상기 피막에 질소를 함유하는 기체원료를 공급하여 알루미늄막을 질화하여 질화 알루미늄층을 형성하는 것으로 했으므로, 예를 들면 정계가 육방정으로 획일적으로 된 AlN으로 III족 질화물 반도체 접합층을 형성할 수 있다.

<58> 또한, 특히 본 발명에 따르면, 규소 단결정으로 이루어진 기관의 표면에 탄화수소 가스를 블로잉함과 아울러 규소 단결정 기관의 표면에 전자를 조사하면서 규소 단결정 기관의 표면에 탄화규소를 흡착시키는 공정을 거쳐서, 격자정수가 0.436nm를 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소층을 형성하는 것으로 했으므로, 결정 결함이 특히 적고 결정성이 뛰어난 탄화규소층을 안정하게 형성할 수 있고, 또한 고성능 반도체 소자를 안정하게 제조할 수 있다.

<59> 또한, 특히 본 발명에 따르면, 탄화수소 가스를 블로잉함과 아울러 전자를 조사하면서 규소 단결정으로 이루어진 기관의 표면에 탄화수소를 흡착시킨 후, 전자를 조사하면서 탄화수소를 흡착시킨 온도 이상의 온도로 규소 단결정 기관을 가열하여, 기관을 이루는 규소와 그 기관의 표면에 흡착한 탄화수소 사이의 화학 반응을 촉진시켜서 입방정의 탄화규소층을 형성하는 것으로 했으므로, 결정 결함이 적은 입방정 탄화규소층을 효율적으로 형성할 수 있고, 따라서 고성능 반도체 소자를 효율적으로 제조할 수 있다.

실시 예

<63> 규소 단결정 기관으로서 여러가지 면방향의 결정면을 표면으로 하는 규소 단결정을 사용할 수 있지만, 본 발명의 실시예에 있어서 기관으로서 가장 적합하게 사용할 수 있는 규소 결정은 표면을 {001} 결정면 또는 {111} 결정면으로 하는 {001} 또는 {111} 단결정이다. 이들의 결정면으로부터 경사진 결정면을 표면으로 하는 규소 단결정도 기관으로서 충분히 이용할 수 있다. {001} 결정면으로부터 경사진 결정면, 각도로 하여, 예를 들면 $2^\circ < 110$ 방향으로 경사진 결정면을 표면으로 하는 규소 단결정 기관은 역위상(반위상) 입계(이하 「APD」로 약기함)(Materials Science Series "Electronmicroscopy for Crystal-for Materials Researchers" written by Hiroyasu Saka, November 25, 1997, issued by Uchidarokakuho Pub. Co., Ltd., first edition, pp. 64 and 65)가 작은 결정층을 얻는 것이 우위이다. 본 발명에서는, {001} 규소 단결정은 입방정의 결정층을 사용한 반도체 소자를 구성하는 경우에 주로 사용한다. 한편, {111} 규소 단결정은 육방정의 결정층을 이용하는 반도체 소자를 구성하는 경우에 주로 사용한다.

<64> 기관으로서 사용하는 규소 단결정의 전도형은 불문한다. p형 또는 n형 중 어느 전도형의 규소 단결정을 기관으로서 이용할 수 있다. 특히, 저항율(비저항)이 작고 양호한 도전성의 규소 단결정 기관은 LED나 LD 등의 반도체 발광소자를 제조하는데도 적합하게 이용할 수 있다. 또한, 고저항의 규소 단결정은 소자를 작동시키기 위한 전류(소자작동 전류)의 기관측으로의 누설(leak)을 저감할 필요가 있는 반도체 소자 용도의 기관으로서 이용할 수

있다. 예를 들면, FET를 제조하기 위한 기판으로서 적합하게 이용할 수 있다(고저항의 p형 또는 n형 반도체는 각각 π 형 또는 ν 형이라고 칭하는 경우가 있다("Optical Communication Engineering-Light Emitting Device and Photodetector", written by Hiroo Yonezu, May 20, 1995, issued by Kougaku Tosho Co., Ltd., 5th edition, p.317 각주 참조).

<65> 본 발명에서는 기판으로 하는 규소 단결정의 표면을 이루는 결정면의 면방향에 관계없이 그 표면상에는 탄화규소층을 형성한다. 이 탄화규소층은 Ramsdell의 표기 방법에 따르면("SiC Ceramic New Materials-Recent Development" written and edited by the 124th Committee of High-Temperature Ceramic Materials of Japan Society for the Promotion of Science, February 28, 2001, issued by Uchidarokakuho, 1st edition, pp. 13~16 참조), 3C형의 결정 구조를 갖는 입방정의 결정층인 것이 가장 바람직하다. 3C형의 입방정 탄화규소(3C-SiC)층인지, 또는 예를 들면 4H형이나 6H형의 육방정 탄화규소(4H-SiC, 6H-SiC)층인지는, 예를 들면 전자회절상의 해석을 가지고 판단할 수 있다.

<66> 3C-SiC층은 규소 단결정 기판의 표면에 흡착시킨 탄화수소를 이용해서 형성하는 것이 바람직하다. 탄화수소를 흡착시키기 위한 탄화수소 가스로서는 메탄(분자식 CH_4), 에탄(분자식 C_2H_6) 및 프로판(분자식 C_3H_8) 등의 포화 지방족 탄화수소나 아세틸렌(분자식 C_2H_2) 등의 불포화 탄화수소를 예시할 수 있다. 그 외, 방향족 탄화수소류 또는 지환식 탄화수소류도 있지만, 분해되어 규소와 반응하기 쉬운 아세틸렌이 가장 바람직하게 이용된다. {111} 규소 단결정의 {111} 결정면에 아세틸렌을 흡착시키는 온도는 $400^{\circ}C \sim 600^{\circ}C$ 로 하는 것이 바람직하다. {001} 규소 단결정의 {001} 결정면에 아세틸렌을 흡착시키는 데에도 적합한 온도는 {111} 결정면의 경우보다 높아 $450^{\circ}C \sim 650^{\circ}C$ 이다.

<67> 아세틸렌 등의 탄화수소는 규소 단결정 기판의 표면을 이루는 결정면에 규소원자의 재배열 구조를 창출한 후에 흡착시키는 것이 바람직하다. 예를 들면, {111} 규소 단결정 기판의 {111} 결정면으로 이루어진 표면에 (7×7) 재배열 구조를 출현시킨 후 탄화규소를 흡착시키는 것이 바람직하다. (7×7) 재배열 구조는, 예를 들면 {111} 규소 단결정의 표면을 이루는 {111} 결정면을 $10^{-6}Pa$ 정도의 고진공 환경하, 예를 들면 분자선 에피택셜(이하 「MBE」라고 약기함) 성장용 챔버 내에서 $750^{\circ}C \sim 850^{\circ}C$ 에서 열처리를 행하면 형성할 수 있다. 규소 단결정 기판의 표면의 재배열 구조는 고속반사 전자회절(이하 「RHEED」라고 약기함) 등의 전자회절 분석수단에 의해 확인할 수 있다.

<68> 규소 단결정 기판의 표면을 이루는 결정면에 탄화수소를 흡착시킨 후 규소 단결정 기판을 가열함으로써, 흡착시킨 탄화수소와 기판결정을 이루는 규소원자를 반응시켜 탄화규소층을 형성한다. 이 경우, 비교적 고온으로 규소 단결정 기판을 가열하면 화학양론적으로 규소를 풍부하게 함유하는 탄화규소층을 형성할 수 있다. 탄화수소를 흡착시킨 규소 단결정 기판을, 예를 들면 $500^{\circ}C \sim 700^{\circ}C$ 으로 가열해서 형성한다. 가열하는 온도를 고온으로 할수록, 단시간에 화학양론적으로 규소를 풍부하게 함유하는 탄화규소층을 형성할 수 있다. 규소를 풍부하게 함유하는 정도는 탄화규소층을 이루는 비화학양론적 조성의 탄화규소의 격자정수에 반영된다. 비화학양론적 조성의 탄화규소에서는 규소의 조성이 풍부해짐에 따라 격자정수는 커진다. 당량적 조성의 3C-SiC의 격자정수가 0.436nm 인 것에 비하여(상기 "SiC Ceramic New Materials-Recent Developments", p.340, Table 5.1.1 참조), 본 발명에 관련된 비화학양론적 조성의 탄화규소층은 0.436nm을 초과하고 0.460nm 이하의 격자정수를 갖는 것을 특징으로 한다.

<69> 상기와 같은 범위에 있는 격자정수를 갖는 입방정 3C형의 탄화규소층은 III족 질화물 반도체 접합층을 구성하는 III족 질화물 반도체 재료와의 격자 미스매치가 적다. 따라서, 예를 들면 격자정수를 0.451nm로 하는 입방정 섬아연광 결정형 GaN으로부터 III족 질화물 반도체 접합층을 형성하는 경우, 격자정합성이 뛰어난 완충층으로서 유용하게 된다. 또한, 상기와 같은 범위에 있는 격자정수를 갖는 입방정 3C형 탄화규소층의 (110) 결정면의 간격은 섬아연광 결정형으로 육방정의 AlN의 a축과 거의 일치하기 때문에, III족 질화물 반도체 접합층을 이루는 육방정의 III족 질화물 반도체층을 형성하는 데에도 적합하다. 상기 범위 외의 격자정수를 갖는 입방정의 탄화규소층은 입방정 또는 육방정 중 어느 결정형의 III족 질화물 반도체 재료와의 격자 미스매치가 증대하기 때문에, 그 위에 형성되는 III족 질화물 반도체 접합층의 결정적 품질은 현저히 악화되어 매우 부적합하다.

<70> 규소를 탄소에 비하여 풍부하게 함유하는 비화학양론적 조성의 탄화규소층은, 또한 규소 단결정 기판의 표면에 탄화수소를 흡착시킨 후 상기 기판의 표면에 규소를 함유하는 기체를 공급하면서 가열함으로써도 형성할 수 있다. 예를 들면, 탄화수소를 흡착시킨 규소 단결정 기판의 표면에 실란(분자식 SiH_4)류를 공급하면서 가열해서 형

성한다. 또한, 고진공으로 유지된, 예를 들면 MBE 성장용 챔버 내에서 규소의 빔을 조사하면서 탄화수소를 흡착시킨 규소 단결정 기판을 가열함으로써 형성할 수 있다. 형성한 비화학양론적 조성의 탄화규소층의 격자정수는, 예를 들면 전자회절법 등의 분석수단에 의해 측정할 수 있다.

- <71> 비화학양론적 조성의 탄화규소층을 형성함에 있어서, 표면을 {001} 결정면으로 하는 탄화규소층을 얻기 위해서는, {001} 결정면을 표면으로 하는 {001} 규소 단결정을 기판으로서 사용한다. 또한, 표면을 {111} 결정면으로 하는 비화학양론적 조성의 탄화규소층을 얻기 위해서는 {111} 결정면을 표면으로 하는 {111} 규소 단결정을 기판으로서 사용한다.
- <72> 표면을 이루는 결정면의 면방향에 관계 없이 규소 단결정 기판의 표면에 탄화규소층을 형성하는 경우에, 기판의 표면에 전자를 조사하면서 탄화수소 가스를 블로잉하면 탄화수소가 기판의 표면에 균일하게 흡착된다. 조사하는 전자는, 예를 들면 진공 중에서 전열된 금속에서 방출되는 열전자를 이용한다. 규소 단결정 기판의 표면의 균등한 밀도로 조사한다. 조사 밀도로서는 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 이 적합하다. 또한, 조사하는 전자의 가속 에너지가 약 100eV 미만으로 낮으면 탄화수소를 규소 단결정 기판의 표면에 균일하게 흡착시키는 것에 이르지 않는다. 500eV을 초과하는 가속 에너지의 전자를 조사하면 오히려 탄화수소의 분해나 탈착이 촉진되어 부적합하다. 따라서, 전자발생원, 예를 들면 텅스텐(W) 필라멘트와 피조사체의 규소 단결정 기판 사이의 전위차는 100V 이상 500V 이하로 하는 것이 바람직하다.
- <73> 또한, 표면에 탄화수소를 흡착시킨 규소 단결정 기판을 가열하여 그 기판의 표면에 3C-SiC층을 형성할 때에도 전자를 조사하면 쌍정(twin)이나 적층결함 등의 결정 결함밀도가 작고 결정성이 뛰어난 3C-SiC층을 형성할 수 있다. 전자의 조사밀도로서는 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 이 적합하다. 또한, 조사하는 전자의 가속 에너지는 100eV~500eV가 적합하다.
- <74> 비화학양론적 조성의 탄화규소층에는 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}_{1-a}\text{M}_a$ ($0 \leq X, Y, Z \leq 1, X+Y+Z=1$. 기호 M은 질소(N) 이외의 제 V 족 원소를 표시하고, $0 \leq a < 1$ 이다.)로 이루어진 III족 질화물 반도체층을 접합시켜서 형성한다. III족 질화물 반도체 접합층을 이루는 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}_{1-a}\text{M}_a$ 은, 예를 들면 질화 알루미늄·갈륨($\text{Al}_x\text{Ga}_y\text{N}$: $0 \leq X, Y \leq 1, X+Y=1$), 질화 갈륨·인듐($\text{Ga}_y\text{In}_z\text{N}$: $0 \leq Y, Z \leq 1, Y+Z=1$), 질화 인화 알루미늄($\text{AlN}_{1-a}\text{P}_a$: $0 \leq a < 1$)으로 구성된다.
- <75> III족 질화물 반도체 접합층은 비화학양론적 조성의 탄화규소층의 격자정수(a)(0.436nm를 초과하고 0.460nm 이하이다.)에 근사한 격자정수 또는 격자면간격을 갖는 III족 질화물 반도체 재료로 구성하는 것이 적합하다. 예를 들면, 입방정의 삼아연판 결정형 AlN(a=0.438nm)이나 GaN(a=0.451nm)로 적합하게 구성할 수 있다. 또한, 본 발명에 관련된 비화학양론적 조성의 입방정 탄화규소층의 (110) 결정면의 간격(0.308nm~0.325nm)에 근사한 a축을 갖는 육방정 삼아연석 결정형의 AlN, GaN 및 이들의 혼정으로 구성할 수 있다.
- <76> 육방정의 AlN 등으로 이루어진 III족 질화물 반도체 접합층을 형성하기 위해서는 {111} 결정면을 표면으로 하는 {111} 규소 단결정을 기판으로서 사용하는 것이 유리하다. 또한, 입방정의 AlN 등으로 이루어진 III족 질화물 반도체 접합층을 얻기 위해서는 {001} 결정면을 표면으로 하는 {001} 규소 단결정을 기판으로서 사용하는 것이 편리하다.
- <77> 또한, AlN으로 이루어진 III족 질화물 반도체층을 형성하는 경우에, 규소 단결정 기판의 표면에 일단 알루미늄(Al)막을 피착시킨 후, 상기 Al막을 질소함유 기체를 함유하는 분위기 중에서 질화하여 AlN층으로 하는 수단도 있다. 상기 형성 수단에 따르면, 정계가 갖추어진 AlN층을 효율적으로 형성할 수 있다. 예를 들면, {111} 규소 단결정 기판의 {111} 결정면으로 이루어진 표면에 Al막을 형성하고, 그 후, 예를 들면 질소 플라즈마 분위기 중에서 질화하면 정계가 육방정으로 확일적으로 된 육방정 AlN층을 형성할 수 있다.
- <78> 비화학양론적 조성의 탄화규소층 상에 적합성 좋게 형성된 III족 질화물 반도체 접합층은 그 상층으로서 형성된 초격자 구조층의 형성을 촉진시킨다. III족 질화물 반도체 접합층은, 예를 들면 유기금속 화학적 기상증착법(이하 「MOCVD」라고 약기함), 할로젠 또는 하이드라이드 화학적 기상증착(CVD)법, MBE법, 케미컬빔 성장법(이하 「CBE」라고 생략함) 등의 성장 수단을 이용해서 형성할 수 있다.
- <79> III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 형성한다. 예를 들면, 구성 원소의 조성을 달리한 III족 질화물 반도체층을 교대로 적층시켜서 초격자 구조를 형성한다. 또한, 예를 들면 금지대폭(Bandgap)을 달리하는 III족 질화물 반도체층을 교대로 적층시켜서 초격자 구조를 형성한다. III족 질화물 반도체 접합층을 AlN 또는 GaN으로 구성하는 경우, 초격자 구조층은 격자 매칭이 양호하므로 알루미늄 조

성(=X)을 달리하는 $Al_xGa_{1-x}N(0 \leq X \leq 1)$ 층으로 구성하는 것이 바람직하다. 또한, 갈륨 조성(=Q)을 달리하는 $Ga_qIn_{1-q}N(0 \leq Q \leq 1)$ 층으로 구성하는 것이 바람직하다.

- <80> 특히, 초격자 구조층을 구성하는 알루미늄 조성을 달리한 $Al_xGa_{1-x}N$ 층 중에서 알루미늄 조성을 최소로 한 $Al_xGa_{1-x}N$ 층을 III족 질화물 반도체 접합층에 접합하도록 형성하면, 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 제공하는 초격자 구조층이 얻어진다. 또한 동일하게, 초격자 구조층을 구성하는 갈륨 조성을 달리한 $Ga_qIn_{1-q}N(0 \leq Q \leq 1)$ 층 중에서 갈륨 조성을 최대로 한 $Ga_qIn_{1-q}N$ 층을 III족 질화물 반도체 접합층에 접합시켜서 형성하는 구성으로 하면, 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 제공하는 초격자 구조층이 얻어진다.
- <81> 특히, 초격자 구조층을 층두께를 5ML 이상 30ML 이하로 한 $Al_xGa_{1-x}N$ 층 또는 $Ga_qIn_{1-q}N$ 층으로 구성하면, 결정층의 내부의 변형된 전과를 적합하게 억제할 수 있다. 따라서, 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 제공하는 초격자 구조층을 형성할 수 있다. 1ML의 두께란, 육방정의 III족 질화물 반도체층에서는 c축의 1/2의 두께이다. 예를 들면, c축을 0.520nm으로 한 육방정 섬유아연석 결정형의 GaN의 1ML의 두께는 0.260nm이다. 입방정의 III족 질화물 반도체층에서는 격자정수에 상당하는 두께이다.
- <82> 초격자 구조층은 또한, 전자나 정공(hole)에 양자준위를 부여하는 양자우물구조이어도 지장은 없다. $Al_xGa_{1-x}N(0 \leq X \leq 1)$ 층으로 양자우물구조를 구성하는 경우, 알루미늄 조성(=X)이 보다 크고 금지대폭이 보다 큰 $Al_xGa_{1-x}N$ 층을 장벽층으로 하고, 알루미늄 조성(=X)이 보다 작고 금지대폭이 보다 작은 $Al_xGa_{1-x}N$ 층을 우물층으로 구성한다. 또한, $Ga_qIn_{1-q}N(0 \leq Q \leq 1)$ 층으로 양자우물구조를 구성하는 경우, 갈륨 조성(=Q)이 보다 크고 금지대폭이 보다 큰 $Ga_qIn_{1-q}N$ 층을 장벽층으로 하고, 갈륨 조성(=Q)이 보다 작고 금지대폭이 보다 작은 $Ga_qIn_{1-q}N$ 층을 우물층으로서 구성한다.
- <83> 초격자 구조층을 구성하는 $Al_xGa_{1-x}N$ 층 또는 $Ga_qIn_{1-q}N$ 층은 상기 III족 질화물 반도체 접합층의 경우와 같이, 예를 들면 MOCVD법, 할로겐 또는 하이드라이드 CVD법, MBE법, CBE 등의 성장 수단을 이용해서 형성할 수 있다. 상기 III족 질화물 반도체 접합층의 형성에 이용한 것과 동일한 성장 수단에 의해, III족 질화물 반도체 접합층 상에 계속해서 초격자 구조층을 형성하면, 반도체 소자를 얻는 것이 간편하게 된다.
- <84> 초격자 구조층을 구성하는 $Al_xGa_{1-x}N$ 층 또는 $Ga_qIn_{1-q}N$ 층을 성장시키는 경우, 이들 층을 구성하는 III족 원소의 원료와 V족 원소를 교대로 반복하여 공급해서 성장시키면, 표면의 평탄성이 뛰어난 초격자 구조층을 얻을 수 있다. 예를 들면, III족 질화물 반도체 접합층의 표면에 우선 III족 원소의 원료를 공급하고, 그 후 III족 원소의 원료의 공급을 정지하고 대신에 질소원을 공급하는 수단, 즉 III족 원소와 V족 원소의 원료를 교대로 공급하면서 형성한 $Al_xGa_{1-x}N$ 층 또는 $Ga_qIn_{1-q}N$ 층을 사용하면, 표면의 평탄성이 뛰어난 초격자 구조를 형성할 수 있다.
- <85> 규소 단결정 기판의 표면의 청정화, 그 청정화된 기판표면으로의 탄화수소의 흡착, 흡착시킨 탄화수소를 이용한 탄화규소층의 형성, 탄화규소층 상으로의 III족 질화물 반도체 접합층의 형성 및 III족 질화물 반도체 접합층 상으로의 초격자 구조층의 형성은 일관하여 동일한 설비를 행하는 것이 간략한 공정을 가지고 간이하게 반도체 소자를 제조하는 경우에 유리하다. MBE법에 따르면, 고진공 환경하에서 성장을 행하므로 탄화수소를 흡착시켜 그것을 바탕으로 탄화규소층을 형성할 때에, 전자를 규소 단결정 기판의 표면을 향해서 조사하는 것도 용이하게 행할 수 있다. 또한, MBE법에서는 상기와 같이 구성 원소의 원료를 교대로 공급하면서 초격자 구조층을 이루는 $Al_xGa_{1-x}N$ 층 또는 $Ga_qIn_{1-q}N$ 층을 간이하게 형성할 수 있는 이점이 있다.
- <86> 초격자 구조층 상에는 표면의 평탄성이 뛰어난 성장층을 형성할 수 있다. 따라서, 이와 같은 평탄성이 뛰어난 성장층을 활성층(능동층)으로서 이용하면, 광학적 또는 전기적 특성이 뛰어난 반도체 소자를 구성할 수 있다. 예를 들면, 육방정의 III족 질화물 반도체 접합층 상의 육방정의 III족 질화물 반도체층으로 이루어진 초격자 구조층에 형성한 육방정의 III족 질화물 반도체층을 전자주행층(채널층)이나 전자공급층으로서 이용하면 고이동도 FET를 구성할 수 있다. 특히, 육방정 III족 질화물 반도체에 따른 피에조의 발현에 따라 2차원 전자를 효율적으로 축적하는 전자주행층을 구비한 고이동도 FET를 제조할 수 있다.
- <87> 또한, 예를 들면 입방정의 III족 질화물 반도체 접합층 상의 입방정의 III족 질화물 반도체층으로 이루어진 초격자 구조층에 형성한 입방정 III족 질화물 반도체층을 하부 클래드층이나 발광층으로서 이용하면, 고휘도의 LED 등의 발광소자를 형성할 수 있다. 특히, 가전자대가 축퇴되어 있는 입방정 III족 질화물 반도체의 성질을

이용하면 발진파장이 획일화된 LD를 얻을 수 있다.

- <88> 다음으로 본 발명의 실시예를 설명하지만, 본 발명은 이들의 실시예에 한정되는 것이 아니다.
- <89> 실시예 1
- <90> 본 실시예 1에서는 (111) 결정면을 표면으로 하는 (111) 규소 단결정 기판에 형성한 비화학양론적 조성의 탄화규소층, 육방정 III족 질화물 반도체 접합층, 육방정 III족 질화물 반도체층으로 이루어진 초격자 구조층을 포함하는 에피택셜 적층구조체로부터 발광 다이오드(LED)를 제조하는 경우를 예로 하여 본 발명을 구체적으로 설명한다.
- <91> 본 실시예 1에서 제조한 반도체 LED(10)의 평면구조를 도 1에 모식적으로 나타낸다. 또한, 도 2에는 도 1에 나타낸 LED(10)의 파선 II-II선에 따른 단면구조를 모식적으로 나타낸다.
- <92> LED(10)의 제조에는 (111) 결정면을 표면으로 하고 붕소(원소기호: B)를 첨가한 p형의 규소 단결정을 기판(101)으로서 사용했다. 기판(101)을 MBE 성장용 성장 챔버 내로 반송한 후, 약 5×10^{-7} Pa의 고진공 중에서 기판(101)을 850°C로 가열했다. RHEED 패턴을 감시하면서 기판(101)의 표면을 이루는 (111) 결정면이 (7×7) 재배열 구조가 될 때까지 같은 온도로 계속해서 가열했다.
- <93> (7×7) 재배열 구조가 출현한 것을 확인한 후, 기판(101)을 MBE 성장 챔버 내에 수납한 채로 450°C로 강온했다. 그 다음, 기판(101)의 표면에 아세틸렌 가스를 블로잉하여 아세틸렌을 그 표면에 흡착시켰다. 아세틸렌 가스는 RHEED 패턴 상에서 기판(101)의 표면의 (7×7) 재배열 구조에 기인하는 전자회절 반점(spot)이 거의 소실될 때까지 계속해서 블로잉했다.
- <94> 그 후, 아세틸렌 가스의 기판(101)의 표면으로의 블로잉을 정지하고, 기판(101)을 600°C로 승온했다. RHEED 패턴에 입방정 3C형의 탄화규소에 의한 스트리크(광조)가 출현할 때까지 같은 온도로 기판(101)을 유지하여, 규소 단결정 기판(101)의 표면에 탄화규소층(102)을 형성했다. 600°C에서 (111) 규소 단결정의 RHEED 패턴으로부터 구한 규소 단결정의 격자정수를 기초로, 형성한 탄화규소의 격자정수는 0.450nm으로 계산되었다. 탄화규소층(102)의 층두께는 약 2nm이고, 표면은 (111) 결정면이었다.
- <95> 비화학양론적 조성의 탄화규소층(102) 상에는, 질소 플라즈마를 질소원으로 하는 MBE법에 따라 섬유아연석 결정형의 육방정 질화 알루미늄(AIN)층(103)을, 기판(101)의 온도를 720°C로 하여 형성했다. 질소 플라즈마는 고순도 질소 가스에 주파수 13.56MHz의 고주파와 자계를 인가하는 전자 사이클로트론 공명(ECR)형 장치를 이용해서 발생시켰다. MBE 성장 챔버를 약 1×10^{-6} Pa의 고진공으로 유지하면서 질소 플라즈마 내의 원자상 질소(질소 라디칼)를 전기적 척력을 이용해서 추출하여 탄화규소층(102)의 표면에 분무했다. 본 발명에서 말하는 III족 질화물 반도체 접합층으로서 형성한 AIN층(103)의 층두께는 약 15nm이고, 표면은 {0001} 결정면이었다.
- <96> 육방정의 AIN층(103) 상에는 720°C에서 MBE법에 따라 육방정의 제 1 n형 질화 갈륨(GaN)(104a)을 형성했다. 초격자 구조층(104)의 구성층인 제 1 n형 GaN층(104a)의 층두께는 10ML(약 2.6nm)로 했다. 제 1 n형 GaN층(104a)에는 초격자 구조층(104)을 구성하는 다른 구성층인 알루미늄(Al) 조성비를 0.10으로 한 제 1 n형 질화 알루미늄·갈륨 혼정($Al_{0.10}Ga_{0.90}N$)(104b)을 접합시켜서 형성했다. 그 다음, 제 1 n형 $Al_{0.10}Ga_{0.90}N$ 혼정층(104b)에는 제 2 n형 GaN층(104a)을 접합시켜서 형성했다. 제 2 n형 GaN층(104a)에는 제 2 $Al_{0.10}Ga_{0.90}N$ 혼정층(104b)을 접합시켜서 형성했다. 제 2 $Al_{0.10}Ga_{0.90}N$ 혼정층(104b) 상에는 제 3 n형 GaN층(104a) 및 제 3 n형 $Al_{0.10}Ga_{0.90}N$ 혼정층(104b)을 더 형성하여 초격자 구조층(104)의 형성을 종료했다. 제 1 내지 제 3 n형 $Al_{0.10}Ga_{0.90}N$ 혼정층(104b)의 층두께는 모두 10ML로 했다.
- <97> 초격자 구조층(104) 상에는 MBE법에 따라 규소를 도핑하면서, 층두께를 약 2200nm으로 한 n형 GaN으로 이루어진 하부 클래드층(105)을 형성했다. n형 GaN층(105)은 상기 초격자 구조층(104)을 통해 형성했기 때문에 표면조도는 r. m. s. 값으로 약 1.0nm으로 양호한 평탄성을 갖고 있었다.
- <98> 하부 클래드층(105) 상에는 n형 GaN을 장벽층으로, n형 질화 갈륨·인듐 혼정($Ga_{0.85}In_{0.15}N$)을 우물층으로 하여, 교대로 5주기에 걸쳐 적층시킨 구성으로 이루어진 다중 양자우물구조의 발광층(106)을 형성했다. 발광층(106)에는 p형 $Al_{0.10}Ga_{0.90}N$ (층두께 약 90nm)로 이루어진 상부 클래드층(107)을 형성했다. 이것에 의해, n형 클래드층(105), n형 발광층(106) 및 p형 상부 클래드층(107)으로 pn접합형 더블 헤테로(DH) 접합구조의 발광부를 구성했다. 발광부를 이루는 p형 상부 클래드층(107) 상에는 p형 GaN(층두께 약 100nm)로 이루어진 콘택층(108)을 더

형성하여 LED(10) 용도의 적층구조체(11)를 형성했다.

- <99> 적층구조체(11)의 최표층을 이루는 p형 콘택트층(108)의 표면에는 금(원소기호: Au)과 니켈(원소기호: Ni) 산화물로 이루어진 p형 오믹(Ohmic) 전극(109)을 형성했다. 한편 n형 오믹 전극(110)은 그 전극(110)을 형성하는 영역에 있는 발광층(106), 상부 클래드층(107) 및 콘택트층(108)을 일반적인 드라이 에칭 수단으로 제거한 후 형성했다. n형 오믹 전극(110)은 초격자 구조층(104)을 통하여 형성했기 때문에, 양호한 평탄성을 갖는 하부 클래드층(105)의 표면에 형성했다. 즉, LED(10)에서는 p형 오믹 전극(109)과 n형 오믹 전극(110)을 규소 단결정 기판(101)에 대해서 동일한 표면층에 형성했다.
- <100> 상기와 같이 제조한 LED칩(10)의 p형 및 n형 오믹 전극(109, 110) 사이에 소자작동 전류를 통류하여 발광 및 전기적 특성을 조사했다. LED(10)에 순방향으로 전류를 흐르게 하였더니, 주파장을 460nm으로 하는 청색광이 출사되었다. 순방향 전류를 20mA로 했을 때의 발광 강도는 약 2.2mW의 고강도로 되었다. 순방향으로 20mA의 전류를 통류했을 때의 순방향 전압(Vf)은 약 3.4V로 되었다. 또한, 비화학양론적 조성의 탄화규소층(102)을 완충층으로서 형성했기 때문에, 그 위에 결정성이 뛰어난 III족 질화물 반도체층으로 이루어진 초격자 구조층(104) 및 DH 구조형의 발광부를 형성할 수 있었다. 이 때문에, 역방향 전류를 10 μ A로 했을 때의 역방향 전압은 15V의 고전압이 되었다. 또한, 특히 결정성이 뛰어난 III족 질화물 반도체층으로 초격자 구조층(104) 및 발광부를 구성하므로, 국소적인 내압불량(local breakdown)이 거의 없는 역방향의 내전압성이 뛰어난 LED를 구성할 수 있었다.
- <101> 실시예 2
- <102> 본 실시예 2에서는 (001) 결정면을 표면으로 하는 (001) 규소 단결정 기판에 형성한 비화학양론적 조성의 탄화규소층, 입방정 III족 질화물 반도체 접합층, 및 입방정 III족 질화물 반도체층으로 이루어진 초격자 구조층을 포함하는 에피택셜 적층구조체로 발광 다이오드(LED)를 제조하는 경우를 예로 하여 본 발명을 구체적으로 설명한다.
- <103> 본 실시예 2에서 제조한 반도체 LED(20)의 단면구조를 모식적으로 나타낸다.
- <104> LED(20)의 제조에는 (001) 결정면을 표면으로 하는 인(원소기호: P)을 첨가한 n형 규소 단결정을 기판(201)으로서 사용했다. 기판(201)을 MBE 성장용 성장 챔버 내로 반송한 후, 약 5 \times 10⁻⁷Pa의 고진공 중에서 기판(201)을 800 $^{\circ}$ C로 가열했다. RHEED 패턴을 감시하면서 기판(201)의 표면을 이루는 (100) 결정면이 (2 \times 1) 재배열 구조가 될 때까지 같은 온도로 계속해서 가열했다.
- <105> (2 \times 2) 재배열 구조가 출현한 것을 확인한 후 기판(201)을 MBE 성장 챔버 내로 수납한 채로 420 $^{\circ}$ C로 강온했다. 그 다음, 기판(201)의 표면에 아세틸렌 가스를 블로잉하고, 아울러 전자를 조사하면서 아세틸렌을 그 표면(10)에 흡착시켰다. 전자는 고진공으로 유지된 성장 챔버 내에 배치한 텅스텐(원소기호: W) 필라멘트를 통전 가열해서 발생시켰다. 전자는 가속 전압을 300V으로 해서 면적밀도 약 5 \times 10¹²cm⁻²에서 조사했다. 아세틸렌 가스와 전자는 RHEED 패턴 상에서 기판(201) 표면의 (2 \times 1) 재배열 구조에 기인하는 전자회절 반점이 거의 소멸될 때까지 계속해서 공급했다.
- <106> 그 후, 규소 단결정 기판(201)을 550 $^{\circ}$ C로 승온했다. 기판(201)의 온도가 550 $^{\circ}$ C로 안정한 시점에서 전자를 기판(201)을 향해서 다시 조사하기 시작했다. RHEED 패턴에 입방정 3C형의 탄화규소에 따라 스트리크가 출현할 때까지 같은 온도로 기판(201)의 표면에 전자를 계속해서 조사하여, 규소 단결정 기판(201)의 표면에 3C형 입방정 탄화규소층(202)을 형성했다. 600 $^{\circ}$ C에서, (001) 규소 단결정의 RHEED 패턴으로부터 구한 규소 단결정의 격자정수를 기초로, 형성한 탄화규소의 격자정수는 0.440nm로 계산되었다. 또한, 탄화규소층(202)의 RHEED 패턴에는 쌍정 및 적층결함에 기인하는 이상 회절은 확인되지 않았다. 또한, 탄화규소층(202)의 층두께는 약 2nm이고, 동일 층(202)의 표면은 (001) 결정면으로 되었다.
- <107> 비화학양론적 조성의 탄화규소층(202) 상에는 질소 플라즈마를 질소원으로 하는 MBE법에 따라 입방정 섬아연광 결정형의 질화 알루미늄(AlN)층(203)을 기판(201)의 온도를 700 $^{\circ}$ C로 하여 형성했다. 질소 플라즈마는 고순도 질소 가스에 주파수 13.56MHz의 고주파와 자계를 인가하는 전자 사이클로트론 공명(ECR)형 장치를 이용해서 발생시켰다. MBE 성장 챔버를 약 1 \times 10⁻⁶Pa의 고진공으로 유지하면서 질소 플라즈마 내의 원자상 질소(질소 라디칼)를 전기적 척력을 이용해서 추출하여 탄화규소층(202)의 표면에 분무했다. 본 발명에서 말하는 III족 질화물 반도체 접합층인 AlN층(203)의 층두께는 약 8nm으로 했다. AlN층(203)은 (001) 결정면을 표면으로 하는 단결정층이었다.
- <108> 입방정(cubic)의 AlN층(203)의 표면의 (001) 결정면 상에는 700 $^{\circ}$ C에서 MBE법에 따라 입방정의 제 1 n형 질화 갈

륨(GaN)(204a)을 형성했다. 초격자 구조층(204)의 구성층인 제 1 n형 GaN층(204a)의 층두께는 15ML(약 3.9nm)으로 했다. 제 1 n형 GaN층(204a)에는 초격자 구조층(204)을 구성하는 다른 구성층인 갈륨(Ga) 조성비를 0.95로 한 제 1 n형 질화 갈륨·인듐 혼정($Ga_{0.95}In_{0.05}N$)(204b)을 접합시켜서 형성했다. 그 다음, 제 1 n형 $Ga_{0.95}In_{0.05}N$ 혼정층(204b)에는 제 2 n형 GaN층(204a)을 접합시켜서 형성했다. 제 2 n형 GaN층(204a)에는 제 2 $Ga_{0.95}In_{0.05}N$ 혼정층(204b)을 접합시켜서 형성했다. 제 2 $Ga_{0.95}In_{0.05}N$ 혼정층(204b) 상에는 제 3 n형 GaN층(204a) 및 제 3 n형 $Ga_{0.95}In_{0.05}N$ 혼정층(204b)을 더 형성하여, 초격자 구조층(204)의 형성을 종료했다. 제 1 내지 제 3 n형 $Ga_{0.95}In_{0.05}N$ 혼정층(204b)의 층두께는 모두 10ML으로 했다.

- <109> 초격자 구조층(204)의 최표층을 이루는 (001) 결정면을 표면으로 하는 n형 $Ga_{0.95}In_{0.05}N$ 혼정층(204b) 상에는 MBE 법에 따라 규소를 도핑하면서 층두께를 약 1800nm로 하는 입방정이고 n형 GaN으로 이루어진 하부 클래드층(205)을 형성했다. n형 GaN층(205)은 상기 초격자 구조층(204)을 통해 형성했기 때문에, 표면조도 r. m. s.로 해서 약 1.2nm으로 양호한 평탄성을 갖고 있었다.
- <110> 하부 클래드층(205) 상에는 입방정의 n형 GaN 장벽층과 입방정의 n형 질화 갈륨·인듐 혼정($Ga_{0.85}In_{0.15}N$) 우물층의 5쌍 구성으로 이루어진 다중양자 우물구조의 발광층(206)을 MBE법에 따라 700℃에서 형성했다. 발광층(206)에는 층두께를 약 100nm으로 하는 입방정이고 p형 $Al_{0.10}Ga_{0.90}N$ 으로 이루어진 상부 클래드층(207)을 형성했다. 이것에 의해, n형 클래드층(205), n형 발광층(206) 및 p형 상부 클래드층(207)으로 pn접합형 더블 헤테로(DH) 접합구조의 발광부를 구성했다. 발광부를 이루는 p형 상부 클래드층(207) 상에는, 층두께를 약 90nm로 하는 입방정의 p형 GaN으로 이루어진 콘택트층(208)을 MBE법으로 더 형성하여 LED(20) 용도의 적층구조체(21)를 형성했다.
- <111> 적층구조체(21)의 최표층을 이루는 p형 콘택트층(208)의 표면의 중앙에는 금(Au)과 니켈(Ni) 산화물로 이루어진 p형 오믹 전극(209)을 형성했다. 한편 n형 오믹 전극(210)은 n형 규소 단결정 기판(201)의 이면의 전면에 금진공 증착막을 형성하여 구성했다.
- <112> 상기와 같이 형성된 LED칩(20)의 p형 및 n형 오믹 전극(209, 210) 사이에 소자작동 전류를 통류시켜 발광 및 전기적 특성을 조사했다. LED(20)에 순방향으로 전류를 흐르게 하였더니, 주파장을 465nm으로 하는 청색광이 출사되었다. 순방향전류를 20mA으로 했을 때의 발광 강도는 약 2.0mW의 고강도가 되었다. 순방향으로 20mA의 전류를 통류시켰을 때의 순방향 전압(V_f)은 약 3.3V가 되었다. 또한, 비화학양론적 조성의 탄화규소층(202)을 완충층으로서 형성했기 때문에, 그 위에 결정성이 뛰어난 III족 질화물 반도체층으로 이루어진 초격자 구조층(204) 및 DH구조형의 발광부가 형성되었다. 이 때문에, 역방향 전류를 10 μ A으로 했을 때의 역방향 전압은 15V의 고전압이 되었다. 또한, 특히 결정성이 뛰어난 III족 질화물 반도체층으로 초격자 구조층(204) 및 발광부를 구성하므로, 국소적인 내압불량이 거의 없는 역방향의 내전압성이 뛰어난 LED를 구성할 수 있었다.
- <113> 실시예 3
- <114> 금속 알루미늄막을 질화함으로써 형성한 질화 알루미늄으로 이루어진 III족 질화물 반도체 접합층을 구비한 LED를 구성하는 경우를 예로 하여 본 발명의 내용을 구체적으로 설명한다.
- <115> 상기 실시예 1에 기재된 바와 같이 (111) 결정면을 표면으로 하는 (111) 규소 단결정 기판 상에 입방정 3C형의 탄화규소층을 형성했다. 그 다음, 격자정수를 0.450nm으로 하는 탄화규소층의 (111) 결정면으로 이루어진 표면에 MBE 성장 챔버 내에서 알루미늄(Al)의 빔(beam)을 조사하여 Al 피막을 형성했다. Al 피막의 막두께는 약 3nm로 했다.
- <116> 다음으로, MBE 성장용 챔버에 구비된 ECR(전자 사이클로트론 공명)형 고주파(RF) 플라즈마 발생장치를 이용해서 질소 플라즈마를 동일 챔버 내에 발생시켰다. 가열 후, 질소 플라즈마 중의 질소 라디칼을 선택적으로 추출하여, 상기 Al 피막에 조사하여 이것을 질화시켰다. 질화에 의해 형성된 AlN막은 RHEED 패턴으로부터 육방정인 것이 확인되었다.
- <117> Al 피막을 질화해서 형성한 육방정 AlN층을 III족 질화물 반도체 접합층으로하고, 그 위에는 상기 실시예 1에 기재된 바와 같은 구성으로 이루어진 초격자 구조층, n형 하부 클래드층, n형 발광층, p형 상부 클래드층 및 p형 콘택트층을 순차 적층시켜서 LED용도의 적층구조체를 형성했다. 질화에 의해 형성한 AlN층을 III족 질화물 반도체 접합층으로서 사용함으로써, 그 위에 형성한 상기 초격자 구조층 등을 구성하는 III족 질화물 반도체층은 모두 육방정 정계로 획일적으로 통일된 것이 되었다. 전자회절 분석 및 일반적인 단면 TEM(투과 전자현미경)

관찰에 따르면, 이들 각 층의 표면은 (0001) 결정면이고, 또한 그 각 층의 내부에는 입방정의 결정 덩어리의 존재는 거의 확인되지 않았다.

<118> 질화에 따라 형성한 육방정 AlN층을 III족 질화물 반도체 접합층으로서 구비한 상기 적층구조체에는, 상기 실시예 1에 기재된 바와 같이 p형 및 n형 오믹 전극을 형성하여 LED를 구성했다.

<119> LED에 20mA의 순방향 전류를 통류했을 때의 발광 파장은 상기 실시예에 기재된 LED와 거의 동일한 약 460nm이었다. 또한, Al 피막의 질화에 따라 형성한 정계가 육방정으로 확일적으로 통일된 AlN층을 III족 질화물 반도체 접합층(20)으로서 사용했기 때문에, 입방정의 결정 덩어리의 혼재가 없는 육방정 III족 질화물 반도체 결정으로 발광층이 형성되어 있으므로, LED칩간의 발광파장은 균일했다.

산업상 이용 가능성

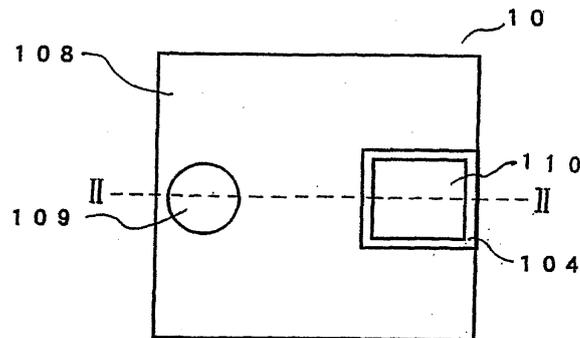
<120> 본 발명의 반도체 소자는 기판을 규소 단결정으로 해서 그 기판 상에 형성된 격자정수가 0.436nm을 초과하고 0.460nm 이하로 하는 조성적으로 규소를 풍부하게 함유하는 비화학양론적 조성의 입방정 탄화규소로 완충층을 구성하고, 그 완충층 상에는 $Al_xGa_yIn_zN_{1-a}M_a$ 로 이루어진 III족 질화물 반도체 접합층을 형성하고, 상기 III족 질화물 반도체 접합층 상에 III족 질화물 반도체로 이루어진 초격자 구조층을 더 형성한 적층구조를 이용하여 반도체 소자를 얻으므로, 결정성이 뛰어난 양질이고, 또한 표면의 평탄성이 뛰어난 III족 질화물 반도체층을 얻을 수 있고, 따라서 고성능 반도체 소자로 된다.

도면의 간단한 설명

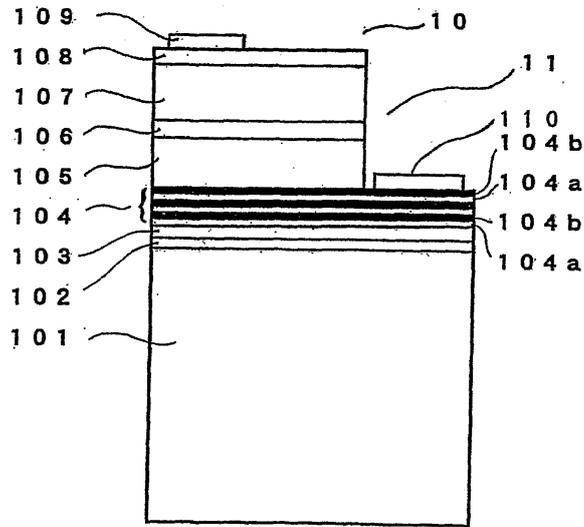
- <60> 도 1은 본 발명의 실시예 1에 기재된 LED의 평면 모식도이다.
- <61> 도 2는 도 1에 기재된 LED의 과선 II-II에 따른 단면구조를 나타내는 모식도이다.
- <62> 도 3은 본 발명의 실시예 2에 기재된 LED의 단면 모식도이다.

도면

도면1



도면2



도면3

