



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월04일
(11) 등록번호 10-1054344
(24) 등록일자 2011년07월29일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2004-0093887

(22) 출원일자 2004년11월17일

심사청구일자 2009년11월17일

(65) 공개번호 10-2006-0053505

(43) 공개일자 2006년05월22일

(56) 선행기술조사문헌

KR1020040062090 A*

KR1020040062193 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이계훈

서울특별시 양천구 목4동 724-12번지 대일빌라 401호

배양호

경기 수원시 권선구 곡반정동 4블럭 13롯데 기보 아트빌 204호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 10 항

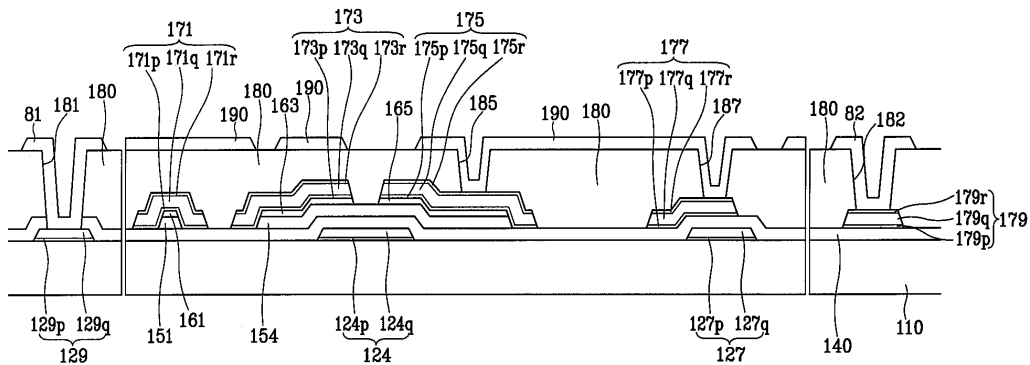
심사관 : 한재균

(54) 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명은, 절연 기판, 상기 절연 기판 위에 형성되어 있는 게이트선, 상기 게이트선 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하고 있는 드레인 전극 및 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며, 상기 게이트선과 상기 데이터선 및 드레인 전극 중 적어도 어느 하나는 도전성 산화막으로 이루어진 제1 도전층 및 구리를 포함하는 제2 도전층을 포함하는 박막 트랜지스터 표시판 및 그 제조 방법을 제공한다.

대표도 - 도2



(72) 발명자

조범석

서울특별시 영등포구 대림3동 607-1번지 코오롱아
파트 101동 2402호

정창오

경기도 수원시 영통구 망포동 동수원엘지빌리지 2
차 201동 203호

특허청구의 범위

청구항 1

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선,

상기 게이트선 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하고 있는 드레인 전극, 및

상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며,

상기 게이트선과 상기 데이터선 및 드레인 전극 중 적어도 어느 하나는 도전성 산화막으로 이루어진 제1 도전층 및 구리를 포함하는 제2 도전층을 포함하고, 상기 제1 도전층은 비정질 ITO, 비정질 ITON, IZO, 그리고 IZON에서 선택된 적어도 하나로부터 형성되어 있는 박막 트랜지스터 표시판.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에서, 상기 제1 도전층은 상기 제2 도전층의 하부 또는 상부 중 적어도 하나에 형성되는 박막 트랜지스터 표시판.

청구항 5

제1항에서, 상기 제2 도전층은 상기 제1 도전층보다 두꺼운 박막 트랜지스터 표시판.

청구항 6

절연 기판 위에 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막 및 반도체층을 순차적으로 형성하는 단계,

상기 게이트 절연막 및 반도체층 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격을 두고 마주하고 있는 드레인 전극을 형성하는 단계, 및

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하며,

상기 게이트선을 형성하는 단계와 상기 데이터선 및 드레인 전극을 형성하는 단계 중 적어도 어느 하나는 도전성 산화막을 형성하는 단계 및 구리(Cu)를 포함하는 도전층을 형성하는 단계를 포함하고, 상기 도전성 산화막은 비정질 ITO 또는 IZO로부터 형성되는 박막 트랜지스터 표시판의 제조 방법.

청구항 7

제6항에서, 상기 게이트선을 형성하는 단계와 상기 데이터선 및 드레인 전극을 형성하는 단계 중 적어도 어느 하나는 상기 구리(Cu)를 포함하는 도전층을 형성한 후에 도전성 산화막을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 8

삭제

청구항 9

제6항 또는 제7항에서, 상기 도전성 산화막을 형성하는 단계는 상기 도전성 산화막을 질소 공급 기체에 노출시키는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 10

제9항에서, 상기 질소 공급 기체는 질소(N₂), 아산화질소(N₂O) 또는 암모니아(NH₃)에서 선택된 적어도 어느 하나인 박막 트랜지스터 표시판의 제조 방법.

청구항 11

제6항 또는 제7항에서, 상기 도전성 산화막을 형성하는 단계는 상기 도전성 산화막을 수소 기체(H₂) 및 수증기(H₂O) 중 적어도 어느 하나에 노출시키는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 12

제6항 또는 제7항에서, 상기 도전성 산화막을 형성하는 단계는 25 내지 150℃에서 수행하는 박막 트랜지스터 표시판의 제조 방법.

청구항 13

제6항 또는 제7항에서, 상기 게이트선을 형성하는 단계와 상기 데이터선 및 드레인 전극을 형성하는 단계는 한번의 식각으로 도전성 산화막 및 구리를 동시에 식각하는 박막 트랜지스터 표시판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0027] 본 발명은 박막 트랜지스터 액정 표시 장치(TFT-LCD) 또는 유기 발광 표시 소자(OLED) 등에서 사용되는 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것으로, 보다 상세하게는 저저항성 배선을 포함하는 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.
- [0028] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- [0029] 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 것이다. 이 중에서도, 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 형태가 주류이다. 이러한 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자소자인 박막 트랜지스터를 각 화소 전극에 연결하고 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선과 화소 전극에 인가될 전압을 전달하는 데이터선을 표시판에 형성한다. 상기 박막 트랜지스터는 게이트선을 통하여 전달되는 주사 신호에 따라 데이터선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자로서의 역할을 한다. 이러한 박막 트랜지스터는, 자발광소자인 능동형 유기 발광 표시 소자(AM-OLED)에서도 각 발광 소자를 개별적으로 제어하는 스위칭 소자로서 역할을 한다.
- [0030] 이러한 박막 트랜지스터에서, 게이트 전극을 포함하는 게이트선, 소스 전극을 포함하는 데이터선 및 드레인 전극 등의 재료로서 크롬(Cr)이 주로 이용되었다.
- [0031] 그러나, 액정 표시 장치의 면적이 점점 대형화되는 추세에 따라 게이트선 및 데이터선의 길이가 점점 길어지게 되고, 이에 따라 기존의 크롬 배선을 이용하는 경우 상대적으로 높은 저항에 의해 신호 지연 등의 문제가 발생한다.
- [0032] 이러한 문제점을 극복하기 위하여, 낮은 비저항을 가지는 구리(Cu)가 대면적 액정 표시 장치에 적합한 금속으로

알려져 있지만, 구리(Cu)는 유리 기판과의 접착성(adhesion) 및 식각 공정의 어려움 등에 따라 실제 공정에 적용하기에는 신뢰성이 취약한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0033] 따라서, 본 발명은 상기 문제점을 해결하기 위한 것으로서, 저저항성 및 신뢰성을 동시에 확보할 수 있는 박막 트랜지스터 표시판 및 그 제조 방법을 제공한다.

발명의 구성 및 작용

[0034] 본 발명에 따른 박막 트랜지스터 표시판은, 절연 기판, 상기 절연 기판 위에 형성되어 있는 게이트선, 상기 게이트선 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하고 있는 드레인 전극 및 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며, 상기 게이트선과 상기 데이터선 및 드레인 전극 중 적어도 어느 하나는 도전성 산화막으로 이루어진 제1 도전층 및 구리(Cu)를 포함하는 제2 도전층을 포함한다.

[0035] 또한, 상기 제1 도전층은 ITO, ITON, IZO 및 IZON에서 선택된 적어도 어느 하나를 포함한다.

[0036] 또한, 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은, 절연 기판 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 순차적으로 형성하는 단계, 상기 게이트 절연막 및 반도체층 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격을 두고 마주하고 있는 드레인 전극을 형성하는 단계 및 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하며, 상기 게이트선을 형성하는 단계와 상기 데이터선 및 드레인 전극을 형성하는 단계 중 적어도 어느 하나는 도전성 산화막을 형성하는 단계 및 구리(Cu)를 포함하는 도전층을 형성하는 단계를 포함한다.

[0037] 또한, 상기 게이트선을 형성하는 단계와 상기 데이터선 및 드레인 전극을 형성하는 단계 중 적어도 어느 하나는 상기 구리(Cu)를 포함하는 도전층을 형성하는 단계 후에 도전성 산화막을 형성하는 단계를 더 포함한다.

[0038] 또한, 상기 도전성 산화막은 ITO 또는 IZO로 형성한다.

[0039] 또한, 상기 도전성 산화막을 형성하는 단계는 상기 도전성 산화막을 질소 공급 기체에 노출시키는 단계를 더 포함한다.

[0040] 또한, 상기 도전성 산화막을 형성하는 단계는 상기 도전성 산화막을 수소 기체(H₂) 및 수증기(H₂O) 중 적어도 어느 하나에 노출시키는 단계를 더 포함한다.

[0041] 또한, 상기 도전성 산화막을 형성하는 단계는 25 내지 150℃에서 수행한다.

[0042] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0043] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0044] 이제 본 발명의 실시예에 따른 액정 표시 장치 또는 유기 발광 표시 소자용 박막 트랜지스터 표시판의 제조 방법에 대하여 도면을 참조하여 상세하게 설명한다.

[0045] [실시예 1]

[0046] 먼저, 도 1 및 도 2를 참조하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 상세히 설명한다.

[0047] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II' 선을 따라 자른 단면도이다.

[0048] 절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을

이룬다. 또한 각 게이트선(121)의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)(127)를 이루며, 또 다른 일부는 게이트 패드부(129)를 형성한다.

- [0049] 게이트선(121)은, 예컨대 ITO 또는 IZO와 같은 도전성 산화막으로 이루어진 제1 도전층(124p, 127p, 129p)과 구리(Cu) 또는 구리 합금(Cu-alloy)으로 이루어진 제2 도전층(124q, 127q, 129q)으로 형성되어 있다. 또한, 상기 제2 도전층(124q, 127q, 129q) 상부에는 도전성 산화막(도시하지 않음)이 더 형성되어 있을 수 있다. 이 경우, 상기 제2 도전층(124q, 127q, 129q) 상부에 형성된 도전성 산화막에 의해 구리(Cu)가 상부의 게이트 절연막(140)으로 확산(diffusion)되는 것을 방지할 수 있다.
- [0050] 상기와 같이 구리(Cu)를 포함한 도전층의 하부에 도전성 산화막이 형성되는 경우, 기판과의 접착성(adhesion)이 향상되어 배선의 벗겨짐(peeling) 또는 들뜸(lifting) 현상을 방지할 수 있다.
- [0051] 특히, 상기 도전성 산화막이 비정질(amorphous) 형태로부터 형성된 ITO인 경우, 상기 기판과의 접착성이 더욱 향상될 수 있다. 이는 저온에서 형성된 비정질 형태의 ITO가 후속 공정인 게이트 절연막(140) 및 반도체층(151) 형성 단계에서 약 200℃ 이상의 고온에 노출되어 결정질의 ITO를 형성하기 때문이다.
- [0052] 또한, 구리(Cu)와 비정질 ITO 또는 IZO는 동일한 조건에서 식각할 수 있다. 구리(Cu)는 일반적으로 빠른 식각 속도를 나타내기 때문에 약산(weak acid)의 조건에서 식각을 하여야 한다. 그런데, 기준에 구리(Cu)층의 하부층으로 주로 이용되는 몰리브덴(Mo) 등은 구리(Cu)에 비하여 현저히 느린 식각 속도를 나타내지 때문에 동일한 조건에서 식각할 수 없었다. 이에 반해, 비정질 ITO 또는 IZO와 같은 도전성 산화막은 구리(Cu)와 동일한 식각 조건에서 식각을 수행할 수 있어서 한번의 식각으로 양호한 프로파일을 가진 게이트선(121)을 형성할 수 있다.
- [0053] 또한, 상기 ITO 또는 IZO를 질소 분위기에 노출시켜 형성된 ITON 또는 IZON를 포함하는 것도 바람직하다. 이 경우, 구리(Cu)와 도전성 산화막의 접촉 영역에서 구리의 산화를 방지할 수 있어 저항의 급속한 증가를 방지할 수 있다.
- [0054] 상기 제1 도전층(124p, 127p, 129p) 및 제2 도전층(124q, 127q, 129q)의 측면은 약 30 내지 80도의 경사각으로 형성되어 있다.
- [0055] 게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0056] 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 이루어진 복수의 선형 반도체층(151)이 형성되어 있다. 선형 반도체층(151)은 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다. 또한, 선형 반도체층(151)은 게이트선(121)과 만나는 지점 부근에서 폭이 커져서 게이트선(121)의 넓은 면적을 덮고 있다.
- [0057] 반도체층(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 이루어지는 선형 저항성 접촉층(ohmic contact)(161) 및 복수의 섬형 저항성 접촉층(163, 165)이 형성되어 있다. 저항성 접촉층(163, 165)은 쌍을 이루어 반도체층(151)의 돌출부(154) 위에 위치되어 있다. 반도체층(151, 154)과 저항성 접촉층(163, 165)의 측면 역시 경사져 있으며 경사각은 기판(110)에 대해서 40 내지 80°이다.
- [0058] 섬형 저항성 접촉층(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.
- [0059] 데이터선(171)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다.
- [0060] 상기 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)은 도전성 산화막으로 이루어진 도전층(171p, 173p, 175p, 177p, 179p), 구리(Cu) 또는 구리 합금(Cu-alloy)으로 이루어진 도전층(171q, 173q, 175q, 177q, 179q), 및 도전성 산화막으로 이루어진 도전층(171r, 173r, 175r, 177r, 179r)의 삼중막으로 형성되어 있다.
- [0061] 상기 도전성 산화막은, 예컨대 ITO 또는 IZO로 형성될 수 있다. 상기 도전성 산화막은 구리(Cu)를 포함하는 도

전층(171q, 173q, 175q, 177q, 179q)의 상부 및/또는 하부에 형성되어 반도체층(151) 및/또는 화소 전극(190)으로 구리(Cu)가 확산되는 것을 방지한다. 특히, 상기 도전성 산화막이 ITO인 경우에는, 증착시 비정질 형태의 ITO로부터 형성되는 것이 바람직하다. 비정질 형태의 ITO 또는 IZO와 같은 도전성 산화막은 구리(Cu)와 동일한 식각 조건에서 양호한 프로파일을 가진 데이터선(171)을 형성할 수 있다.

- [0062] 또한, 상기 도전성 산화막으로 ITON 또는 IZON과 같은 질소 함유의 도전성 산화막이 형성되는 것도 바람직하다. 이 경우, 구리(Cu)와 도전성 산화막의 접촉 영역에서 구리의 산화를 방지할 수 있어 저항의 급속한 증가를 방지할 수 있다.
- [0063] 상기 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 박막 트랜지스터(Thin Film Transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체의 돌출부(154)의 표면에 형성된다. 유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.
- [0064] 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)도 게이트선(121)과 마찬가지로 그 측면이 기판(110)에 대해서 약 30 내지 80°의 각도로 각각 경사져 있다.
- [0065] 섬형 저항성 접촉층(163, 165)은 하부의 반도체층(154)과 그 상부의 소스 전극(173) 및 드레인 전극(175) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 또한, 선형 반도체층(151)은 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 영역에서 선형 반도체층(151)의 폭이 데이터선(171)의 폭보다 작지만 전술한 바와 같이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)과 데이터선(171) 사이의 절연을 강화한다.
- [0066] 데이터선(171), 드레인 전극(175), 유지 축전기용 도전체(177) 및 노출된 반도체층(151) 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물질, 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연물질, 또는 무기 물질인 질화규소 따위로 이루어진 보호막(passivation layer)(180)이 형성되어 있다. 또한, 상기 보호막(180)을 유기 물질로 형성하는 경우에는, 소스 전극(173)과 드레인 전극(175) 사이의 반도체층(154)이 드러난 부분으로 보호막(180)의 유기 물질이 접촉하는 것을 방지하기 위하여, 유기막의 하부에 질화규소(SiNx) 또는 산화규소(SiO₂)로 이루어진 절연막(도시하지 않음)이 추가로 형성될 수도 있다.
- [0067] 보호막(180)에는 게이트 패드 영역(129), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터 패드부(179)를 각각 드러내는 복수의 접촉구(contact hole)(181, 185, 187, 182)가 형성되어 있다.
- [0068] 보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조부재(contact assistant)(81, 82)가 형성되어 있다.
- [0069] 화소 전극(190)은 접촉구(185, 187)를 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.
- [0070] 데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.
- [0071] 또한, 화소 전극(190)과 대향 표시판에 형성되어 있는 공통 전극(도시하지 않음)은 액정 축전기(liquid crystal capacitor)를 이루어 박막 트랜지스터가 턴오프(turn off)된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며, 이를 "유지 축전기(storage electrode)"라 한다. 유지 축전기는 화소 전극(190) 및 이와 이웃하는 게이트선(121)[이를 "전단 게이트선(previous gate line)"이라 함]의 중첩 등으로 형성되며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘이기 위하여 게이트선(121)을 확장한 확장부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(127)와 중첩되는 유지 축전기용 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.
- [0072] 접촉 보조 부재(81, 82)는 접촉구(181, 182)를 통하여 게이트 패드부(129)와 데이터 패드부(179)에 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트 패드부(129) 또는 데이터 패드부(179)와 구동 집적 회로와 같은 외부 장치의 접착성을 보완하고 이들을 보호한다.
- [0073] 그러면, 도 1 및 도 2에 도시한 상기 액정 표시 장치용 박막 트랜지스터 표시판을 본 발명의 일실시예에 따라

제조하는 방법에 대하여 도 3a 내지 도 6b와 도 1 및 도 2를 참조하여 상세히 설명한다.

- [0074] 먼저, 도 3a 및 도 3b에서 보는 바와 같이, 절연 기판(110) 위에 ITO 또는 IZO와 같은 도전성 산화막을 포함하는 도전층과 구리(Cu)를 포함하는 도전층을 순차적으로 적층한다.
- [0075] 여기서, 상기 도전층은 공동 스퍼터링(Co-sputtering)으로 형성한다. 본 실시예에서는 공동 스퍼터링의 타겟으로 ITO와 구리(Cu)를 사용하였다. 상기 공동 스퍼터링은, 초기에 구리(Cu) 타겟에는 파워를 인가하지 않으며 ITO 타겟에만 파워를 인가하여 기판 위에 ITO로 이루어지는 도전층을 형성한다. 이 경우, 약 25 내지 150℃의 온도에서 수소 기체(H₂) 또는 수증기(H₂O)를 공급하면서 스퍼터링을 수행한다. 상기와 같은 조건에서 ITO를 증착하는 경우, 비정질(amorphous) 형태의 ITO가 형성된다. 상기 도전층은 약 50 내지 500Å의 두께로 형성한다.
- [0076] 그 다음, 상기 ITO 타겟에 인가되는 파워를 오프(off)한 후, 구리(Cu)에 인가되는 파워를 인가하여 구리층을 형성한다. 이 경우, 상기 구리층은 약 1500 내지 3000Å의 두께로 형성한다.
- [0077] 그 다음, 상기 구리 타겟의 파워를 오프(off)한 후, ITO 타겟에 다시 파워를 인가하여 구리층 위에 ITO으로 이루어지는 도전층을 형성한다. 이 경우도 상기와 마찬가지로, 약 25 내지 150℃의 온도에서 수소 기체(H₂) 또는 수증기(H₂O)를 공급하면서 스퍼터링을 수행한다. 이 경우, 비정질 형태의 ITO가 형성된다. 또는, 상기 비정질 형태의 ITO에 질화성을 나타내기 위하여 질소 기체(N₂), 아산화질소(N₂O) 또는 암모니아(NH₃)를 함께 공급하여 ITON를 형성할 수 있다.
- [0078] 상기 도전층은 약 50 내지 500Å의 두께로 형성한다.
- [0079] 상기와 같이, 구리를 포함하는 도전층의 상부 및/또는 하부에 도전성 산화막을 형성함으로써 기판과의 접착성을 향상시키는 동시에 이후에 형성되는 게이트 절연막(140)으로 구리(Cu)가 확산되는 것을 방지할 수 있다.
- [0080] 특히, 비정질 형태의 ITO로 형성하는 경우, 결정질 형태의 ITO보다 기판(110)과의 접착성(adhesion)을 현저히 향상시킬 수 있다. 이는 저온에서 형성된 비정질 형태의 ITO가 후속 공정인 게이트 절연막(140) 및 반도체층(151) 형성 단계에서 약 200℃ 이상의 고온에 노출되어 결정질의 ITO를 형성하기 때문이다. 이러한 ITO의 결정성 변화에 의해 ITO층과 기판의 접착성이 현저히 향상될 수 있다.
- [0081] 또한, 비정질 형태의 ITO 또는 IZO의 경우, 약산(weak acid)의 조건에서 식각할 수 있다. 일반적으로 구리(Cu)는 내화학성이 약하여 약산의 조건에서 식각을 수행하여야 하는데, 기존에 구리층의 하부층으로 주로 이용하는 몰리브덴(Mo)과 같은 금속의 경우 구리(Cu)보다 식각 속도가 현저히 느려 각각의 금속층에 대하여 별도의 식각 공정을 수행하여야 한다. 이는 결정질 ITO/구리(Cu)의 이중층의 경우도 마찬가지이다. 그러나, 비정질 형태의 ITO 또는 IZO는 구리(Cu)와 동일한 약산 조건에서 일괄 식각할 수 있다.
- [0082] 상기와 같이, 저온에서 형성된 비정질 형태의 ITO 또는 IZO를 구리층의 하부에 형성하는 경우, 기판과의 접착성, 확산 방지성 및 일괄 식각에 의한 프로파일 측면에서 현저히 개선된 배선을 형성할 수 있다.
- [0083] 또는, 상기 비정질 형태의 ITO 또는 IZO에 질화성을 부여하기 위하여 스퍼터링시 질소 기체(N₂), 아산화질소(N₂O) 또는 암모니아(NH₃)를 함께 공급하여 ITON 또는 IZON를 형성할 수 있다. 이 경우, 구리(Cu)와 도전성 산화막의 접촉 영역을 질화 처리함으로써 구리의 산화를 방지할 수 있다.
- [0084] 이로써, 게이트 전극(124)을 포함하는 게이트선(121)은 구리 금속층의 상부 및 하부에 비정질 ITO 또는 ITON이 형성되어 있는 삼중막 형태로 형성된다.
- [0085] 이어서, 상기 삼중막의 게이트선(121)을 동일한 식각액을 이용한 습식 식각(wet etching)으로 한번에 식각한다. 이 경우, 식각액으로는, 과산화수소(H₂O₂) 식각액, 또는 인산(H₂PO₃), 질산(HNO₃) 및 아세트산(CH₃COOH)이 적정 비율로 혼합되어 있는 통합 식각액을 이용한다.
- [0086] 상기 식각으로, 도 3a 및 도 3b에서 보는 바와 같이, 게이트 전극(124), 복수의 확장부(127) 및 게이트 패드부(129)를 포함하는 게이트선(121)이 형성된다.
- [0087] 그 다음, 도 4a 및 도 4b에 도시한 바와 같이, 게이트선(121) 및 게이트 전극(124)을 덮도록 질화규소(SiN_x) 또는 산화규소(SiO₂)를 증착하여 게이트 절연막(140)을 형성한다. 게이트 절연막(140)의 적층 온도는 약 250 내지 500℃, 두께는 2,000 내지 5,000Å 정도로 한다. 본 단계는 약 200℃ 이상의 고온에서 수행하기 때문에, 상기

게이트선을 이루는 비정질 형태의 ITO가 결정질 ITO로 변화하게 된다.

- [0088] 그 다음, 게이트 절연막(140) 위에 진성 비정질 규소층(intrinsic amorphous silicon), 불순물이 도핑된 비정질 규소층(extrinsic amorphous silicon)을 연속하여 적층하고, 불순물이 도핑된 비정질 규소층과 진성 비정질 규소층을 사진 식각하여 복수의 돌출부(154)와 복수의 불순물 반도체 패턴(164)을 각각 포함하는 선형 진성 반도체층(151) 및 불순물이 도핑된 비정질 규소층(161)을 형성한다.
- [0089] 그 다음, 불순물이 도핑된 비정질 규소층(161) 위에 스퍼터링 등의 방법으로 ITO 등의 도전성 산화막으로 이루어진 도전층, 구리를 포함하는 도전층 및 ITO 등의 도전성 산화막으로 이루어진 도전층을 차례로 적층한다.
- [0090] 상기와 같이, 구리층의 하부 및/또는 상부에 도전성 산화막을 형성함으로써, 구리(Cu)가 산화되어 하부의 반도체층 및 상부의 화소 전극으로 확산되는 것을 방지할 수 있다.
- [0091] 이 경우, 상기 도전성 산화막은 예컨대 ITO 또는 IZO로 형성할 수 있다. 특히, ITO로 형성하는 경우에는 약 25 내지 150°C의 온도에서 수소 기체(H₂) 또는 수증기(H₂O)를 공급하면서 스퍼터링을 수행하는 것이 바람직하다. 저온에서 형성된 비정질 형태의 ITO 또는 IZO를 구리층의 하부 및/또는 상부에 형성하는 경우, 일괄 식각에 의한 프로파일을 현저히 개선시킬 수 있다.
- [0092] 또는, 상기 비정질 형태의 ITO 또는 IZO에 질화성을 나타내기 위하여 질소 기체(N₂), 아산화질소(N₂O) 또는 암모니아(NH₃)를 함께 공급하여 ITON 또는 IZON를 형성할 수 있다. 이 경우, 구리층과 도전성 산화막의 접촉 영역을 질화 처리함으로써 구리가 산화되어 도전성 산화막으로 확산되는 것을 방지할 수 있다.
- [0093] 이 경우, 상기 도전성 산화막은 약 50 내지 500Å, 구리 금속층은 약 1500 내지 3000Å의 두께로 형성한다.
- [0094] 이어서, 상기 삼중막의 데이터선(171)을 동일한 식각액을 이용하여 일괄 식각한다. 이 경우, 식각액으로는, 과산화수소(H₂O₂) 식각액, 또는 인산(H₃PO₃), 질산(HNO₃) 및 아세트산(CH₃COOH)이 적정 비율로 혼합되어 있는 통합 식각액을 이용한다.
- [0095] 이로써, 도 5a 및 도 5b에 도시된 바와 같이, 삼중층의 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터 패드부(179)가 형성된다.
- [0096] 이어, 소스 전극(173), 드레인 전극(175) 및 유지 축전기용 도전체(177)로 덮이지 않고 노출된 불순물 반도체층(161, 165) 부분을 제거함으로써 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉층(161)과 복수의 섬형 저항성 접촉층(165)을 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출시킨다. 이 경우, 노출된 진성 반도체(154) 부분의 표면을 안정화시키기 위하여 산소(O₂) 플라즈마를 실시한다.
- [0097] 다음으로, 도 6a 및 도 6b에 도시한 바와 같이, 평탄화 특성이 우수하며 감광성을 가지는 유기물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연물질, 또는 무기 물질인 질화규소(SiNx) 따위를 단일층 또는 복수층으로 형성하여 보호막(passivation layer)(180)을 형성한다. 본 단계는 약 200°C 이상의 고온에서 수행하기 때문에, 상기 데이터선(171)을 이루는 비정질 형태의 ITO가 결정질 ITO로 변화하게 된다.
- [0098] 그 다음, 보호막(180) 위에 감광막을 코팅한 후 광마스크를 통하여 감광막에 빛을 조사한 후 현상하여 복수의 접촉구(181, 185, 187, 182)를 형성한다. 이 때 감광성을 가지는 유기막일 경우에는 사진 공정만으로 접촉구를 형성할 수 있으며, 게이트 절연막(140)과 보호막(180)에 대하여 실질적으로 동일한 식각비를 가지는 식각 조건으로 실시하는 것이 바람직하다.
- [0099] 이어서, 상기 보호막(180) 위에 ITO의 투명 금속층을 스퍼터링 방법으로 적층한다. 이 때, 상기 투명 금속층은 약 400 내지 1500Å의 두께로 형성한다.
- [0100] 본 실시예에서는 도전성 산화막에 대하여 ITO를 예시적으로 보였지만, IZO 등을 포함한 모든 도전성 산화막에 상기 공정을 동일하게 적용할 수 있으며, 본 실시예에서는 구리층의 상부 및 하부에 도전성 산화막을 형성하는 경우에 대하여 설명하였지만, 상기 상부 및 하부 중 어느 하나에만 형성될 수도 있다.
- [0101] [실시예 2]
- [0102] 본 실시예에서는 능동형 유기 발광 표시 장치(AM-OLED)용 박막 트랜지스터 표시판에 대하여 설명한다.
- [0103] 도 7은 본 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 8a 및 도 8b는 각각

도 7의 박막 트랜지스터 표시판에서 VIIIa-XVIIa' 선 및 VIIIb-XVIIb' 선을 따라 자른 단면도이다.

- [0104] 절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 돌출되어 복수의 제1 게이트 전극(124a)을 이룬다. 또한 게이트선(121)과 동일한 층으로 제2 게이트 전극(124b)이 형성되어 있으며, 제2 게이트 전극(124b)에는 세로 방향으로 뻗은 유지 전극(133)이 연결되어 있다.
- [0105] 게이트선(121), 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)은, 예컨대 ITO 또는 IZO와 같은 도전성 산화막으로 이루어진 제1 도전층(124ap, 124bp, 133p)과 구리(Cu) 또는 구리 합금(Cu-alloy)으로 이루어진 제2 도전층(124aq, 124bq, 133q)으로 형성되어 있다. 또한, 상기 제2 도전층(124aq, 124bq, 133q) 상부에는 도전성 산화막(도시하지 않음)이 더 형성될 수 있다. 이 경우 상기 제2 도전층(124aq, 124bq, 133q) 상부에 도전성 산화막을 형성함으로써 구리(Cu)가 이후에 형성되는 게이트 절연막(140)으로 확산(diffusion)되는 것을 방지할 수 있다.
- [0106] 상기와 같이 구리(Cu)를 포함한 제2 도전층(124aq, 124bq, 133q)의 하부에 도전성 산화막이 형성되는 경우, 기판과의 접착성(adhesion)이 향상되어 배선의 벗겨짐(peeling) 또는 들뜸(lifting) 현상을 방지할 수 있다.
- [0107] 특히, 상기 도전성 산화막이 비정질(amorphous) 형태로부터 형성된 ITO인 경우, 상기 기판과의 접착성이 더욱 향상될 수 있다. 이는 저온에서 형성된 비정질 형태의 ITO가 후속 공정인 게이트 절연막(140) 및 반도체층(151) 형성 단계에서 약 200°C 이상의 고온에 노출되어 결정질의 ITO를 형성하기 때문이다.
- [0108] 또한, 구리(Cu)와 비정질 ITO 또는 IZO는 동일한 조건에서 식각할 수 있다. 구리(Cu)는 일반적으로 빠른 식각 속도를 나타내기 때문에 약산(weak acid)의 조건에서 식각을 하여야 한다. 그런데, 기존에 구리(Cu)층의 하부층으로 주로 이용되는 몰리브덴(Mo) 등은 구리(Cu)에 비하여 현저히 느린 식각 속도를 나타내지 때문에 동일한 조건에서 식각할 수 없었다. 이에 반해, 비정질 ITO 또는 IZO와 같은 도전성 산화막은 구리(Cu)와 동일한 식각 조건에서 식각을 수행할 수 있어서 한번의 식각으로 양호한 프로파일을 가진 게이트선(121)을 형성할 수 있다.
- [0109] 또한, 상기 ITO 또는 IZO를 질소 분위기에 노출시켜 형성된 ITON 또는 IZON로 형성하는 것이 바람직하다. 이 경우, 구리(Cu)와 도전성 산화막의 접촉 영역을 질화 처리함으로써 구리(Cu)가 산화되어 도전성 산화막 내로 확산되는 것을 방지할 수 있다.
- [0110] 상기 제1 도전층(124ap, 124bp, 133p) 및 제2 도전층(124aq, 124bq, 133q)의 측면은 약 30 내지 80도의 경사각으로 형성되어 있다.
- [0111] 게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0112] 게이트 절연막(140) 상부에는 수소화 비정질 규소 등으로 이루어진 복수의 선형 반도체(151)와 섬형 반도체(154b)가 형성되어 있다. 선형 반도체(151)는 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)가 제1 게이트 전극(124a)을 향하여 뻗어 나와 제1 게이트 전극(124a)과 중첩하는 제1 채널부(154a)를 이루고 있다. 또한 선형 반도체(151)는 게이트선(121)과 만나는 지점 부근에서 폭이 확장되어 있다. 섬형 반도체(154b)는 제2 게이트 전극(124b)과 교차하는 제2 채널부를 포함하고, 유지 전극(133)과 중첩하는 유지 전극부(157)를 가진다.
- [0113] 선형 반도체(151) 및 섬형 반도체(154b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 이루어진 복수의 선형 및 섬형 저항성 접촉층(161, 165a, 163b, 165b)이 형성되어 있다. 선형 접촉층(161)은 복수의 돌출부(163a)를 가지고 있으며, 이 돌출부(163a)와 섬형 접촉층(165a)은 쌍을 이루어 선형 반도체(151)의 돌출부(154a) 위에 위치되어 있다. 또한, 섬형 접촉층(163b, 165b)은 제2 게이트 전극(124b)을 중심으로 마주하여 쌍을 이루며 섬형 반도체(154b) 상부에 위치한다.
- [0114] 반도체(151, 154b)와 저항성 접촉층(161, 165a, 163b, 165b)의 측면 역시 경사져 있으며 경사각은 30 내지 80도이다.
- [0115] 저항성 접촉층(161, 165a, 163b, 165b) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(171)과 복수의 제1 드레인 전극(175a), 복수의 전원선(172) 및 제2 드레인 전극(175b)이 형성되어 있다.
- [0116] 데이터선(171) 및 전원선(172)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압과 전원 전압을 각각 전달한다. 각 데이터선(171)에서 제1 드레인 전극(175a)을 향하여 뻗은 복수의 가지가 제1 소스 전극(173a)

을 이루며 각 전원선(172)에서 제2 드레인 전극(175b)을 향하여 뺀 복수의 가지가 제2 소스 전극(173b)을 이룬다. 한 쌍의 제1 및 제2 소스 전극(173a, 173b)과 제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있으며 각각 제1 및 제2 게이트 전극(124a, 124b)에 대하여 서로 반대쪽에 위치되어 있다.

- [0117] 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 선행 반도체(151)의 돌출부(154a)와 함께 스위칭(switching)용 박막 트랜지스터를 이루며, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 선행 반도체(154b)와 함께 구동(driving)용 박막 트랜지스터를 이룬다. 이 때, 전원선(172)은 선행 반도체(154b)의 유지 전극부(157)와 중첩한다.
- [0118] 데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)은 도전성 산화막으로 이루어진 도전층(171p, 173ap, 173bp, 175ap, 175bp, 172p), 구리(Cu) 또는 구리 합금(Cu-alloy)으로 이루어진 도전층(171q, 173aq, 173bq, 175aq, 175bq, 172q), 및 도전성 산화막으로 이루어진 도전층(171r, 173ar, 173br, 175ar, 175br, 172r)의 삼중막으로 형성되어 있다.
- [0119] 상기 도전성 산화막은, 예컨대 ITO 또는 IZO로 형성될 수 있다. 상기 도전성 산화막은 구리(Cu)를 포함하는 도전층(171q, 173aq, 173bq, 175aq, 175bq, 172q)의 상부 및/또는 하부에 형성되어 반도체층(151) 및/또는 화소 전극(190)으로 구리(Cu)가 확산되는 것을 방지한다. 특히, 상기 도전성 산화막이 ITO인 경우는, 증착시 비정질 형태의 ITO로 형성하는 것이 바람직하다. 비정질 형태의 ITO 또는 IZO와 같은 도전성 산화막은 구리(Cu)와 동일한 식각 조건에서 양호한 프로파일을 가진 데이터선(171)을 형성할 수 있다.
- [0120] 또한, 상기 도전성 산화막으로서 ITON 또는 IZON과 같은 질소 함유의 도전성 산화막이 형성되는 것이 바람직하다. 이 경우, 구리층과 도전성 산화막의 접촉 영역을 질화 처리함으로써 구리가 산화되어 도전성 산화막으로 확산되는 것을 방지할 수 있다.
- [0121] 데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)도 그 측면이 기판(110)에 대해서 약 30 내지 80°의 각도로 각각 경사져 있다.
- [0122] 저항성 접촉층(161, 163b, 165a, 165b)은 그 하부의 선행 반도체(151) 및 선행 반도체(154b)와 그 상부의 데이터선(171), 제1 드레인 전극(175a, 175b), 전원선(172) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선행 반도체(151)는 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이, 데이터선(171) 및 제1 드레인 전극(175a)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 영역에서는 선행 반도체(151)의 폭이 데이터선(171)의 폭보다 작지만, 전술한 바와 같이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)으로 인한 단차 부분에서 데이터선(171)이 단선되는 것을 방지한다.
- [0123] 데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)과 노출된 반도체(151, 154b) 부분의 위에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질 또는 플라즈마 화학 기상 증착(PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진 보호막(passivation layer)(180)이 형성되어 있다.
- [0124] 보호막(180)을 유기 물질로 형성하는 경우에는 선행 반도체(151) 및 선행 반도체(154b)가 노출된 부분에 유기 물질이 직접 접촉하는 것을 방지하기 위하여 유기막의 하부에 질화규소(SiNx) 또는 산화규소(SiO₂)로 이루어진 무기 절연막을 추가로 형성할 수 있다.
- [0125] 보호막(180)에는 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제2 게이트 전극(124b), 게이트 패드부(129) 및 데이터 패드부(179)를 각각 드러내는 복수의 접촉구(185, 183, 181, 182)가 형성되어 있다.
- [0126] 여기서 보호막(180)에 형성되어 있는 데이터 패드부(129) 및 게이트 패드부(179)를 노출시키는 접촉구(181, 182)는 외부의 구동 회로 출력단과 데이터 패드부(129) 및 게이트 패드부(179)를 연결하기 위한 것이다. 이 때, 구동회로 출력단과 게이트 패드부(129) 및 데이터 패드부(179) 사이에는 이방성 도전필름이 놓여 물리적 접촉과 전기적 연결을 도모한다. 그러나, 기판(110)의 상부에 구동 회로를 직접 형성하는 경우에는 게이트선(121)과 데이터선(171)은 구동회로의 출력단과 연결된 상태로 형성되므로 별도의 접촉구는 불필요하다. 경우에 따라서는, 게이트 구동회로는 기판(110)에 직접 형성하고 데이터 구동 회로는 별도 칩 형태로 실장할 수도 있는데, 이 경우에는 데이터 패드부(179)를 노출하는 접촉구(182)만 형성한다.
- [0127] 보호막(180) 위에는 복수의 화소 전극(190), 복수의 연결부재(192) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

- [0128] 화소 전극(190)은 접촉구(185)를 통하여 제2 드레인 전극(175b)과 각각 물리적·전기적으로 연결되어 있으며, 연결 부재(192)는 접촉구(181, 183)를 통하여 제1 드레인 전극(175a)과 제2 게이트 전극(124b)을 연결한다. 접촉 보조 부재(81, 82)는 접촉구(181, 182)를 통하여 게이트 패드부(129) 및 데이터 패드부(179)에 각각 연결되어 있다.
- [0129] 화소 전극(190), 연결 부재(192) 및 접촉 보조 부재(81, 82)는 ITO 또는 IZO로 이루어져 있다.
- [0130] 보호막(180) 상부에는, 유기 절연 물질 또는 무기 절연 물질로 이루어져 있으며 유기 발광 셀을 분리시키기 위한 격벽(803)이 형성되어 있다. 격벽(803)은 화소 전극(190) 가장자리 주변을 둘러싸서 유기발광층(70)이 형성될 영역을 한정한다.
- [0131] 격벽(803)에 둘러싸인 화소 전극(190) 위의 영역에는 유기 발광층(70)이 형성되어 있다. 유기 발광층(70)은 적색(R), 녹색(G), 청색(B) 중 어느 하나의 빛을 내는 유기 물질로 이루어지며, 적색, 녹색 및 청색의 유기 발광층(70)이 순서대로 반복적으로 배치되어 있다.
- [0132] 격벽(803) 위에는, 격벽(803)과 동일한 모양의 패턴으로 이루어져 있으며 낮은 비저항을 가지는 도전 물질로 이루어진 보조 전극(272)이 형성되어 있다. 보조 전극(272)은 이후에 형성되는 공통 전극(270)과 접촉하여 공통 전극(270)의 저항을 감소시키는 역할을 한다.
- [0133] 격벽(803), 유기발광층(70) 및 보조 전극(272) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 알루미늄 등의 낮은 저항성을 가지는 금속으로 이루어져 있다. 여기서는 배면 발광형 유기 발광 표시 장치를 예시하고 있으나, 전면 발광형 유기 발광 표시 장치 또는 양면 발광형 유기 발광 표시 장치의 경우에는 공통 전극(270)을 ITO 또는 IZO 등의 투명한 도전 물질로 형성한다.
- [0134] 이하, 도 7 내지 도 8b에 도시한 유기 발광 표시 장치용 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 9a 내지 도 22b 및 도 7 내지 도 8b를 참조하여 상세히 설명한다.
- [0135] 도 9, 도 11, 도 13, 도 15, 도 17, 도 19 및 도 21은 도 7 내지 도 8b의 박막 트랜지스터 표시판의 제조 방법을 순차적으로 도시한 배치도이고, 도 10a 및 도 10b는 각각 도 9의 박막 트랜지스터 표시판을 Xa-Xa'선 및 Xb-Xb'선에 따라 자른 단면도이고, 도 12a 및 도 12b는 각각 도 11의 박막 트랜지스터 표시판을 XIIa-XIIa'선 및 XIIb-XIIb'선에 따라 자른 단면도이고, 도 14a 및 도 14b는 각각 도 13의 박막 트랜지스터 표시판을 XIVa-XIVa'선 및 XIVb-XIVb'선에 따라 자른 단면도이고, 도 16a 및 도 16b는 각각 도 15의 박막 트랜지스터 표시판을 XVIa-XVIa'선 및 XVIb-XVIb'선에 따라 자른 단면도이고, 도 18a 및 도 18b는 각각 도 17의 박막 트랜지스터 표시판을 XVIIa-XVIIa'선 및 XVIIb-XVIIb'선에 따라 자른 단면도이고, 도 20a 및 도 20b는 각각 도 19의 박막 트랜지스터 표시판을 XXa-XXa'선 및 XXb-XXb'선에 따라 자른 단면도이고, 도 22a 및 도 22b는 각각 도 21의 박막 트랜지스터 표시판을 XXIIa-XXIIa'선 및 XXIIb-XXIIb'선에 따라 자른 단면도이다.
- [0136] 먼저, 도 9 내지 도 10b에서 보는 바와 같이, 투명 유리 등으로 이루어진 절연 기판(110) 위에 게이트용 금속층을 적층한다. 금속층은 공동 스퍼터링(Co-sputtering)으로 형성하는데, 본 실시예에서 공동 스퍼터링의 타겟으로 ITO와 구리(Cu)를 사용한다.
- [0137] 상기 공동 스퍼터링은, 초기에 구리(Cu) 타겟에는 파워를 인가하지 않으며 ITO 타겟에만 파워를 인가하여 기판 위에 ITO로 이루어지는 도전층을 형성한다. 이 경우, 약 25 내지 150℃의 온도에서 수소 기체(H₂) 또는 수증기(H₂O)를 공급하면서 스퍼터링을 수행한다. 상기와 같은 조건에서 ITO를 증착하는 경우, 비정질(amorphous) 형태의 ITO가 형성된다. 상기 도전층은 약 50 내지 500Å의 두께로 형성한다.
- [0138] 그 다음, 상기 ITO 타겟에 인가되는 파워를 오프(off)한 후, 구리(Cu)에 인가되는 파워를 인가하여 구리 금속층을 형성한다. 이 경우, 상기 구리 금속층은 약 1500 내지 3000Å의 두께로 형성한다.
- [0139] 그 다음, 상기 구리 타겟의 파워를 오프(off)한 후, ITO 타겟에 파워를 인가하여 기판 위에 ITO으로 이루어지는 도전층을 형성한다. 이 경우도 상기와 마찬가지로, 약 25 내지 150℃의 온도에서 수소 기체(H₂) 또는 수증기(H₂O)를 공급하면서 스퍼터링을 수행한다. 이 경우, 비정질 형태의 ITO가 형성된다. 상기 도전층은 약 50 내지 500Å의 두께로 형성한다.
- [0140] 또는, 상기 비정질 형태의 ITO에 질화성을 나타내기 위하여 질소 기체(N₂), 아산화질소(N₂O) 또는 암모니아(NH₃)를 함께 공급하여 ITON을 형성할 수 있다.

- [0141] 상기와 같이 구리를 포함한 제2 도전층(124aq, 124bq, 133q)의 하부에 도전성 산화막이 형성되는 경우, 기판과의 접착성(adhesion)이 향상되어 배선의 벗겨짐(peeling) 또는 들뜸(lifting) 현상을 방지할 수 있다. 또한, 구리를 포함한 제2 도전층(124aq, 124bq, 133q) 상부에 도전성 산화막을 형성함으로써 구리(Cu)가 이후에 형성되는 게이트 절연막(140)으로 확산(diffusion)되는 것을 방지할 수 있다.
- [0142] 특히, 상기 도전성 산화막으로서 비정질 형태의 ITO를 형성하는 경우, 결정질 형태의 ITO보다 기판(110)과의 접착성(adhesion)을 현저히 향상시킬 수 있다. 이는 저온에서 형성된 비정질 형태의 ITO가 후속 공정인 게이트 절연막(140) 및 반도체층(151) 형성 단계에서 약 200℃ 이상의 고온에 노출되어 결정질의 ITO를 형성하기 때문이다. 이러한 ITO의 결정성 변화에 의해 ITO층과 기판의 접착성이 현저히 향상될 수 있다.
- [0143] 또한, 구리(Cu)와 비정질 ITO 또는 IZO는 동일한 조건에서 식각할 수 있다. 구리(Cu)는 일반적으로 빠른 식각 속도를 나타내기 때문에 약산(weak acid)의 조건에서 식각을 하여야 한다. 그런데, 기존에 구리(Cu)층의 하부층으로 주로 이용되는 몰리브덴(Mo) 등은 구리(Cu)에 비하여 현저히 느린 식각 속도를 나타내지 때문에 동일한 조건에서 식각할 수 없었다. 이는 결정질 ITO/구리(Cu)의 이중층의 경우도 마찬가지이다. 이에 반해, 비정질 ITO 또는 IZO과 같은 도전성 산화막은 구리(Cu)와 동일한 식각 조건에서 식각을 수행할 수 있어서 한번의 식각으로 양호한 프로파일을 가진 게이트선(121)을 형성할 수 있다.
- [0144] 상기와 같이, 저온에서 형성된 비정질 형태의 ITO 또는 IZO를 구리층의 하부 및/또는 상부에 형성하는 경우, 기판과의 접착성, 확산 방지성 및 일괄 식각에 의한 프로파일 측면에서 현저히 개선된 배선을 형성할 수 있다.
- [0145] 또는, 상기 비정질 형태의 ITO 또는 IZO에 질화성을 부여하기 위하여 스퍼터링시 질소 기체(N₂), 아산화질소(N₂O) 또는 암모니아(NH₃)를 함께 공급하여 ITON 또는 IZON를 형성할 수 있다. 이 경우, 구리(Cu)와 도전성 산화막의 접촉 영역을 질화 처리함으로써 구리의 산화를 방지할 수 있다.
- [0146] 이로써, 게이트 전극(124a, 124b)을 포함하는 게이트선(121)은 구리 금속층의 상부 및 하부에 비정질 ITO 또는 ITON이 형성되어 있는 삼중막 형태로 형성된다.
- [0147] 이어서, 상기 삼중막을 동일한 식각액으로 한번에 식각하여 복수의 게이트 전극(124a, 124b)을 포함하는 게이트선(121)과 제2 게이트 전극(124b) 및 유지 전극(133)을 형성한다. 이 경우, 식각액으로는, 과산화수소(H₂O₂) 식각액, 또는 인산(H₃PO₃), 질산(HNO₃) 및 아세트산(CH₃COOH)이 적정 비율로 혼합되어 있는 통합 식각액을 이용한다.
- [0148] 다음, 도 11 내지 도 12b에 도시한 바와 같이, 게이트 절연막(140), 진성 비정질 규소층, 불순물 비정질 규소층의 삼중막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진식각하여 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154a)를 각각 포함하는 선형 반도체(151) 및 섬형 반도체(154b)를 형성한다. 게이트 절연막(140)의 재료로는 질화규소(SiN_x)가 바람직하며, 적층온도는 약 250 내지 500℃, 두께는 약 2,000 내지 5,000Å 정도가 바람직하다. 본 단계는 약 200℃ 이상의 고온에서 수행하기 때문에, 상기 게이트선을 이루는 비정질 형태의 ITO가 결정질 ITO로 변화하게 된다.
- [0149] 다음, 도 13 내지 도 14b에 도시한 바와 같이, ITO 등의 도전성 산화막으로 이루어진 도전층, 구리를 포함하는 도전층 및 ITO 등의 도전성 산화막으로 이루어진 도전층을 스퍼터링 등의 방법으로 차례로 적층한다. 상기와 같이, 구리층의 하부 및/또는 상부에 도전성 산화막을 형성함으로써, 구리(Cu)가 산화되어 하부의 반도체층 및 상부의 화소 전극으로 확산되는 것을 방지할 수 있다.
- [0150] 이 경우, 상기 도전성 산화막은 예컨대 ITO 또는 IZO로 형성할 수 있다. 특히, ITO로 형성하는 경우에는 약 25 내지 150℃의 온도에서 수소 기체(H₂) 또는 수증기(H₂O)를 공급하면서 스퍼터링을 수행하는 것이 바람직하다. 저온에서 형성된 비정질 형태의 ITO 또는 IZO를 구리층의 하부에 형성하는 경우, 일괄 식각에 의한 프로파일을 현저히 개선시킬 수 있다.
- [0151] 또는, 상기 비정질 형태의 ITO 또는 IZO에 질화성을 나타내기 위하여 질소 기체(N₂), 아산화질소(N₂O) 또는 암모니아(NH₃)를 함께 공급하여 ITON 또는 IZON를 형성할 수 있다. 이 경우, 구리(Cu)와 도전성 산화막의 접촉 영역을 질화 처리함으로써, 구리가 산화되어 도전성 산화막으로 확산하는 것을 방지할 수 있다.
- [0152] 이 경우, 상기 도전성 산화막은 약 50 내지 500Å, 구리 금속층은 약 1500 내지 3000Å의 두께로 형성한다.
- [0153] 이어서, 상기 삼중막의 복수의 제1 소스 전극(173a)을 가지는 복수의 데이터선(171), 복수의 제1 및 제2 드레인

전극(175a, 175b) 및 복수의 제2 소스 전극(173b)을 가지는 전원선(172)을 동일한 식각액을 이용하여 일괄 식각한다. 이 경우, 식각액으로는, 과산화수소(H_2O_2) 식각액, 또는 인산(H_3PO_3), 질산(HNO_3) 및 아세트산(CH_3COOH)이 적정 비율로 혼합되어 있는 통합 식각액을 이용한다.

- [0154] 이로써, 도 13 및 도 14b에 도시된 바와 같이, 삼중층의 복수의 제1 소스 전극(173a)을 가지는 복수의 데이터선(171), 복수의 제1 및 제2 드레인 전극(175a, 175b) 및 복수의 제2 소스 전극(173b)을 가지는 전원선(172)이 형성되었다.
- [0155] 이어, 데이터선(171), 전원선(172) 및 제1 및 제2 드레인 전극(175a, 175b) 상부의 감광막을 제거하거나 그대로 둔 상태에서, 노출된 불순물 반도체(164) 부분을 제거함으로써 복수의 돌출부(163a)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉층(165a, 165b, 163b)을 완성하는 한편, 그 아래의 선형 진성 반도체(151) 및 섬형 진성 반도체(154b) 일부분을 노출시킨다.
- [0156] 이어, 진성 반도체(151, 154b)의 노출된 표면을 안정화시키기 위하여 산소(O_2) 플라즈마를 연속적으로 실시한다.
- [0157] 다음으로, 도 15 내지 도 16b에서 보는 바와 같이, 유기 절연 물질 또는 무기 절연 물질을 도포하여 보호막(180)을 형성한다. 본 단계는 약 200℃ 이상의 고온에서 수행하기 때문에, 상기 데이터선(171), 전원선(172) 및 제1 및 제2 드레인 전극(175a, 175b)을 이루는 비정질 형태의 ITO가 결정질 ITO로 변화하게 된다.
- [0158] 그 다음, 상기 보호막(180)을 사진 식각하여 복수의 접촉구(185, 183, 181, 182)를 형성한다. 접촉구(181, 185, 183, 182)는 제1 및 제2 드레인 전극(175a, 175b), 제2 게이트 전극(124b)의 일부, 게이트 패드부(129) 및 데이터 패드부(179)를 노출시킨다.
- [0159] 다음, 도 17 내지 도 18b에 도시한 바와 같이, 화소 전극(190), 연결 부재(192) 및 접촉 보조 부재(81, 82)를 ITO 또는 IZO로 형성한다.
- [0160] 이어, 도 19 내지 20b에서 보는 바와 같이, 하나의 마스크를 이용한 사진 식각 공정으로 격벽(803)과 보조 전극(272)을 형성하고, 도 21 내지 도 22b에 도시한 바와 같이 유기 발광층(70)과 공통 전극(270)을 형성한다.
- [0161] 본 실시예에서는 도전성 산화막에 대하여 ITO를 예시적으로 보였지만, IZO 등을 포함한 모든 도전성 산화막에 상기 공정을 동일하게 적용할 수 있으며, 본 실시예에서는 구리층의 상부 및 하부에 도전성 산화막을 형성하는 경우에 대하여 설명하였지만, 상기 상부 및 하부 중 어느 하나에만 형성될 수도 있다.
- [0162] 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

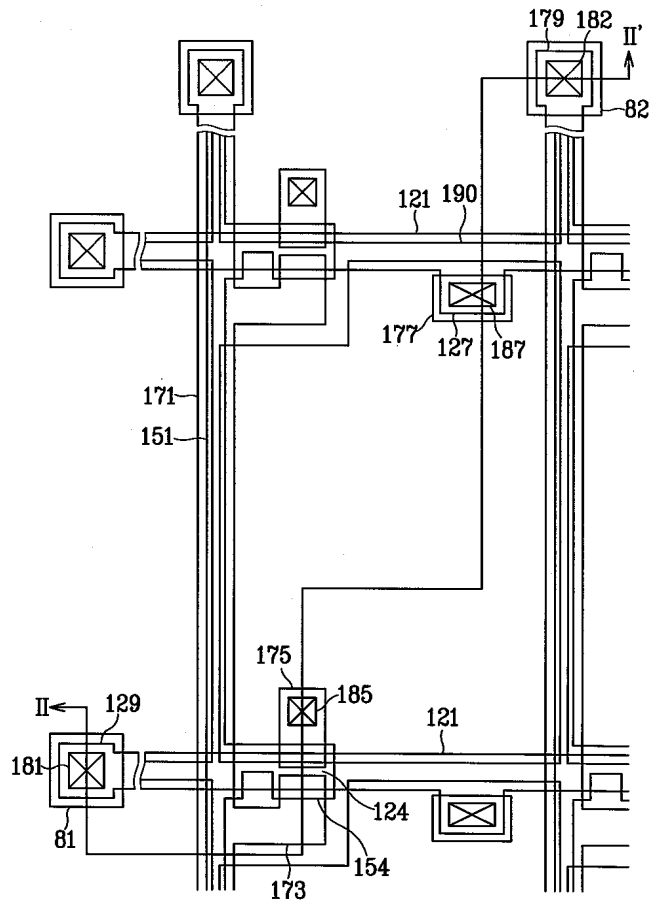
- [0163] 상기와 같이, 구리층의 상부 및/또는 하부에 도전성 산화막을 형성하여 배선을 형성하는 경우, 구리에 의한 배선의 저저항성을 유지하면서도 기판과의 접촉성, 확산 방지성 및 식각 프로파일을 향상시켜 배선의 신뢰성을 확보할 수 있다.

도면의 간단한 설명

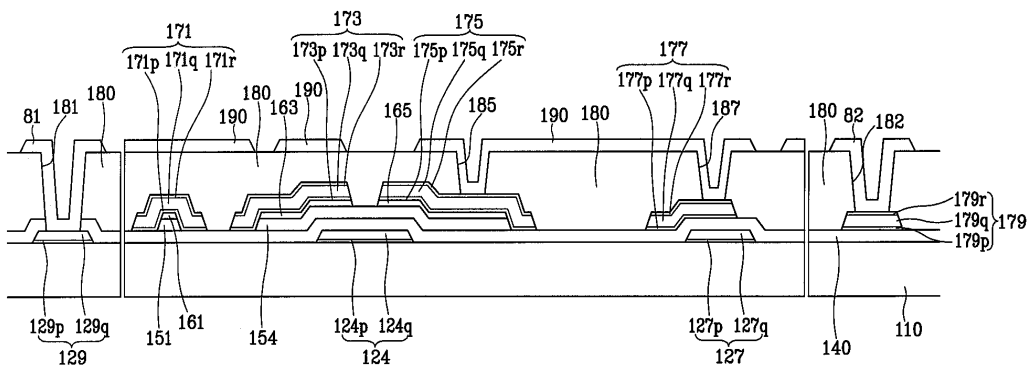
- [0001] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
- [0002] 도 2는 도 1의 박막 트랜지스터 표시판을 II-II' 선에 따라 자른 단면도이고,
- [0003] 도 3a, 도 4a, 도 5a 및 도 6a는 도 1 및 도 2에 도시한 박막 트랜지스터 표시판을 본 발명의 제1 실시예에 따라 제조하는 방법을 순차적으로 도시한 박막 트랜지스터 표시판의 배치도이고,
- [0004] 도 3b는 도 3a의 IIIb-IIIb'선에 따라 자른 단면도이고,
- [0005] 도 4b는 도 4a의 IVb-IVb'선에 따라 자른 단면도이고,
- [0006] 도 5b는 도 5a의 Vb-Vb'선에 따라 자른 단면도이고,
- [0007] 도 6b는 도 6a의 VIb-VIb'선에 따라 자른 단면도이고,

도면

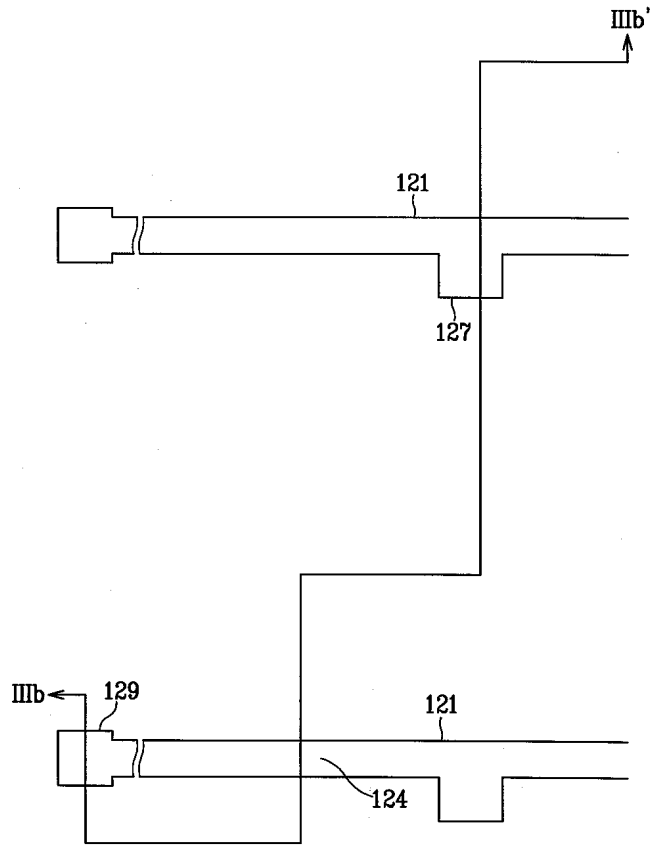
도면1



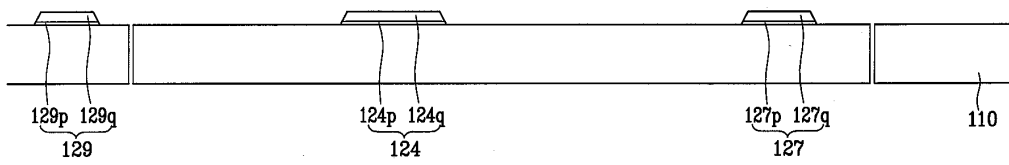
도면2



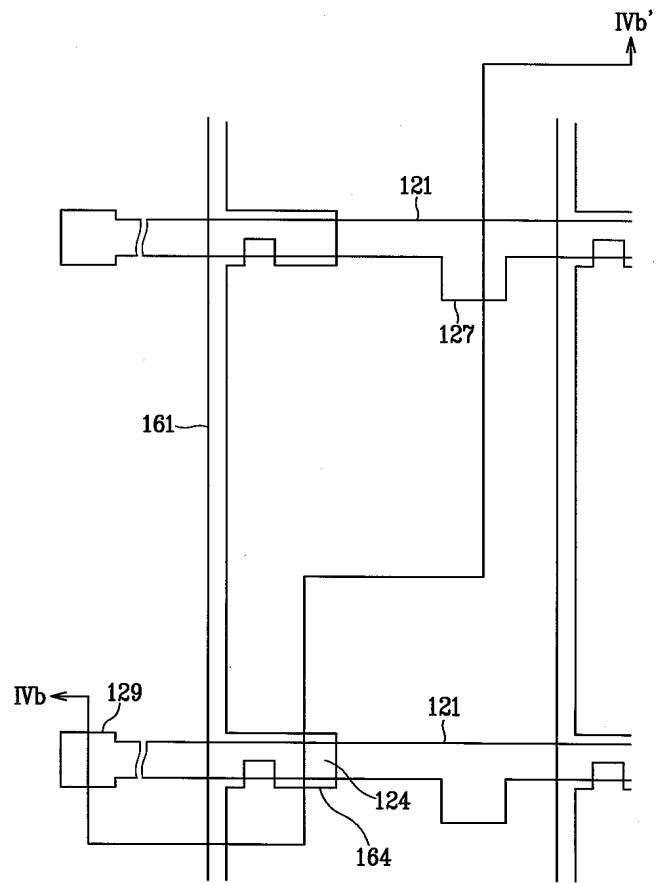
도면3a



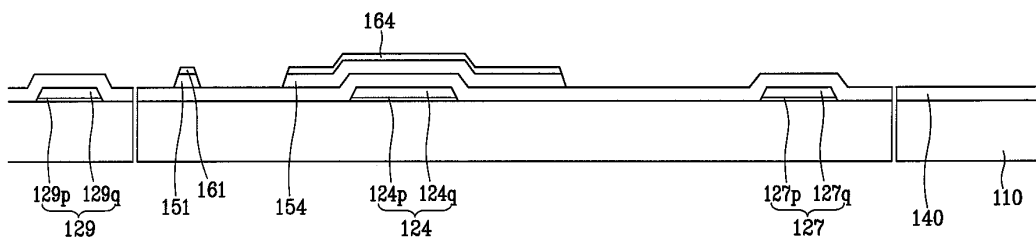
도면3b



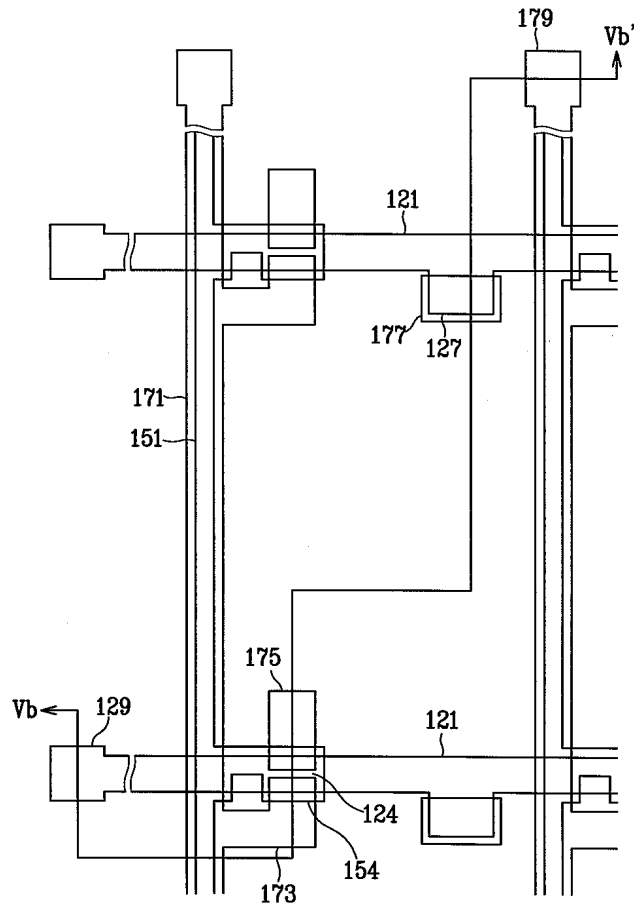
도면4a



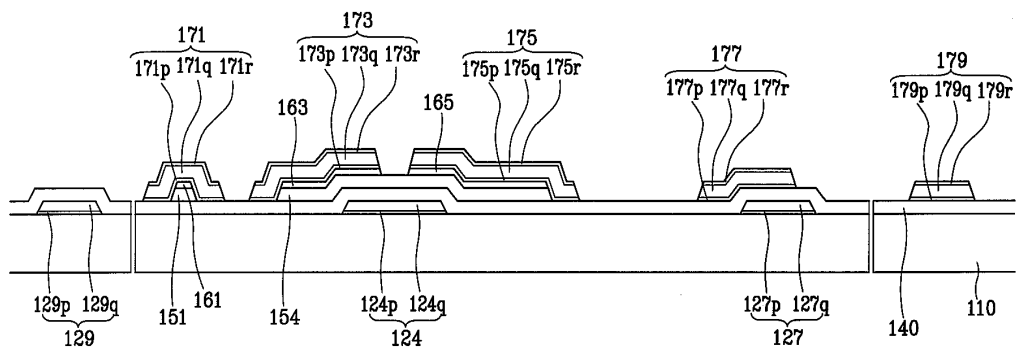
도면4b



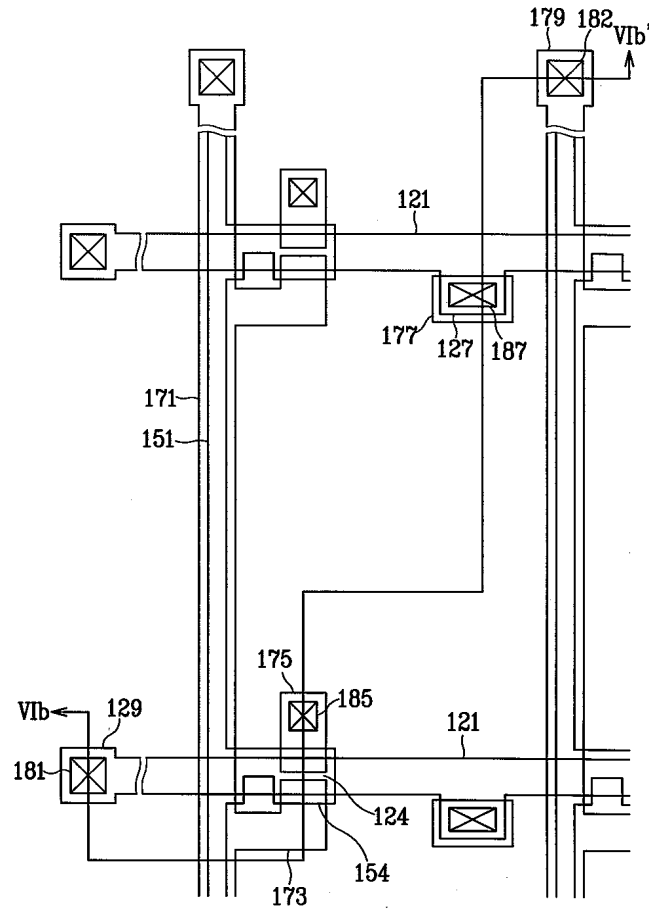
도면5a



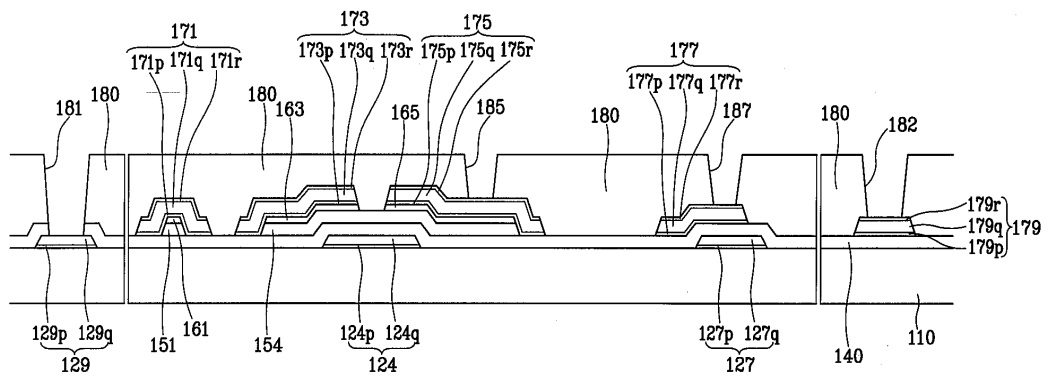
도면5b



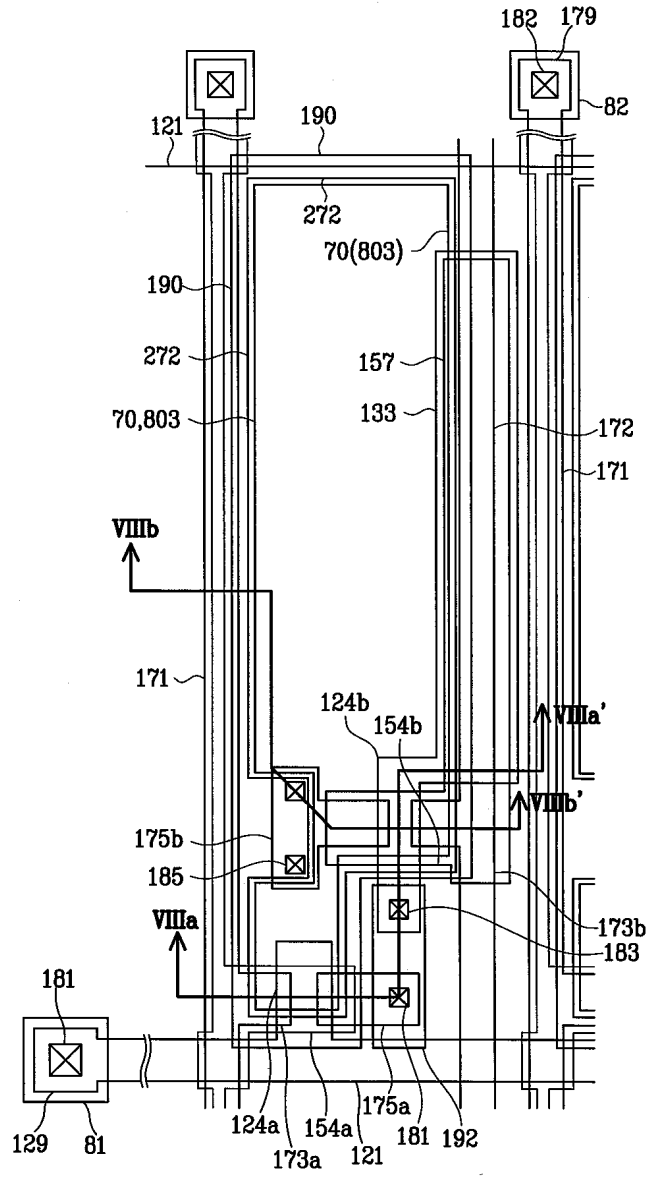
도면6a



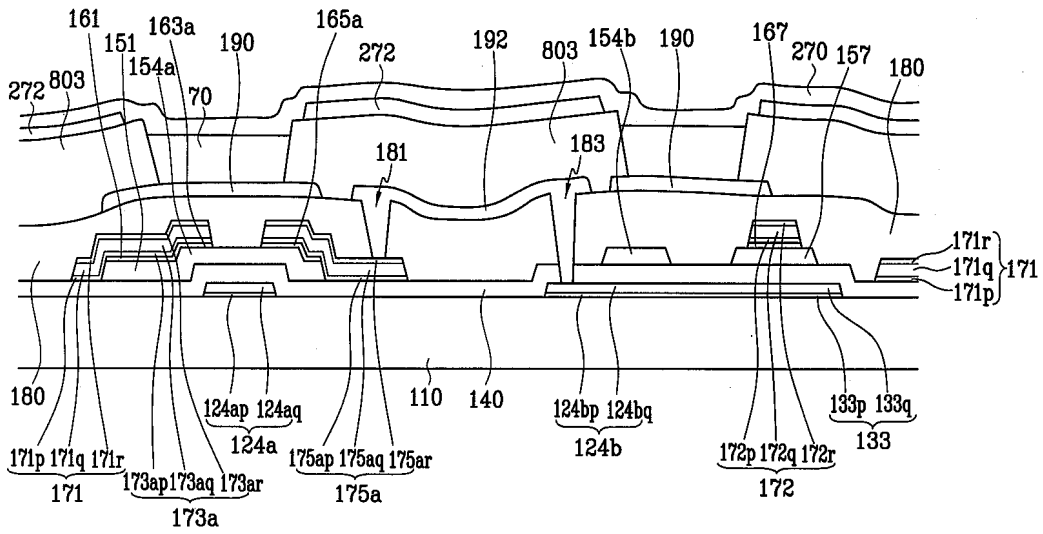
도면6b



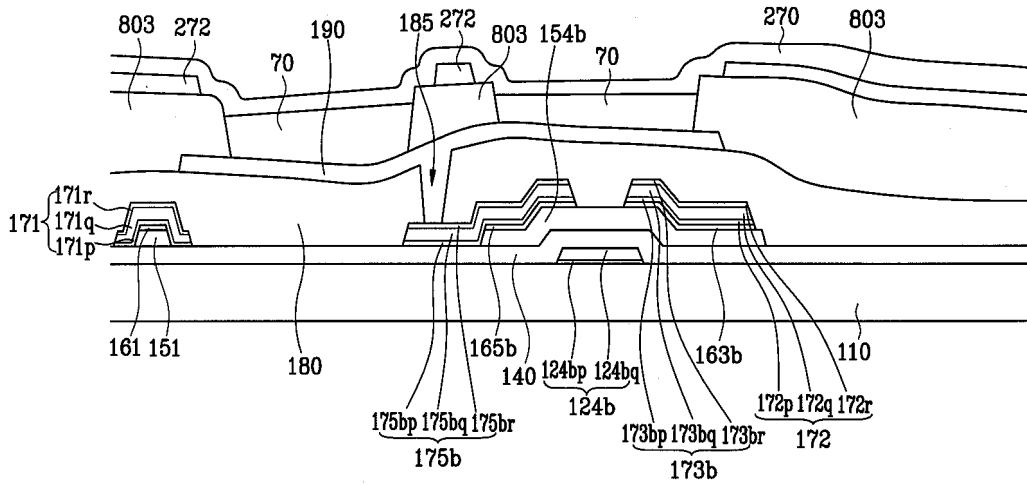
도면7



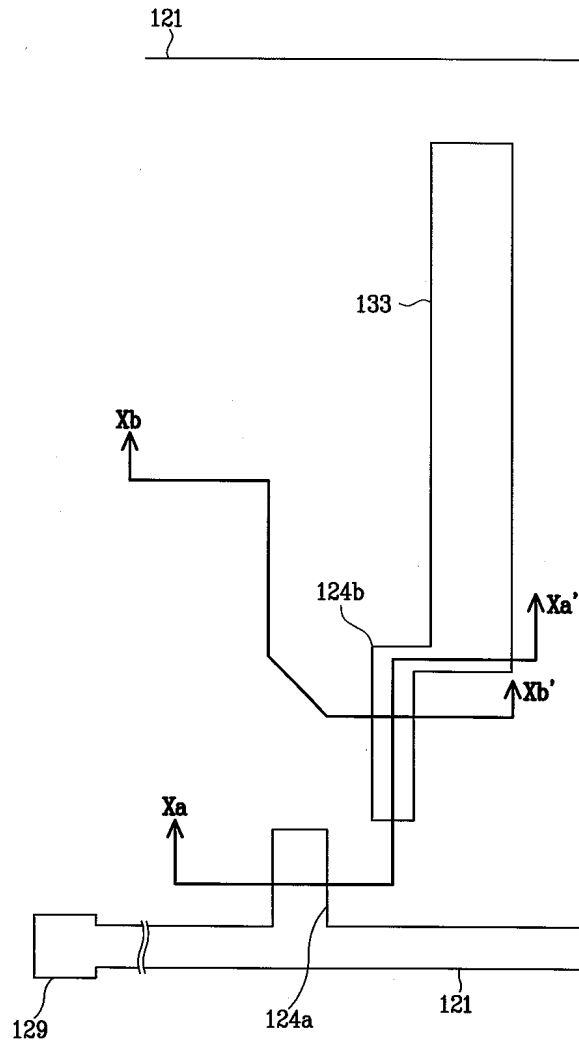
도면8a



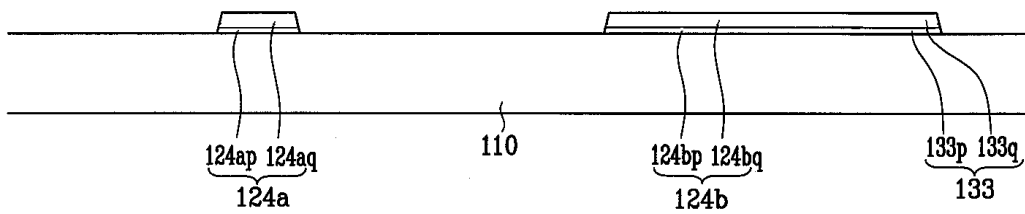
도면8b



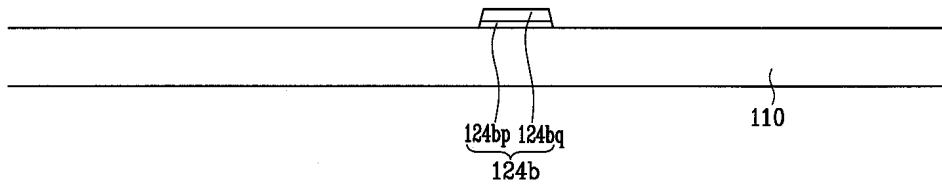
도면9



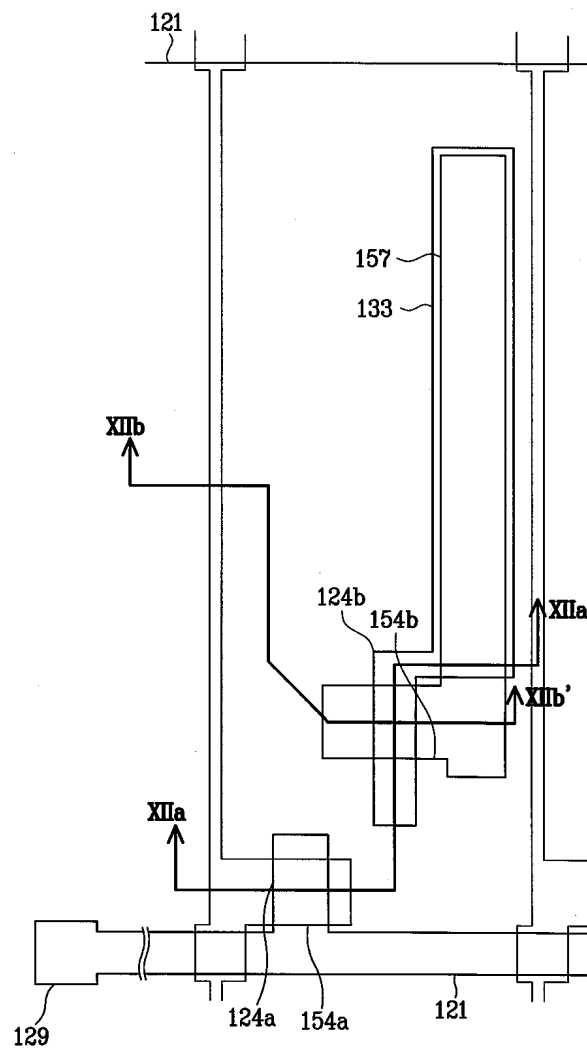
도면10a



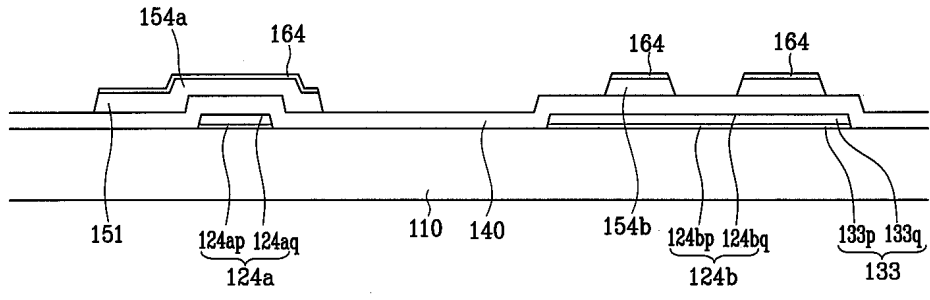
도면10b



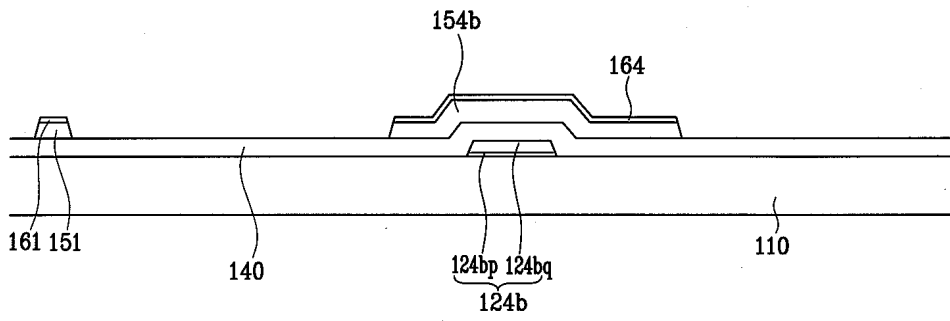
도면11



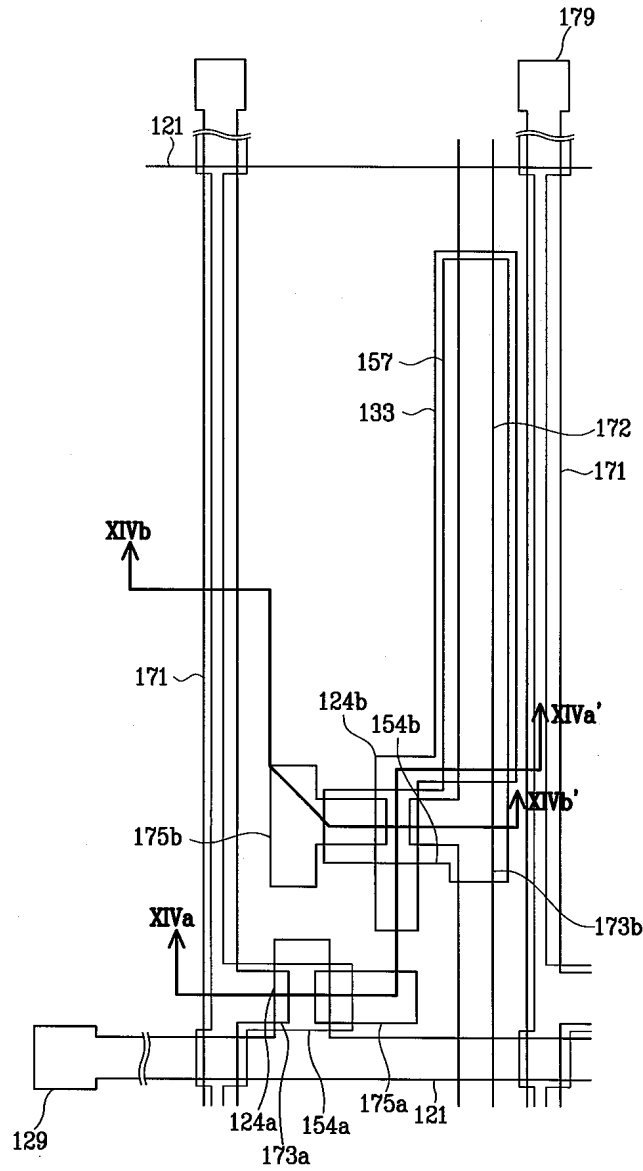
도면12a



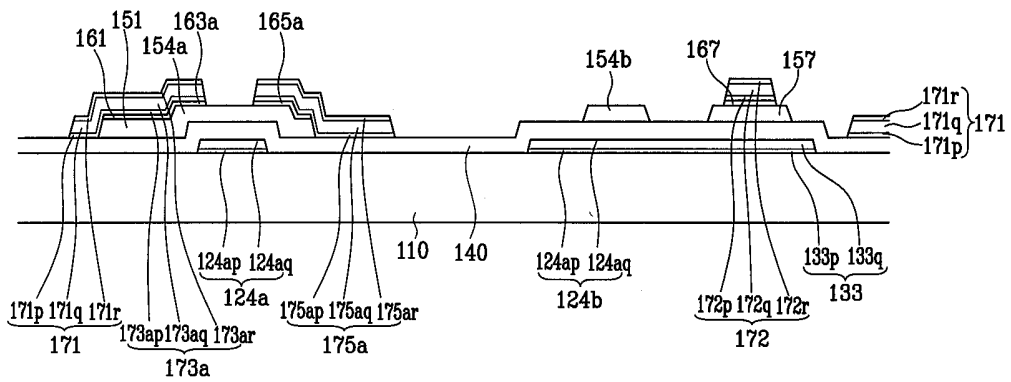
도면12b



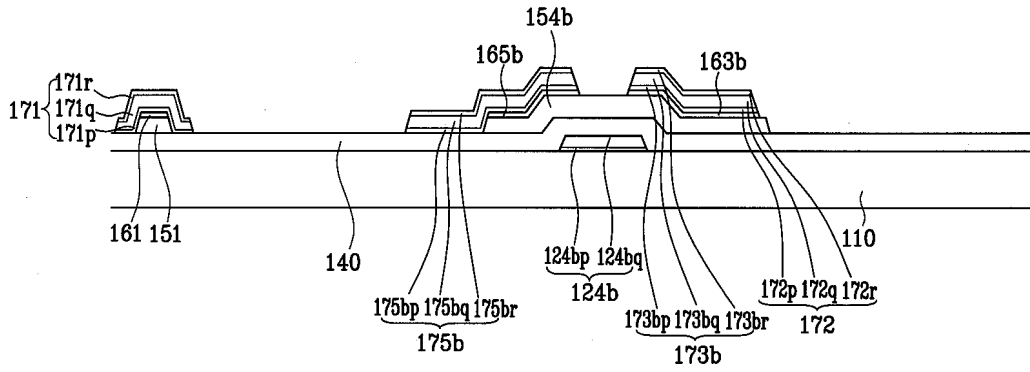
도면13



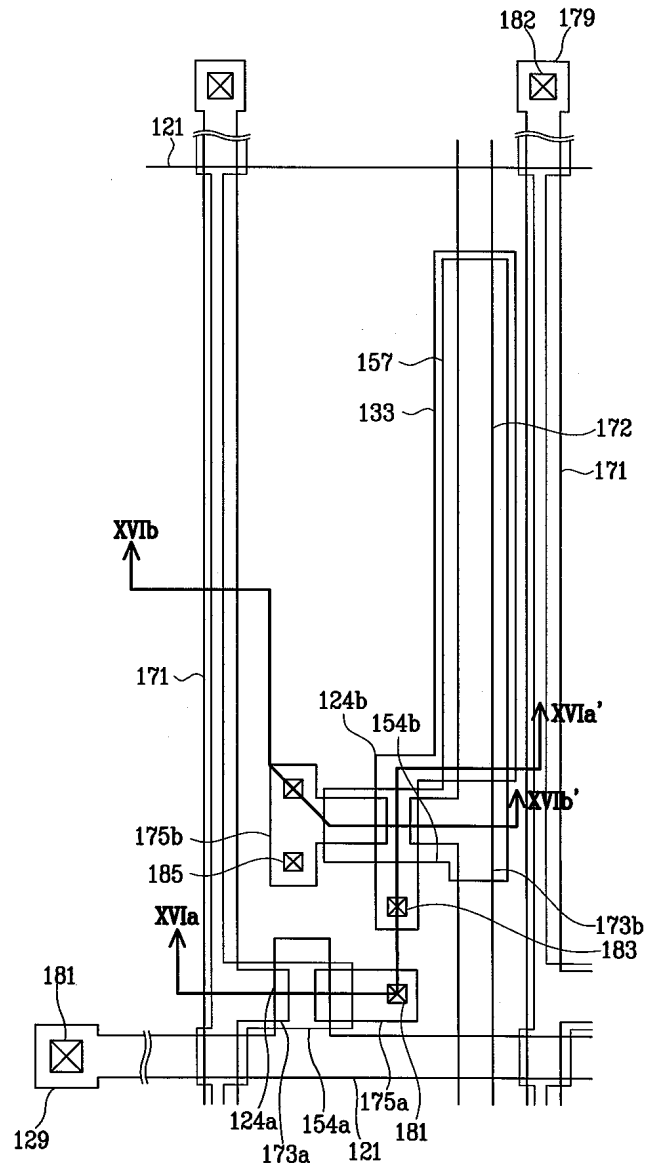
도면14a



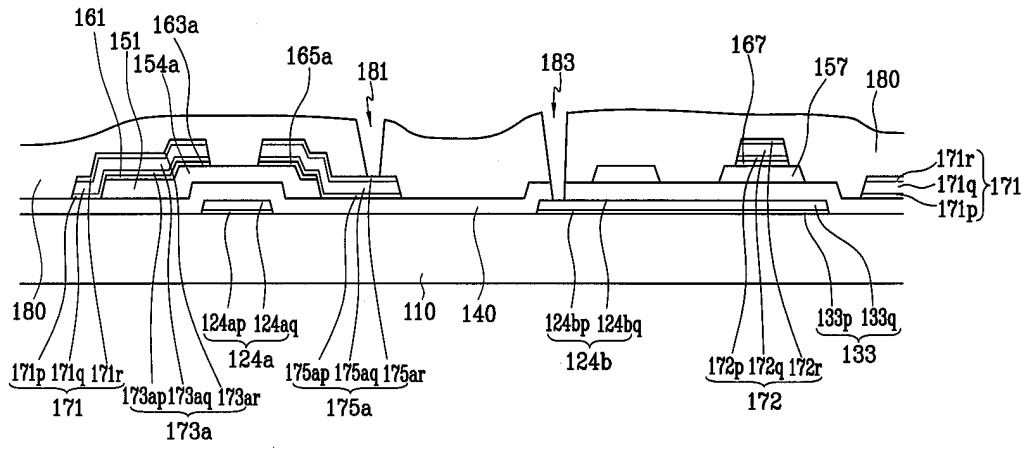
도면14b



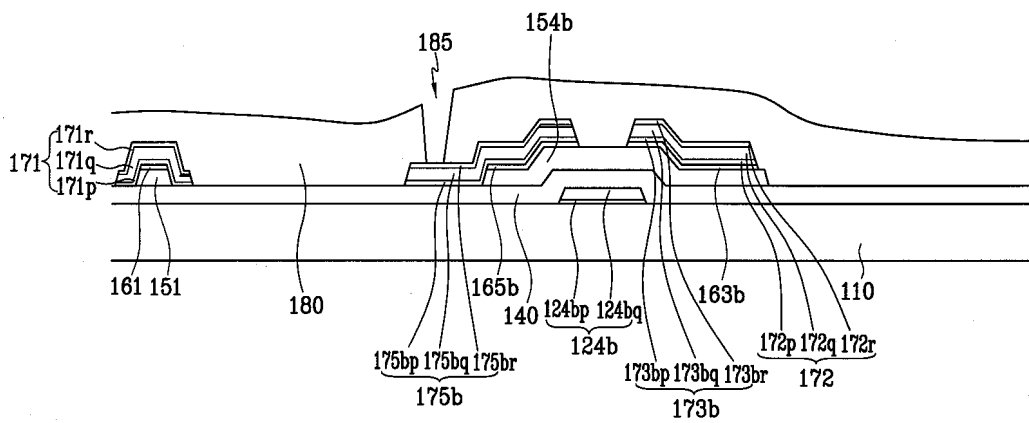
도면15



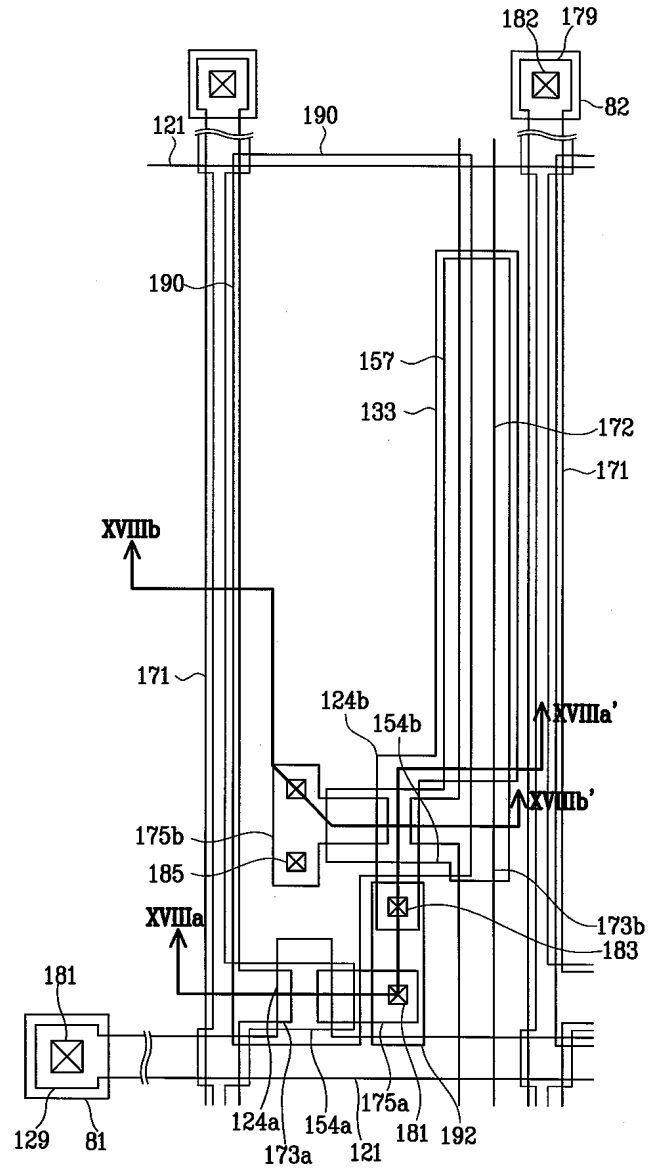
도면16a



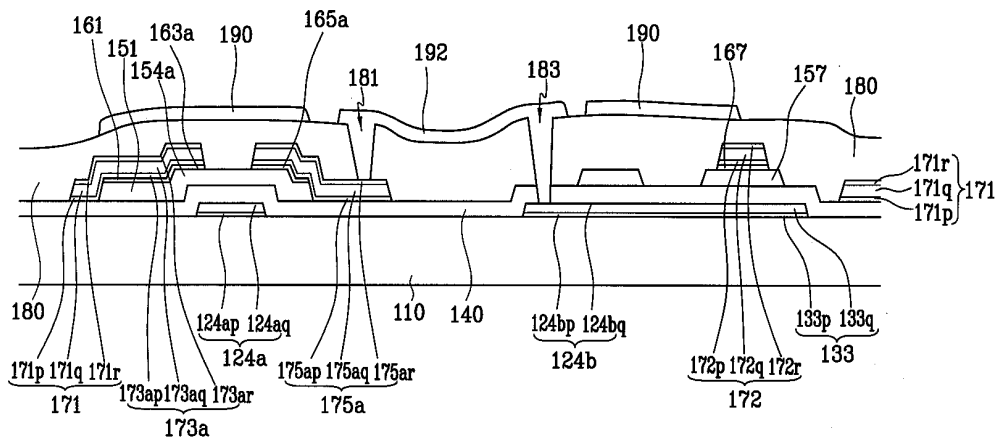
도면16b



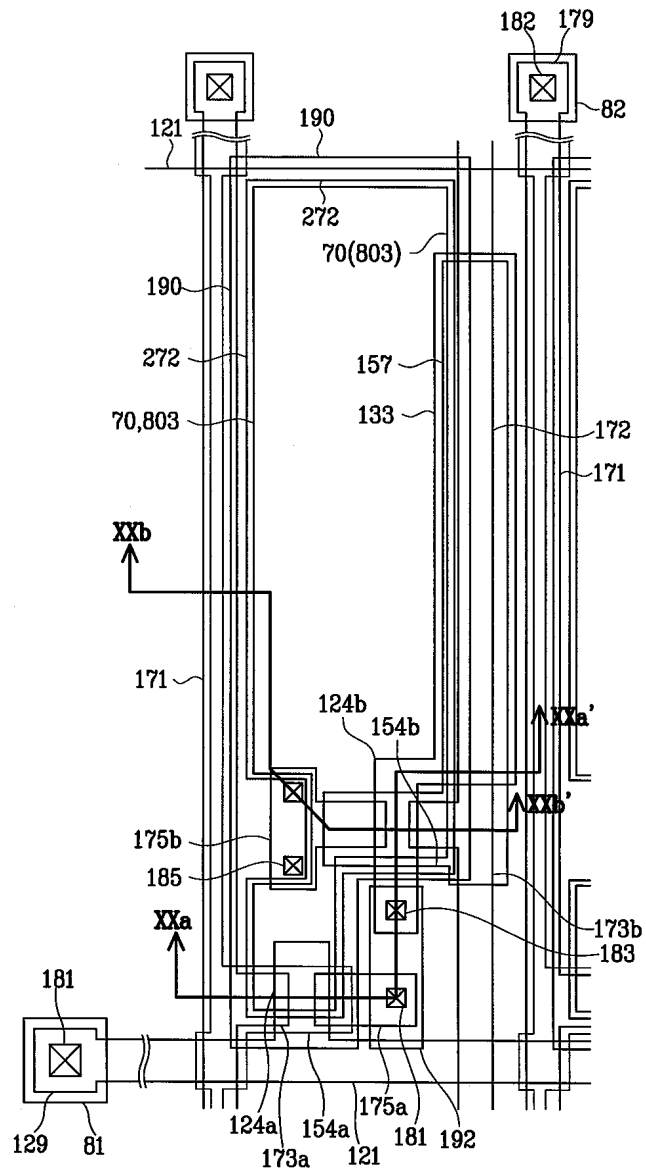
도면17



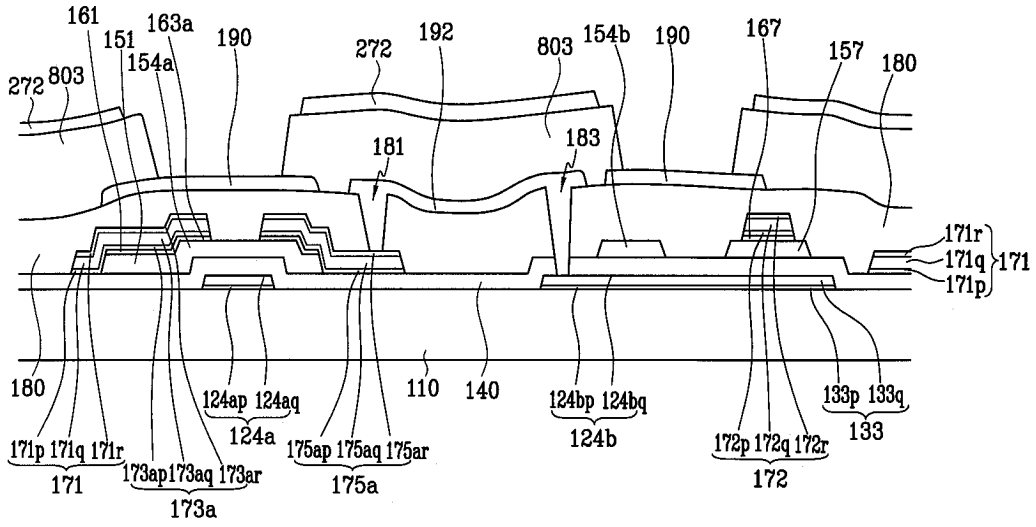
도면18a



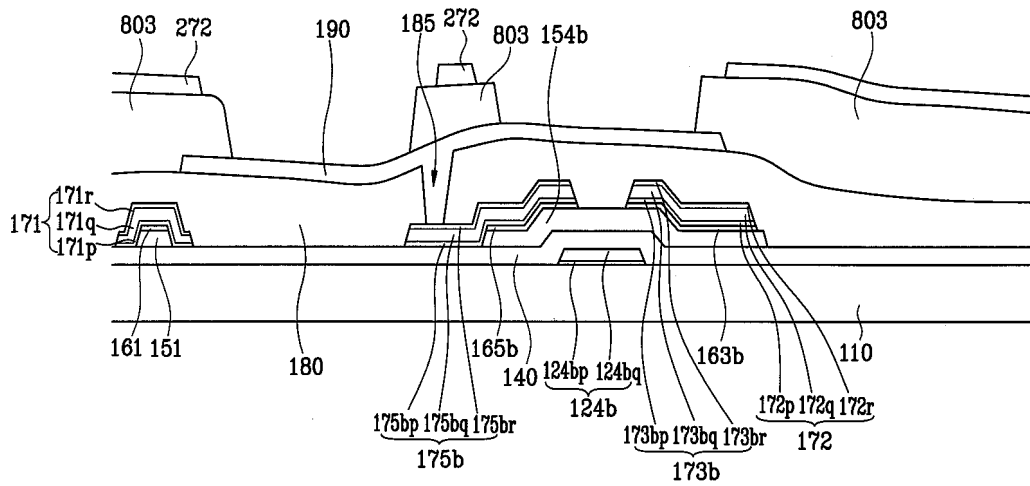
도면19



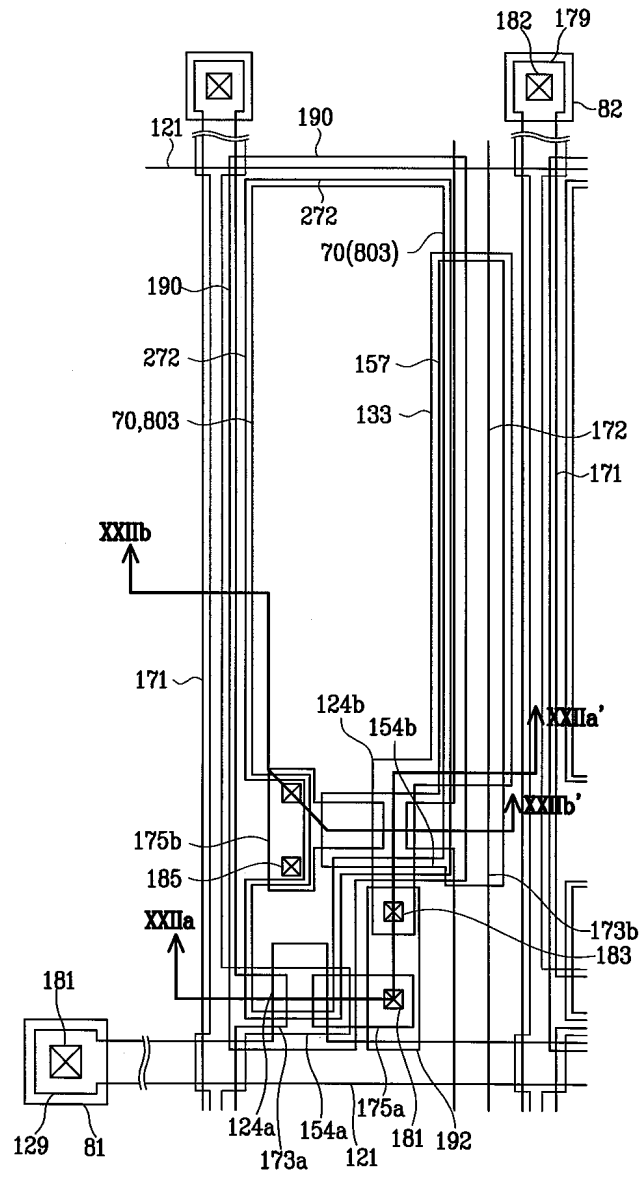
도면20a



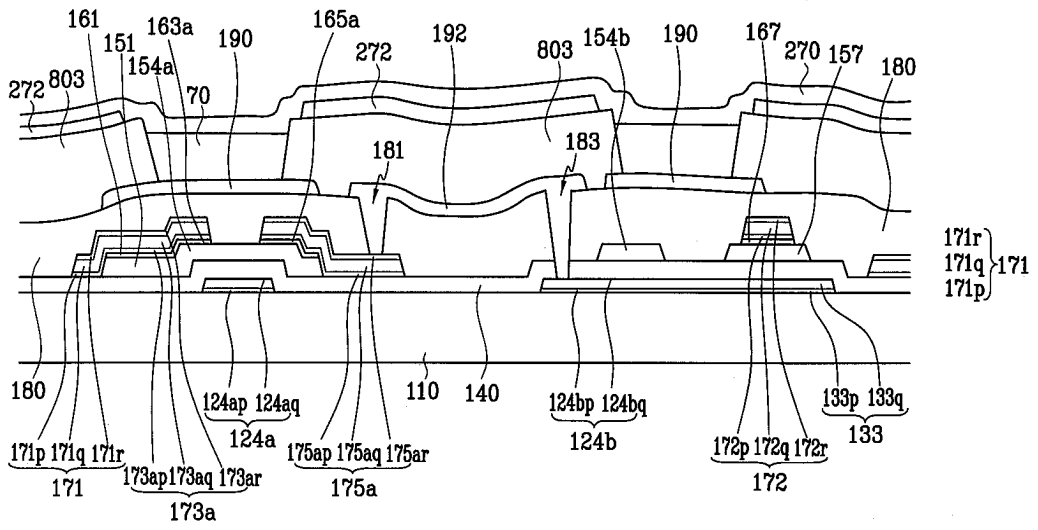
도면20b



도면21



도면22a



도면22b

