



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I578154 B

(45)公告日：中華民國 106 (2017) 年 04 月 11 日

(21)申請案號：105102861

(22)申請日：中華民國 102 (2013) 年 12 月 27 日

(51)Int. Cl. : G06F1/32 (2006.01)

(30)優先權：2013/01/04 美國 13/734,612

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)  
美國

(72)發明人：秦 珍妮佛 CHIN, JENNIFER (MY)；林書偉 LIM, SU WEI (MY)；張寶添 TEOH, POH THIAM (MY)；宋庭樂 SONG, TING LOK (MY)；余 孫正 E., SUN ZHENG (MY)；顏思聰 GAN, SAY CHEONG (MY)；林書傑 LIM, SUJEA (MY)；林珉毅 LIM, MING YI (MY)

(74)代理人：林志剛

(56)參考文獻：

TW 200702673A

TW 201242316A

US 2008/0031270A1

US 2008/0235528A1

US 2010/0081406A1

US 2011/0084685A1

審查人員：郭彥鋒

申請專利範圍項數：18 項 圖式數：15 共 43 頁

(54)名稱

用於電源管理的系統、方法及設備

SYSTEM, METHOD AND APPARATUS FOR POWER MANAGEMENT

(57)摘要

於此描述的特定實施例可提供一種用以管理至少一處理器的電源之方法，該方法包含評估與一電子裝置相關聯的複數個埠；判定與該等埠之至少其中一者相關聯的一特定接腳沒有接收訊號；將與該電子裝置相關聯的靜噪功能去能；及閘控與該電子裝置之實體層(PHY)相關聯的電源。

Particular embodiments described herein can offer a method for managing power for at least one processor that includes evaluating a plurality of ports associated with an electronic device; determining that a particular pin associated with at least one of the ports is not receiving a signal; disabling a squelch function associated with the electronic device; and gating power associated with a physical layer (PHY) of the electronic device.

指定代表圖：

符號簡單說明：

10 . . . 系統

12 . . . 操作流程

14 . . . 電源管理

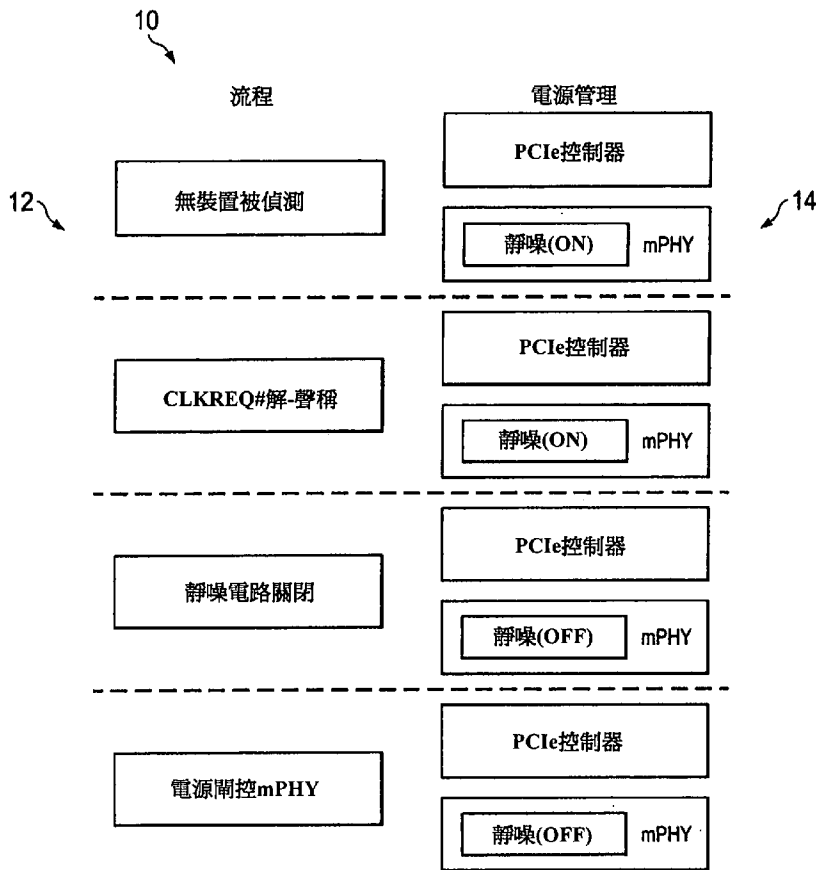


圖 1

## 發明摘要

公告本

105年11月17日修正本

※申請案號：105102861

※申請日：102 年 12 月 27 日

※IPC 分類：G06F 1/32 (2006.01)

## 【發明名稱】(中文/英文)

用於電源管理的系統、方法及設備

System, method and apparatus for power management

## 【中文】

於此描述的特定實施例可提供一種用以管理至少一處理器的電源之方法，該方法包含評估與一電子裝置相關聯的複數個埠；判定與該等埠之至少其中一者相關聯的一特定接腳沒有接收訊號；將與該電子裝置相關聯的靜噪功能去能；及閘控與該電子裝置之實體層（PHY）相關聯的電源。

## 【英文】

Particular embodiments described herein can offer a method for managing power for at least one processor that includes evaluating a plurality of ports associated with an electronic device; determining that a particular pin associated with at least one of the ports is not receiving a signal; disabling a squelch function associated with the electronic device; and gating power associated with a physical layer (PHY) of the electronic device.

**【代表圖】**

**【本案指定代表圖】**：第(1)圖。

**【本代表圖之符號簡單說明】**：

10：系統

12：操作流程

14：電源管理

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

105年11月17日修正替換頁

## 【發明名稱】(中文/英文)

用於電源管理的系統、方法及設備

System, method and apparatus for power management

## 【技術領域】

此處所描述的實施例大致關於在處理器環境中的電源管理。

## 【先前技術】

隨著電子設備變得更複雜且到處存在於使用者的每天生活中，其被寄託以越來越多元的需求。此外，隨著電子設備的功能變得更強，許多使用者已變得依賴此功能所提供之提升的效能。當電子設備的這些方面已被發展，其對於降低電源消耗有增加的需求。然而，在許多情況下，降低電源消耗會犧牲效能。因此，若使用者能夠在效能對其最重要時得到期望的效能且在效能對其較不重要的情況下最佳化電源效能，則對使用者是高度有益的。舉例來說，許多電子設備可在不同電源狀態（例如，睡眠狀態、閒置狀態等）中操作。於特定情況中，未被使用的資源可伺機而被關閉。這些活動的重要性可基於可用以最小化電源消耗的資源之範疇而定。

## 【圖式簡單說明】

105年11月17日修正替換頁

實施例係藉由範例說明且非由所附圖式的圖式所限制，其中類似元件係以類似的元件符號表示，且其中：

圖 1 為說明根據本揭露之至少一例示實施例的與電源閘控相關聯之操作的流程圖；

圖 2 為說明與本揭露之至少一例示實施例相關聯之比較的簡表；

圖 3 為說明根據至少一例示實施例的與判定潛時容許度相關聯的組件之方塊圖；

圖 4 為說明根據至少一例示實施例之運行時間操作的流程圖；

圖 5 為說明根據至少一例示實施例之操作的另一流程圖；

圖 6 為說明根據至少一例示實施例之操作的另一流程圖；

圖 7 為說明根據至少一例示實施例之操作的另一流程圖；

圖 8 為說明根據至少一例示實施例之操作的另一流程圖；

圖 9 為說明根據至少一例示實施例之操作的另一流程圖；

圖 10 為說明根據至少一例示實施例之操作的另一流程圖；

圖 11 為說明根據至少一例示實施例之操作的另一流

程圖；

圖 12 為說明根據至少一例示實施例之操作的另一流程圖；

圖 13 為說明根據至少一例示實施例之操作的另一流程圖；

圖 14 為與本揭露之例示 ARM 生態系統系統單晶片 (SOC) 相關聯的簡化方塊圖；及

● 圖 15 為可被使用以執行與本揭露相關聯的活動之例示邏輯的簡化方塊圖。

附圖中的圖式並不一定依大小及比例繪製，其尺寸、排列、及規格可在不超出本揭露的範疇而被作相當地改變。

### 【發明內容與實施方式】

● 以下詳細說明描述有關在處理器環境中提供電源節省的設備、方法、及系統之例示實施例。為求方便，例如結構、功能、及/或特性的特徵係參考一實施例加以說明；各種實施例可以任何適合的一或多個所描述的特徵被實現。應了解的是，例如「第一」、「第二」等用語僅為區分目的，而不表示任何順序關係、時間關係、及/或類似關係。

圖 1 為說明根據至少一例示實施例之與提供電源管理相關聯的組件之方塊圖。圖 1 的範例僅為與提供電源管理相關聯的組件之範例，且未限制申請專利範圍之範疇。舉

例來說，屬於一組件的操作可改變、組件的數目可改變、組件的組成可改變、及/或類似者。舉例來說，於某些例示實施例，屬於圖 1 之範例的一組件之操作可被分配至一或多個其他組件。

於電子裝置中，電源節省及效能之間通常需要取捨。現代電腦系統典型地由許多半導體組件所形成，該等半導體組件可透過各種例如存在電路板中之互連來進行通訊。常見的一種此互連機構（例如，用於結合各種週邊裝置）為快速週邊組件互連（PCIe™）協定，其係依照基於 PCIe™規格書（例如，2011 年 11 月 29 日公開的第 4 版（後文中稱為 PCIe™規格書））之鏈結。應注意的是，本揭露可應用至任何版本的 PCIe 規格書。互連可由多層形成，包含傳輸層、鏈結層、及實體層（PHY）。為了降低當通訊為發生於給定互連時的電源消耗，各種機制可被提供。如可在一段時間，通訊不太可能發生時，則互連可被置於低-電源狀態，其中各種互連電路可被去能。

典型地，為了判定即將發生的 PCIe™訊號何時正要發生（例如，當於閒置/睡眠狀態），靜噪（squelching）為 PCIe™實體層輸入/輸出（I/O）功能以偵測此種訊號。靜噪邏輯企圖偵測互連之接收接腳中的電壓以感測活動並準備鏈結層交易狀態機以供適當操作以自電性狀態（EL）或較低電源狀態退出。I/O 電路中之靜噪邏輯典型地包含類比差動放大器、積分器、及其他各種數位邏輯。PCIe 架構實體介面（PHY Interface for the PCIe Architecture；



PIPE) 係用以標準化 PCIe MAC 實現與 PCIe PHY 實現之間的介面。此等 PHY 可被實現為離散積體電路、巨晶元 (macrocell)、或包含於任何適合的處理設計中，且於文中被已知為模組 PHY (mPHY)。

大部分電子裝置製造商亟欲尋求在各種狀態期間降低電源。舉例來說，為了達到閒置電源的減少，未被使用的邏輯係伺機而被關閉。PCIe 根埠可對 14 埠中的 12 埠負責。因此，藉由有效率地利用這些埠（例如，關閉至少部份的 PCIe 巷道 (lane)）可明顯地達成節省。於此處之特定例示實施例，圖 1 之架構可對於未負載熱插拔可用的 PCIe 埠提供 mPHY 電源閘控能力。電源閘控為一種使用於積體電路設計以降低電源消耗之技術，其係藉由電流流動以關閉目前沒有使用的電路之區塊。電源閘控典型地較時脈閘控更影響設計架構。當電源閘控的模式必須安全地進入及退出時，其增加時間延遲。架構的取捨存在於低-電源模式中之漏電源節省的量之設計及進入及退出低-電源模式的能源消散之間。關閉區塊可藉由軟體或硬體來實現，其中驅動程式軟體可排程電源關閉操作。

就其應用性而言，電源閘控對於可對接 (dockable) 至對接站之行動電子裝置是有價值的。對接互連可為 PCIe 且若電子裝置未對接，則巷道未負載。因此，特定的 PCIe 埠之 mPHY 可被電源閘控。一旦使用者尋求將其對接至對接站來充電或用以連接至外部顯示器，則 PCIe 根埠可提供電源給 mPHY。

應注意的是，於此揭露所討論的特定活動可能違反一或多個 PCIe 規格書的規定，其可要求接收器偵測對於可熱插拔的未負載 PCIe 埠於每 12 毫秒 (ms) 被施行。然而，此處所討論的至少一實施例可提供電源閘控整個 mPHY 的能力。這是因為該架構可使用時脈請求 (CLKREQ#) 接腳以偵測熱插拔事件以供電予 mPHY。因此，於特定情況下，不需要施行 12ms 接收器偵測。通常，CLKREQ# 訊號為 (開路汲極、主動低 (open drain, active low) 訊號，) 可被 PCI Express Mini Card 功能驅動低地以請求 PCIe 參考時脈為可用的 (主動時脈狀態) 以允許 PCIe 介面傳送/接收資料。

圖 1 為說明對於至少一處理器提供電源管理之例示系統 10 之簡化流程圖。通常，圖 1 被區分為兩部份：與操作流程 12 相關聯的第一部份及與電源管理 14 相關聯的第二部份。具體言之，圖 1 表示當 CLKREQ# 為三態 (tri-stated) 時對於未負載 PCIe 埠電源閘控 mPHY 之流程圖。CLKREQ# 可被使用於藉由下游裝置的某些實現中以使上游裝置停止發訊號於 REFCLK。當 REFCLK 被停止時，可典型地使 CLK 輸入至 PIPE PHY 同樣停止。當鏈結處於層 1 (L1) 或層 2 (L2) 狀態時，PCIe 插卡機電 (Card Electromechanical; CEM) 規格書允許下游裝置停止 REFCLK。圖 1 之架構可使未負載可熱插拔 PCIe 埠的 mPHY 被電源閘控。

於操作中，PCIe 根埠可取樣 CLKREQ#。CLKREQ# 可

為不被驅動或三態。若無裝置負載 PCIe 巷道，則 PCIe 根埠可去能靜噪功能並電源閘控 mPHY。圖 1 之流程圖表示可施行靜噪去能及 mPHY 電源閘控之未負載 PCIe 埠的流程。

於特定例示實施例，互連之靜噪邏輯可被選擇地賦能/去能以降低電源消耗。具體言之，於各種實施例中，半導體裝置（例如包含積體記憶體控制器及 I/O 控制器之處理器）可具有處理器電路及控制器電路之間的內部（亦即，晶粒上（on-die））互連。此互連電路可包含靜噪控制邏輯以選擇地賦能或去能與給定互連的一或多個巷道相關聯的靜噪電路。於各種實施例中，如將於下文所說明者，此靜噪控制可為動態的且可經由硬體及軟體所控制以提供改善的可靠度同時降低電源消耗。

翻到圖 2，圖 2 為說明與本揭露之至少一例示實施例相關聯的比較之簡表 16。具體言之，該比較為傳統可熱插拔 PCIe 埠及根據各種實施例之電源可閘控（power gateable）可熱插拔 PCIe 埠之間的比較，如下文所說明。

圖 3 為說明與未負載可熱插拔 PCIe mPHY 相關聯的數個組件之簡化流程圖 20。於 26，鏈結係被識別於任何狀態。電流裝置係未插入（unplugged）而電性閒置係被推論。於 28，鏈結可移動至復原狀態。24ms 逾時接著發生，使得鏈結被移動至偵測狀態於 30。自 26 至 28 至 30，當該裝置未插入時該鏈結的狀態轉變係由 PCIe 規格書需求所指導（大致顯示於箭號 22）。應注意的是，箭

號 24 描述現有 PCIe 規格書以外之額外的活動。於 32，詢問是否時脈請求 (CLKREQ#) 訊號已被聲稱，當沒有時，則此特定流程將移動至 34，其靜噪被關閉且 mPHY 係被電源閘控。若時脈請求 (CLKREQ#) 訊號已被聲稱，則 mPHY 係被供給電源，且靜噪係被開啓於 36。此外，於 38，偵測狀態期間之接收器偵測係被觸發。應注意的是，未負載 PCIe 埠目前僅施行時脈閘控。此處所示之特定實施例可藉由關閉靜噪功能並接著電源閘控 mPHY 而將其延伸。於至少一實施例，於 CLKREQ#三態 (解-聲稱 (de-asserted)) 期間，未負載可熱插拔 PCIe 埠可施行靜噪關閉及 mPHY 電源閘控。

當 CLKREQ#為三態或在未負載 PCIe 埠上未被驅動，明顯的電源節省可自靜噪去能活動及自 mPHY 電源閘控達成。此可允許例如給定電子裝置的 PCIe 根埠及 I/O 控制器匯流排達成較高的電源節省。

圖 4 為說明與本揭露相關聯的另一觀點之簡化流程圖 40。在檢視該流程之前，了解與該架構相關聯的一些狀態及組件是很重要的。「D01」為裝置係開啓且運行中的之裝置電源狀態。其自該系統接收全電源 (full power) 且其提供全功能予使用者。裝置先前地支持此電源狀態。「D0active」為裝置已藉由軟體賦能而組構，且係作用中之裝置電源狀態。「D3 熱」(D3 hot) 為發生於裝置轉變至 D3 但仍有施加 Vcc 之裝置電源狀態。「D3 冷」(D3 cold) 為發生於裝置轉變至 D3 但未施加 Vcc 之裝置

電源狀態。主匯流排配接器（HBA）係被使用以與儲存裝置通訊。「運行時間 D3」（Runtime D3）（RTD3）係指將裝置置於 D3 熱/冷（hot/cold）同時平台的其他部份保持於 S0 狀態。

「S0」為系統電源狀態且當系統處於 S0 狀態時，其係操作於系統工作狀態。裝置狀態係由作業系統軟體所個別管理且可為任何裝置狀態（D0 或 D3）。「S3」為系統電源狀態（亦稱為系統睡眠狀態）。當系統處於 S3 時，處理器沒有執行指令且電源通常自裝置被移除。某些系統 BIOS 通常被使用以初始化系統於轉變至 S0。「S4」為系統電源狀態（亦稱為冬眠）。當系統處於 S4 時，處理器沒有執行指令且電源通常自裝置被移除。系統 BIOS 係被使用以初始化系統於轉變至 S0（亦即開機自我檢測（POST））。

於操作中，RTD3 組成硬體及軟體提升以當系統處於 S0 時（例如，當裝置不再為軟體所需要時），將 PCIe 根埠置入 D3 熱並將裝置置入 D3 熱/D3 冷狀態。於 RTD3，mPHY 可被動態地電源閘控。接收器（RX）終止應保持賦能，但傳送器（TX）共同模式可被關閉。各 PCIe 根埠具有 RTD3-進入（RTD3-entry）組態位元以允許進階組態與電源介面（ACPI）軟體來啟動 PME\_Turn\_Off/PME\_TO\_Ack 交握以供特定埠將鏈結置入 L2/L3 就緒狀態（例如，與其他埠無關）。該位元係由軟體所設定以啟動 PME\_Turn\_Off 交握且其係藉由硬體於進入至 L2/L3 就緒狀態時所清除。

回到圖 4，此特定流程可開始於 42，其中軟體啓動 RTD3。於 46，PME TO 交握係被啓動。於 48，不論來自電子裝置之 PME TO 應答 (ACK) 是否返回，判定係被做出。於 50，系統進入至 L2 狀態中並返回至 L2/L3 就緒狀態。應注意的是，這些活動按照現有 PCIe 規格書而存在，如箭號 44 所示。分開的箭號 52 表示本揭露所提供之額外的特徵。於 54，鏈結狀態停在偵測狀態，此係由於裝置未返回 PME TO 應答且系統返回至 L2/L3 就緒。於 56，電源狀態係被移動至 PS3 且，於 58，靜噪係被關閉且 mPHY 係被電源閘控。

圖 5 為說明根據至少一例示實施例之操作的另一流程圖 60。具體言之，圖 5 說明一個可能的 RTD3 進入流。於操作中，當在清除組態位元時進入是成功的，任何適合的軟體可命令電源管理控制器 (PMC) 以聲稱 PCIe 重置至 (PERST#) 對應的裝置。之後，該裝置電源可被移除且該裝置轉變至 D3 冷狀態，如圖 5 所示。若該裝置係於 D3 冷，則該裝置可藉由聲稱 WAKE# 訊號來啓動自 RTD3 之退出。WAKE# 之聲稱可使 PMC 產生 SCI 以通知相關軟體來回復裝置電源及將裝置自重置中排序 (sequence)。同樣地，RTD3 退出亦可由主軟體所啓動。該裝置可接著結束於 D0 未初始化的狀態。作為退出序列之部份，軟體可設定另一 RTD3-退出組態位元以將 PCIe 根埠 LTSSM 自 L2/L3 就緒狀態移動至偵測狀態，之後，該位元可被清除。

在主動 RTD3 進入期間之鏈結錯誤或裝置熱移除 (hot-removal) 的事件中，當排序至 L2.Idle 時，根埠不能接收 PME\_TO\_Ack 或 PM\_Enter\_L23 或電氣閒置指令集 (EIOS)。由於無法到達 L2/L3 就緒狀態，硬體無法清除 RTD3-進入組態位元。因此，硬體可依賴 L2/L3-進入斷徑 (break-path) 機制以確保 RTD3-進入組態位元可被清除以避免軟體凍結狀況、或軟體運行於無限詢訊迴圈中。

● 至於透過 PCIe 規格書，在鏈結錯誤 (或裝置熱移除) 之事件中等待一特定時間之後，合適的機制 (例如，硬體或軟體) 可實現逾時，同時 RTD3 進入係主動地進行。之後，其繼續進行如同 PME\_Turn\_Off 訊息已被接收且鏈結置於 L2/L3 就緒狀態中。

圖 6 為說明根據至少一例示實施例之操作的另一流程圖 70。具體言之，圖 6 說明於 RTD3 係主動地進行的同時，當鏈結發生錯誤或當裝置熱移除發生時之例示 RTD3 進入流程。於主動 RTD3 進入期間之鏈結錯誤或裝置熱移除的事件中，硬體無法在沒有達到確定性的 LTSSM 狀態及清除 RTD3-進入組態位元的情況下任意地命令 L2/L3 就緒。本揭露之特定例示特徵可確保根埠在命令 L2/L3 就緒及清除 RTD3-進入組態位元之前達到偵測狀態。一旦 PME\_TO 逾時發生，根埠可迫使 mPHY 中之接收器關閉，因此，切斷來自裝置之任何進入資料。藉此，根埠可自 L0 轉變至復原，此係由於推論的電性閒置 (且之後通常在 24ms (按照 PCIe 規格書) 逾時之後達到偵測，係因無

法自裝置接收任何訓練序列)。就有關於自睡眠 (L2) 或電源關閉 (L3) 狀況轉變至電源開啓 (L0 鏈結狀態) 之鏈結位準活動而言，對於已被電源關閉的 PCIe 平台，PCIe 裝置及相關聯的鏈結具有一路徑以自 L3 鏈結狀態轉變至 L0 鏈結狀態。

圖 7 為說明根據至少一例示實施例之操作的另一流程圖 80。具體言之，圖 7 幫助說明於 RTD3 係主動地進行的同時，當鏈結發生錯誤或當裝置熱移除發生時根埠及裝置如何在 RTD3 進入流中變成不同步 (out-of-sync)。若硬體隨機地表示 L2/L3 就緒並在 PME\_TO 逾時時立即清除 RTD3-進入組態位元，若裝置立即喚醒，則 PCIe 根埠及裝置可能不同步的機會是高的。在根埠清除 RTD3-進入組態位元及軟體重置並自裝置移除電源之後，根埠仍可根據 PCIe 規格書所定義的逾時於轉變狀態回到偵測狀態。當其於進行中，裝置可聲稱 WAKE# 以退出 D3 冷。於此階段，軟體可回復電源且移除裝置的重置。裝置可偵測根埠並移動至詢訊狀態，但根埠仍可轉變回偵測狀態。此造成 PCIe 根埠及裝置狀態變得不同步且此可造成不期望的功能行爲 (例如，裝置進入詢訊順從)。

PME\_TO 逾時機制為 PCIe 規格書所定義的對於平台 Sx 進入之典型流程。在根埠已表示 L2/L3 對 PMC 就緒之後，Sx 進入聲稱共同的 PERST# 至 PCIe 根埠及該裝置兩者的觀點下，RTD3 及 Sx 進入流程是不同的。因此，對於 Sx 進入流，在發訊號 L2/L3 就緒之前並沒有限制達到確



定的 LTSSM 狀態，因為根埠無論如何可在 Sx 進入之末被重置。相反的，RTD3 為新的初步行動以將 PCIe 根埠置於 D3 熱及將裝置置於 D3 熱/D3 冷狀態，即使當系統處於 S0，且因此，在成功進入 RTD3 之後，根埠將不會被重置。

在由於鏈結錯誤或裝置熱移除及硬體隨機地表示 L2/L3 就緒以立即清除 RTD3-進入組態位元之 PME\_TO 逾時的事件中，若裝置立即喚醒，則 PCIe 根埠及裝置狀態有可能會不同步，這是因為根埠在成功進入 RTD3 之後沒有被重置。本揭露特定實施例可確保根埠在表示 L2/L3 就緒及清除 RTD3-進入組態位元之前達到偵測狀態。一旦 PME\_TO 逾時發生，根埠可迫使 mPHY 中之接收器關閉，從而切斷來自裝置之任何進入資料。之後，根埠可自 L0 轉變至復原，此係由於推論的電性閒置，最終通常在 24ms（按照 PCIe 規格書）逾時之後達到偵測（因無法自裝置接收任何訓練序列）。

具體言之，即使當系統處於 S0，RTD3 反映初步行動以將 PCIe 根埠置於 D3 熱及將裝置置於 D3 熱/D3 冷狀態。RTD3 賦能 mPHY 以動態地電源閘控。RX 終止應保持賦能，但 TX 共同模式可被關閉，同時靜噪偵測電路可被完全地關閉。電源可自裝置被移除以駐在 D3 冷狀態，而 PCIe 根埠仍保持在 S0。此處所揭露的操作在鏈結錯誤或裝置被熱移除的事件中完成 RTD3 進入流，此外理想的 RTD3 進入流其中 PCIe 根埠及裝置序列平順地進入 L2/L3

就緒狀態。此揭露確保軟體不會進入無限詢訊迴圈，而造成硬體無法完成 RTD3 進入流進入 L2/L3 就緒狀態。

圖 8 為說明根據至少一例示實施例之操作的另一流程圖 82。裝置 D3 狀態代表非功能性裝置電源管理狀態，其中進入及退出此狀態係完全由軟體所管理。於此狀態中，主電源可自該裝置移除。該裝置傳統上係被置於 D3 狀態中，作為流程的一部分以將系統自 S0 轉變至 Sx 系統睡眠狀態。即使當系統處於 S0，RTD3 將 PCIe 根埠置於 D3 熱且將裝置置於 D3 熱/D3 冷狀態。各 PCIe 根埠具有 RTD3-進入組態位元以允許 ACPI 軟體來對該特定埠啟動 PME\_Turn\_Off/PME\_TO\_Ack 交握以將鏈結置於 L2/L3 就緒狀態，獨立於其他埠。該位元係由軟體所設定以啟動 PME\_Turn\_Off 交握且其於進入 L2/L3 就緒狀態係藉由硬體所清除。當清除組態位元時進入係成功時，軟體可命令電源管理控制器（PMC）以聲稱 PERST#至該裝置，之後，裝置電源可被移除且裝置最終結束於 D3 冷狀態。

一旦裝置係於 D3 冷，則該裝置可藉由聲稱 WAKE# 訊號而啟動自 RTD3 之退出。WAKE#之聲稱使得 PMC 產生 SCI 以告知相關軟體以回復裝置電源及將裝置自重置排序。同樣地，RTD3 退出亦可藉由主軟體而被啟動。接著該裝置結束於 D0 未初始化狀態。作為退出序列的部份，軟體可設定另一 RTD3-退出組態位元以將 PCIe 根埠 LTSSM 自 L2/L3 就緒狀態移動至偵測狀態，之後該位元可被清除。

RTD3 軟體進入及退出流可涉及多個軟體組件，例如作業系統、裝置驅動程式、匯流排驅動程式、選項的平台驅動程式、及 ACPI 軟體且可基於特定作業系統而改變。結果，若未藉由軟體的不同位準以序列管理，則 Sx 進入及 RTD3 進入/退出事件之軟體編程可牴觸。此揭露描述處理 Sx 進入之硬體及平行發生的 RTD3 進入/退出事件。Sx 進入與 RTD3 進入/退出事件衝突的一些組合，其需要特定硬體處理以確保各事件平順進行。舉例來說，當根埠因 RTD3 進入而已處於 L2/L3 就緒狀態，軟體編程 Sx 進入。於此情形中，已於 RTD3 之根埠可返回表示 L2/L3 對 PMC 就緒之應答。應答可在被返回 PMC 之前被聚集，如圖 8 所示。

圖 9 為說明根據至少一例示實施例之操作的另一流程圖 84。關於以上第一個情形，即使當軟體不定地編程 RTD3-退出組態位元，根埠應不退出 L2/L3 就緒狀態。事實上，RTD3 退出組態位元可被立即清除。已處於 RTD3 之根埠可立即返回表示 L2/L3 對 PMC 就緒之應答，如圖 9 所示。

此外，當裝置已在成功的 RTD3 進入之後，處於 D3 冷，軟體可編程 RTD3 退出組態位元。在退出 RTD3 之中間中，軟體編程 Sx 進入。於此情形中，根埠應確保其排序以完成 RTD3 適當地退出且然後重新調校鏈結 (retrain back to link-up)，之後根埠可啟動 PME\_Turn\_Off/PME\_TO\_Ack 交握以對於 Sx 進入重新進

入 L2/L3 就緒狀態。若 PME\_TO 逾時在根埠可請求 PME\_Turn\_Off 之前發生，則其如同 PME\_Turn\_Off 訊息已被接收且鏈結已被置於 L2/L3 就緒狀態中般進行，如分別表示流程圖 86 及 88 之圖 10-11 所示。

圖 12 為說明根據至少一例示實施例之操作的另一流程圖 90。圖 13 為說明根據至少一例示實施例之操作的另一流程圖 92。若軟體不定地編程 RTD3-退出組態位元同時，系統係與根埠進行至 Sx 且裝置已處於 D3 並聲稱 L2/L3 就緒，則根埠應立即清除 RTD3-進入組態位元，如圖 12 所示。若軟體不定地編程 RTD3-退出組態位元同時，系統係與根埠進行至 Sx 且裝置已處於 D3 並聲稱 L2/L3 就緒，則根埠應不退出 L2/L3 就緒狀態。事實上，RTD3 退出組態位元可被立即地清除，如圖 13 所示。雖然 Sx 為傳統的流程以藉由自 S0 轉變至 Sx 系統睡眠狀態而將根部及裝置置入 D3，RTD3 為新的初步行動以將 PCIe 根埠置入 D3 熱及將裝置置入 D3 熱/D3 冷狀態，即使當系統處於 S0。傳統的平台僅支援 Sx 進入，其經由 PME\_Turn\_Off/PME\_TO\_Ack 交握將根埠及裝置置入 D3。RTD3 為不存在於標準晶片組系統之新電源節省方案。因此，不會有建立於現有晶片組架構中之 Sx 及 RTD3 進入/退出之間的競賽或衝突狀況之事件。

圖 14-為與本揭露之例示 ARM 生態系統 SOC 1000 相關聯的簡化方塊圖。本揭露之至少一例示實現包含此處所說明之電源節省特徵及 ARM 組件的整合。舉例來說，圖

14 之範例可與任何 ARM 核心（例如，A-9、A-15 等）相關聯。再者，架構可為部份的任何類型的平板、智慧型手機（包含 Android™ 手機、i-Phones™）、i-Pad™、Google Nexus™、Microsoft Surface™、個人電腦、伺服器、視訊處理組件、膝上型電腦（包含任何類型的筆記型電腦）、任何類型的觸碰輸入裝置等。

於圖 14 之範例中，ARM 生態系統 SOC 1000 可包含多個核心 1006-1007、L2 快取控制 1008、匯流排介面單元 1009、L2 快取 1010、圖形處理器（GPU）1015、互連 1012、視訊編解碼器 1020、液晶顯示單元（LCD）I/F 1025，其可與耦接至 LDC 之行動產業處理器介面（MIPI）/高清晰度多媒體（HDMI）鏈結相關聯。

ARM 生態系統 SOC 1000 亦可包含用戶識別模組（SIM）I/F 1030、開機唯讀記憶體（ROM）1035、同步動態隨機存取記憶體（SDRAM）控制器 1040、快閃控制器 1045、串列輔助介面（SPI）主台 1050、合適的電源控制 1055、動態 RAM（DRAM）1060、及快閃 1065。此外，一或多個例示實施例包含一或多個通訊能力、介面、及特徵，例如藍芽 1070、3G 數據機 1075、全球定位系統（GPS）1080、及 802.11 WiFi 1085。

操作中，圖 14 之範例可提供處理能力以及相對地低-電源消耗以賦能各種類型（例如，行動計算、高端數位家電、伺服器、無線架構等）的計算。此外，此一架構可賦能任何數目的軟體應用（例如，Android™、Adobe®

Flash® Player、Java Platform Standard Edition (Java SE)、JavaFX、Linux、Microsoft Windows Embedded、Symbian、及 Ubuntu 等)。於至少一例示實施例中，核心處理器可用耦接的低延遲 2 階快取實現故障的高純量管線。

圖 15 為說明可與此處所述之任何電源節省操作相關聯之可能電子及邏輯的簡化方塊圖。於至少一例示實施例中，系統 1100 包含觸碰控制器 1102、一或多個處理器 1104、耦接至至少一處理器 1104 之系統控制邏輯 1106、耦接至系統控制邏輯 1106 之系統記憶體 1108、耦接至系統控制邏輯 1106 之非揮發性記憶體及/或儲存裝置 1110、耦接至系統控制邏輯 1106 之顯示控制器 1112、耦接至一顯示器之顯示控制器 1112、耦接至系統控制邏輯 1106 之電源管理控制器 1118、及/或耦接至系統控制邏輯 1106 之通訊介面 1120。

於至少一實施例中，系統控制邏輯 1106 包含任何適合的介面控制器以提供任何適合的介面予至少一處理器 1104 及/或至任何適合的裝置或組件與系統控制邏輯 1106 通訊。於至少一實施例中，系統控制邏輯 1106 包含一或多個記憶體控制器以提供一介面予系統記憶體 1108。系統記憶體 1108 可被使用以例如對於系統 1100 載入及儲存資料及/或指令。於至少一實施例中，系統記憶體 1108 包含任何適合的揮發性記憶體，例如適合的動態隨機存取記憶體 (DRAM)。於至少一實施例中，系統控制邏輯 1106

包含一或多個輸入/輸出 (I/O) 控制器以提供一介面予顯示器裝置、觸碰控制器 1102、及非揮發性記憶體及/或儲存裝置 1110。

非揮發性記憶體及/或儲存裝置 1110 可被使用以儲存例如軟體 1128 中之資料及/或指令。非揮發性記憶體及/或儲存裝置 1110 可包含任何適合的非揮發性記憶體，例如快閃記憶體及/或可包含任何適合的非揮發性儲存裝置，例如一或多個硬碟機 (HDD)、一或多個光碟 (CD) 機、及/或一或多個數位影音光碟 (DVD) 機。

電源管理控制器 1118 可包含電源管理邏輯 1130，其係經組構以控制此處所揭露之各種電源管理及/或電源節省功能或其任何部份。於至少一實施例中，電源管理控制器 1118 係經組構以降低系統 1100 之組件或裝置的電源消耗，當電子裝置係於關閉組態時其可被操作於降低或關閉的電源。舉例來說，於至少一實施例中，當電子裝置係於關閉組態時，電源管理控制器 1118 施行一或多個以下所列者：關閉顯示器未使用的部份及/或任何其背光相關元件；若在關閉組態中需要較少的計算電源時，允許一或多個處理器 1104 處於較低的電源狀態；及關閉任何裝置及/或組件，例如當電子裝置處於關閉組態時沒被使用的鍵盤 108。

通訊介面 1120 可提供一介面予系統 1100 以在一或多個網路及/或與其他適合的裝置通訊。通訊介面 1120 可包含任何適合的硬體及/或韌體。於至少一實施例中，通訊

介面 1120 可包含例如網路配接器、無線網路配接器、電話數據機、及/或無線數據機。

於至少一實施例中，系統控制邏輯 1106 包含一或多個輸入/輸出 (I/O) 控制器以提供一介面予任何適合的輸入/輸出裝置，例如音訊裝置以幫助轉換聲音為對應的數位訊號及/或幫助轉換數位訊號為對應的聲音、照相機、攝影機、印表機、及/或掃描器。

對於至少一例示實施例，至少一處理器 1104 可與系統控制邏輯 1106 之一或多個控制器之邏輯一起被封裝。於至少一實施例中，至少一處理器 1104 可與系統控制邏輯 1106 之一或多個控制器之邏輯一起被封裝以形成系統級封裝 (System in Package; SiP)。於至少一實施例中，至少一處理器 1104 可與系統控制邏輯 1106 之一或多個控制器之邏輯被結合於相同晶粒。對至少一例示實施例，至少一處理器 1104 可與系統控制邏輯 1106 之一或多個控制器之邏輯被結合於相同晶粒以形成系統單晶片 (System on Chip; SoC)。

至於觸碰控制，觸碰控制器 1102 可包含觸碰感測介面電路 1122 及觸碰控制邏輯 1124。觸碰感測介面電路 1122 可被耦合以經由顯示器 11 (亦即顯示裝置 1110) 之第一觸碰表面層及第二觸碰表面層來偵測觸碰輸入。觸碰感測介面電路 1122 可包含任何適合的電路，其可例如至少部份依靠觸碰輸入裝置所使用的觸碰敏感技術。於一實施例中，觸碰感測介面電路 1122 可支援任何適合的多點



觸碰技術。於至少一實施例中，觸碰感測介面電路 1122 包含任何適合的電路以將對應至第一觸碰表面層及第二表面層之類比訊號轉換成任何適合的數位觸碰輸入資料。於一實施例中，適合的數位觸碰輸入資料可包含例如觸碰位置或座標資料。

觸碰控制邏輯 1124 可被耦接以用任何適合的方式幫助控制觸碰感測介面電路 1122 以透過第一觸碰表面層及第二觸碰表面層來偵測觸碰輸入。於一實施例中，觸碰控制邏輯 1124 亦可被耦合以用任何適合的方式輸出對應至由觸碰感測介面電路 1122 所偵測的觸碰輸入之數位觸碰輸入資料。觸碰控制邏輯 1124 可使用任何適合的邏輯被實現，包含任何適合的硬體、韌體、及/或軟體邏輯（例如，非過渡實體媒體），其可至少部份依靠例如使用於觸碰感測介面電路 1122 之電路。於一實施例中，觸碰控制邏輯 1124 可支援任何適合的多點觸碰技術。

觸碰控制邏輯 1124 可被耦合以輸出數位觸碰輸入資料至系統控制邏輯 1106 及/或至少一處理器 1104 以供處理。於一實施例中，至少一處理器 1104 可執行任何適合的軟體以處理自觸碰控制邏輯 1124 輸出的數位觸碰輸入資料。適合的軟體可包含例如任何適合的驅動程式軟體及/或任何適合的應用軟體。如圖 11 所示，系統記憶體 1108 可儲存適合的軟體 1126 及/或非揮發性記憶體及/或儲存裝置。

應注意的是，於某些例示實現中，此處所描述的功能

可使用邏輯而被實現，邏輯係被編碼於一或多個實體、非過渡媒體（例如，特殊應用積體電路（ASIC）、數位訊號處理器（DSP）指令、藉由處理器或其他類似機器等來執行的軟體〔可能包含目的碼及來源碼〕所提供的嵌入式邏輯）。於某些情形中，記憶體元件可儲存於此處所說明之操作所使用的資料。包含記憶體元件能儲存被執行以完成此處所述之活動之軟體、邏輯、碼、或處理器指令。處理器可執行與資料相關聯之任何類型的指令以達成此處所詳述之操作。於一範例中，處理器可將一元件或物件（例如，資料）自一狀態轉換至另一狀態或事物。於另一範例中，此處所概述之活動可用固定的邏輯或可程式化的邏輯（例如，由一處理器所執行的軟體/電腦指令）而被實現且此處所識別的元件可為某些類型的可程式化處理器數位邏輯（例如，場效可程式化閘陣列（FPGA）、DSP、可抹除可程式化的唯讀記憶體（EPROM）、電器可抹除可程式化唯讀記憶體（EEPROM））或包含數位邏輯、軟體、碼、電子指令、或任何適合的其組合之 ASIC。

應注意的是，藉由以上所提供的範例，以及此處所提供的許多其他範例，互動（interaction）一般可被以層、協定、介面、空間、及環境的方式描述。然而，這些已被完成為了清楚及例示之目的。於特定情況中，藉由僅參考受限的數目之組件可更容易說明給定的流程組之一或多個功能。應理解的是，此處所述之架構（及其教示）係可容易地擴充且可容納很大數目的組件，以及更複雜/更精緻

的配置及組態。因此，所提供的範例不應限制本揭露的範疇或抑制本揭露的廣泛教示，其可能應用至無數的其他架構。

亦應注意的是，流程圖中的方塊僅說明某些可能的發訊號方案及樣式，其可藉由此處所討論的電路而被執行或於此處所討論的電路中被執行。某些方塊可被刪除或移動至適合處，或者這些步驟可在不超出此處所提供的教示之範疇而被修改或改變。此外，一些這些操作已被描述為被同時或平行執行一或多個額外的操作。然而，這些操作的時序可被考量地交替。前面的操作流程已被提供以用於範例及討論。本揭露提供實質的彈性，其中任何適合的配置、年表（chronologies）、組態、及時序機制可被提供而不超出此處所提供的教示。此外，流程圖之一或多個方塊可被與另一圖式之一或多個方塊組合。

亦需注意的是，所有的規格書、協定、及此處所概述的關係（例如，特地命令、時序間隔、支援輔助組件等）僅被提供以用於例示及教示之目的。這些資料中之各者可在不超出本揭露之精神或後附申請專利範圍之範疇而被相當地改變。說明書應用許多改變及無限制的範例，且因此，其應被同樣地考量。於前述說明中，例示實施例已被描述。可在不超出所附申請專利範圍之範疇的情況下對此等實施例做出許多修改及改變。因此，說明及圖式被當作說明而非限制用。

許多其他改變、替代、變化、交替、及修改可被所屬

技術領域中具有通常知識者所了解且本揭露包含所有此等改變、替代、變化、交替、及修改係落於後附申請專利範圍之範疇中。爲了幫助美國專利商標局（USPTO）及額外地此申請案所發行的任何專利之任何讀者解譯後附申請專利範圍，申請人想要強調的是：申請人（a）不欲任何申請專利範圍違反 35 U.S.C. 112 節第 6 段，其存在於申請日，除非用語「手段用以（means for）」或「步驟用以（steps for）」被明確地使用於特定請求項；及（b）不欲於說明書中以任何形式（並非不同地反映於後附申請專利範圍）限制本揭露。

#### 例示實施例實現

一特定例示實現可包含用以管理至少一處理器的電源之設備，其包含用以評估（例如，經由處理器、軟體、電路、集線器、控制器等）與電子裝置相關聯之複數個埠之手段；用以判定與至少一埠相關聯的特定接腳並沒有接收訊號之手段；用以去能與電子裝置相關聯之靜噪功能之手段；及用以閘控與電子裝置之實體層（PHY）相關聯之電源（例如，經由任何適合的介面、鏈結、匯流排、通訊通道等）之手段。

另一特定範例可包含用以管理至少一處理器的電源之設備，其包含用以識別（例如，經由處理器、軟體、電路、集線器、控制器等）電源管理事件（PME）逾時之手段；用以（例如，經由處理器、軟體、電路、集線器、

控制器等) 指示實體層 (PHY) 中之接收器關閉之手段；用以自開機鏈結狀態轉變至復原狀態之手段；及用以恢復與無法自電子裝置接收序列相關聯之預定的逾時相關聯之偵測狀態之手段。

另一例示實施例可包含用以管理至少一處理器的電源之設備，其包含用以提根埠之組態位元的手段；用以對根埠啓動 (例如，經由處理器、軟體、電路、集線器、控制器等) 電源管理事件關閉/應答交握訊號以將對應的鏈結置於層 2/層 3 (L2/L3) 就緒狀態之手段；用以命令 (例如，經由處理器、軟體、電路、集線器、控制器等) 電源管理控制器 (PMC) 以對電子裝置聲稱重置之手段；及用以移除電源使得電子裝置轉變至冷狀態之手段。

### 【符號說明】

10：系統

12：操作流程

14：電源管理

16：表

20：流程圖

22：箭號

24：箭號

40：流程圖

44：箭號

52：箭號

- 60： 流程圖
- 70： 流程圖
- 80： 流程圖
- 82： 流程圖
- 84： 流程圖
- 86： 流程圖
- 88： 流程圖
- 90： 流程圖
- 92： 流程圖
- 108： 鍵盤
- 1000： ARM 生態系統 SOC
- 1006： 核心
- 1007： 核心
- 1008： L2 快取控制
- 1009： 匯流排介面單元
- 1010： L2 快取
- 1015： 圖形處理器
- 1012： 互連
- 1020： 視訊編解碼器
- 1025： 液晶顯示單元介面
- 1030： 用戶識別模組介面
- 1035： 開機唯讀記憶體
- 1040： 同步動態隨機存取記憶體
- 1045： 快閃控制器

1050 : 串列輔助介面主台

1055 : 電源控制

1060 : 動態 RAM

1065 : 快閃

1070 : 藍芽

1075 : 3G 數據機

1080 : 802.11 WiFi

● 1100 : 系統

1102 : 觸碰控制器

1104 : 處理器

1106 : 系統控制邏輯

1108 : 系統記憶體

1110 : 儲存裝置

1110 : 顯示裝置

1112 : 顯示控制器

● 1118 : 電源管理控制器

1120 : 通訊介面

1122 : 觸碰感測介面電路

1124 : 觸碰控制邏輯

1126 : 軟體

1128 : 軟體

1130 : 電源管理邏輯

## 申請專利範圍

105年11月17日修正本

1. 一種用於電源管理的系統，該系統包含：
  - 處理器；
  - 複數個快速週邊組件互連（PCIe）埠；及
  - 記憶體，其用以儲存指令，當該指令被該處理器執行時會施行操作，包含：
    - 評估該等複數個 PCIe 埠；
    - 回應於判定與該等複數個 PCIe 埠之至少其中一者相關聯的決定時脈請求（CLKREQ）接腳沒有接收訊號，將與該系統相關聯的靜噪功能去能；及
    - 回應於判定該 CLKREQ 接腳係沒有接收該訊號，閘控與該系統之實體層（PHY）相關聯的電源用於該等複數個 PCIe 埠之未負載埠。
2. 如申請專利範圍第 1 項之系統，其中該時脈請求接腳係被使用以偵測熱插頭事件以對該 PHY 供給電源。
3. 如申請專利範圍第 1 項之系統，其中該電子裝置為一行動計算裝置，該行動計算裝置係經組構以在一對接站對接。
4. 如申請專利範圍第 1 項之系統，其中對於該系統提供一對接互連。
5. 如申請專利範圍第 1 項之系統，其中該等複數個 PCIe 埠係未負載且係經組構以執行靜噪功能之去能。
6. 如申請專利範圍第 1 項之系統，其中該等複數個 PCIe 埠之一根埠回應被對接的該系統而提供電源至該



PHY。

7. 如申請專利範圍第 1 項之系統，其中該等複數個埠之一根埠回應被連接至一外部顯示器的該電子裝置而提供電源至該 PHY。

8. 如申請專利範圍第 1 項之系統，其中該操作更包含：

回應於判定該 CLKREQ 接腳係接收訊號，致能該靜噪功能。

9. 一種用以管理至少一處理器的電源之設備，該設備包含：

複數個快速週邊組件互連 (PCIe) 埠；及  
邏輯，其至少在硬體部分實現，該邏輯用以：

評估該等複數個 PCIe 埠；

回應於判定與該等複數個 PCIe 埠之至少其中一者相關聯的決定時脈請求 (CLKREQ) 接腳沒有接收訊號，將與該設備相關聯的靜噪功能去能；及

回應於判定該 CLKREQ 接腳係沒有接收該訊號，閘控與該裝置之實體層 (PHY) 相關聯的電源用於該等複數個 PCIe 埠之未負載埠。

10. 如申請專利範圍第 9 項之設備，其中該時脈請求接腳係被使用以偵測熱插頭事件以對該 PHY 供給電源。

11. 如申請專利範圍第 9 項之設備，其中該電子裝置為一行動計算裝置，該行動計算裝置係經組構以在一對接站對接。

12. 如申請專利範圍第 9 項之設備，其中對於該裝置提供一對接互連。

13. 如申請專利範圍第 9 項之設備，其中該邏輯回應於判定該 CLKREQ 接腳係接收訊號，致能該靜噪功能。

14. 一種用於電源管理的方法，其由電子裝置實施，該方法包含：

評估包括在該電子裝置中的複數個快速週邊組件互連（PCIe）埠；

回應於判定與該等複數個 PCIe 埠之至少其中一者相關聯的決定時脈請求（CLKREQ）接腳沒有接收訊號，將與該電子裝置相關聯的靜噪功能去能；及

回應於判定該 CLKREQ 接腳係沒有接收該訊號，閘控與該電子裝置之實體層（PHY）相關聯的電源用於該等複數個 PCIe 埠之未負載埠。

15. 如申請專利範圍第 14 項之方法，其中該時脈請求接腳係被使用以偵測熱插頭事件以對該 PHY 供給電源。

16. 如申請專利範圍第 14 項之方法，其中該電子裝置為一行動計算裝置，該行動計算裝置係經組構以在一對接站對接。

17. 如申請專利範圍第 14 項之方法，其中對於該電子裝置提供一對接互連。

18. 如申請專利範圍第 14 項之方法，更包含：

回應於判定該 CLKREQ 接腳係接收訊號，致能該靜

噪功能。

# 圖式

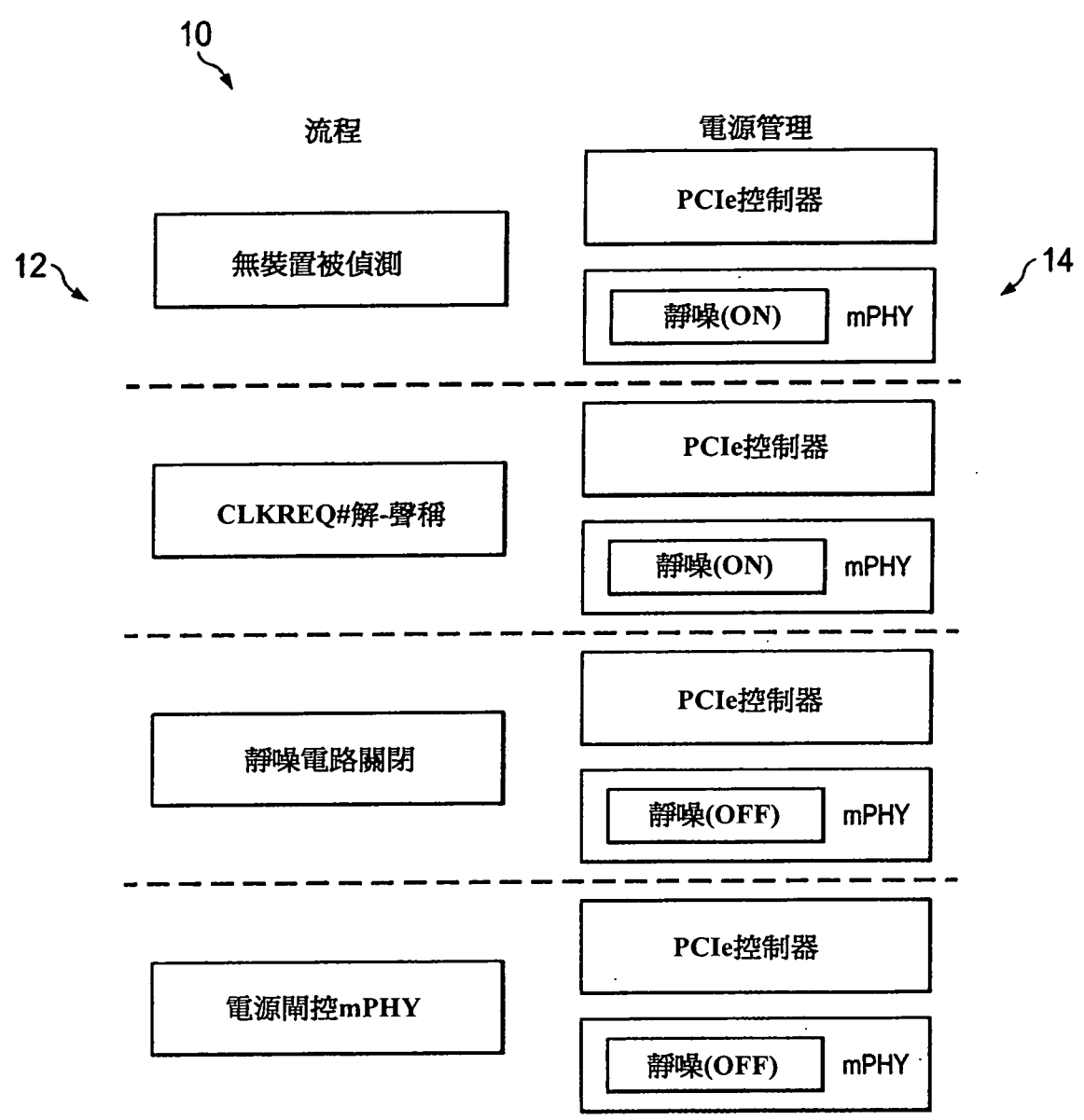


圖 1

16

傳統可熱插拔PCIe埠	mPHY電源可閘控可熱插拔PCIe埠
當裝置未插入時每12ms關閉靜噪電路	當裝置未插入且CLKREQ#ON被解聲稱時電源閘控mPHY

圖 2

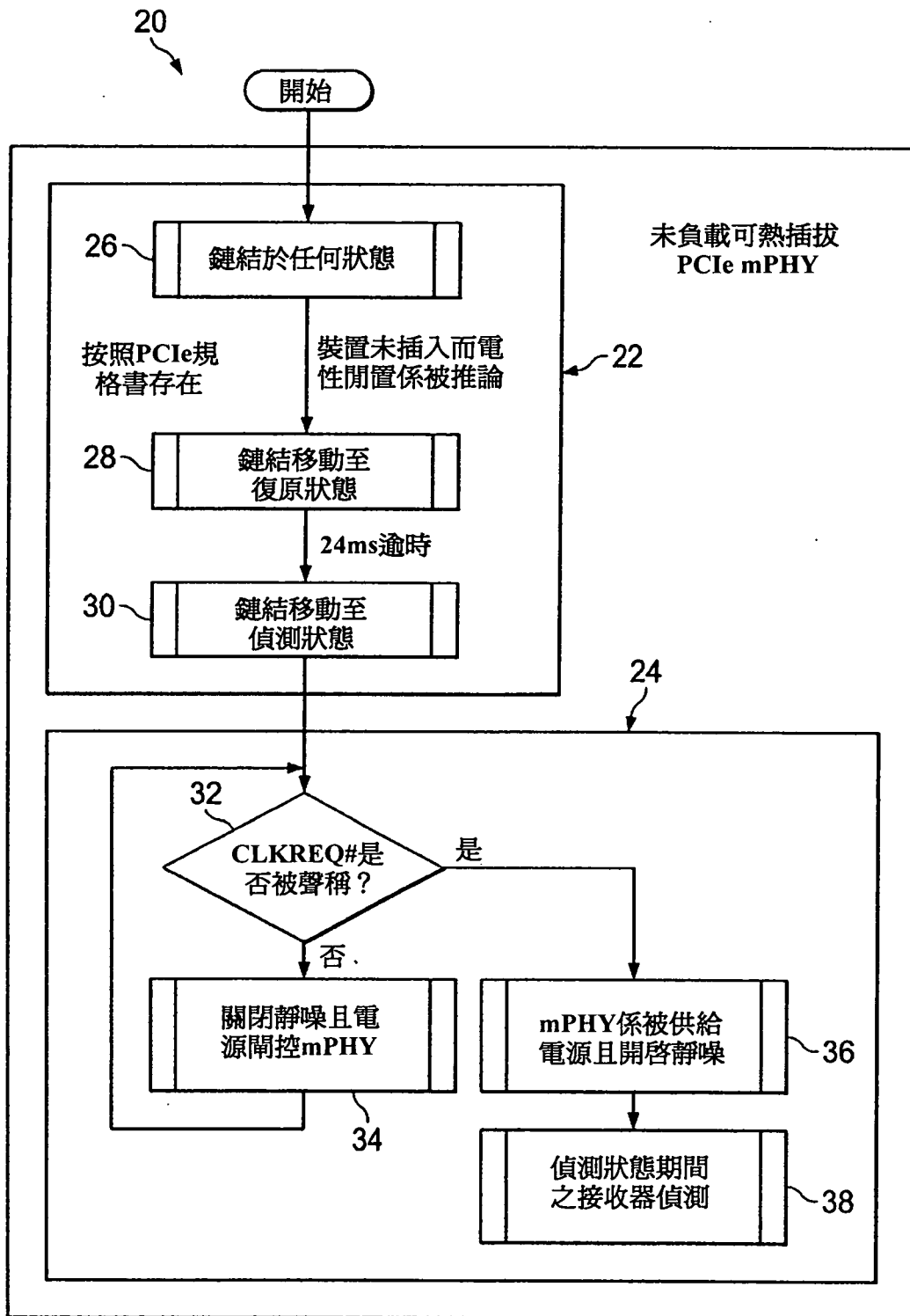


圖 3

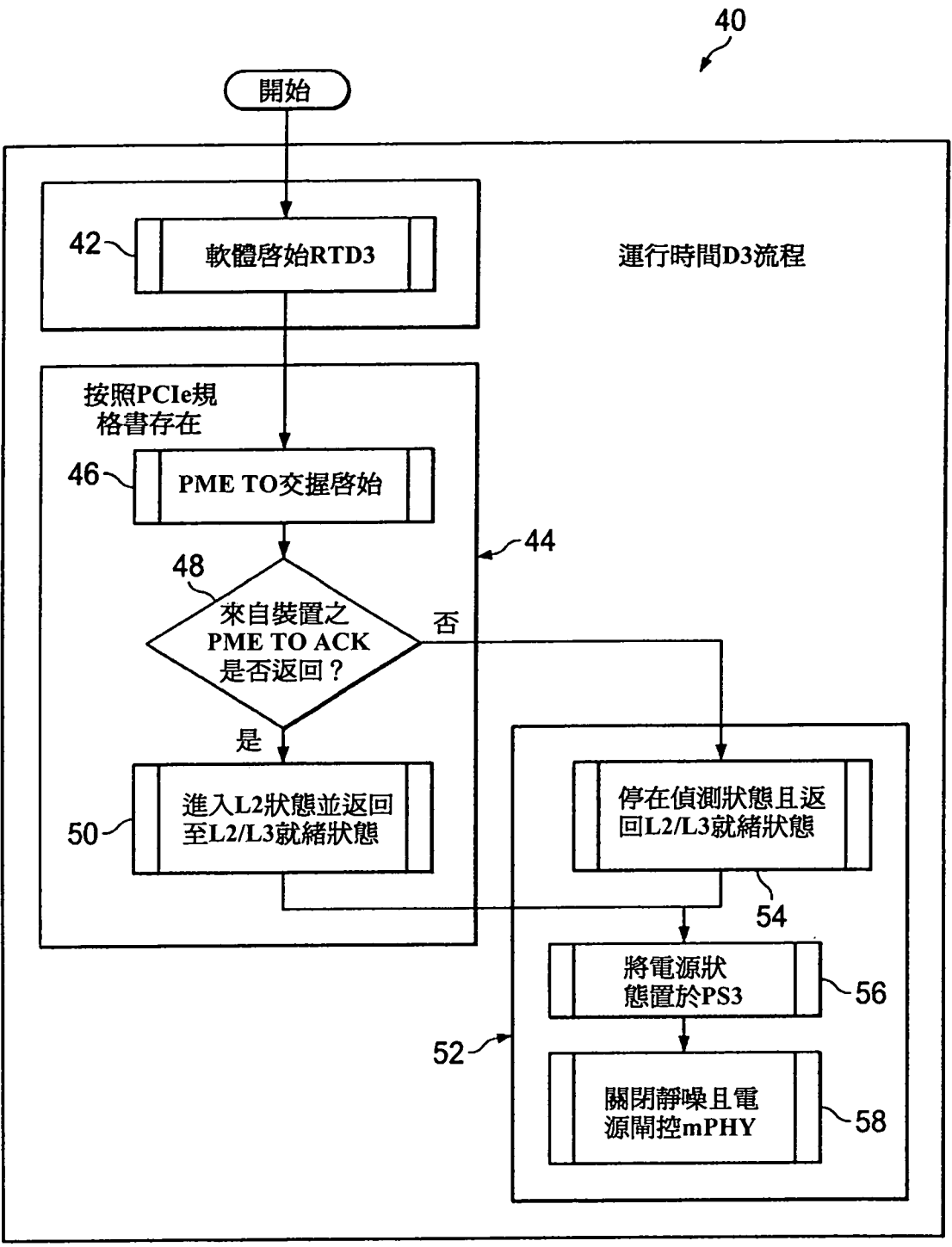


圖 4

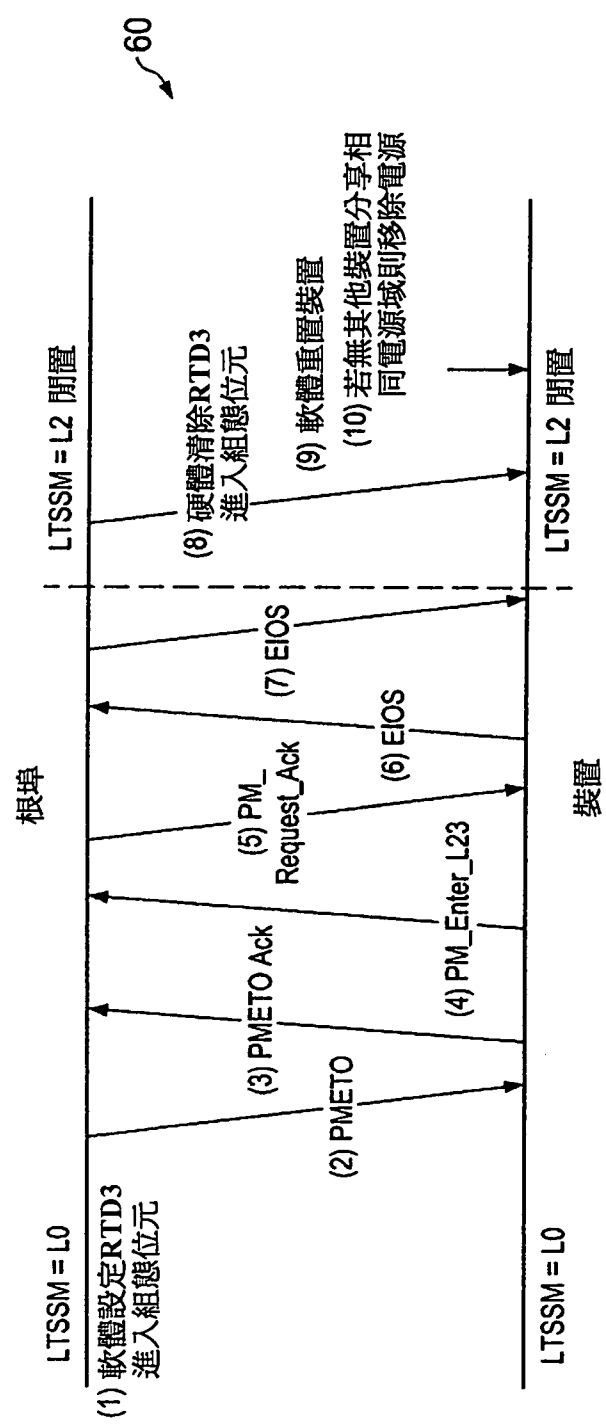


圖 5

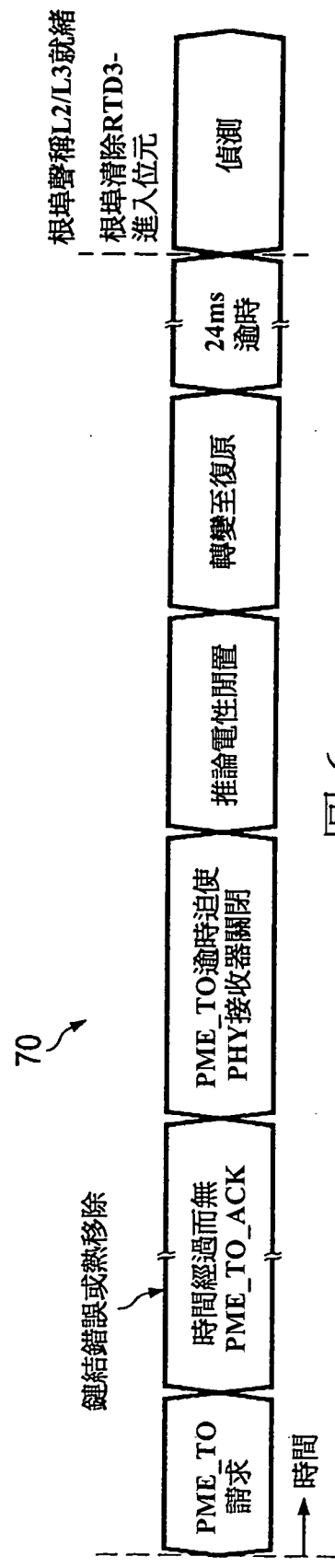


圖 6

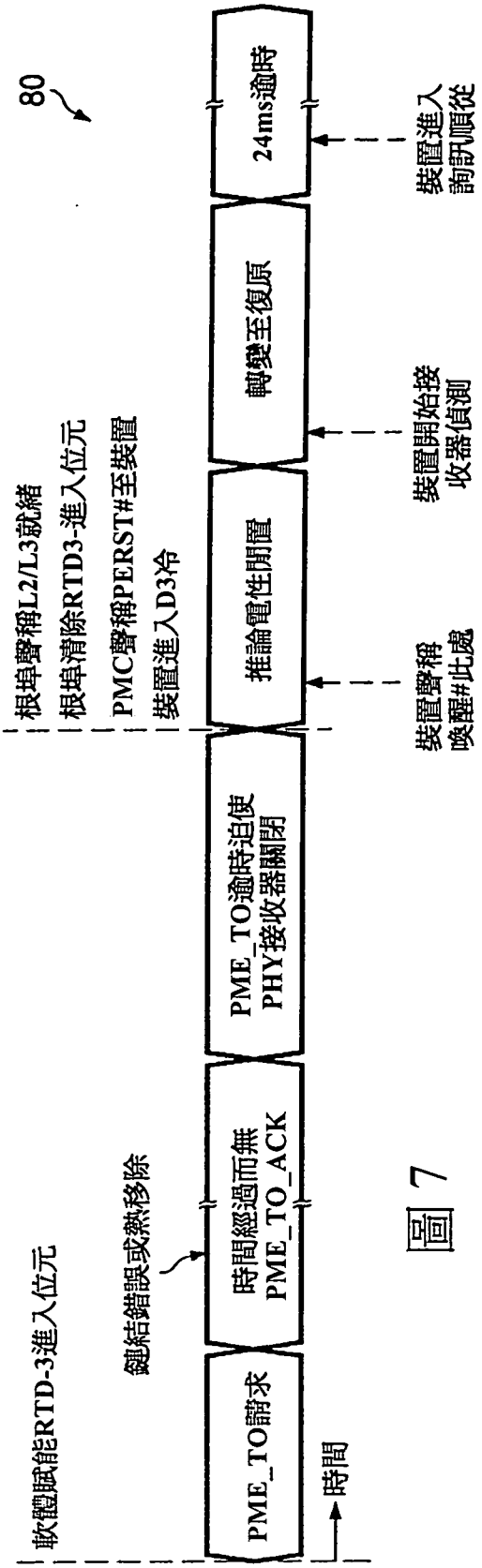


圖 7

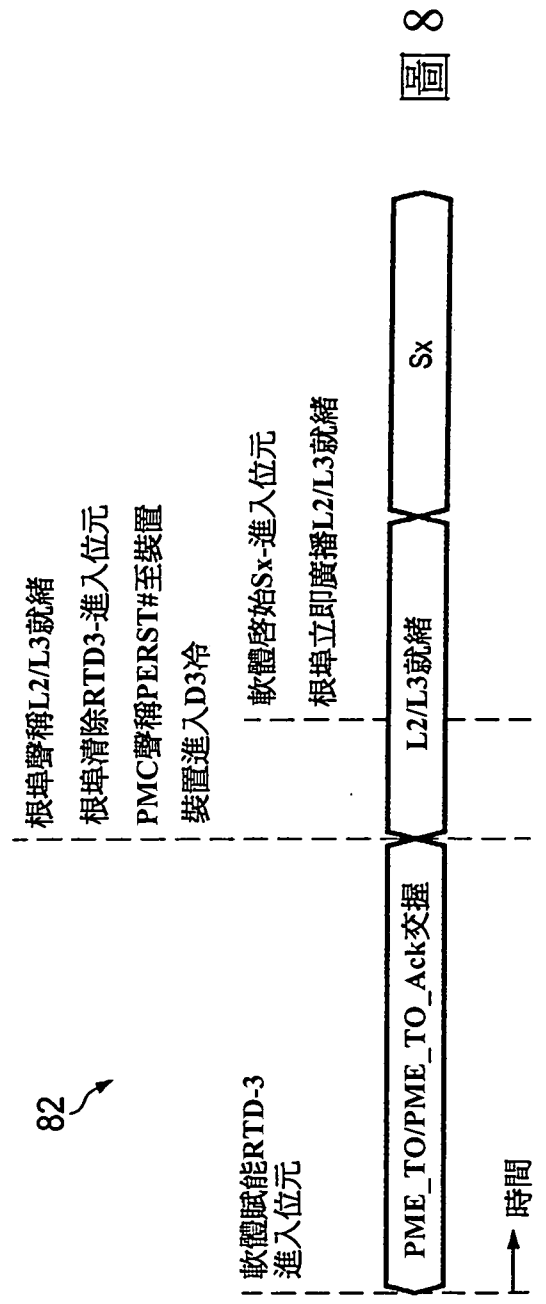


圖 8



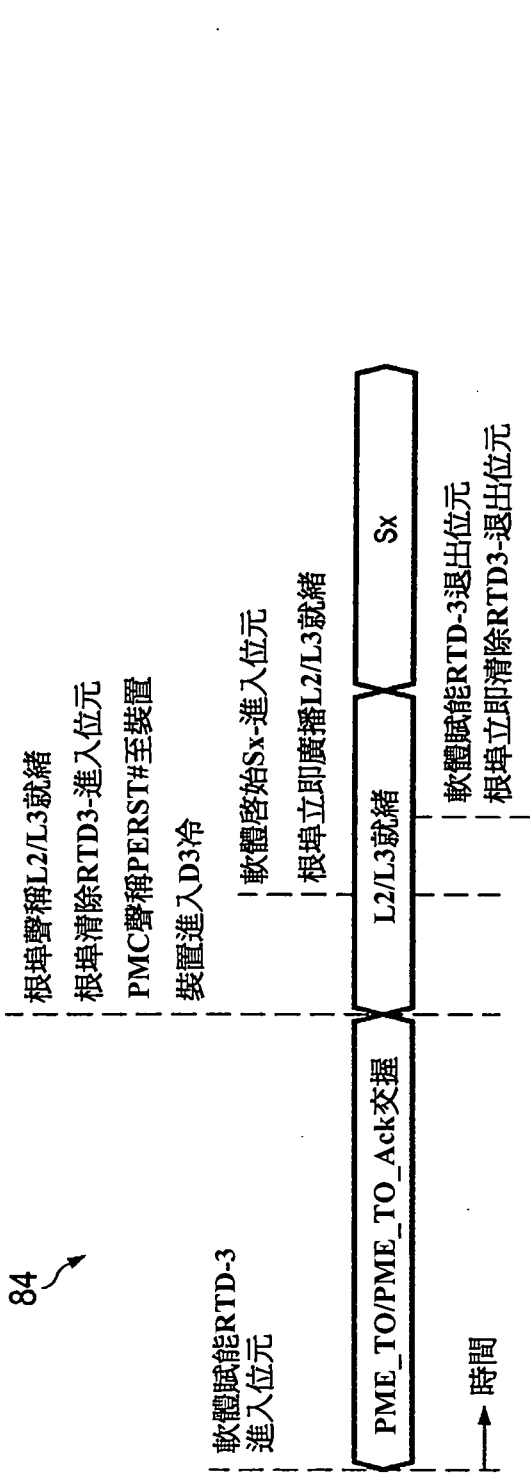


圖 9

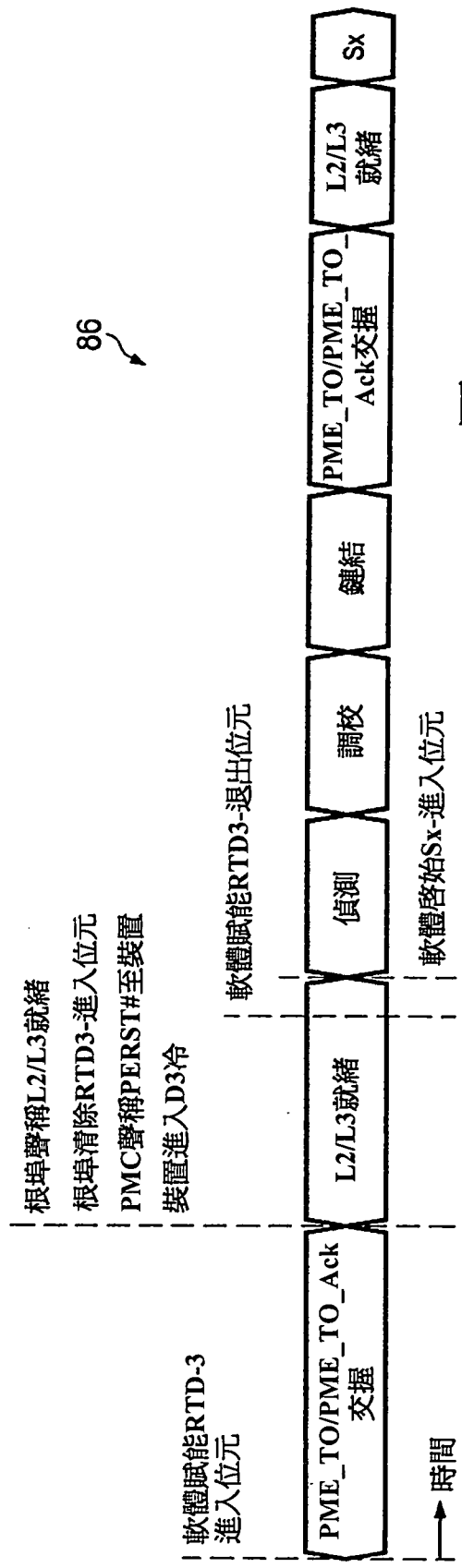


圖 10

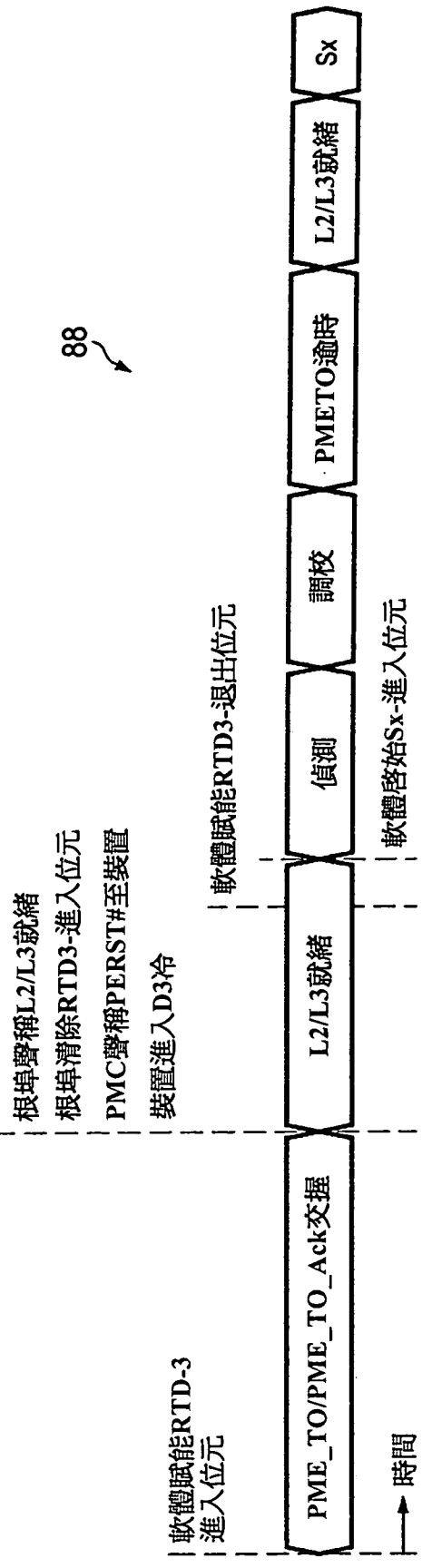


圖 11

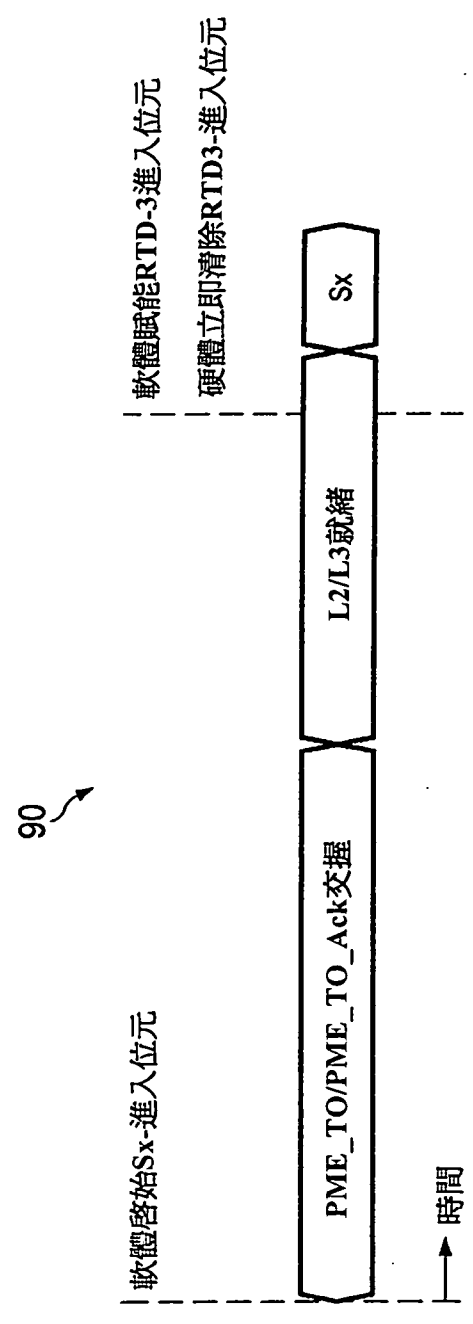


圖 12

92 ↗

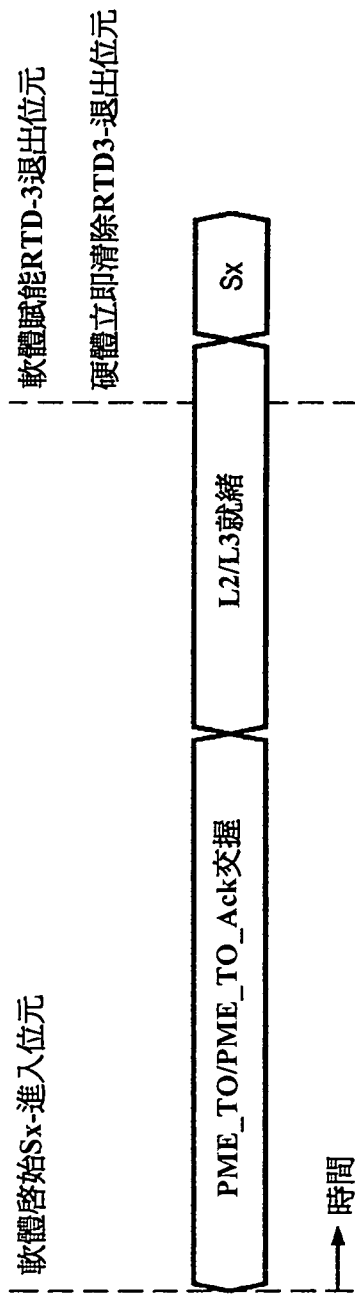


圖 13

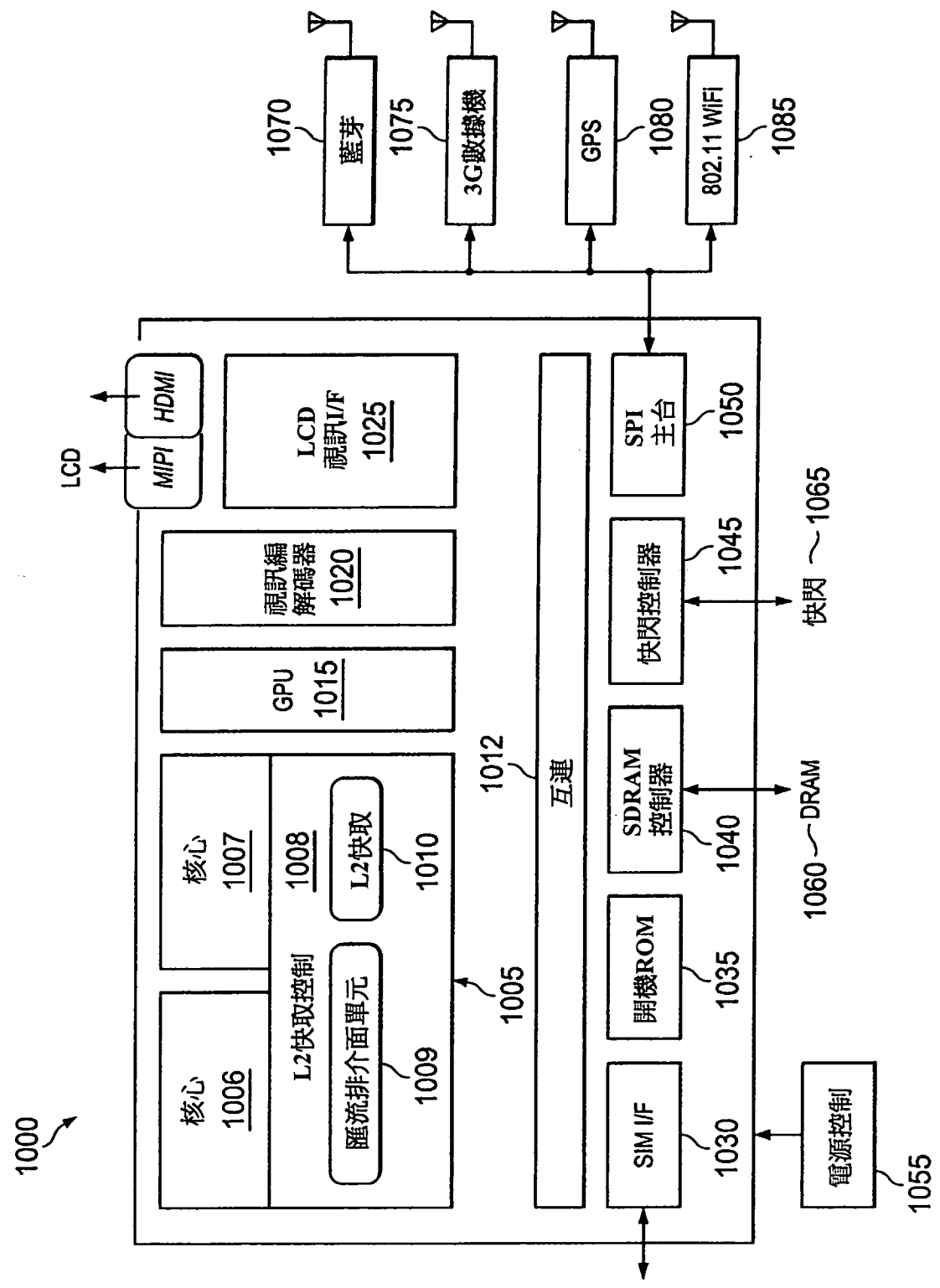


圖 14

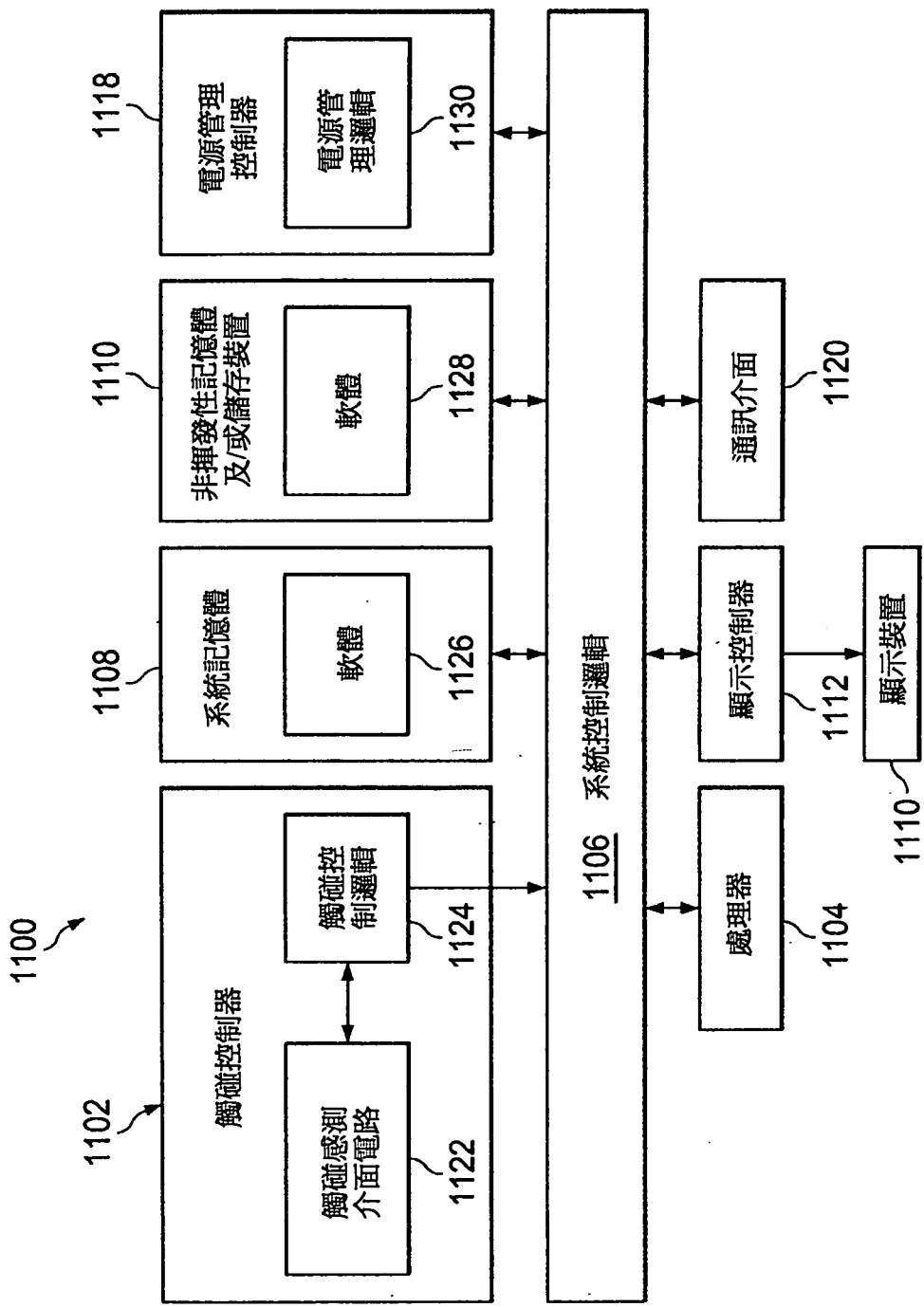


圖 15