

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-93610

(P2021-93610A)

(43) 公開日 令和3年6月17日(2021.6.17)

(51) Int.Cl. F I テーマコード (参考)
HO4N 5/3745 (2011.01) HO4N 5/3745 500 5C024

審査請求 未請求 請求項の数 13 O L (全 30 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願2019-222570 (P2019-222570) (22) 出願日 令和1年12月10日 (2019.12.10)</p> | <p>(71) 出願人 316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号 (74) 代理人 100112955 弁理士 丸島 敏一 (72) 発明者 望月 風太 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Fターム(参考) 5C024 CY26 GX02 GX16 GY39 GY41 HX01 HX23 HX29</p> |
|---|---|

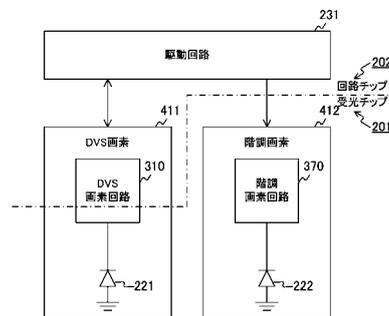
(54) 【発明の名称】 固体撮像素子、および、撮像装置

(57) 【要約】

【課題】 DVSにおいて、画素の微細化を容易にする。

【解決手段】 複数の光電変換素子の各々は、入射光を光電変換して電荷を生成する。検出画素回路は、複数の光電変換素子のうち特定の光電変換素子により生成された電荷の変化量が所定の閾値を超えたか否かを検出して検出結果を出力する。階調画素回路は、複数の光電変換素子のうち特定の光電変換素子とは異なる光電変換素子により生成された電荷の量に応じた電圧の信号を所定の駆動信号に従って画素信号として生成する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

各々が入射光を光電変換して電荷を生成する複数の光電変換素子と、
 前記複数の光電変換素子のうち特定の光電変換素子により生成された前記電荷の変化量が所定の閾値を超えたか否かを検出して検出結果を出力する検出画素回路と、
 前記複数の光電変換素子のうち前記特定の光電変換素子とは異なる光電変換素子により生成された前記電荷の量に応じた電圧の信号を所定の駆動信号に従って画素信号として生成する階調画素回路と
 を具備する固体撮像素子。

【請求項 2】

前記駆動信号により前記階調画素回路に前記画素信号を生成させる駆動回路をさらに具備する
 請求項 1 記載の固体撮像素子。

【請求項 3】

前記駆動回路は、前記検出結果に基づいて前記画素信号を生成させる
 請求項 2 記載の固体撮像素子。

【請求項 4】

前記特定の光電変換素子とは異なる光電変換素子の個数は、前記特定の光電変換素子の個数より多い
 請求項 1 の固体撮像素子。

【請求項 5】

前記特定の光電変換素子とは異なる光電変換素子の個数は、前記特定の光電変換素子の個数と同一である
 請求項 1 の固体撮像素子。

【請求項 6】

前記特定の光電変換素子とは異なる光電変換素子の受光面積は、前記特定の光電変換素子の受光面積と同一である
 請求項 1 記載の固体撮像素子。

【請求項 7】

前記特定の光電変換素子とは異なる光電変換素子の受光面積は、前記特定の光電変換素子の受光面積より小さい
 請求項 1 記載の固体撮像素子。

【請求項 8】

前記特定の光電変換素子は、前記電荷の量に応じた光電流を出力し、
 前記検出画素回路は、
 前記光電流を当該光電流の対数に応じた電圧信号に変換する対数応答部と、
 前記電圧信号を出力するバッファと、
 前記出力された電圧信号を微分して微分信号を生成する微分回路と、
 前記微分信号と前記閾値とを比較する比較回路と
 を備える請求項 1 記載の固体撮像素子。

【請求項 9】

前記対数応答部は、複数段のループ回路を備え、
 前記複数段のループ回路のそれぞれは、ループ状に接続された一対のトランジスタからなる
 請求項 8 記載の固体撮像素子。

【請求項 10】

前記複数の光電変換素子と前記階調画素回路は受光チップに配置され、前記検出画素回路は、前記受光チップと前記受光チップに積層された回路チップとに配置される
 請求項 8 記載の固体撮像素子。

【請求項 11】

10

20

30

40

50

前記特定の光電変換素子は、前記電荷の量に応じた光電流を出力し、
 前記検出画素回路は、
 前記光電流を当該光電流の対数に応じた電圧信号に変換する対数応答部と、
 前記電圧信号を出力するバッファと、
 前記出力された電圧信号を微分して微分信号を生成する微分回路と、
 前記微分信号と前記閾値とを比較する比較回路と
 を備え、
 前記バッファと前記差分回路と前記比較回路は、前記回路チップに配置される
 請求項 10 記載の個体撮像素子。

【請求項 12】

所定レベルの信号を生成するダミー画素をさらに具備する
 請求項 1 記載の固体撮像素子。

【請求項 13】

各々が入射光を光電変換して電荷を生成する複数の光電変換素子と、
 前記複数の光電変換素子のうち特定の光電変換素子により生成された前記電荷の変化量
 が所定の閾値を超えたか否かを検出して検出結果を出力する検出画素回路と、
 前記複数の光電変換素子のうち前記特定の光電変換素子とは異なる光電変換素子により
 生成された前記電荷の量に応じた電圧の信号を所定の駆動信号に従って画素信号として生
 成する階調画素回路と

前記画素信号をデジタル信号に変換するアナログデジタル変換器と
 を具備する撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子に関する。詳しくは、アドレスイベントの有無を検出する固体
 撮像素子、および、撮像装置に関する。

【背景技術】

【0002】

従来より、垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する
 同期型の固体撮像素子が、撮像装置などにおいて用いられている。この一般的な同期型の
 固体撮像素子では、同期信号の周期（例えば、1/60秒）ごとにしか画像データを取得
 することができないため、交通やロボットなどに関する分野において、より高速な処理が
 要求された場合に対応することが困難になる。そこで、画素アドレスごとに、その画素の
 光量が閾値を超えた旨をアドレスイベントとして検出する検出回路と、受光量に応じた電
 圧の信号を生成する画素回路とを画素毎に設けた固体撮像素子が提案されている（例えば
 、特許文献 1 参照。）。このように、画素毎にアドレスイベントを検出する固体撮像素子
 は、DVS（Dynamic Vision Sensor）と呼ばれる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特表 2015 - 501936 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述の従来技術では、検出回路および画素回路を画素ごとに配置することにより、アド
 レスイベントの有無を検出しつつ撮像を行う機能の実現を図っている。しかしながら、アド
 レスイベントの検出回路は、画素回路よりもトランジスタなどの素子数が多く、そのよ
 うな回路を画素毎に設けると、画素数が多くなるほど回路規模が増大してしまう。このた
 め、画素の微細化が困難になるという問題がある。

【0005】

10

20

30

40

50

本技術はこのような状況に鑑みて生み出されたものであり、DVSにおいて、画素の微細化を容易にすることを目的とする。

【課題を解決するための手段】

【0006】

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、各々が入射光を光電変換して電荷を生成する複数の光電変換素子と、上記複数の光電変換素子のうち特定の光電変換素子により生成された上記電荷の変化量が所定の閾値を超えたか否かを検出して検出結果を出力する検出画素回路と上記複数の光電変換素子のうち上記特定の光電変換素子とは異なる光電変換素子により生成された上記電荷の量に応じた電圧の信号を所定の駆動信号に従って画素信号として生成する階調画素回路とを具備する固体撮像素子である。これにより、画素の微細化が容易になるという作用をもたらす。

10

【0007】

また、この第1の側面において、上記駆動信号により上記階調画素回路に上記画素信号を生成させる駆動回路をさらに具備してもよい。これにより、駆動信号に従って画素信号が生成されるという作用をもたらす。

【0008】

また、この第1の側面において、上記駆動回路は、上記検出結果に基づいて上記画素信号を生成させてもよい。これにより、アドレスイベントの検出結果に基づいて画素信号が生成されるという作用をもたらす。

【0009】

また、この第1の側面において、上記特定の光電変換素子とは異なる光電変換素子の個数は、上記特定の光電変換素子の個数より多くてもよい。これにより、階調画素の画素数がDVS画素より多くなるという作用をもたらす。

20

【0010】

また、この第1の側面において、上記特定の光電変換素子とは異なる光電変換素子の個数は、上記特定の光電変換素子の個数と同一であってもよい。これにより、階調画素の画素数がDVS画素と同一になるという作用をもたらす。

【0011】

また、この第1の側面において、上記特定の光電変換素子とは異なる光電変換素子の受光面積は、上記特定の光電変換素子の受光面積と同一であってもよい。これにより、階調画素の受光面積がDVS画素と同一になるという作用をもたらす。

30

【0012】

また、この第1の側面において、上記特定の光電変換素子とは異なる光電変換素子の受光面積は、上記特定の光電変換素子の受光面積より小さくてもよい。これにより、階調画素の受光面積がDVS画素より少なくなるという作用をもたらす。

【0013】

また、この第1の側面において、上記特定の光電変換素子は、上記電荷の量に応じた光電流を出力し、上記検出画素回路は、上記光電流を当該光電流の対数に応じた電圧信号に変換する対数応答部と、上記電圧信号を出力するバッファと、上記出力された電圧信号を微分して微分信号を生成する微分回路と、上記微分信号と上記閾値とを比較する比較回路とを備えてもよい。これにより、画素信号の微分値と閾値との比較によってアドレスイベントが検出されるという作用をもたらす。

40

【0014】

また、この第1の側面において、上記対数応答部は、複数段のループ回路を備え、上記複数段のループ回路のそれぞれは、ループ状に接続された一対のトランジスタからなるものであってもよい。これにより、対数応答部の変換ゲインが増大するという作用をもたらす。

【0015】

また、この第1の側面において、上記複数の光電変換素子と上記階調画素回路は受光チップに配置され、上記検出画素回路は、上記受光チップと上記受光チップに積層された回

50

路チップとに配置されてもよい。これにより、受光チップの回路規模が削減されるという作用をもたらす。

【0016】

また、この第1の側面において、上記特定の光電変換素子は、上記電荷の量に応じた光電流を出力し、上記検出画素回路は、上記光電流を当該光電流の対数に応じた電圧信号に変換する対数応答部と、上記電圧信号を出力するバッファと、上記出力された電圧信号を微分して微分信号を生成する微分回路と、上記微分信号と上記閾値とを比較する比較回路とを備え、上記バッファと上記差分回路と上記比較回路は、上記回路チップに配置されてもよい。これにより、受光チップの回路規模が削減されるという作用をもたらす。

【0017】

また、この第1の側面において、所定レベルの信号を生成するダミー画素をさらに具備してもよい。これにより、画素信号の黒レベルが補正されるという作用をもたらす。

【0018】

また、本技術の第2の側面は、各々が入射光を光電変換して電荷を生成する複数の光電変換素子と、上記複数の光電変換素子のうち特定の光電変換素子により生成された上記電荷の変化量が所定の閾値を超えたか否かを検出して検出結果を出力する検出画素回路と、上記複数の光電変換素子のうち上記特定の光電変換素子とは異なる光電変換素子により生成された上記電荷の量に応じた電圧の信号を所定の駆動信号に従って画素信号として生成する階調画素回路と、上記画素信号をデジタル信号に変換するアナログデジタル変換器とを具備する撮像装置である。これにより、画素の微細化が容易となり、画像データが撮像

されるという作用をもたらす。

【図面の簡単な説明】

【0019】

【図1】本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

【図2】本技術の第1の実施の形態における固体撮像素子の積層構造の一例を示す図である。

【図3】本技術の第1の実施の形態における受光チップの一構成例を示すブロック図である。

【図4】本技術の第1の実施の形態における回路チップの一構成例を示すブロック図である。

【図5】本技術の第1の実施の形態における画素回路配置部の平面図の一例である。

【図6】本技術の第1の実施の形態における画素アレイ部の平面図の一例である。

【図7】本技術の第1の実施の形態における駆動回路、DVS画素および階調画素の一構成例を示す図である。

【図8】本技術の第1の実施の形態におけるDVS画素の位置を変更した画素アレイ部の平面図の一例である。

【図9】本技術の第1の実施の形態におけるDVS画素の一構成例を示すブロック図である。

【図10】本技術の第1の実施の形態におけるDVS画素回路の一構成例を示す回路図である。

【図11】本技術の第1の実施の形態における階調画素の一構成例を示す回路図である。

【図12】本技術の第1の実施の形態におけるトランジスタを追加した階調画素回路の一構成例を示す回路図である。

【図13】本技術の第1の実施の形態におけるコラムADCの一構成例を示すブロック図である。

【図14】本技術の第1の実施の形態の第1の変形例における画素アレイ部の平面図の一例である。

【図15】本技術の第1の実施の形態の第2の変形例における画素アレイ部の平面図の一例である。

10

20

30

40

50

【図 1 6】本技術の第 1 の実施の形態の第 3 の変形例における対数応答部の一構成例を示す回路図である。

【図 1 7】本技術の第 1 の実施の形態の第 4 の変形例における画素アレイ部の平面図の一例である。

【図 1 8】本技術の第 1 の実施の形態の第 4 の変形例におけるダミー画素領域を 2 か所に設けた画素アレイ部の平面図の一例である。

【図 1 9】本技術の第 1 の実施の形態の第 5 の変形例におけるダミー画素領域を 3 か所以上に設けた画素アレイ部の平面図の一例である。

【図 2 0】本技術の第 2 の実施の形態における画素ブロックの一構成例を示すブロック図である。

10

【図 2 1】本技術の第 2 の実施の形態における階調画素の一構成例を示す回路図である。

【図 2 2】本技術の第 2 の実施の形態の変形例における画素ブロックの一構成例を示す回路図である。

【図 2 3】本技術の第 3 の実施の形態における画素ブロックの一構成例を示すブロック図である。

【図 2 4】本技術の第 3 の実施の形態の第 1 の変形例における画素ブロックの一構成例を示す回路図である。

【図 2 5】本技術の第 3 の実施の形態の第 1 の変形例における転送トランジスタを削減した画素ブロックの一構成例を示す回路図である。

【図 2 6】本技術の第 3 の実施の形態の第 2 の変形例における D V S 画素回路の一構成例を示すブロック図である。

20

【図 2 7】車両制御システムの概略的な構成例を示すブロック図である。

【図 2 8】撮像部の設置位置の一例を示す説明図である。

【発明を実施するための形態】

【0020】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第 1 の実施の形態（D V S 画素回路と階調画素回路とを配列した例）
2. 第 2 の実施の形態（複数の画素で D V S 画素回路を共有する例）
3. 第 3 の実施の形態（複数の画素で画素信号生成回路を共有する例）
4. 移動体への応用例

30

【0021】

< 1. 第 1 の実施の形態 >

[撮像装置の構成例]

図 1 は、本技術の第 1 の実施の形態における撮像装置 100 の一構成例を示すブロック図である。この撮像装置 100 は、撮像レンズ 110、固体撮像素子 200、記録部 120 および制御部 130 を備える。撮像装置 100 としては、産業用ロボットに搭載されるカメラや、車載カメラなどが想定される。

【0022】

撮像レンズ 110 は、入射光を集光して固体撮像素子 200 に導くものである。固体撮像素子 200 は、入射光を光電変換して画像データを撮像するものである。この固体撮像素子 200 は、撮像した画像データに対して、画像認識処理などの所定の信号処理を画像データに対して実行し、その処理結果を記録部 120 に信号線 209 を介して出力する。また、固体撮像素子 200 は、アドレスイベントの有無を検出する。

40

【0023】

記録部 120 は、固体撮像素子 200 からのデータを記録するものである。制御部 130 は、固体撮像素子 200 を制御して画像データを撮像させるものである。

【0024】

[固体撮像素子の構成例]

図 2 は、本技術の第 1 の実施の形態における固体撮像素子 200 の積層構造の一例を示

50

す図である。この固体撮像素子200は、回路チップ202と、その回路チップ202に積層された受光チップ201とを備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu接合やバンプにより接続することもできる。

【0025】

[受光チップの構成例]

図3は、本技術の第1の実施の形態における受光チップ201の一構成例を示すブロック図である。受光チップ201には、受光部210が設けられ、その受光部210には、複数の受光ブロック220が配列される。受光ブロック220のそれぞれには、光電変換素子221乃至224などの複数の光電変換素子と各種のトランジスタ(不図示)とが配列される。光電変換素子221乃至224のそれぞれは、入射光を光電変換して電荷を生成するものである。これらの光電変換素子221乃至224のそれぞれの受光面積は同一である。

10

【0026】

ここで、光電変換素子221乃至224のそれぞれは、画素回路(不図示)と接続されている。光電変換素子と、対応する画素回路とは、1つの画素として機能する。画素は、アドレスイベントの有無を検出するDVS画素と、電荷量(言い換えれば、受光量)に応じた電圧の画素信号を生成する階調画素とを含む。

【0027】

光電変換素子221は、DVS画素内に配置される。一方、光電変換素子222乃至224のそれぞれは、階調画素内に配置される。受光ブロック220ごとにDVS画素を配置することにより、固体撮像素子200は、受光ブロック220の単位でアドレスイベントの有無を検出することができる。また、受光ブロック220ごとに3つの階調画素を配置することにより、固体撮像素子200は、受光ブロック220ごとに3画素分の画素信号を生成することができる。

20

【0028】

なお、受光ブロック220ごとに4つの光電変換素子を配置しているが、受光ブロック220ごとの光電変換素子の個数は、4つに限定されず、2つなどであってもよい。

【0029】

[回路チップの構成例]

図4は、本技術の第1の実施の形態における回路チップ202の一構成例を示すブロック図である。この回路チップ202には、駆動回路231、信号処理部232、アービタ233、カラムADC240および画素回路配置部300が設けられる。

30

【0030】

画素回路配置部300には、複数の画素回路が二次元格子状に配列される。複数の画素回路の一部は、アドレスイベントの有無を検出し、残りは画素信号を生成する。また、アドレスイベントが生じた際に画素回路は、リクエストをアービタに出力する。

【0031】

駆動回路231は、アドレスイベントの検出結果に基づいて画素のそれぞれを駆動し、画素信号をカラムADC240に出力させるものである。

40

【0032】

アービタ233は、画素回路からのリクエストを調停し、調停結果に基づいて応答を画素回路に送信するものである。応答を受け取った画素回路は、検出結果を示す検出信号を駆動回路231および信号処理部232に供給する。

【0033】

カラムADC240は、画素回路の列ごとに、その列からのアナログの画素信号をデジタル信号に変換するものである。このカラムADC240は、デジタル信号を信号処理部232に供給する。

【0034】

信号処理部232は、カラムADC240からのデジタル信号に対し、CDS(Correl

50

ated Double Sampling) 処理や画像認識処理などの所定の信号処理を実行するものである。この信号処理部 232 は、処理結果を示すデータを信号線 209 を介して記録部 120 に供給する。

【0035】

図5は、本技術の第1の実施の形態における画素回路配置部300の平面図の一例である。画素回路配置部300には、複数のDVS画素回路310が配列される。DVS画素回路310は、受光チップ201内の受光ブロック220ごとに設けられる。

【0036】

DVS画素回路310は、光電変換素子221に接続され、その光電変換素子221の電荷の変化量が閾値を超えたか否かを検出するものである。ここで、閾値は、互いに異なる2つの閾値を含み、それらのうち大きい方の閾値を上限閾値とし、小さい方の閾値を下限閾値とする。また、アドレスイベントは、オンイベントおよびオフイベントを含み、その検出結果は、1ビットのオンイベントの検出結果と1ビットのオフイベントの検出結果とを含む。オンイベントは、変化量が上限閾値を超えた際に検出され、オフイベントは、その変化量が下限閾値を下回った際に検出される。

10

【0037】

図6は、本技術の第1の実施の形態における画素アレイ部400の平面図の一例である。受光チップ201内の光電変換素子221と、回路チップ202内のDVS画素回路310とからなる回路は、DVS画素411として機能する。また、受光チップ201内の光電変換素子222と、階調画素回路370とからなる回路は、階調画素412として機能する。光電変換素子223と階調画素回路380とからなる回路は、階調画素413として機能し、光電変換素子224と階調画素回路390とからなる回路は、階調画素414として機能する。

20

【0038】

階調画素回路370は、光電変換素子222に接続され、その光電変換素子222の電荷量に応じた電圧の信号を画素信号として生成するものである。階調画素回路380および390のそれぞれの構成は、階調画素回路370と同様である。

【0039】

例えば、画素ブロック410ごとに、DVS画素411と、階調画素412乃至414とが2行×2列で配列される。また、画素ブロック410のそれぞれにおいて、DVS画素411は左上に配置される。画素ブロック410内の4画素のそれぞれの受光面積は同一である。

30

【0040】

受光ブロック220と、対応するDVS画素回路310とを積層した回路は、画素ブロック410として機能する。また、受光部210と、画素回路配置部300とを積層した回路は、複数の画素ブロック410を配列した画素アレイ部400として機能する。

【0041】

図7は、本技術の第1の実施の形態における駆動回路231、DVS画素411および階調画素412の一構成例を示す図である。

【0042】

DVS画素411は、光電変換素子221とDVS画素回路310とを含む。一方、階調画素412は、光電変換素子222と階調画素回路370とを含む。光電変換素子221および222のそれぞれは、入射光を光電変換して電荷を生成する。これらの光電変換素子221等と、DVS画素回路310の一部と、階調画素回路370とは、受光チップ201に配置される。一方、DVS画素回路310の残りは、回路チップ202に配置される。

40

【0043】

DVS画素回路310は、光電変換素子221により生成された電荷の変化量が所定の閾値を超えたか否か(すなわち、アドレスイベントの有無)を検出し、アービタ233による調停後に検出結果を駆動回路231へ出力する。なお、DVS画素回路310は、特

50

許請求の範囲に記載の検出画素回路の一例である。

【0044】

階調画素回路370は、光電変換素子222により生成された電荷量に応じた電圧の信号を駆動信号に従って画素信号として生成する。

【0045】

駆動回路231は、DVS画素411の検出結果に基づいて駆動信号により階調画素回路370を駆動し、画素信号を生成させる。例えば、駆動回路231は、複数の受光ブロック220のうち、アドレスイベントが生じた受光ブロック220内の階調画素412乃至414を駆動する。これにより、アドレスイベントの生じた領域の画像が生成される。あるいは、駆動回路231は、DVS画素411の検出結果と関わりなく、同期信号に同期して階調画素回路370を駆動し、画素信号を生成させる。

10

【0046】

同図に例示したように、特定の位置(左上など)の画素にのみDVS画素回路310を配置し、残りの画素に階調画素回路370等を配置したため、全画素にDVS画素回路および階調画素回路を配置する場合と比較して回路規模を削減することができる。これにより、画素の微細化が容易となる。

【0047】

図8は、本技術の第1の実施の形態におけるDVS画素411の位置を変更した画素レイアウト400の平面図の一例である。画素ブロック410を配列した行をブロック行として、奇数番目のブロック行と偶数行目のブロック行とで、DVS画素411の位置を変更してもよい。例えば、奇数番目のブロック行において、DVS画素411を画素ブロック410の右上に配置し、偶数番目のブロック行において、DVS画素411を左上に配置することができる。

20

【0048】

[DVS画素の構成例]

図9は、本技術の第1の実施の形態におけるDVS画素411の一構成例を示すブロック図である。このDVS画素411は、光電変換素子221と、DVS画素回路310とを備える。DVS画素回路310は、対数応答部320、バッファ330、微分回路340、比較回路350および出力回路360を備える。光電変換素子221と対数応答部320の一部とは、受光チップ201内に配置され、後段の回路は、回路チップ202内に配置される。

30

【0049】

光電変換素子221は、電荷を生成し、その電荷量に応じた光電流を対数応答部320へ出力する。

【0050】

対数応答部320は、光電変換素子221からの光電流を、その対数の電圧信号に変換するものである。この対数応答部320は、電圧信号をバッファ330に供給する。

【0051】

バッファ330は、対数応答部320からの電圧信号を微分回路340に出力するものである。

40

【0052】

微分回路340は、駆動回路231の制御に従って電圧信号を微分し、その微分値を示す微分信号を生成するものである。この微分回路340は、微分信号を比較回路350に出力する。この微分信号は、光電流の変化量を示す。

【0053】

比較回路350は、微分信号(すなわち、変化量)と所定の閾値とを比較するものである。この比較回路350は、比較結果を検出信号として出力回路360に出力する。この比較結果は、アドレスイベントの有無を示す。

【0054】

出力回路360は、検出信号を駆動回路231等に出力するものである。この出力回路

50

360は、アドレスイベントが生じた際に、検出信号の送信を要求するリクエストをアービタ233に供給する。そして、出力回路360は、リクエストに対する応答をアービタ233から受け取ると、検出信号を駆動回路231に供給する。

【0055】

図10は、本技術の第1の実施の形態におけるDVS画素回路310の一構成例を示す回路図である。DVS画素回路310は、対数応答部320、バッファ330、微分回路340、比較回路350および出力回路360を備える。

【0056】

対数応答部320は、nMOS(negative channel MOS)トランジスタ321および322と、pMOS(positive channel MOS)トランジスタ323とを備える。nMOSトランジスタ321および322と、光電変換素子221とは、受光チップ201に配置される。一方、pMOSトランジスタ323以降の回路は、回路チップ202に配置される。

10

【0057】

pMOSトランジスタ323およびnMOSトランジスタ322は、電源と接地端子との間において直列に接続される。また、nMOSトランジスタ321のゲートは、pMOSトランジスタ323およびnMOSトランジスタ322の接続点に接続され、ソースは光電変換素子221に接続され、ドレインは電源端子に接続される。そして、pMOSトランジスタ323のゲートには、バイアス電圧 V_{blg} が印加される。このような接続により、光電変換素子221に流れる光電流は、対数的に電圧 V_p に変換される。

20

【0058】

また、光電変換素子221は受光チップ201に配置され、それ以外の回路は、回路チップ202に配置される。また、受光チップ201のグランドと回路チップ202のグランドとは、干渉対策のために互いに分離されている。

【0059】

また、バッファ330は、電源および接地端子の間において直列に接続されたpMOSトランジスタ331および332を備える。接地側のpMOSトランジスタ332のゲートは、対数応答部320に接続され、電源側のpMOSトランジスタ331のゲートには、バイアス電圧 V_{bsf} が印加される。また、pMOSトランジスタ331および332の接続点は、微分回路340に接続される。この接続により、 V_p に対するインピーダンス変換が行われる。

30

【0060】

微分回路340は、容量341および343と、pMOSトランジスタ342および344と、nMOSトランジスタ345とを備える。

【0061】

容量341の一端は、バッファ330に接続され、他端は、容量343の一端とpMOSトランジスタ344のゲートとに接続される。pMOSトランジスタ342のゲートにはリセット信号 $xrst$ が入力され、ソースおよびドレインは容量343の両端に接続される。pMOSトランジスタ344およびnMOSトランジスタ345は電源と接地端子との間において直列に接続される。また、容量343の他端は、pMOSトランジスタ344およびnMOSトランジスタ345の接続点に接続される。接地側のnMOSトランジスタ345のゲートには、バイアス電圧 V_{ba} が印加され、pMOSトランジスタ344およびnMOSトランジスタ345の接続点は比較回路350にも接続される。このような接続により、微分信号が生成されて比較回路350に出力される。また、微分信号は、駆動回路231からのリセット信号 $xrst$ により初期化される。

40

【0062】

比較回路350は、pMOSトランジスタ351および353とnMOSトランジスタ352および354とを備える。pMOSトランジスタ351およびnMOSトランジスタ352は、電源と接地端子との間において直列に接続され、pMOSトランジスタ353およびnMOSトランジスタ354も、電源と接地端子との間において直列に接続され

50

る。また、pMOSトランジスタ351および353のゲートは、微分回路340に接続される。nMOSトランジスタ352のゲートには、所定の上限閾値 V_{on} が印加され、nMOSトランジスタ354のゲートには、所定の下限閾値 V_{off} が印加される。

【0063】

pMOSトランジスタ351およびnMOSトランジスタ352の接続点は、出力回路360に接続され、この接続点の電圧が比較結果 V_{CH} として出力される。pMOSトランジスタ353およびnMOSトランジスタ354の接続点も、出力回路360に接続され、この接続点の電圧が比較結果 V_{CL} として出力される。このような接続により、微分信号が上限閾値 V_{on} を超えた場合に比較回路350は、ハイレベルの比較結果 V_{CH} を出力し、微分信号が下限閾値 V_{off} を下回った場合にローレベルの比較結果 V_{CL} を出力する。この比較結果 V_{CH} は、オンイベントの検出結果を示し、比較結果 V_{CL} は、オフイベントの検出結果を示す。

10

【0064】

なお、比較回路350は、オンイベントおよびオフイベントの両方を検出しているが、一方のみを検出してもよい。例えば、オンイベントのみを検出する際には、対応するpMOSトランジスタ351およびnMOSトランジスタ352のみが配置される。

【0065】

[階調画素の構成例]

図11は、本技術の第1の実施の形態における階調画素412の一構成例を示す回路図である。階調画素412は、光電変換素子221および階調画素回路370を備える。階調画素412は、受光チップ201内に配置される。

20

【0066】

階調画素回路370は、転送トランジスタ371、リセットトランジスタ372、浮遊拡散層373、増幅トランジスタ374および選択トランジスタ375を備える。

【0067】

転送トランジスタ371は、駆動回路231からの転送信号 TRG に従って、光電変換素子222から浮遊拡散層373へ電荷を転送するものである。

【0068】

浮遊拡散層373は、電荷を蓄積して蓄積した電荷の量に応じた電圧を生成するものである。リセットトランジスタ372は、駆動回路231からのリセット信号 RST に従って浮遊拡散層373の電荷量を初期化するものである。増幅トランジスタ374は、浮遊拡散層373の電圧を増幅するものである。選択トランジスタ375は、駆動回路231からの選択信号 SEL に従って、増幅された電圧の信号を画素信号 SIG として垂直信号線 VSL を介してカラムADC240へ出力するものである。

30

【0069】

なお、転送信号 TRG 、リセット信号 RST 、および、選択信号 SEL は、特許請求の範囲に記載の駆動信号の一例である。

【0070】

なお、階調画素回路370は、画素信号を生成することができるものであれば、同図に例示した回路に限定されない。例えば、図12に例示するように、転送トランジスタ376と、アナログメモリとして機能する容量377をさらに追加することもできる。この回路において、転送トランジスタ371は、転送信号 $TRG1$ に従って光電変換素子222からアナログメモリに電荷を転送し、転送トランジスタ376は、転送信号 $TRG2$ に従って、アナログメモリから浮遊拡散層373へ電荷を転送する。階調画素回路370ごとにアナログメモリを設けることにより、グローバルシャッターを実現することができる。

40

【0071】

[カラムADCの構成例]

図13は、本技術の第1の実施の形態におけるカラムADC240の一構成例を示すブロック図である。このカラムADC240は、画素回路配置部300内の画素回路の列ごとにADC241を備える。

50

【 0 0 7 2 】

A D C 2 4 1 は、垂直信号線 V S L を介して供給されたアナログの画素信号 S I G をデジタル信号に変換するものである。この画素信号 S I G は、検出信号よりもビット数の多いデジタル信号に変換される。例えば、検出信号を 2 ビットとすると、画素信号は、3 ビット以上 (1 6 ビットなど) のデジタル信号に変換される。A D C 2 4 1 は、生成したデジタル信号を信号処理部 2 3 2 に供給する。なお、A D C 2 4 1 は、特許請求の範囲に記載のアナログデジタル変換器の一例である。

【 0 0 7 3 】

このように、本技術の第 1 の実施の形態によれば、特定の画素に D V S 画素回路 3 1 0 を配置し、残りの画素に階調画素回路 3 7 0 を配置したため、全画素に D V S 画素回路 3 1 0 および階調画素回路 3 7 0 を設ける場合よりも回路規模を削減することができる。これにより、画素の微細化を容易にすることができる。

10

【 0 0 7 4 】

[第 1 の変形例]

上述の第 1 の実施の形態では、画素ブロック 4 1 0 ごとに、階調画素を 3 画素配置し、階調画素の画素数の方を D V S 画素よりも多くしていた。しかしながら、この構成では、アドレスイベントを検出する最小単位が 4 画素となり、空間的な検出精度が不足するおそれがある。この第 1 の実施の形態の第 1 の変形例の固体撮像素子 2 0 0 は、D V S 画素の画素数を階調画素と同じにして、検出精度を向上させた点において第 1 の実施の形態と異なる。

20

【 0 0 7 5 】

図 1 4 は、本技術の第 1 の実施の形態の第 1 の変形例における画素アレイ部 4 0 0 の平面図の一例である。この第 1 の実施の形態の第 1 の変形例の画素アレイ部 4 0 0 は、画素ブロック 4 1 0 ごとに、D V S 画素 4 1 1 および階調画素 4 1 2 が配置される点において第 1 の実施の形態と異なる。この配置により、D V S 画素 4 1 1 の画素数は、階調画素 4 1 2 と同じになる。これにより、アドレスイベントを検出する最小単位が 2 画素となり、最小単位が 4 画素の場合と比較して検出精度を向上させることができる。

【 0 0 7 6 】

このように、本技術の第 1 の実施の形態の第 1 の変形例では、D V S 画素 4 1 1 の画素数を階調画素 4 1 2 と同一であるため、アドレスイベントを検出する最小単位が 2 画素となる。これにより、最小単位が 4 画素の場合と比較して検出精度を向上させることができる。

30

【 0 0 7 7 】

[第 2 の変形例]

上述の第 1 の実施の形態では、D V S 画素 4 1 1 と、階調画素 4 1 2 等とのそれぞれの受光面積を同一にしていたが、この構成では、階調画素の画素数が不足するおそれがある。この第 1 の実施の形態の第 2 の変形例の固体撮像素子 2 0 0 は、階調画素 4 1 2 等の受光面積を D V S 画素 4 1 1 より小さくして、階調画素を微細化した点において第 1 の実施の形態と異なる。

【 0 0 7 8 】

図 1 5 は、本技術の第 1 の実施の形態の第 2 の変形例における画素アレイ部 4 0 0 の平面図の一例である。この第 1 の実施の形態の第 2 の変形例における画素アレイ部 4 0 0 は、複数の階調画素 4 1 2 と、それらの階調画素よりも受光面積の大きな D V S 画素 4 1 1 とが配列される点において第 1 の実施の形態と異なる。

40

【 0 0 7 9 】

例えば、D V S 画素 4 1 1 の光電変換素子の受光面積は、階調画素 4 1 2 等の光電変換素子よりも大きく、その 4 倍である。このため、画素ブロック 4 1 0 ごとに、D V S 画素 4 1 1 と、1 2 個の階調画素とを配列することができる。

【 0 0 8 0 】

このように、本技術の第 1 の実施の形態の第 2 の変形例では、階調画素の受光面積が D

50

V S画素4 1 1より小さいため、画素ブロック4 1 0ごとの階調画素の画素数を増大することができる。

【0081】

[第3の変形例]

上述の第1の実施の形態では、対数応答部3 2 0にnMOSトランジスタ3 2 1および3 2 2からなるループ回路を1つのみ配置していたが、ループ回路が1つのみでは電流を電圧に変換する際の変換ゲインが不足するおそれがある。この第1の実施の形態の第3の変形例の対数応答部3 2 0は、2段のループ回路が設けられる点において第1の実施の形態と異なる。

【0082】

図16は、本技術の第1の実施の形態の第3の変形例における対数応答部3 2 0の一構成例を示す回路図である。この第1の実施の形態の第3の変形例の対数応答部3 2 0は、nMOSトランジスタ3 2 4および3 2 5がさらに設けられる点において第1の実施の形態と異なる。

【0083】

nMOSトランジスタ3 2 1および3 2 4は、光電変換素子2 2 1と電源端子との間に直列に接続され、pMOSトランジスタ3 2 3とnMOSトランジスタ3 2 2および3 2 5とは、電源端子と接地端子との間に直列に接続される。また、nMOSトランジスタ3 2 1のゲートは、pMOSトランジスタ3 2 3およびnMOSトランジスタ3 2 2の接続点に接続され、nMOSトランジスタ3 2 4のゲートは、nMOSトランジスタ3 2 2および3 2 5の接続点に接続される。

【0084】

一方、nMOSトランジスタ3 2 2のゲートは、nMOSトランジスタ3 2 1および3 2 4の接続点に接続される。nMOSトランジスタ3 2 5のゲートは、光電変換素子2 2 1およびnMOSトランジスタ3 2 4の接続点に接続される。また、pMOSトランジスタ3 2 3およびnMOSトランジスタ3 2 2の接続点は、バッファ3 3 0に接続される。また、nMOSトランジスタ3 2 1、3 2 2、3 2 4および3 2 5は受光チップ2 0 1に配置され、pMOSトランジスタ3 2 3は回路チップ2 0 2に配置される。

【0085】

上述のように、nMOSトランジスタ3 2 4および3 2 5からなるループ回路とnMOSトランジスタ3 2 1および3 2 2からなるループ回路とが2段に接続されているため、ループ回路が1段のみの場合と比較して変換ゲインが2倍となる。

【0086】

このように、本技術の第1の実施の形態の第3の変形例では、2段のループ回路を対数応答部3 2 0に設けたため、1段のみの場合と比較して、変換ゲインを増大させることができる。

【0087】

[第4の変形例]

上述の第1の実施の形態では、画素アレイ部4 0 0内に、DVS画素4 1 1や階調画素4 1 2等を配置していたが、この構成では、暗電流によるノイズの除去が困難になるおそれがある。この第1の実施の形態の第4の変形例は、ダミー画素を配置して黒レベル補正を行う点において第1の実施の形態と異なる。

【0088】

図17は、本技術の第1の実施の形態の第5の変形例における画素アレイ部4 0 0の平面図の一例である。この第1の実施の形態の第5の変形例の画素アレイ部4 0 0には、有効画素領域4 0 1とダミー画素領域4 0 2とが設けられる。

【0089】

有効画素領域4 0 1は、DVS画素4 1 1や階調画素4 1 2等を有効画素として配列した領域である。この有効画素領域4 0 1には、複数の画素ブロック4 1 0が配列される。画素ブロック4 1 0のそれぞれには、DVS画素4 1 1や階調画素4 1 2等が配列される

10

20

30

40

50

。

【0090】

ダミー画素領域402は、複数のダミー画素415が配列された領域である。ダミー画素415として、例えば、階調画素412と同様の回路で、遮光されたものが配置される。ダミー画素415は、所定レベルの信号を画素信号としてカラムADC240へ出力する。また、ダミー画素415は、例えば、有効画素領域401のいずれかの一辺に沿って線状に配列される。

【0091】

信号処理部232は、ダミー画素415の画素信号から基準値を取得し、有効画素の画素信号の黒レベルを基準値により補正する黒レベル補正を行う。この黒レベル補正により、暗電流によるノイズを除去することができる。

10

【0092】

図18は、本技術の第1の実施の形態の第4の変形例におけるダミー画素領域を2か所に設けた画素アレイ部の平面図の一例である。同図におけるaは、ダミー画素領域402を有効画素領域401の左側に配置し、ダミー画素領域403を上側に配置した平面図の一例である。同図におけるbは、ダミー画素領域402を有効画素領域401の左側に配置し、ダミー画素領域403を右側に配置した平面図の一例である。同図に例示するように、ダミー画素領域を2か所に配置することもできる。

【0093】

図19は、本技術の第1の実施の形態の第5の変形例におけるダミー画素領域を3か所以上に設けた画素アレイ部の平面図の一例である。同図におけるaは、ダミー画素領域402を有効画素領域401の左側に配置し、ダミー画素領域403を上側に配置し、ダミー画素領域404を右側に配置した平面図の一例である。同図におけるbは、ダミー画素領域402乃至405を有効画素領域401の4辺に沿って配置した平面図の一例である。同図に例示するように、ダミー画素領域を3か所や4か所に配置することもできる。

20

【0094】

このように、本技術の第1の実施の形態の第5の変形例によれば、ダミー画素415をさらに配置したため、信号処理部232は、そのダミー画素415の画素信号を用いて黒レベル補正を行うことができる。

【0095】

< 2 . 第2の実施の形態 >

上述の第1の実施の形態では、4画素の画素ブロック410ごとにDVS画素411を配置していたが、この構成では、アドレスイベントを検出する最小単位が4画素となり、空間的な検出精度が不足するおそれがある。この第2の実施の形態の固体撮像素子200は、画素ごとにアドレスイベントの有無を検出する点において第1の実施の形態と異なる。

30

【0096】

図20は、本技術の第2の実施の形態における画素ブロック410の一構成例を示すブロック図である。第2の実施の形態の画素ブロック410内には、画素信号生成回路460、470、480および490と、選択回路420、430、440および450と、DVS画素回路310とが配置される。

40

【0097】

選択回路420は、転送トランジスタ421およびOFGトランジスタ422を備える。転送トランジスタ421は、駆動回路231からの転送信号TRG1に従って、光電変換素子221から画素信号生成回路460へ電荷を転送するものである。OFGトランジスタ422は、駆動回路231からの駆動信号OFG1に従って、光電変換素子221からDVS画素回路310へ電荷を転送するものである。

【0098】

選択回路430は、転送トランジスタ431およびOFGトランジスタ432を備える。転送トランジスタ431は、駆動回路231からの転送信号TRG2に従って、光電変

50

換素子 2 2 2 から画素信号生成回路 4 7 0 へ電荷を転送するものである。O F G トランジスタ 4 3 2 は、駆動回路 2 3 1 からの駆動信号 O F G 2 に従って、光電変換素子 2 2 2 から D V S 画素回路 3 1 0 へ電荷を転送するものである。

【 0 0 9 9 】

選択回路 4 4 0 は、転送トランジスタ 4 4 1 および O F G トランジスタ 4 4 2 を備える。転送トランジスタ 4 4 1 は、駆動回路 2 3 1 からの転送信号 T R G 3 に従って、光電変換素子 2 2 3 から画素信号生成回路 4 8 0 へ電荷を転送するものである。O F G トランジスタ 4 4 2 は、駆動回路 2 3 1 からの駆動信号 O F G 3 に従って、光電変換素子 2 2 3 から D V S 画素回路 3 1 0 へ電荷を転送するものである。

【 0 1 0 0 】

選択回路 4 5 0 は、転送トランジスタ 4 5 1 および O F G トランジスタ 4 5 2 を備える。転送トランジスタ 4 5 1 は、駆動回路 2 3 1 からの転送信号 T R G 4 に従って、光電変換素子 2 2 4 から画素信号生成回路 4 9 0 へ電荷を転送するものである。O F G トランジスタ 4 5 2 は、駆動回路 2 3 1 からの駆動信号 O F G 4 に従って、光電変換素子 2 2 4 から D V S 画素回路 3 1 0 へ電荷を転送するものである。

【 0 1 0 1 】

図 2 1 は、本技術の第 2 の実施の形態における階調画素の一構成例を示す回路図である。同図に例示するように、画素信号生成回路 4 6 0 内には、リセットトランジスタ 4 6 2、浮遊拡散層 4 6 3、増幅トランジスタ 4 6 4 および選択トランジスタ 4 6 5 が配置される。この画素信号生成回路 4 6 0 と、選択回路 4 2 0 内の転送トランジスタ 4 2 1 と光電変換素子 2 2 1 とからなる回路は、第 1 の実施の形態の階調画素 4 1 2 と同じ構成であり、1 つの階調画素として機能する。

【 0 1 0 2 】

画素信号生成回路 4 7 0、4 8 0 および 4 9 0 の構成は、画素信号生成回路 4 6 0 と同様である。

【 0 1 0 3 】

上述の構成により、転送信号 T R G の供給により、画素ブロック 4 1 0 内の 4 画素の全てが階調画素として機能する。

【 0 1 0 4 】

また、D V S 画素回路 3 1 0 が 4 画素で共有されているため、駆動信号 O F G の供給により、4 画素のそれぞれが D V S 画素としても機能する。これにより、画素ごとにアドレスイベントの有無を検出することができ、空間的な検出精度が向上する。

【 0 1 0 5 】

また、D V S 画素回路 3 1 0 を 4 画素で共有することにより、画素ごとに D V S 画素回路 3 1 0 を配置する場合と比較して、回路規模を削減することができる。

【 0 1 0 6 】

なお、D V S 画素回路 3 1 0 を共有する画素数を 4 つとしているが、共有する画素数は、4 つに限定されず、2 画素や 8 画素で D V S 画素回路 3 1 0 を共有することもできる。

【 0 1 0 7 】

このように、本技術の第 2 の実施の形態によれば、4 画素が D V S 画素回路を共有するため、画素ごとにアドレスイベントの有無を検出することができる。これにより、アドレスイベントの有無の検出精度を向上させることができる。

【 0 1 0 8 】

[変形例]

上述の第 2 の実施の形態では、D V S 画素回路 3 1 0 の全てを回路チップ 2 0 2 に配置していたが、この構成では、D V S 画素 4 1 1 の画素数が多くなるほど、回路チップ 2 0 2 の回路規模が増大する。この第 2 の実施の形態の変形例の固体撮像素子 2 0 0 は、D V S 画素回路 3 1 0 の一部を受光チップ 2 0 1 に配置して、回路チップ 2 0 2 の回路規模を削減した点において第 2 の実施の形態と異なる。

【 0 1 0 9 】

10

20

30

40

50

図 2 2 は、本技術の第 2 の実施の形態の変形例における画素ブロック 4 1 0 の一構成例を示す回路図である。この第 2 の実施の形態の変形例の画素ブロック 4 1 0 は、O F G トランジスタ 4 2 2、4 3 2、4 4 2 および 4 5 2 と、n M O S トランジスタ 3 2 1 および 3 2 2 とがさらに受光チップ 2 0 1 内に配置される点において第 2 の実施の形態と異なる。

【 0 1 1 0 】

なお、対数応答部 3 2 0 の一部を受光チップ 2 0 1 に配置しているが、この構成に限定されない。対数応答部 3 2 0 の全体を受光チップ 2 0 1 に配置することもできる。また、バッファ 3 3 0 までを受光チップ 2 0 1 に配置することもできる。微分回路 3 4 0 までを受光チップ 2 0 1 に配置することもできる。

10

【 0 1 1 1 】

同図に例示したように、D V S 画素回路 3 1 0 の一部（対数応答部 3 2 0 の一部など）を受光チップ 2 0 1 に配置することにより、D V S 画素回路 3 1 0 の全てを回路チップ 2 0 2 に配置する場合と比較して回路チップ 2 0 2 の回路規模を削減することができる。

【 0 1 1 2 】

なお、第 2 の実施の形態に、第 1 の実施の形態の第 1 乃至第 5 の変形例のそれぞれを適用することができる。

【 0 1 1 3 】

このように、本技術の第 2 の形態の変形例では、D V S 画素回路 3 1 0 の一部を受光チップ 2 0 1 に配置したため、D V S 画素回路 3 1 0 の全てを回路チップ 2 0 2 に配置する場合と比較して回路チップ 2 0 2 の回路規模を削減することができる。

20

【 0 1 1 4 】

< 3 . 第 3 の実施の形態 >

上述の第 2 の実施の形態では、画素ごとに画素信号生成回路を配置していたが、この構成では、画素数が多くなるほど、回路規模が増大するおそれがある。この第 3 の実施の形態の固体撮像素子 2 0 0 は、複数の画素で画素信号生成回路を共有する点において第 2 の実施の形態と異なる。

【 0 1 1 5 】

図 2 3 は、本技術の第 3 の実施の形態における画素ブロック 4 1 0 の一構成例を示すブロック図である。第 3 の実施の形態の画素ブロック 4 1 0 は、画素信号生成回路 4 7 0、4 8 0 および 4 9 0 が配置されず、画素信号生成回路 4 6 0 に、選択回路 4 2 0、4 3 0、4 4 0 および 4 5 0 が共通に接続される点において第 2 の実施の形態と異なる。同図に例示した構成により、4 画素が画素信号生成回路 4 6 0 を共有することができる。

30

【 0 1 1 6 】

なお、画素信号生成回路 4 6 0 を共有する画素数を 4 つとしているが、共有する画素数は、4 つに限定されず、2 画素や 8 画素で画素信号生成回路 4 6 0 を共有することもできる。

【 0 1 1 7 】

このように、本技術の第 3 の実施の形態では、複数の画素が画素信号生成回路 4 6 0 を共有するため、画素ごとに画素信号生成回路を配置する場合と比較して回路規模を削減することができる。

40

【 0 1 1 8 】

[第 1 の変形例]

上述の第 3 の実施の形態では、画素信号生成回路 4 6 0 内の転送トランジスタやリセットトランジスタを複数の画素で共有していた。しかし、この構成では、画素ごとに同じタイミングでリセットを行うことができない。この第 3 の実施の形態の第 1 の変形例の固体撮像素子 2 0 0 は、増幅トランジスタおよび選択トランジスタを複数の画素で共有する点において第 3 の実施の形態と異なる。

【 0 1 1 9 】

図 2 4 は、本技術の第 3 の実施の形態の第 1 の変形例における画素ブロック 4 1 0 の一

50

構成例を示す回路図である。第3の実施の形態の第1の変形例の画素ブロック410には、階調画素回路500と、光電変換素子221乃至224と、OFGトランジスタ422、432、442および452と、DVS画素回路310とが配置される。

【0120】

階調画素回路500は、転送トランジスタ421、424、431、434、441、444、451および454と、リセットトランジスタ423、433、443および453と、増幅トランジスタ464と、選択トランジスタ465とを備える。

【0121】

浮遊拡散層463と、増幅トランジスタ464および選択トランジスタ465（ソースフォロワー回路）とは、4画素で共有される。これにより、画素ごとに浮遊拡散層464およびソースフォロワー回路を設ける場合と比較して回路規模を削減することができる。

10

【0122】

転送トランジスタ424、434、444および454は、駆動回路231からのインーブル信号EN1、EN2、EN3およびEN4に従って、対応する転送トランジスタと浮遊拡散層463との間の経路を開閉するものである。

【0123】

リセットトランジスタ423、433、443および453は、駆動回路231からのリセット信号RST1、RST2、RST3およびRST4に従って、浮遊拡散層463を初期化するものである。

【0124】

同図に例示するように、画素ごとにリセットトランジスタを追加することにより、画素ごとに同じタイミングでリセットを行うことができる。また、転送トランジスタ424、434、444および454を追加することにより、画素ごとに個別にインーブル、ディセーブルを設定することができる。

20

【0125】

なお、図25に例示するように、転送トランジスタ424、434、444および454を設けない構成とすることもできる。

【0126】

また、第3の実施の形態に、第1の実施の形態の第1乃至第5の変形例のそれぞれを適用することができる。

30

【0127】

このように、本技術の第3の実施の形態の第1の変形例では、画素ごとに転送トランジスタおよびリセットトランジスタを追加したため、画素ごとに同じタイミングでリセットを行うことができる。

【0128】

[第2の変形例]

上述の第3の実施の形態では、DVS画素回路内の対数応答部、バッファおよび微分回路のそれぞれを複数の画素で共有していたが、この構成では、画素ごとに同じタイミングで微分回路をリセットすることができない。この第3の実施の形態の第2の変形例の固体撮像素子200は、比較回路350および出力回路360を複数の画素で共有する点において第3の実施の形態と異なる。

40

【0129】

図26は、本技術の第3の実施の形態の第2の変形例におけるDVS画素回路510の一構成例を示すブロック図である。この第3の実施の形態の第2の変形例のDVS画素回路510は、対数応答部511乃至513と、バッファ514乃至516と、微分回路517乃至519と、スイッチ520乃至523とをさらに備える点において第3の実施の形態と異なる。

【0130】

対数応答部320、バッファ330および微分回路340は、画素ブロック410内の1番目の画素の微分信号を生成する。

50

【0131】

対数応答部511、バッファ514および微分回路517は、2番目の画素の微分信号を生成する。対数応答部512、バッファ515および微分回路518は、3番目の画素の微分信号を生成し、対数応答部513、バッファ516および微分回路519は、4番目の画素の微分信号を生成する。また、微分回路340、517、518および519は、駆動回路231からのリセット信号xrst1乃至xrst4により初期化される。

【0132】

スイッチ520は、微分回路340からの微分信号を、駆動回路231からの転送信号TX1に従って比較回路350に転送する。スイッチ521は、微分回路517からの微分信号を、駆動回路231からの転送信号TX2に従って比較回路350に転送する。スイッチ522は、微分回路518からの微分信号を、駆動回路231からの転送信号TX3に従って比較回路350に転送する。スイッチ523は、微分回路519からの微分信号を、駆動回路231からの転送信号TX4に従って比較回路350に転送する。

10

【0133】

同図に例示するように、画素ごとに微分回路を設けることにより、画素ごとに同じタイミングで微分回路をリセットすることができる。また、比較回路350および出力回路360を4画素で共有することにより、それらの回路を画素ごとに設ける場合と比較して回路規模を削減することができる。

【0134】

このように、本技術の第3の実施の形態の第2の変形例では、画素ごとに微分回路およびスイッチを追加したため、画素ごとに同じタイミングで微分回路をリセットすることができる。

20

【0135】

<4. 移動体への応用例>

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0136】

図27は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

30

【0137】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図27に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

【0138】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

40

【0139】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置

50

として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0140】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

10

【0141】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0142】

車内情報検出ユニット12040は、車内の情報検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

20

【0143】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むA D A S (Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

30

【0144】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0145】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

40

【0146】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図27の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

50

【 0 1 4 7 】

図 2 8 は、撮像部 1 2 0 3 1 の設置位置の例を示す図である。

【 0 1 4 8 】

図 2 8 では、撮像部 1 2 0 3 1 として、撮像部 1 2 1 0 1 , 1 2 1 0 2 , 1 2 1 0 3 , 1 2 1 0 4 , 1 2 1 0 5 を有する。

【 0 1 4 9 】

撮像部 1 2 1 0 1 , 1 2 1 0 2 , 1 2 1 0 3 , 1 2 1 0 4 , 1 2 1 0 5 は、例えば、車両 1 2 1 0 0 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 1 2 1 0 1 及び車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として車両 1 2 1 0 0 の前方の画像を取得する。サイドミラーに備えられる撮像部 1 2 1 0 2 , 1 2 1 0 3 は、主として車両 1 2 1 0 0 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 1 2 1 0 4 は、主として車両 1 2 1 0 0 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

10

【 0 1 5 0 】

なお、図 2 9 には、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮影範囲の一例が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2 , 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2 , 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

20

【 0 1 5 1 】

撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【 0 1 5 2 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

30

【 0 1 5 3 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

40

【 0 1 5 4 】

50

撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

【 0 1 5 5 】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 1 2 0 3 1 に適用され得る。具体的には、図 1 の撮像装置 1 0 0 は、撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、画素を微細化して、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

【 0 1 5 6 】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

【 0 1 5 7 】

なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

【 0 1 5 8 】

なお、本技術は以下のような構成もとることができる。

(1) 各々が入射光を光電変換して電荷を生成する複数の光電変換素子と、
前記複数の光電変換素子のうち特定の光電変換素子により生成された前記電荷の変化量が所定の閾値を超えたか否かを検出して検出結果を出力する検出画素回路と

前記複数の光電変換素子のうち前記特定の光電変換素子とは異なる光電変換素子により生成された前記電荷の量に応じた電圧の信号を所定の駆動信号に従って画素信号として生成する階調画素回路と
を具備する固体撮像素子。

(2) 前記駆動信号により前記階調画素回路に前記画素信号を生成させる駆動回路をさらに具備する

前記 (1) 記載の固体撮像素子。

(3) 前記駆動回路は、前記検出結果に基づいて前記画素信号を生成させる

前記 (2) 記載の固体撮像素子。

(4) 前記特定の光電変換素子とは異なる光電変換素子の個数は、前記特定の光電変換素子の個数より多い

前記 (1) から (3) のいずれかにかの固体撮像素子。

(5) 前記特定の光電変換素子とは異なる光電変換素子の個数は、前記特定の光電変換素子の個数と同一である

前記 (1) から (3) のいずれかにかの固体撮像素子。

(6) 前記特定の光電変換素子とは異なる光電変換素子の受光面積は、前記特定の光電変換素子の受光面積と同一である

前記 (1) から (5) のいずれかにか記載の固体撮像素子。

(7) 前記特定の光電変換素子とは異なる光電変換素子の受光面積は、前記特定の光電変換素子の受光面積より小さい

前記(1)から(5)のいずれかに記載の固体撮像素子。

(8) 前記特定の光電変換素子は、前記電荷の量に応じた光電流を出力し、
前記検出画素回路は、
前記光電流を当該光電流の対数に応じた電圧信号に変換する対数応答部と、
前記電圧信号を出力するバッファと、
前記出力された電圧信号を微分して微分信号を生成する微分回路と、
前記微分信号と前記閾値とを比較する比較回路と

を備える前記(1)から(7)のいずれかに記載の固体撮像素子。

(9) 前記対数応答部は、複数段のループ回路を備え、
前記複数段のループ回路のそれぞれは、ループ状に接続された一対のトランジスタからなる

前記(8)記載の固体撮像素子。

(10) 前記複数の光電変換素子と前記諧調画素回路は受光チップに配置され、前記検出画素回路は、前記受光チップと前記受光チップに積層された回路チップとに配置される
前記(8)または(9)に記載の固体撮像素子。

(11) 前記特定の光電変換素子は、前記電荷の量に応じた光電流を出力し、
前記検出画素回路は、
前記光電流を当該光電流の対数に応じた電圧信号に変換する対数応答部と、
前記電圧信号を出力するバッファと、
前記出力された電圧信号を微分して微分信号を生成する微分回路と、
前記微分信号と前記閾値とを比較する比較回路と

を備え、

前記バッファと前記差分回路と前記比較回路は、前記回路チップに配置される

前記(10)記載の固体撮像素子。

(12) 所定レベルの信号を生成するダミー画素をさらに具備する

前記(1)から(11)のいずれかに記載の固体撮像素子。

(13) 各々が入射光を光電変換して電荷を生成する複数の光電変換素子と、
前記複数の光電変換素子のうち特定の光電変換素子により生成された前記電荷の変化量が所定の閾値を超えたか否かを検出して検出結果を出力する検出画素回路と、
前記複数の光電変換素子のうち前記特定の光電変換素子とは異なる光電変換素子により生成された前記電荷の量に応じた電圧の信号を所定の駆動信号に従って画素信号として生成する階調画素回路と

前記画素信号をデジタル信号に変換するアナログデジタル変換器と
を具備する撮像装置。

【符号の説明】

【0159】

- 100 撮像装置
- 110 撮像レンズ
- 120 記憶部
- 130 制御部
- 200 固体撮像素子
- 201 受光チップ
- 202 回路チップ
- 210 受光部
- 220 受光ブロック
- 221 ~ 224 光電変換素子
- 231 駆動回路
- 232 信号処理部

10

20

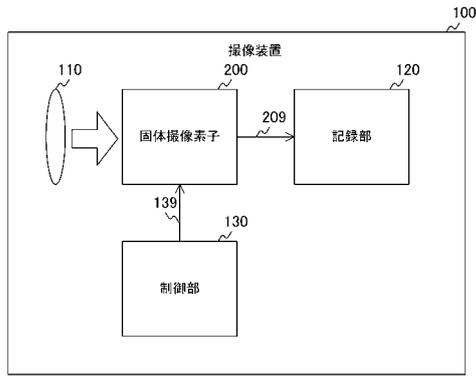
30

40

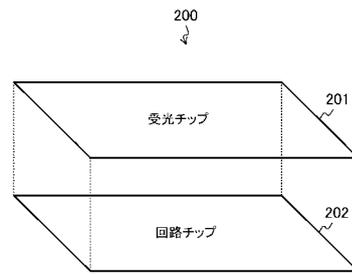
50

| | | |
|---|----------------|----|
| 2 3 3 | アービタ | |
| 2 4 0 | カラム A D C | |
| 2 4 1 | A D C | |
| 3 0 0 | 画素回路配置部 | |
| 3 0 1 | 回路ブロック | |
| 3 1 0、5 1 0 | D V S 画素回路 | |
| 3 2 0、5 1 1 ~ 5 1 3 | 対数応答部 | |
| 3 2 1、3 2 2、3 2 4、3 2 5、3 4 5、3 5 2、3 5 4 | n M O S トランジスタ | |
| 3 2 3、3 3 1、3 3 2、3 4 2、3 4 4、3 5 1、3 5 3 | p M O S トランジスタ | |
| 3 3 0、5 1 4 ~ 5 1 6 | バッファ | 10 |
| 3 4 0、5 1 7 ~ 5 1 9 | 微分回路 | |
| 3 4 1、3 4 3、3 7 7 | 容量 | |
| 3 5 0 | 比較回路 | |
| 3 6 0 | 出力回路 | |
| 3 7 0、3 8 0、3 9 0、5 0 0 | 階調画素回路 | |
| 3 7 1、3 7 6、4 2 1、4 2 4、4 3 1、4 3 4、4 4 1、4 4 4、4 5 1、4 5 4 | 転送トランジスタ | |
| 3 7 2、4 2 3、4 3 3、4 4 3、4 5 3、4 6 2 | リセットトランジスタ | |
| 3 7 3、4 6 3 | 浮遊拡散層 | |
| 3 7 4、4 6 4 | 増幅トランジスタ | 20 |
| 3 7 5、4 6 5 | 選択トランジスタ | |
| 4 0 0 | 画素アレイ部 | |
| 4 0 1 | 有効画素領域 | |
| 4 0 2 ~ 4 0 5 | ダミー画素領域 | |
| 4 1 0 | 画素ブロック | |
| 4 1 1 | D V S 画素 | |
| 4 1 2 ~ 4 1 4 | 階調画素 | |
| 4 1 5 | ダミー画素 | |
| 4 2 0、4 3 0、4 4 0、4 5 0 | 選択回路 | |
| 4 2 2、4 3 2、4 4 2、4 5 2 | O F G トランジスタ | 30 |
| 4 6 0、4 7 0、4 8 0、4 9 0 | 画素信号生成回路 | |
| 5 2 0 ~ 5 2 3 | スイッチ | |
| 1 2 0 3 1 | 撮像部 | |

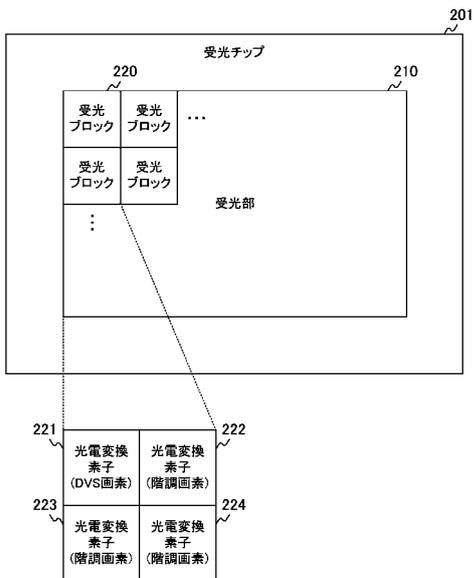
【 図 1 】



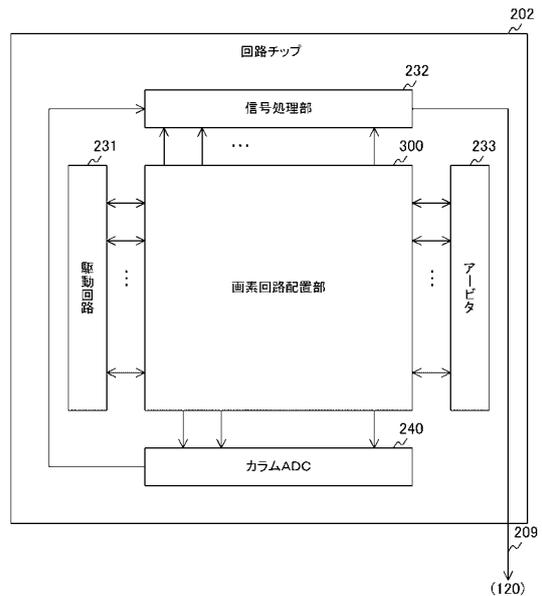
【 図 2 】



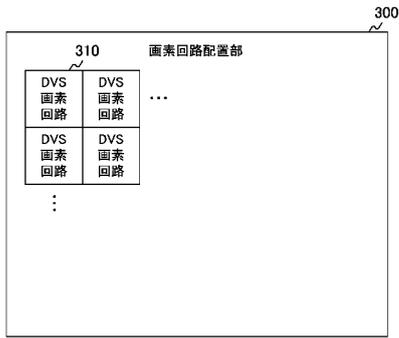
【 図 3 】



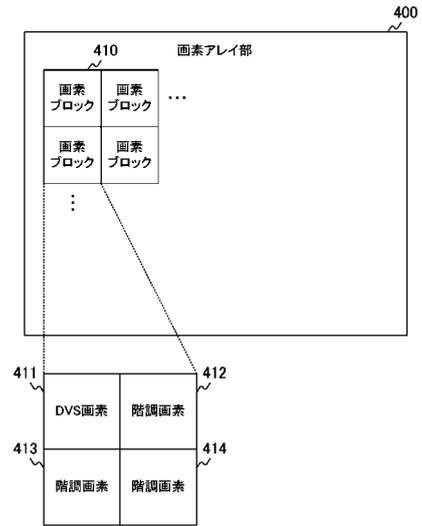
【 図 4 】



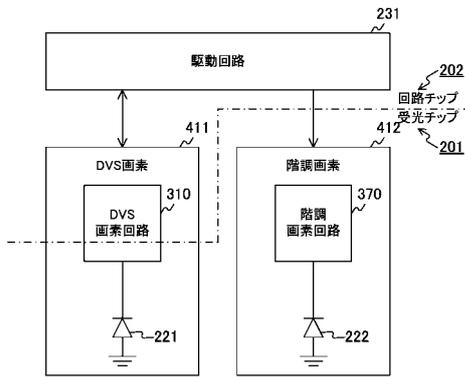
【 図 5 】



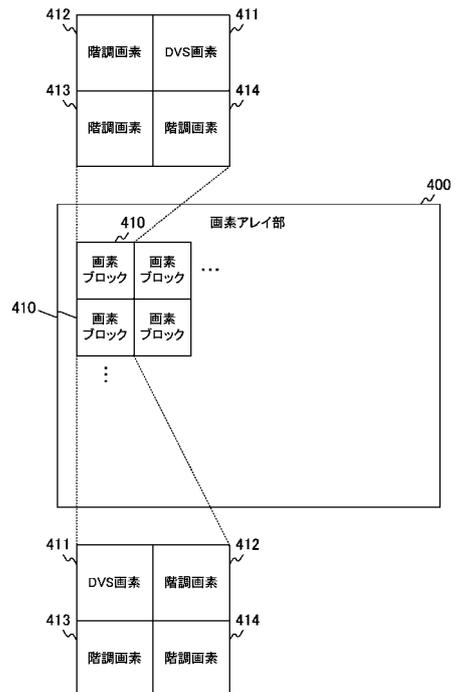
【 図 6 】



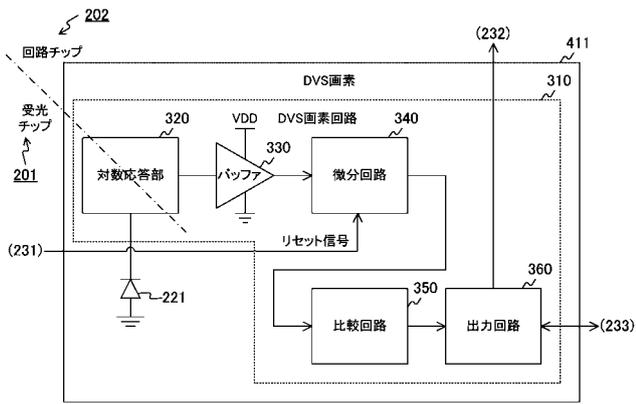
【 図 7 】



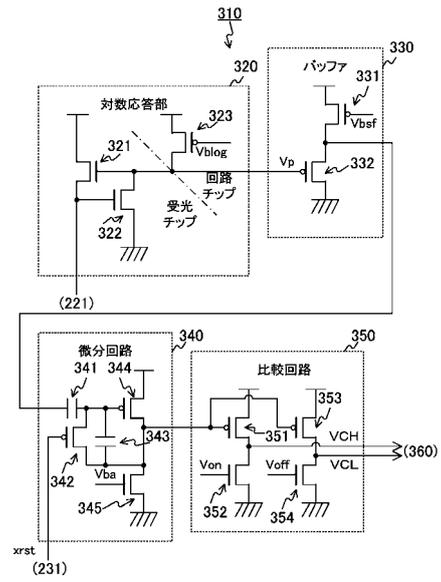
【 図 8 】



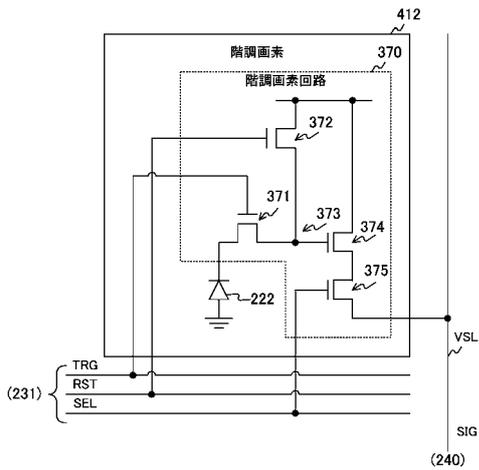
【 図 9 】



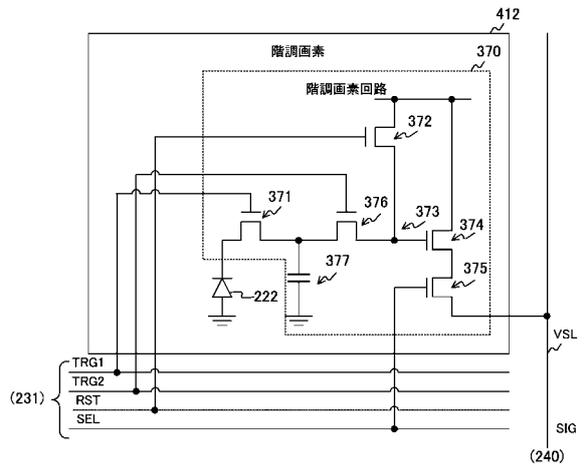
【 図 1 0 】



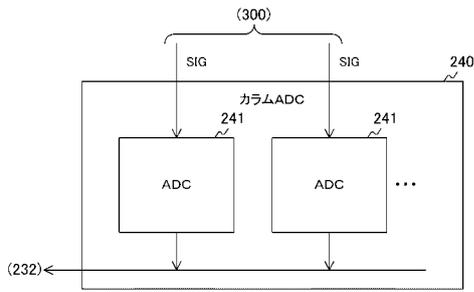
【 図 1 1 】



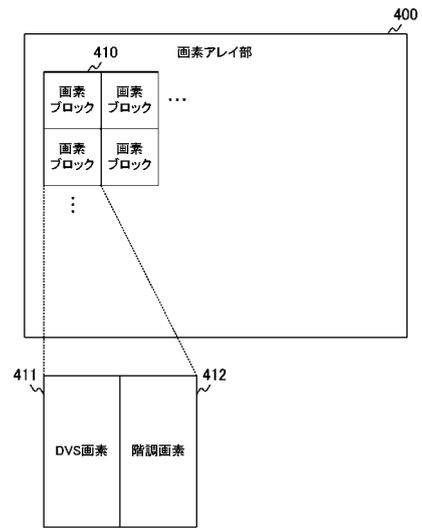
【 図 1 2 】



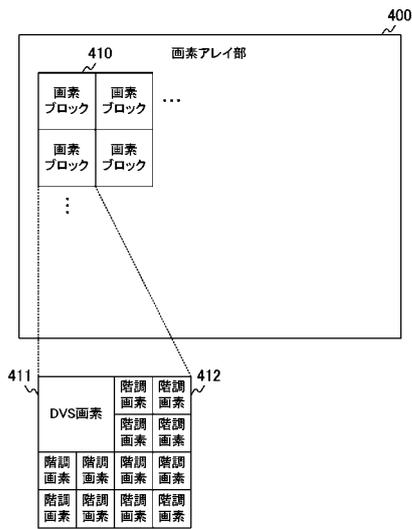
【 図 1 3 】



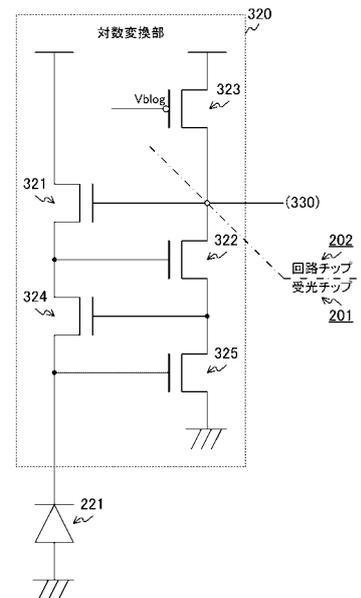
【 図 1 4 】



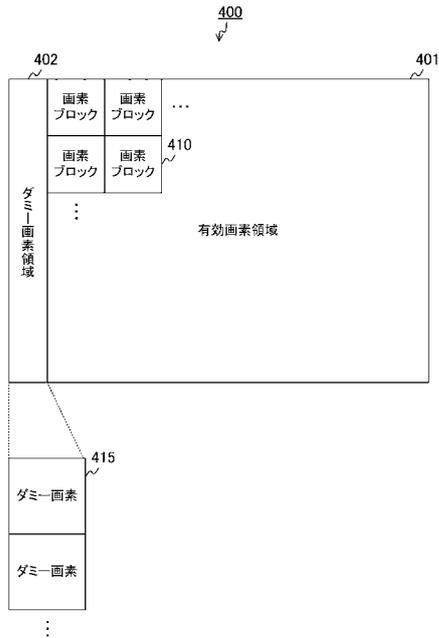
【 図 1 5 】



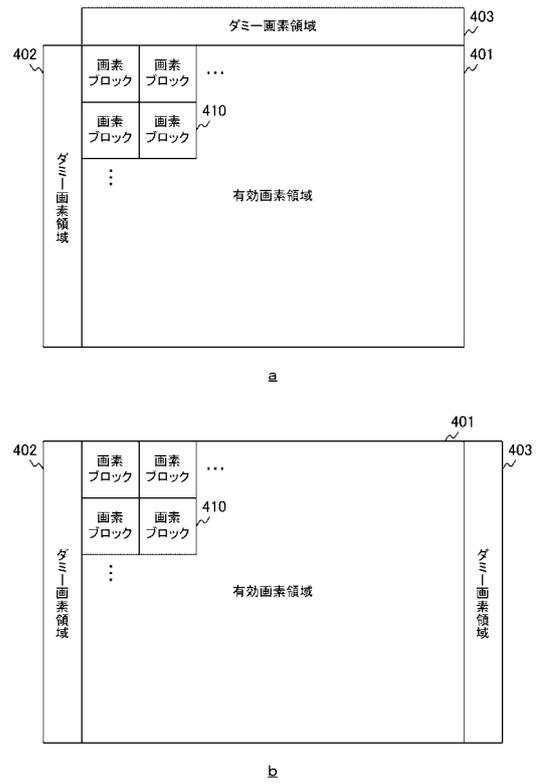
【 図 1 6 】



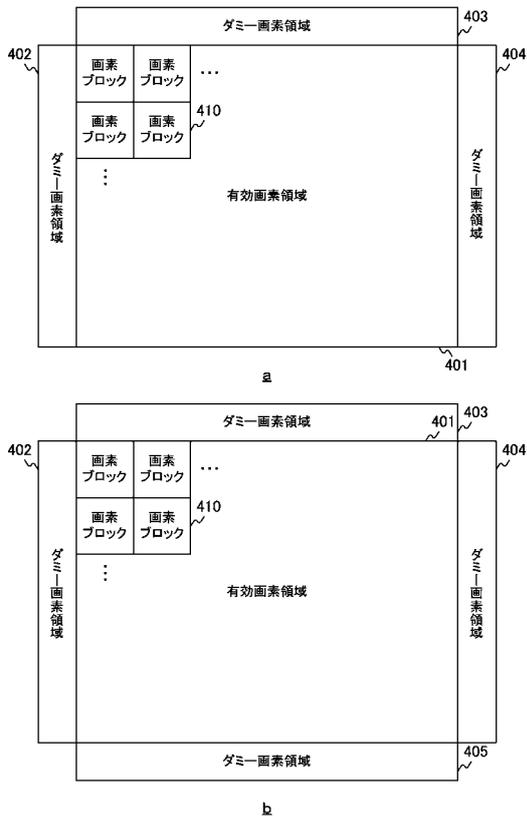
【 図 1 7 】



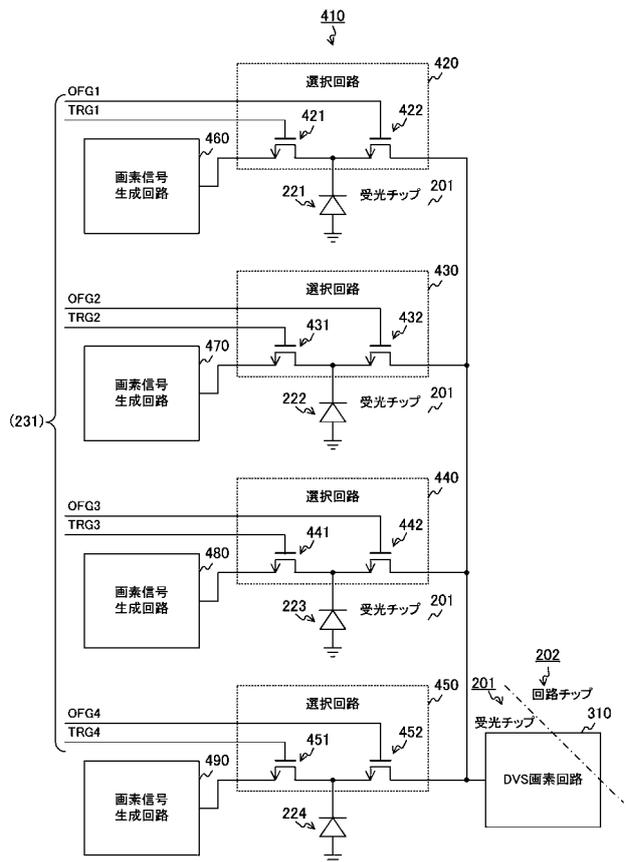
【 図 1 8 】



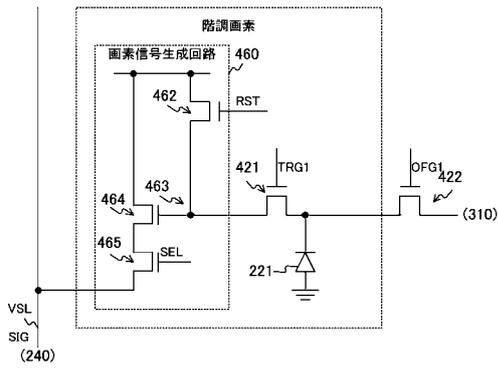
【 図 1 9 】



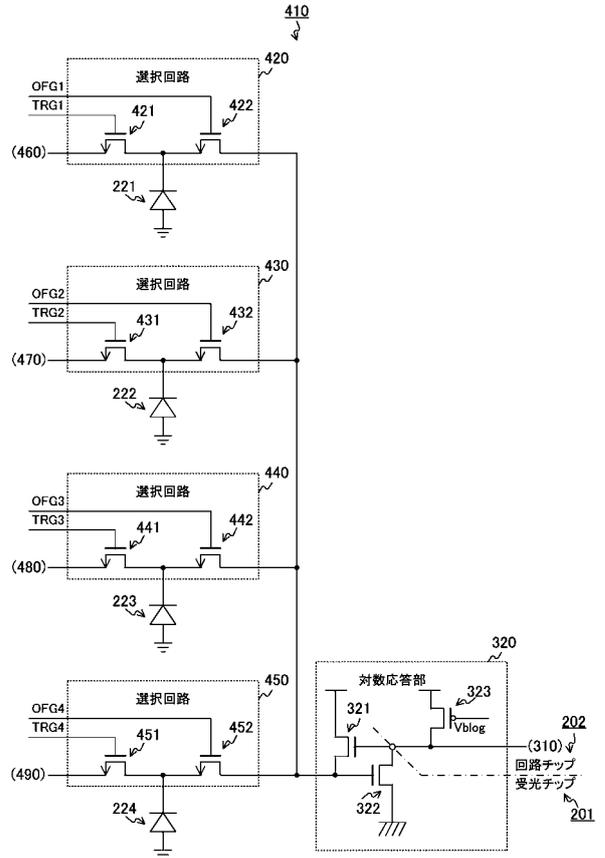
【 図 2 0 】



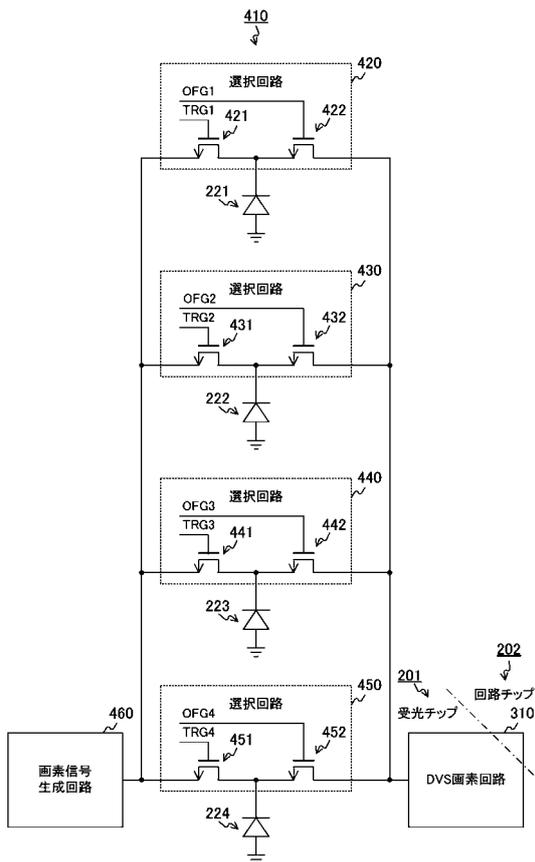
【図 2 1】



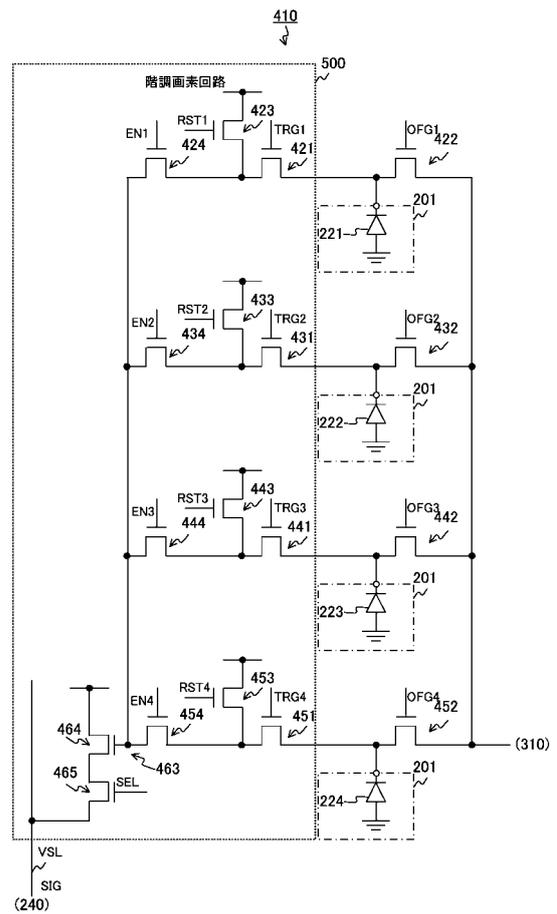
【図 2 2】



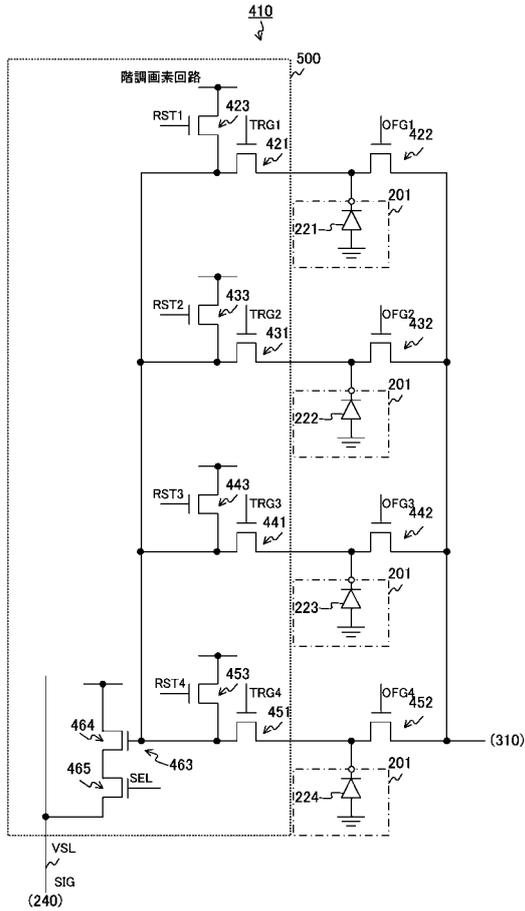
【図 2 3】



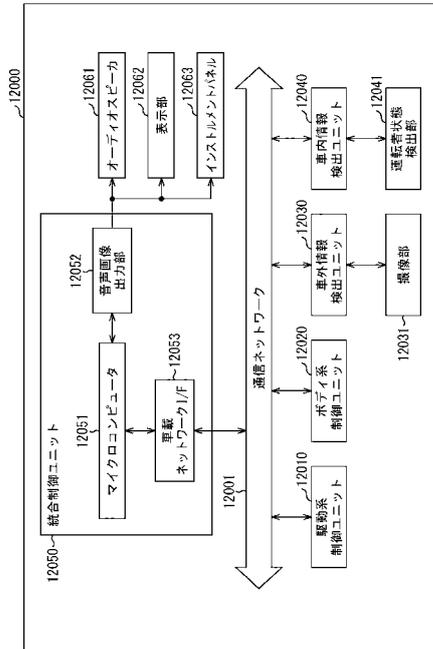
【図 2 4】



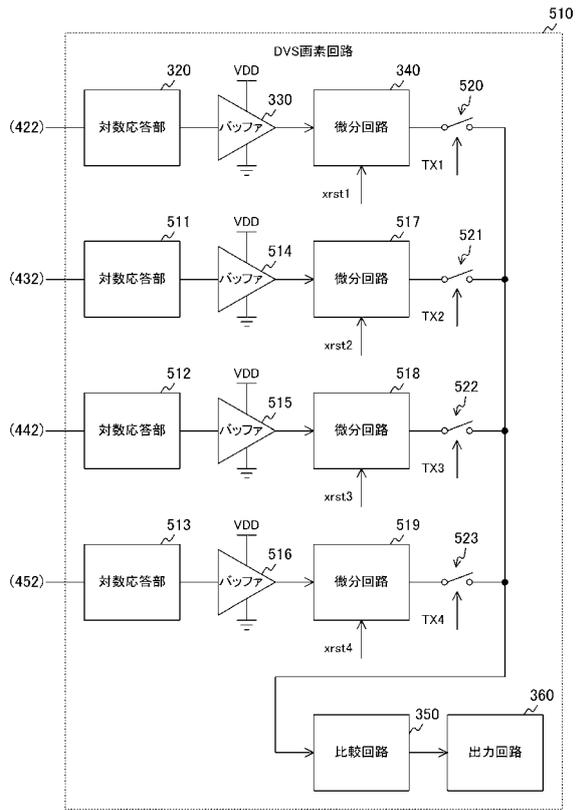
【図 25】



【図 27】



【図 26】



【図 28】

