



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I452309 B

(45) 公告日：中華民國 103 (2014) 年 09 月 11 日

(21) 申請案號：101134819

(22) 申請日：中華民國 101 (2012) 年 09 月 21 日

(51) Int. Cl. : G01R31/26 (2014.01)

(71) 申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)
臺中市大雅區科雅一路 8 號

(72) 發明人：傅廷明 FU, TIM (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW I252573

TW I299088

TW 201035571A

US 7943424B1

審查人員：黃尹珊

申請專利範圍項數：15 項 圖式數：11 共 0 頁

(54) 名稱

封裝檢測方法

PACKAGE TEST METHOD

(57) 摘要

一種封裝測試方法，其包括下列步驟。提供半導體封裝單元，其包括封裝膠體、導線架及多個切割道。切割道於半導體封裝單元上定義出多個半導體封裝元件。各半導體封裝元件具有多個外部連接端子。沿著切割道切斷導線架，以電性絕緣各半導體封裝元件。將半導體封裝單元載置於承載晶圓上。使探針卡靠近載置於承載晶圓上之半導體封裝單元，使探針卡所具備的多個探針端子分別與外部連接端子接觸，以對各半導體封裝元件進行測試。標記測試結果為異常之半導體封裝元件。單體化半導體封裝元件並移除被標記為異常之半導體封裝元件。

A package test method is provided. The method includes the following steps. A semiconductor unit including a molding compound, a leadframe and scribe lines is provided. The scribe lines define a plurality of semiconductor components on the semiconductor unit. Each of the semiconductor components has external connecting terminal. The leadframe is cut along the scribe lines to electronically isolate each of the semiconductor components. The semiconductor package unit is disposed on the carrier wafer. A probe card is approached to the semiconductor unit on the carrier wafer such that pins of the probe card is contacted with the external connecting terminals so as to perform a test to each of the semiconductor components. The semiconductor components tested as fail are marked. The semiconductor components are singularized and the marked semiconductor components are removed.

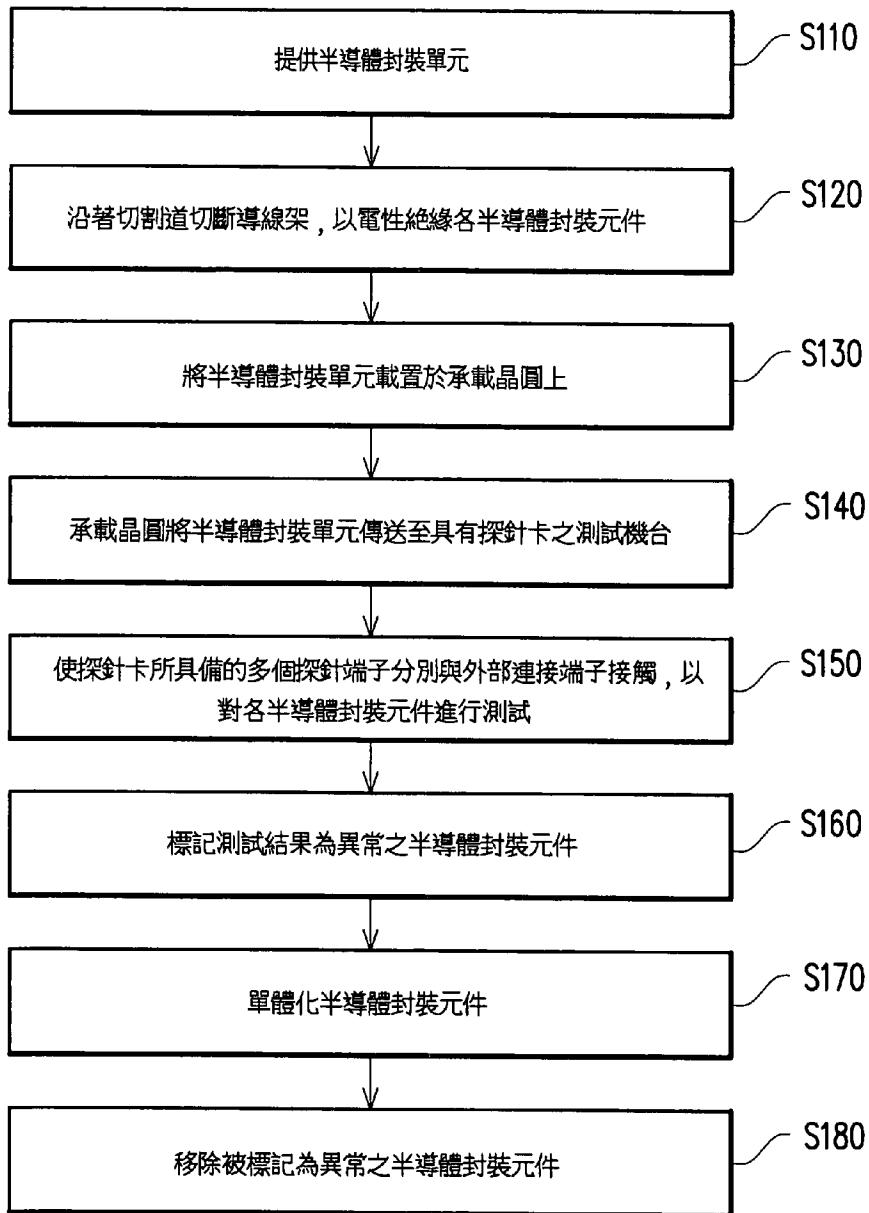


圖 1

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101134819

※ 申請日：101.9.21

※IPC 分類：G01R 31/26 (2004.01)

一、發明名稱：

封裝檢測方法/PACKAGE TEST METHOD

二、中文發明摘要：

一種封裝測試方法，其包括下列步驟。提供半導體封裝單元，其包括封裝膠體、導線架及多個切割道。切割道於半導體封裝單元上定義出多個半導體封裝元件。各半導體封裝元件具有多個外部連接端子。沿著切割道切斷導線架，以電性絕緣各半導體封裝元件。將半導體封裝單元載置於承載晶圓上。使探針卡靠近載置於承載晶圓上之半導體封裝單元，使探針卡所具備的多個探針端子分別與外部連接端子接觸，以對各半導體封裝元件進行測試。標記測試結果為異常之半導體封裝元件。單體化半導體封裝元件並移除被標記為異常之半導體封裝元件。

三、英文發明摘要：

A package test method is provided. The method includes the following steps. A semiconductor unit including a molding compound, a leadframe and scribe lines

is provided. The scribe lines define a plurality of semiconductor components on the semiconductor unit. Each of the semiconductor components has external connecting terminal. The leadframe is cut along the scribe lines to electronically isolate each of the semiconductor components. The semiconductor package unit is disposed on the carrier wafer. A probe card is approached to the semiconductor unit on the carrier wafer such that pins of the probe card is contacted with the external connecting terminals so as to perform a test to each of the semiconductor components. The semiconductor components tested as fail are marked. The semiconductor components are singularized and the marked semiconductor components are removed.

四、指定代表圖：

- (一) 本案之指定代表圖：圖 1
- (二) 本代表圖之元件符號簡單說明：
S110~S180：步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種測試方法，且特別是有關於一種半導體元件的封裝測試方法。

【先前技術】

為了在半導體封裝元件製造過程中，隨時獲得製程優劣之訊息，因此會於半導體封裝元件上特別設計多個測試鍵 (test key)，而這些測試鍵再經由測試端子接出並接受各種檢測，以監控各階段製程的優劣。

半導體元件在覆蓋封裝膠體後且在未電鍍前，其導線架上的各晶片其電性上是短路的，故若欲以尚未單體化 (Singulation) 的半導體封裝單元來測試，必須先完成其各晶片間之電性隔離 (electrical isolation)。

半導體封裝單元的測試方式相較於單體化後之晶片的測試方式有成本上的優勢，但目前必須使用專用的測試系統。現有的測試系統多適用於有引腳之封裝結構，例如：小尺寸封裝 (Small Outline Package) 及四方引腳扁平封裝 (Quad Flat Package, QFP) 等，但針對無引腳封裝結構，例如：無引腳小尺寸封裝 (Small Outline No-Lead, SON) 及四方無引腳扁平封裝 (Quad Flat No-lead, QFN) 等，在其晶片電性隔離的製程上卻有困難。此外，傳統的封裝測試中，其測試系統需針對不同封裝結構尺寸而準備對應的拾取設備及承載治具，其需要額外的製程或購置昂貴設備

及治具，這對生產成本和時間皆是一種浪費。

【發明內容】

本發明提供一種封裝測試方法，其可節省生產成本以及製程時間。

本發明提出一種封裝測試方法，適於對一半導體封裝單元進行測試。封裝測試方法包括下列步驟。提供半導體封裝單元，其包括封裝膠體、導線架及多個切割道。切割道於半導體封裝單元上定義出多個半導體封裝元件。各半導體封裝元件具有多個外部連接端子。切斷位於切割道上之導線架，以使半導體封裝元件彼此電性絕緣。將半導體封裝單元載置於承載晶圓上。承載晶圓將半導體封裝單元傳送至一測試機台。測試機台具有一探針卡。使探針卡靠近載置於承載晶圓上之半導體封裝單元，使探針卡所具備的多個探針端子分別與外部連接端子接觸，以對各半導體封裝元件進行測試。標記測試結果為異常之半導體封裝元件。單體化半導體封裝元件並移除被標記為異常之半導體封裝元件。

基於上述，本發明利用先沿著切割道切斷導線架，以使半導體封裝單元之各半導體封裝元件間彼此電性絕緣，但並未完全單體化各半導體封裝元件，以此可將整個半導體封裝單元載置於承載晶圓上，並利用測試晶圓之探針卡對半導體封裝單元進行測試，以得知測試結果顯示為異常之半導體封裝元件的位址，並將之移除。因此，本實施例

不僅簡化了封裝測試的流程，降低封裝測試的成本，更可利用測試晶圓之測試機台來測試其他無引腳小尺寸封裝及小尺寸封裝等封裝結構，因而提高了其測試機台的使用彈性。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1 是依照本發明之一實施例之一種封裝測試方法的流程示意圖。圖 2 是依照本發明之一實施例之一種半導體封裝單元局部示意圖。圖 3 是依照本發明之一實施例之一種半導體封裝單元之剖面示意圖。請同時參照圖 1、圖 2 及圖 3，本實施例之封裝測試方法適於對一半導體封裝單元 100 進行良率測試，其封裝測試方法包括下列步驟：首先，執行步驟 S110，提供如圖 2 及圖 3 所示之一半導體封裝單元 100，其包括封裝膠體 110、導線架 120 及多個切割道 130。切割道 130 於半導體封裝單元 100 上定義出多個半導體封裝元件 140。各半導體封裝元件 140 具有多個外部連接端子 122，外部連接端子 122 位於導線架 120 上。在本實施例中，半導體封裝元件 140 為無引腳小尺寸封裝 (Small Outline No-Lead package, SON package)，其外部連接端子 122 為用以作電性測試之接墊。

圖 4 是依照本發明之一實施例之一種半導體封裝單元於電性絕緣後之剖面示意圖。圖 5 是依照本發明之一實施

例之一種半導體封裝單元設置於承載晶圓上之俯視示意圖。接著，執行步驟 S120，如圖 4 所示，沿著切割道 130 切斷導線架 120，以使半導體封裝元件 140 彼此之間電性絕緣。沿著切割道 130 切斷導線架 120 後的半導體封裝元件 140 以位於切割道 130 上之封裝膠體 110 彼此連接。接著，執行步驟 S130，如圖 5 所示，將半導體封裝單元 100 載置於一承載晶圓 200 上。在本實施例中，承載晶圓 200 僅承載一個半導體封裝單元 100，但在本發明之其他實施例中，承載晶圓 200 亦可一次承載多個半導體封裝單元 100。承載晶圓 200 可以承載的半導體封裝單元 100 之數量依承載晶圓 200 及半導體封裝單元 100 的實際尺寸而定，本發明並不以此為限。

在本實施例中，半導體封裝單元 100 具有至少一定位孔 150，而承載晶圓 200 具有與定位孔 150 對應之至少一定位柱 210。當半導體封裝單元 100 載置於承載晶圓 200 上時，定位柱 210 進入對應之定位孔 150，以將半導體封裝單元 100 定位於承載晶圓 200 上。在本實施例中，定位孔 150 及定位柱 210 更分別具有對應之防呆結構，意即，定位孔 150 與定位柱 210 的嵌合具有方向性，用以固定半導體封裝單元 100 載置於承載晶圓 200 上之一載置方向，防止人工裝載方向錯誤。舉例而言，定位孔 150 可為 D 型貫孔，定位柱 210 可為與其對應之 D 型柱。或者，承載晶圓 200 可具有多個定位柱 210，其排列方式具有方向性，以與半導體封裝單元 100 對應之定位孔 150 做有方向性地

嵌合，以固定半導體封裝單元 100 載置於承載晶圓 200 上之載置方向。以上實施例僅為舉例說明，本發明並不限制定位孔 150 與定位柱 210 之防呆結構的設計方式。

圖 6 是依照本發明之一實施例之一種半導體封裝單元進行電性測試之剖面示意圖。接著，執行步驟 S140，以承載晶圓 200 將半導體封裝單元 100 傳送至一測試機台。如圖 6 所示，測試機台具有一探針卡 300，其中，探針卡 300 具有多個探針端子 310。在本實施例中，測試機台為一晶圓測試機台。進行測試時，探針卡 300 往靠近半導體封裝單元 100 的方向移動，使探針卡 300 逼近載置於承載晶圓 200 上之半導體封裝單元 100，並且，如圖 6 所示，使探針卡 300 的探針端子 310 分別與外部連接端子 122 接觸，以對各半導體封裝元件 140 進行測試（步驟 S160）。

此外，由於封裝膠體 110 與導線架 120 的熱膨脹係數差異（thermal expansion coefficient mismatch）很大，因此，在對半導體封裝單元 100 進行不同的高溫製程時，常會因為操作溫度升高而使半導體封裝單元 100 產生翹曲，進而導致探針卡 300 與其外部連接端子 122 接觸不良。有鑑於此，在本實施例中，探針卡 300 更可具有多個抵壓柱 320，其分別位於半導體封裝元件 140 的中心處，使探針端子 310 與外部連接端子 122 接觸時，抵壓柱 320 可抵壓各半導體封裝元件 140 的中心，減少其翹曲的程度，以避免上述探針卡 300 與其外部連接端子 122 可能會接觸不良的情形。

圖 7 是依照本發明之一實施例之一種半導體封裝單元

於單體化後之剖面示意圖。執行步驟 S160，標記測試結果為異常之半導體封裝元件 140。接著，如圖 7 所示，執行步驟 S170，單體化半導體封裝元件 140，並執行步驟 S180，移除被標記為異常之半導體封裝元件 140。由於半導體封裝元件 140 為無引腳小尺寸封裝 (SON package)，其電性絕緣後的半導體封裝元件 140 以位於切割道 130 上之封裝膠體 110 彼此連接。因此，在本實施例中，單體化半導體封裝元件 140 的方法為切斷位於切割道 130 上之封裝膠體 110，以分離各半導體封裝元件 140。

由於本實施例使用承載晶圓 200 以及其探針卡 300 對半導體封裝單元 100 進行測試，因此，在進行測試後，測試機台將半導體封裝元件 140 分為一正常群組以及一異常群組，並讀取各半導體封裝元件 140 於承載晶圓 200 上之座標位址，以將其繪製成一晶圓地圖。接著，依照晶圓地圖上屬於異常群組之半導體封裝元件 140 的座標位址，標記晶圓地圖上屬於異常群組之半導體封裝元件 140。在本發明之另一實施例中，亦可在繪製晶圓地圖後，將晶圓地圖傳送至另一機台，以移除屬於異常群組之半導體封裝元件 140。

承上述，標記其測試結果為異常之半導體封裝元件 140 的方法例如為油墨註記。在本實施例中，油墨註記所使用之油墨為一般油墨。然而，在本發明之其他實施例中，亦可以一硬化型油墨來標記屬於異常群組之半導體封裝元件 140，其中，硬化型油墨例如為熱固型油墨 (thermal

curing ink) 或紫外線硬化型油墨 (UV curing ink) 等。惟使用此種油墨需增加將標記後之半導體封裝元件 140 送進烤箱烘烤的製程，以使硬化型油墨硬化而定著於半導體封裝元件 140 上。

如上述之封裝測試方法，本實施例僅先切斷位於切割道 130 上之導線架 120，以使半導體封裝單元 100 之各半導體封裝元件 140 間彼此電性絕緣，但並未完全單體化各半導體封裝元件 140，因此可將整個半導體封裝單元 100 載置於承載晶圓 200 上，並利用測試晶圓之探針卡 300 對半導體封裝單元 100 進行測試。如此，省去了習知於單體化半導體封裝元件 140 後，需以特殊拾取設備分別拾取各半導體封裝元件 140 至托盤上再進行測試的繁複製程，更可省去習知需針對各種半導體封裝元件 140 購置符合其尺寸之拾取設備及托盤的成本。因此，本實施例不僅可簡化封裝測試的流程，降低封裝測試的成本，更可利用測試晶圓之探針卡來測試無引腳小尺寸封裝結構，因而提高了測試機台的使用彈性。

圖 8 至圖 11 是依照本發明之另一實施例之封裝測試方法的示意圖。本實施例沿用前述實施例的元件標號與部分內容，其中採用相同的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參照前述實施例，本實施例不再重複贅述。

圖 8 是依照本發明之另一實施例之一種半導體封裝單元局部示意圖。圖 9 是依照本發明之另一實施例之一種半

導體封裝單元之剖面示意圖。圖 10 是依照本發明之另一實施例之一種半導體封裝單元於電性絕緣後之剖面示意圖。請先同時參考圖 8 及圖 9，本實施例之封裝測試方法可以採用與前述實施例之封裝測試方法的流程大致相同的製作方式，惟在本實施例中，各半導體封裝元件 140a 為一小尺寸封裝（Small Outline Package，SOP），故各外部連接端子 122a 為一引腳，並如圖 9 所示之於切割道 130 的方向上連接半導體封裝元件 140a。如圖 8 所示，半導體封裝單元 100a 之導線架更具有多個連接桿 124，以於平行切割道 130 的方向上連接半導體封裝元件 140a。

因此，本實施例之半導體封裝單元 100a 在進行電性絕緣時，如圖 10 所示，係切斷位於切割道 130 上之外部連接端子 122a，以使半導體封裝元件 140 彼此之間電性絕緣。電性絕緣後之半導體封裝元件 140a 則分別以連接桿 124 於平行於切割道 130 的方向上彼此連接。因此，本實施例之單體化半導體封裝元件 140a 的步驟為沿著垂直於切割道 130 的方向切斷連接桿 124，如此即可單體化半導體封裝元件 140a。

圖 11 是依照本發明之另一實施例之一種半導體封裝單元進行電性測試之剖面示意圖。請再參照圖 11，承上述，由於本實施例之外部連接端子 122a 為引腳，且其下方並無任何支撐，因此，本實施例中用以承載半導體封裝單元 100a 之承載晶圓 200a 更具有多個支撐部 210a，分別用以支撐位於切割道 130 上之外部連接端子 122a，以於探針

端子 310 與外部連接端子 122a 接觸時對外部連接端子 122a 提供支撐。

綜上所述，本發明利用先切斷位於切割道上之導線架，以使半導體封裝單元之各半導體封裝元件間彼此電性絕緣，但並未完全單體化各半導體封裝元件，因此可將整個半導體封裝單元載置於承載晶圓上，並利用測試晶圓之探針卡對半導體封裝單元進行測試。最後，再依測試結果繪製一晶圓地圖，以進一步標記測試結果顯示為異常之半導體封裝元件的位址，並將之移除。

如此，本發明省去了習知於單體化半導體封裝元件後需以特殊拾取設備分別拾取各半導體封裝元件至托盤上再進行測試的繁複製程，更可省去習知需針對各種半導體封裝元件購置符合其尺寸之拾取設備及托盤的成本。因此，本實施例不僅可簡化封裝測試的流程，降低封裝測試的成本，更可利用測試晶圓之測試機台來測試其他無引腳小尺寸封裝及小尺寸封裝等封裝結構，因而提高了其測試機台的使用彈性。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是依照本發明之一實施例之一種封裝測試方法的流程示意圖。

圖 2 是依照本發明之一實施例之一種半導體封裝單元局部示意圖。

圖 3 是依照本發明之一實施例之一種半導體封裝單元之剖面示意圖。

圖 4 是依照本發明之一實施例之一種半導體封裝單元於電性絕緣後之剖面示意圖。

圖 5 是依照本發明之一實施例之一種半導體封裝單元設置於承載晶圓上之俯視示意圖。

圖 6 是依照本發明之一實施例之一種半導體封裝單元進行電性測試之剖面示意圖。

圖 7 是依照本發明之一實施例之一種半導體封裝單元於單體化後之剖面示意圖。

圖 8 是依照本發明之另一實施例之一種半導體封裝單元局部示意圖。

圖 9 是依照本發明之另一實施例之一種半導體封裝單元之剖面示意圖。

圖 10 是依照本發明之另一實施例之一種半導體封裝單元於電性絕緣後之剖面示意圖。

圖 11 是依照本發明之另一實施例之一種半導體封裝單元進行電性測試之剖面示意圖。

【主要元件符號說明】

100、100a：半導體封裝單元

110：封裝膠體

- 120：導線架
- 122、122a：外部連接端子
- 124：連接桿
- 130：切割道
- 140、140a：半導體封裝元件
- 150：定位孔
- 200、200a：承載晶圓
- 210：定位柱
- 300：探針卡
- 310：探針端子
- 320：抵壓柱

七、申請專利範圍：

1. 一種封裝測試方法，適於對一半導體封裝單元進行測試，包括：

提供該半導體封裝單元，該半導體封裝單元包括一封裝膠體、一導線架及多個切割道，該些切割道於半導體封裝單元上定義出多個半導體封裝元件，各半導體封裝元件具有多個外部連接端子，位於該導線架上；

沿著該些切割道切斷該導線架，以使該些半導體封裝元件彼此電性絕緣；

將該半導體封裝單元載置於一承載晶圓上；

以該承載晶圓將該半導體封裝單元傳送至一品圓測試機台，該晶圓測試機台具有一探針卡；

使探針卡靠近載置於該承載晶圓上之該半導體封裝單元，使該探針卡所具備的多個探針端子分別與該外部連接端子相接觸，以對各該半導體封裝元件進行測試；

標記測試結果為異常之該些半導體封裝元件；

單體化該些半導體封裝元件；以及

移除被標記為異常之該些半導體封裝元件。

2. 如申請專利範圍第 1 項所述之封裝測試方法，其中各該半導體封裝元件為一小尺寸無引腳封裝（Small Outline No-Lead，SON）。

3. 如申請專利範圍第 2 項所述之封裝測試方法，其中各該外部連接端子為一接墊。

4. 如申請專利範圍第 2 項所述之封裝測試方法，其中

沿著該些切割道切斷該導線架後，該些半導體封裝元件以位於該切割道上之該封裝膠體彼此連接。

5. 如申請專利範圍第 4 項所述之封裝測試方法，其中該單體化該些半導體封裝元件的步驟包括：

切斷位於該些切割道上之該封裝膠體，以單體化該些半導體封裝元件。

6. 如申請專利範圍第 1 項所述之封裝測試方法，其中各該半導體封裝元件為一小尺寸封裝（Small Outline Package，SOP）。

7. 如申請專利範圍第 6 項所述之封裝測試方法，其中各該外部連接端子為一引腳。

8. 如申請專利範圍第 7 項所述之封裝測試方法，其中沿著該些切割道切斷該導線架的步驟包括：

沿著該些切割道切斷該導線架之該些引腳，以電性絕緣各該半導體封裝元件。

9. 如申請專利範圍第 6 項所述之封裝測試方法，其中該半導體封裝單元之該導線架更具有多個連接桿，以於平行該切割道的方向上連接該些半導體封裝元件，且電性絕緣後之該些半導體封裝元件分別以該些連接桿彼此連接。

10. 如申請專利範圍第 9 項所述之封裝測試方法，其中該單體化該些半導體封裝元件的步驟包括：

沿垂直於該切割道的方向切斷該些連接桿，以單體化該些半導體封裝元件。

11. 如申請專利範圍第 7 項所述之封裝測試方法，其

中該承載晶圓具有多個支撐部，分別支撐位於該些切割道上之該些引腳，以於該些探針端子分別與該些引腳接觸時提供支撐。

12. 如申請專利範圍第 1 項所述之封裝測試方法，其中該探針卡更具有多個抵壓柱，當該些探針端子分別與該外部連接端子接觸時，該些抵壓柱分別抵壓各該半導體封裝元件的中心。

13. 如申請專利範圍第 1 項所述之封裝測試方法，更包括：

對各該半導體封裝元件進行測試後，繪製一晶圓地圖（wafer map），以將該些半導體封裝元件分為一正常群組以及一異常群組；以及

標記該晶圓地圖上屬於該異常群組之該些半導體封裝元件。

14. 如申請專利範圍第 1 項所述之封裝測試方法，更包括：

對各該半導體封裝元件進行測試後，繪製一晶圓地圖（wafer map），以將該些半導體封裝元件分為一正常群組以及一異常群組；以及

將該晶圓地圖傳送至一機台，以移除屬於該異常群組之該些半導體封裝元件。

15. 如申請專利範圍第 1 項所述之封裝測試方法，其中標記測試結果為異常之該些半導體封裝元件的方法包括一般油墨註記。

八、圖式：

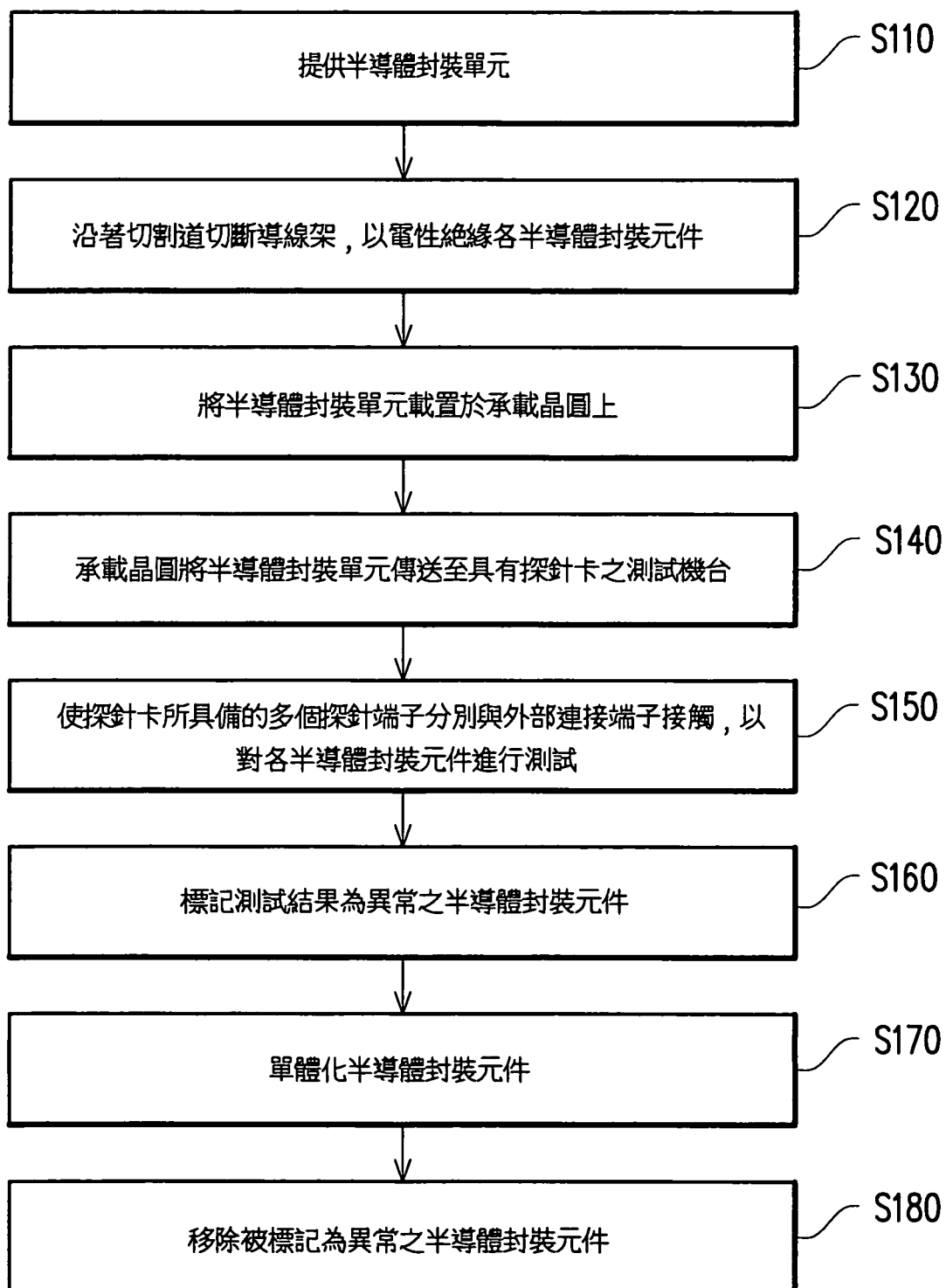


圖 1

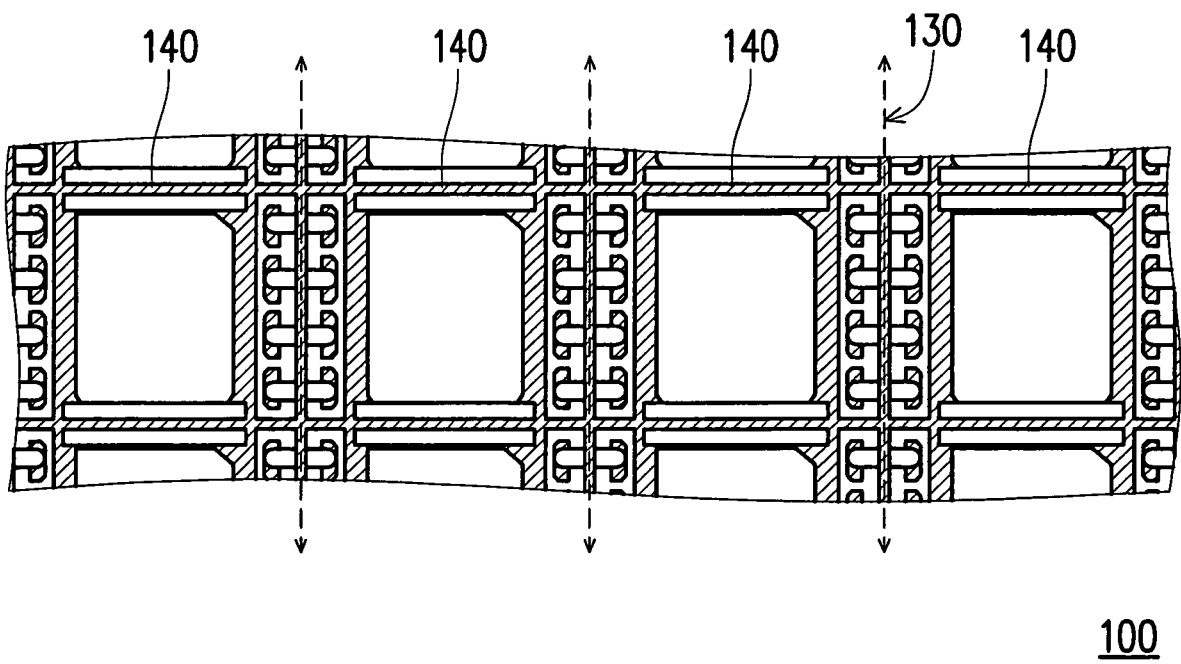
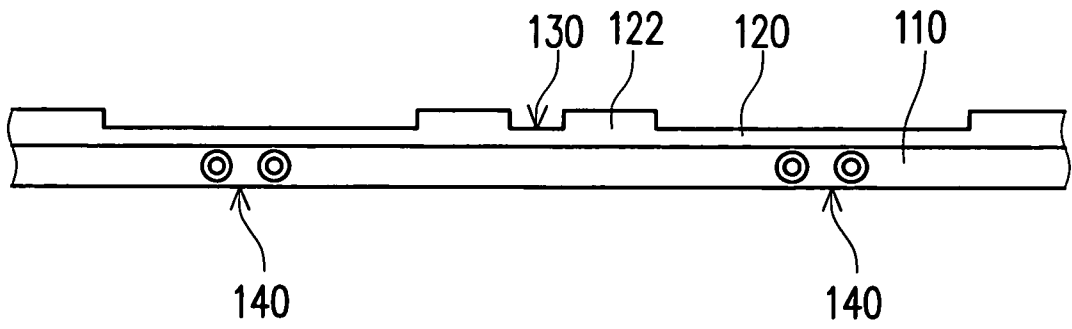
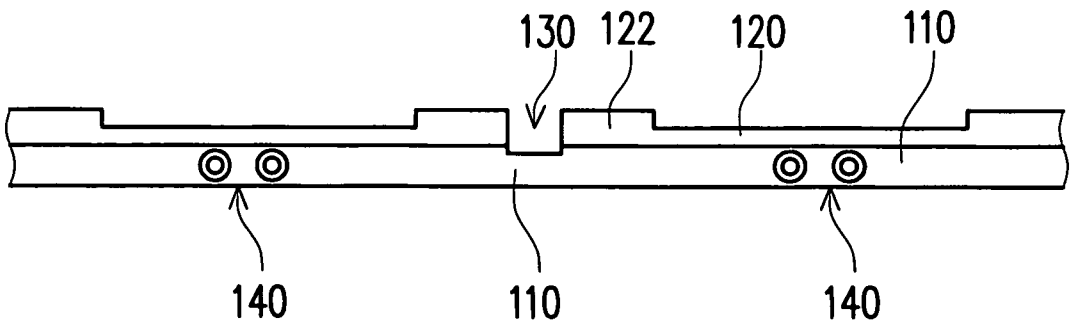


圖 2



100

圖 3



100

圖 4

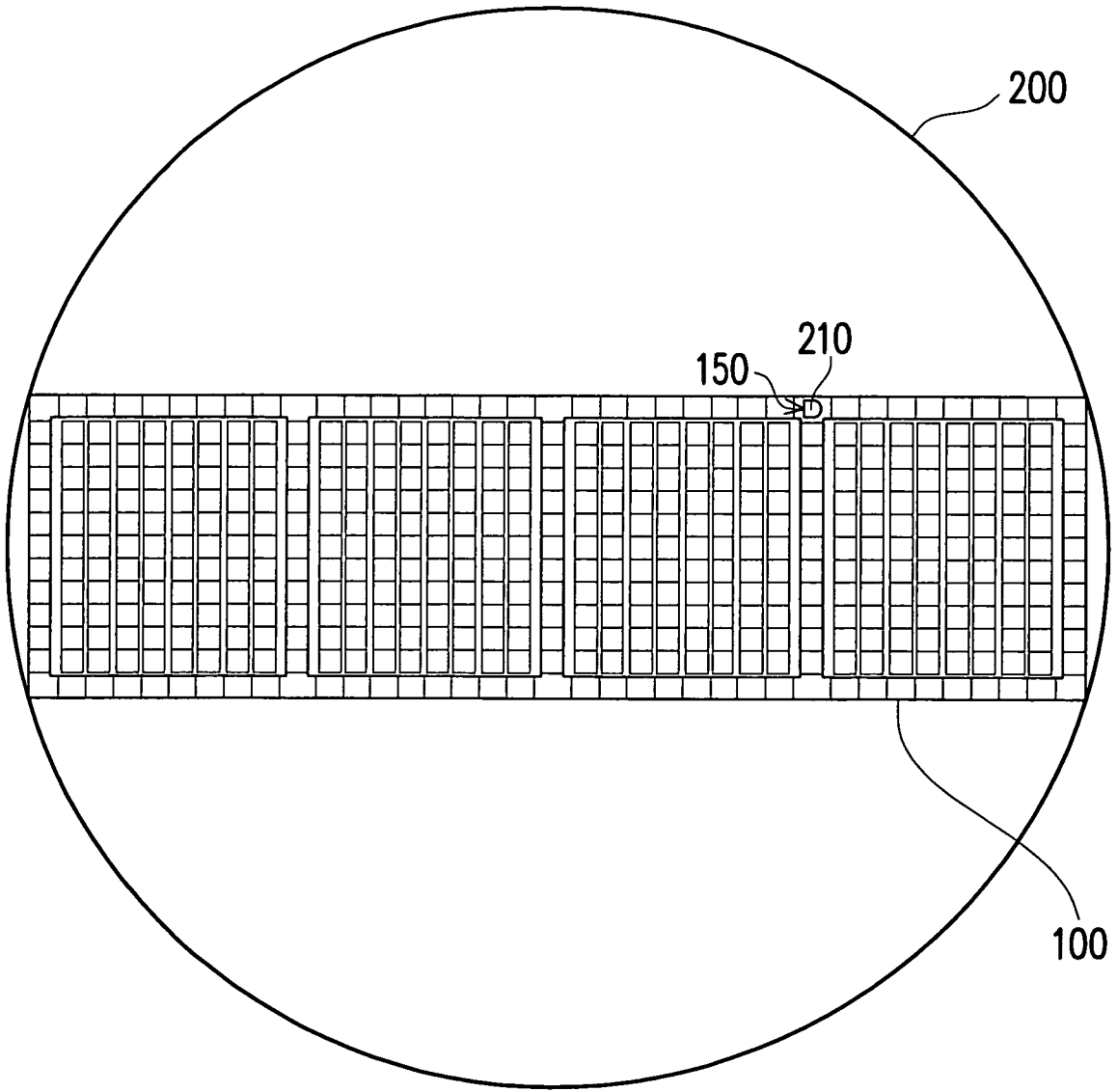


圖 5

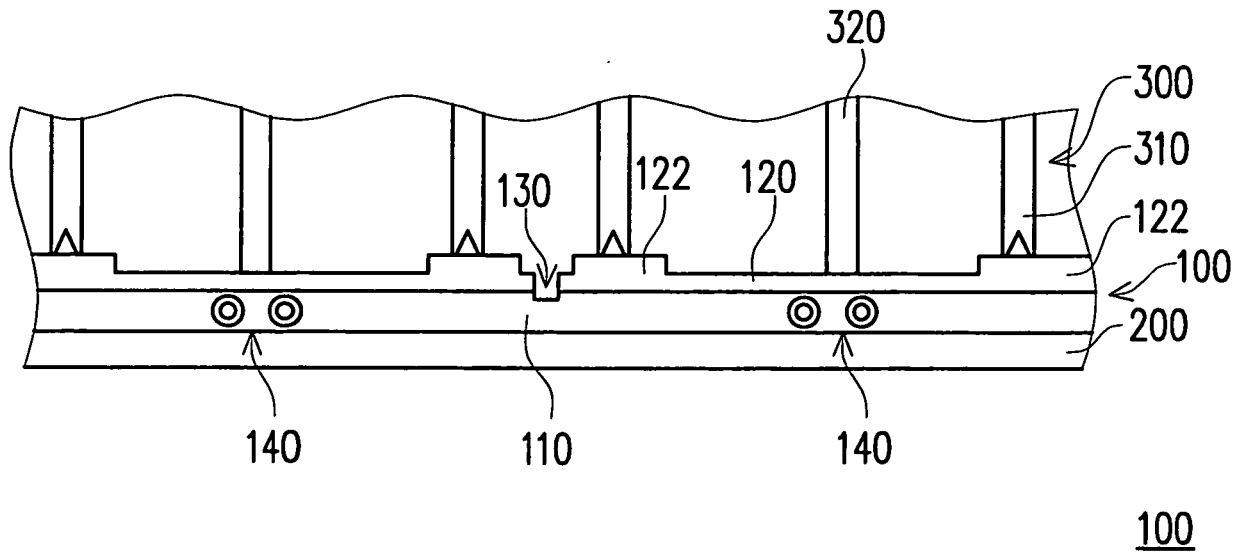


圖 6

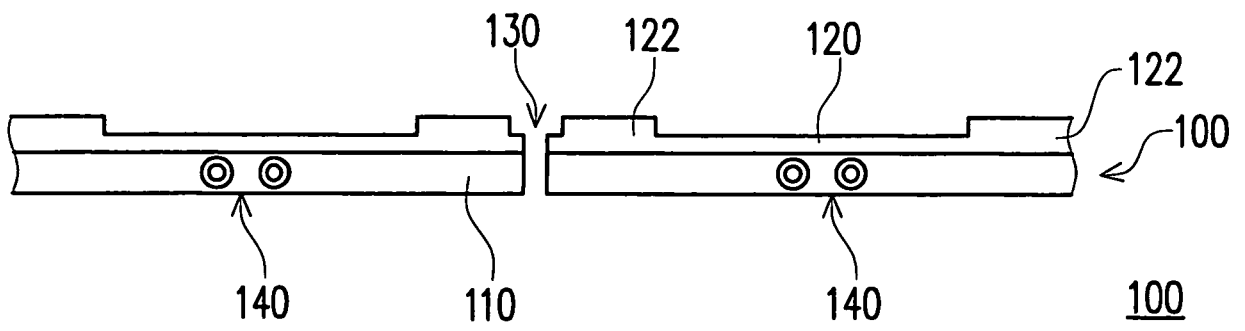
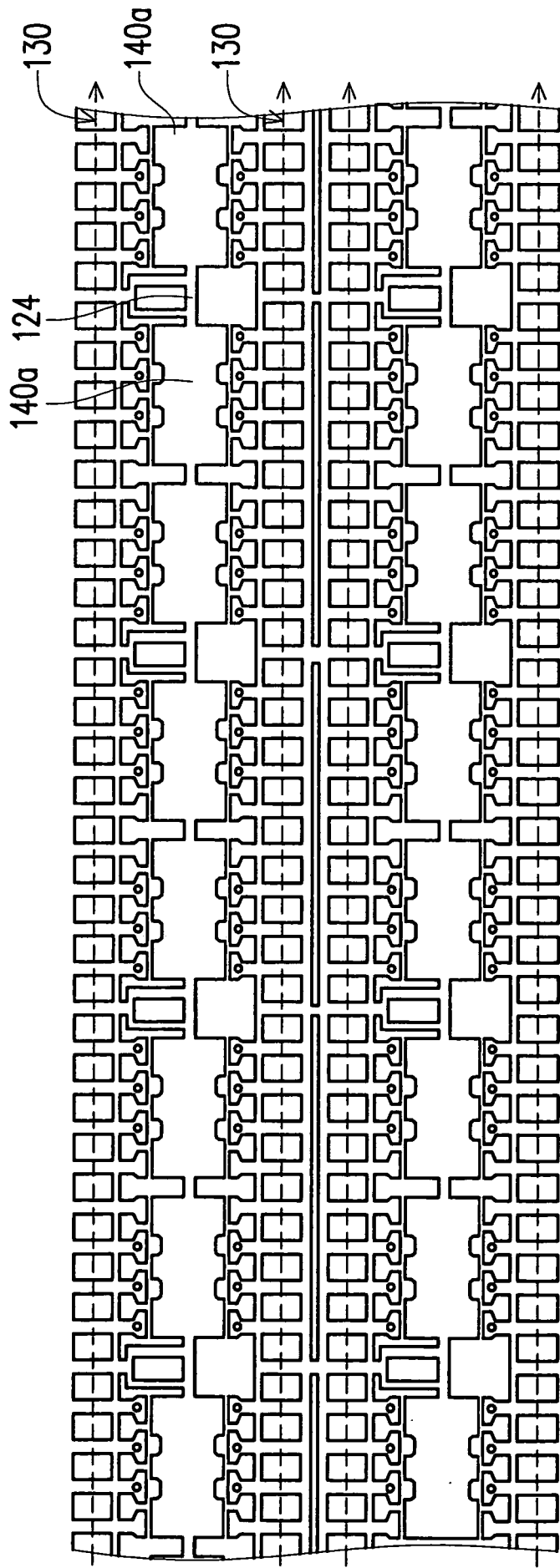


圖 7



100a

圖 8

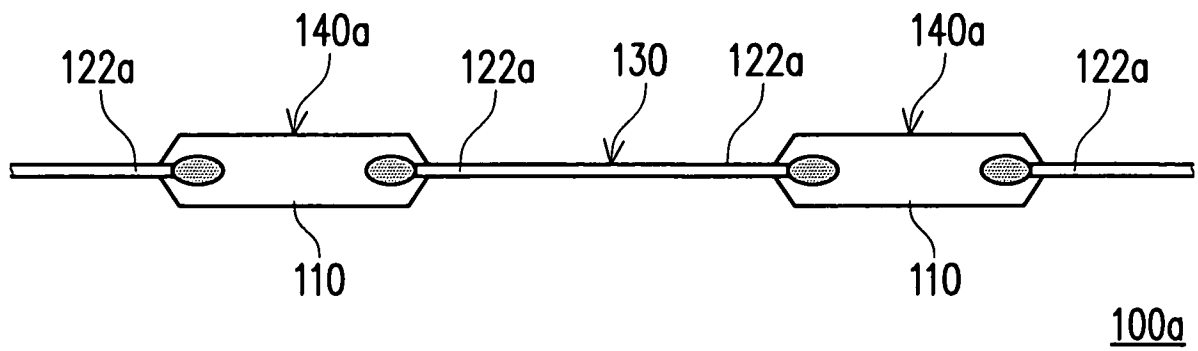


圖 9

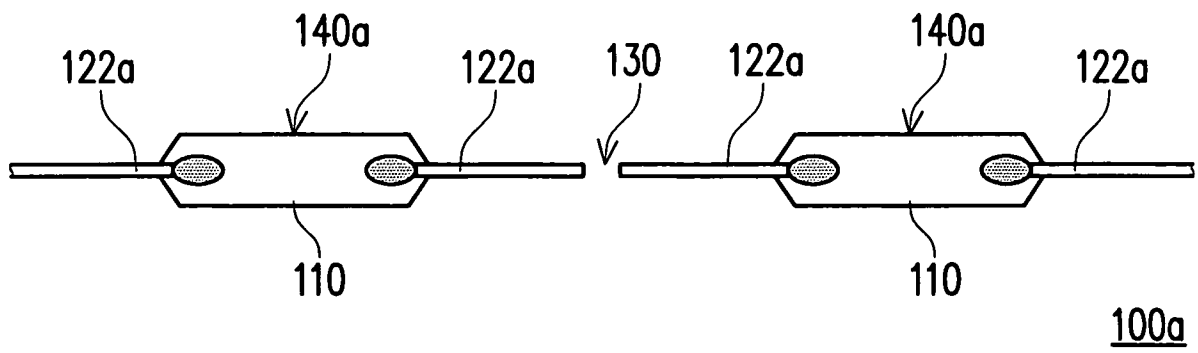


圖 10

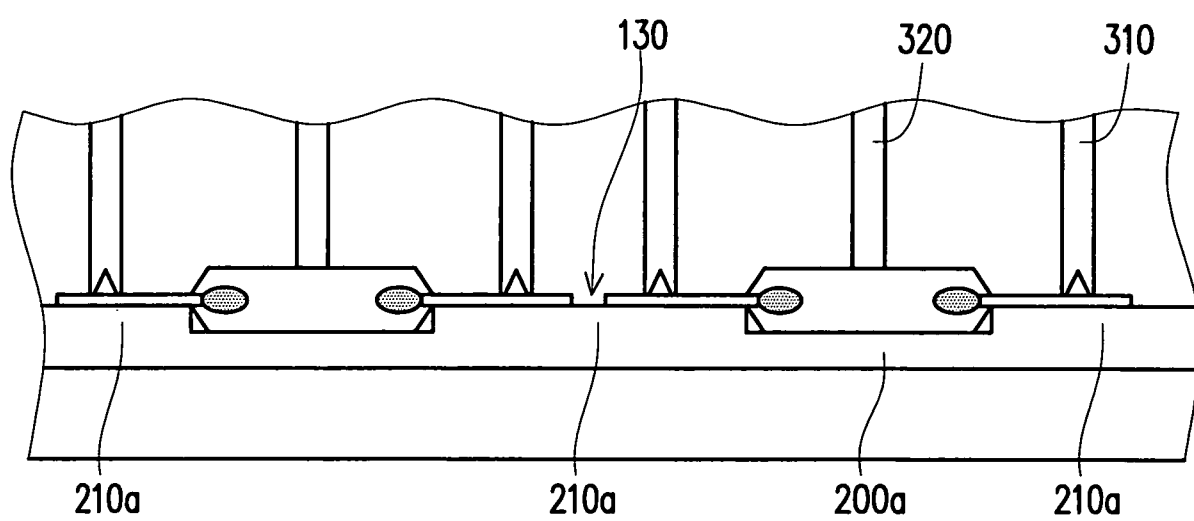


圖 11