

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-258773

(P2009-258773A)

(43) 公開日 平成21年11月5日(2009.11.5)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 3/00 (2006.01)	G06F 3/00 Z	5B011
G06K 19/07 (2006.01)	G06K 19/00 N	5B035
G06K 17/00 (2006.01)	G06K 17/00 D	5B058
G06F 1/26 (2006.01)	G06F 1/00 330E	

審査請求 未請求 請求項の数 17 O L (全 25 頁)

(21) 出願番号 特願2008-99740 (P2008-99740)
 (22) 出願日 平成20年4月7日(2008.4.7)
 (31) 優先権主張番号 特願2008-72429 (P2008-72429)
 (32) 優先日 平成20年3月19日(2008.3.19)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100076233
 弁理士 伊藤 進
 (72) 発明者 藤本 曜久
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 5B011 EA06 EB03 EB07 LL02
 5B035 AA01 AA02 BB09 CA12
 5B058 CA22 KA21

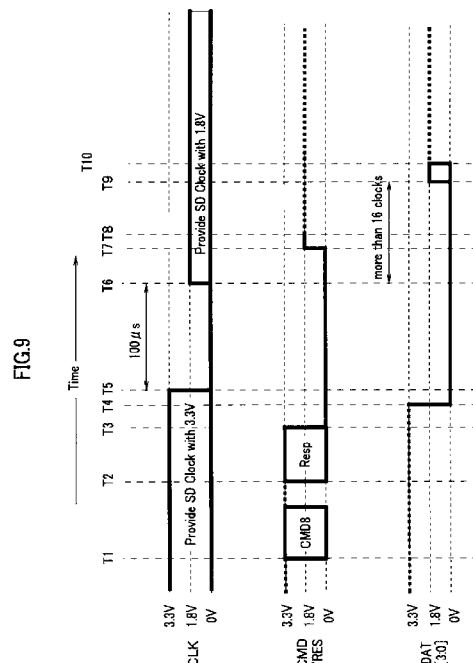
(54) 【発明の名称】 メモリデバイス、ホストデバイス、メモリシステム、メモリデバイスの制御方法、ホストデバイスの制御方法、およびメモリシステムの制御方法

(57) 【要約】

【課題】 送受信信号の信号電圧を安全に変更することのできるメモ리카ード100等を提供する

【解決手段】 ホストデバイス200に接続可能な、NAND型フラッシュメモリを有するメモ리카ード100であって、ホストデバイス200と第1の電圧(3.3V)または第2の電圧(1.8V)で信号の送受信が可能であり、信号電圧を切り替える際には、ホストデバイス200とハンドシェイク処理により互いに信号電圧の確認を行う。

【選択図】 図9



【特許請求の範囲】**【請求項 1】**

ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスであって
前記メモリデバイスは前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 1 の I / O セルと、

前記第 1 の電圧および前記第 2 の電圧を出力可能な第 1 のレギュレータとを有し、

前記ホストデバイスから、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替えることを要求する前記コマンド信号を受信した場合、

前記信号電圧を切り替えることを前記レスポンス信号にて、前記ホストデバイスに送信し、

前記第 1 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替え、

一定時間経過後にクロック信号ラインにグラウンドレベル以外の電圧が印加されたことを検出した場合には、グラウンドレベルの、レスポンス信号ラインおよびデータ信号ラインに、前記第 2 の電圧を印加し、

前記第 2 の電圧の信号電圧で送受信を開始することを特徴とするメモリデバイス。

【請求項 2】

前記クロック信号ラインの信号電圧が、前記第 2 の電圧であるかどうかを判定する第 1 の電圧比較回路を有し、前記第 1 の電圧比較回路が第 2 の電圧と判定した場合にグラウンドレベルのレスポンス信号ラインおよびデータ信号ラインに、前記第 2 の電圧を印加し、前記第 1 の電圧比較回路が第 2 の電圧ではないと判定した場合に少なくともデータ信号ラインはグラウンドレベルを継続することを特徴とする請求項 1 に記載のメモリデバイス。

【請求項 3】

メモリデバイスの第 1 のレギュレータが出力する電圧が前記第 2 の電圧かどうかを判定する第 2 の電圧比較回路を有し、前記第 2 の電圧比較回路が第 2 の電圧と判定した場合にグラウンドレベルの、レスポンス信号ラインおよびデータ信号ラインに、前記第 2 の電圧を印加し、前記第 2 の電圧比較回路が第 2 の電圧ではないと判定した場合に少なくともデータ信号ラインはグラウンドレベルを継続することを特徴とする請求項 1 に記載のメモリデバイス。

【請求項 4】

不揮発性のメモリ部を有するメモリデバイスが接続可能な、ホストデバイスであって
前記ホストデバイスは前記メモリデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 2 の I / O セルと、

前記第 1 の電圧および前記第 2 の電圧を出力可能な第 2 のレギュレータとを有し、

前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える場合に、

前記信号電圧を切り替えることを前記コマンド信号にて送信し、

前記信号電圧を切り替え可能であることを示す前記レスポンス信号を受信した場合には、

前記第 2 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替え、

一定時間経過後にグラウンドレベルのクロック信号ラインに、前記第 2 の電圧のクロック信号を供給し、

データ信号ラインが、グラウンドレベルではないことを検出した場合に前記第 2 の電圧の信号電圧で送受信を開始することを特徴とするホストデバイス。

【請求項 5】

不揮発性のメモリ部を有するメモリデバイスが接続可能な、ホストデバイスであって
前記ホストデバイスは前記メモリデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選

10

20

30

40

50

扱されたいずれかの信号電圧で送受信が可能な第2のI/Oセルと、

前記第1の電圧および前記第2の電圧を出力可能な第2のレギュレータとを有し、

前記信号電圧を前記第1の電圧から前記第2の電圧に切り替える場合に、

前記信号電圧を切り替えることを前記コマンド信号にて送信し、

前記信号電圧を切り替え可能であることを示す前記レスポンス信号を一定時間の間受信できなかった場合または切り替え不可能であるレスポンス信号を受けた場合には、メモリデバイスの電源をいったん切り、再度第1の電圧により送受信を開始することを特徴とするホストデバイス。

【請求項6】

前記レスポンス信号ラインの信号電圧が、前記第2の電圧であるかどうかを判定する第3の電圧比較回路を有し、

前記第3の電圧比較回路が前記第2の電圧と判定した場合に送受信を開始し、前記第3の電圧比較回路が前記第2の電圧ではないと判定した場合に、前記メモリデバイスの電源をいったん切り、再度前記第1の電圧により送受信を開始することを特徴とする請求項4または請求項5に記載のホストデバイス。

【請求項7】

ホストデバイスと、前記ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスとを有するメモリシステムであって、

前記メモリデバイスは、前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第1の電圧と、前記第1の電圧より低い第2の電圧とから選択されたいずれかの信号電圧で送受信が可能な第1のI/Oセルと、

前記第1の電圧および前記第2の電圧を出力可能な第1のレギュレータとを有し、

前記ホストデバイスは、前記メモリデバイスと、前記第1の電圧と前記第2の電圧とから選択されたいずれかの信号電圧で送受信が可能な第2のI/Oセルと、

前記第1の電圧および前記第2の電圧を出力可能な第2のレギュレータとを有し、

前記信号電圧を前記第1の電圧から前記第2の電圧に切り替える場合に、

前記ホストデバイスは前記信号電圧を切り替えることを要求する前記コマンド信号を、前記メモリデバイスに送信し、

前記メモリデバイスは、前記信号電圧を切り替え可能であることを、前記レスポンス信号にて、前記第1の電圧で前記ホストデバイスに送信し、

前記メモリデバイスおよび前記ホストデバイスは、前記第1のレギュレータおよび前記第2のレギュレータが出力する電圧を前記第1の電圧から前記第2の電圧に切り替え、

前記ホストデバイスは、一定時間経過後に前記グラウンドレベルの前記クロック信号ラインに、前記第2の電圧の前記クロック信号を供給し、

前記メモリデバイスは、一定時間経過後に前記クロック信号ラインに前記グラウンドレベル以外の電圧が印加されたことを検出した場合には、前記グラウンドレベルの前記レスポンス信号ラインおよび前記データ信号ラインに、前記第2の電圧を印加し、

前記ホストデバイスは、前記データ信号ラインが、前記グラウンドレベルではないことを検出した場合には、

前記メモリデバイスおよび前記ホストデバイスが、前記第2の電圧の信号電圧で、送受信を開始することを特徴とするメモリシステム。

【請求項8】

前記メモリデバイスは、前記クロック信号ラインの信号電圧が、前記第2の電圧かどうかを判定する第1の電圧比較回路または、前記第1のレギュレータが前記第2の電圧かどうかを判定する第2の電圧比較回路を有し、メモリデバイスは、前記第1の電圧比較回路および第2の電圧比較回路が第2の電圧と判定した場合にグラウンドレベルの、レスポンス信号ラインおよびデータ信号ラインに前記第2の電圧を印加し、前記第1の電圧比較回路または前記第2の電圧比較回路のいずれかが前記第2の電圧ではないと判定した場合に少なくとも前記データ信号ラインは前記グラウンドレベルを継続し、

前記ホストデバイスは、前記データ信号ラインが前記グラウンドレベルでないとして判定した

10

20

30

40

50

場合に前記第 2 の電圧の信号電圧で送受信を開始することを特徴とする請求項 7 に記載のメモリシステム。

【請求項 9】

ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスの制御方法であって

前記メモリデバイスは前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 1 の I/O セルと、

前記第 1 の電圧および前記第 2 の電圧を出力可能な第 1 のレギュレータとを有し、

前記ホストデバイスから、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替えることを要求する前記コマンド信号を受信するコマンド受信ステップと、

前記信号電圧を切り替え可能であることを前記レスポンス信号にて、前記ホストデバイスに送信するレスポンス信号送信ステップと、

前記第 1 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える第 1 のレギュレータ切り替えステップと、

一定時間経過後に前記クロック信号ラインに前記グラウンドレベル以外の電圧が印加されたことを検出するクロック信号ライン電圧検出ステップと、

前記グラウンドレベルの、前記レスポンス信号ラインおよび前記データ信号ラインに、前記第 2 の電圧を印加するレスポンス・データ信号・ライン電圧印加ステップと

前記データ信号ラインが前記グラウンドレベルではない場合に前記第 2 の電圧の信号電圧で送受信を開始する送受信ステップとを有することを特徴とするメモリデバイスの制御方法。

【請求項 10】

前記クロック信号ラインの信号電圧が、前記第 2 の電圧であるかどうかを判定する第 1 の電圧比較回路を有し、前記第 1 の電圧比較回路が第 2 の電圧と判定した場合にグラウンドレベルの、レスポンス信号ラインおよびデータ信号ラインに、前記第 2 の電圧を印加することで前記送受信ステップを開始し、前記第 1 の電圧比較回路が第 2 の電圧ではないと判定した場合に少なくともデータ信号ラインはグラウンドレベルを継続することにより前記送受信ステップを開始しないことを特徴とする請求項 9 に記載のメモリデバイスの制御方法。

【請求項 11】

前記メモリデバイスの第 1 のレギュレータが出力する電圧が前記第 2 の電圧かどうかを判定する第 2 の電圧比較回路を有し、前記第 2 の電圧比較回路が前記第 2 の電圧と判定した場合に前記グラウンドレベルの、前記レスポンス信号ラインおよび前記データ信号ラインに、前記第 2 の電圧を印加することで前記送受信ステップを開始し、前記第 2 の電圧比較回路が前記第 2 の電圧ではないと判定した場合に少なくとも前記データ信号ラインは前記グラウンドレベルを継続することにより前記送受信ステップを開始しないことを特徴とする請求項 9 に記載のメモリデバイスの制御方法。

【請求項 12】

不揮発性のメモリ部を有するメモリデバイスが接続可能な、ホストデバイスの制御方法であって

前記ホストデバイスは前記メモリデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 2 の I/O セルと、

前記第 1 の電圧および前記第 2 の電圧を出力可能な第 2 のレギュレータとを有し、

前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える場合に、

前記信号電圧を切り替えることを前記コマンド信号にて送信するコマンド信号送信ステップと、

前記信号電圧を切り替え可能であることを示す前記レスポンス信号を受信するレスポンス信号受信ステップと、

前記第 2 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替えるレギュレータ電圧切り替えステップと、

データ信号ラインが、グラウンドレベル以外の電圧が印加されたことを検出するデータ信号ライン電圧検出ステップと

前記第 2 の電圧の信号電圧で送受信を開始する送受信ステップとを有することを特徴とするホストデバイスの制御方法。

【請求項 1 3】

前記レスポンス信号ラインの信号電圧が、前記第 2 の電圧であるかどうかを判定する第 3 の電圧比較回路を有し、前記第 3 の電圧比較回路が第 2 の電圧と判定した場合に送受信ステップを開始し、前記第 3 の電圧比較回路が第 2 の電圧ではないと判定した場合に送受信ステップを開始しないことを特徴とする請求項 1 2 に記載のホストデバイスの制御方法。

10

【請求項 1 4】

ホストデバイスと、前記ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスとを有するメモリシステムの制御方法であって、

前記メモリデバイスは、前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、前記第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 1 の I/O セルと、

前記第 1 の電圧および前記第 2 の電圧を出力可能な第 1 のレギュレータとを有し、

前記ホストデバイスは、前記メモリデバイスと、信号を、前記第 1 の電圧と、前記第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 2 の I/O セルと、

20

前記第 1 の電圧および前記第 2 の電圧を出力可能な第 2 のレギュレータとを有し、

前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える場合に、

前記ホストデバイスが前記信号電圧を切り替えることを要求する前記コマンド信号を、前記メモリデバイスに送信するコマンド信号送信ステップと、

前記メモリデバイスが、前記信号電圧を切り替え可能であることを、前記レスポンス信号にて、前記第 1 の電圧で前記ホストデバイスに送信するレスポンス信号送信ステップと、

前記メモリデバイスおよび前記ホストデバイスが、前記第 1 のレギュレータおよび前記第 2 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える、レギュレータ電圧切り替えステップと、

30

前記ホストデバイスが、一定時間後にグラウンドレベルのクロック信号ラインに、前記第 2 の電圧のクロック信号を供給するクロック信号発振ステップと、

前記メモリデバイスが、一定時間後に前記クロック信号ラインにグラウンドレベル以外の電圧が印加されたことを検出するクロック信号ライン電圧検出ステップと、

前記メモリデバイスが、グラウンドレベルの、レスポンス信号ラインおよびデータ信号ラインに、前記第 2 の電圧を印加するレスポンス・データ信号ライン電圧印加ステップと、

前記ホストデバイスが、前記データ信号ラインが、前記グラウンドレベルではないことを検出するデータ信号ライン電圧検出ステップと、

前記メモリデバイスおよび前記ホストデバイスが、前記第 2 の電圧の信号電圧で、送受信を開始する送受信ステップとを有することを特徴とするメモリシステムの制御方法。

40

【請求項 1 5】

前記メモリデバイスは、前記クロック信号ラインの信号電圧が、前記第 2 の電圧かどうかを検出する第 1 の電圧比較回路、または、前記第 1 のレギュレータが前記第 2 の電圧かどうかを検出する第 2 の電圧比較回路を有し、

前記メモリデバイスは、クロック信号ライン電圧検出ステップにおいて前記第 1 の電圧比較回路が第 2 の電圧と判定した場合にレスポンス・データ信号ライン電圧印加ステップに移行し、前記前記第 1 の電圧比較回路または前記第 2 の電圧比較回路のいずれかが第 2 の電圧ではないと判定した場合にレスポンス・データ信号ライン電圧印加ステップを実行せず、

50

前記ホストデバイスは、データ信号ライン電圧検出ステップにおいてデータ信号がグラウンドレベルでないと判定した場合と判定した場合に送受信ステップを開始し、データ信号ライン電圧検出ステップにおいてデータ信号がグラウンドレベルであると判定した場合に送受信ステップを開始しないことを特徴とする請求項 1 4 に記載のメモリシステム制御方法。

【請求項 1 6】

ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスであって
第 1 の電圧を供給する電源と、
前記電源から前記第 1 の電圧と前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの電圧の電力を出力可能なレギュレータと、
前記レギュレータから電力の供給を受け、前記ホストデバイスと信号を送受信する I / O セルと、
前記 I / O セルを過電圧から保護するために、前記 I / O セルの入力端と前記電源端との間に接続された保護ダイオードとを有し、
前記第 1 の電圧または第 2 の電圧とから選択されたいずれかの電圧の信号で前記ホストデバイスと送受信が可能であることを特徴とするメモリデバイス。

10

【請求項 1 7】

不揮発性のメモリ部を有するメモリデバイスに接続可能な、ホストデバイスであって
第 1 の電圧を供給する電源と、
前記電源から前記第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの電圧の電力を出力可能なレギュレータと、
前記レギュレータから電力の供給を受け、前記メモリデバイスと信号を送受信する I / O セルと、
前記 I / O セルを過電圧から保護するために、前記 I / O セルの入力端と前記電源端との間に接続された保護ダイオードとを有し、
前記第 1 の電圧または第 2 の電圧とから選択されたいずれかの電圧の信号で前記メモリデバイスと送受信が可能であることを特徴とするホストデバイス。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ部を備えたメモリデバイス、ホストデバイス、メモリシステム、メモリデバイスの制御方法、ホストデバイスの制御方法、およびメモリシステムの制御方法に関し、特に、データ転送信号の電圧を変更することのできるメモリデバイス等に関する。

30

【背景技術】

【0002】

近年、半導体記憶装置、例えば、不揮発性の半導体記憶媒体であるフラッシュメモリカードの開発が行われ、ホストデバイスであるデジタルカメラ等の情報機器の外部記憶装置として普及している。ホストデバイスが扱うデータが大容量化したことに伴い、フラッシュメモリの大容量化および高密度化が進んでいる。

40

【0003】

NAND型フラッシュメモリは、大容量であることを特徴としファイルメモリ用途などで近年特に多く用いられるフラッシュメモリである。

NAND型フラッシュメモリは、トンネル絶縁膜を介して浮遊ゲートもしくは積層膜からなるトラップ層、言い換えれば、電荷蓄積層、に注入した電荷をその電荷量に応じてデジタルビット情報として用い、2値または多値情報として読み出す。NAND型フラッシュメモリは、DRAM等の破壊読出し型のメモリとは異なりデータ破壊を伴わずにデータの読み出しが可能である。

【0004】

半導体記憶装置においては、書き込みおよび読み出し速度の高速化が要求されており、

50

転送バスのバス転送速度の高速化も求められている。このため、例えば、メモリカードバスの転送クロック周波数を、ノーマルモードの25MHzから、50MHzと上げたハイスピードモードの仕様が規定され、より高速なデータ転送が可能となっている。

【0005】

一方、特開2007-11788号公報には、より高速なデータ転送のために、ホストデバイスから供給されるクロック信号の立ち上がりエッジと立ち下がりエッジとに同期して、データを送受信することで、ハイスピードモードと同じクロック周波数で2倍のデータ転送速度を得ることができるウルトラハイスピードモードを提供するメモリカードが、開示されている。

【0006】

しかし、転送クロック周波数を上げると、不要輻射電磁波をシールドすること、すなわち、EMI (Electro Magnetic Susceptibility) のための対策が問題となる。また、転送クロック周波数を上げると、メモリカードの消費電力が増加してしまうという問題もあった。

【0007】

これらの問題点を解決するためには、メモリカードとホストデバイスとの間の送受信信号の信号電圧を下げるのが有効である。しかし、送受信信号の信号電圧を切り替える際には、想定よりも高い電圧が印加されてしまい、メモリカードまたはホストデバイスのI/Oセルを破壊する可能性があった。

【特許文献1】特開2007-11788号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、送受信信号の信号電圧を安全に変更することのできるメモリデバイス、ホストデバイス、メモリシステム、メモリデバイスの制御方法およびメモリシステムの制御方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本願発明の一態様によれば、ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスであってメモリデバイスはホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第1の電圧と、第1の電圧より低い第2の電圧とから選択されたいずれかの信号電圧で送受信可能な第1のI/Oセルと、第1の電圧および第2の電圧を出力可能な第1のレギュレータとを有し、ホストデバイスから、信号電圧を第1の電圧から第2の電圧に切り替えることを要求するコマンド信号を受信した場合、信号電圧を切り替え可能であることをレスポンス信号にて、ホストデバイスに送信し、第1のレギュレータが出力する電圧を第1の電圧から第2の電圧に切り替え、クロック信号ラインが、第2の電圧であることを検出した場合にはレスポンス信号ラインに、第2の電圧を印加し、クロック信号の発振を検出した場合には、第2の電圧の信号電圧で送受信を開始することを特徴とするメモリデバイスが提供される。

【発明の効果】

【0010】

本発明は、送受信信号の信号電圧を安全に変更することのできるメモリデバイス、ホストデバイス、メモリシステム、メモリデバイスの制御方法、ホストデバイスの制御方法、およびメモリシステムの制御方法を提供するものである。

【発明を実施するための最良の形態】

【0011】

< 第1の実施の形態 >

以下、本発明の第1の実施の形態のメモリデバイスであるメモリカード100、ホストデバイス200、メモリカード100とホストデバイス200とを有するメモリシステム1について図面を参照して説明する。

10

20

30

40

50

図1は、メモリカード100とホストデバイス200とからなるメモリシステム1の構成を示す概略図であり、図2はメモリシステム1の電源回路部分の構成を示すブロック図である。

【0012】

図1に示すように、メモリカード100は、ホストデバイス200に接続可能であり、ホストデバイス200に接続されホストデバイス200の外部記憶装置として用いられるSDメモリカード(登録商標)である。ホストデバイス200としては、画像データまたは音楽データなどの各種データを処理するパーソナルコンピュータやデジタルカメラ等を含む情報処理装置が挙げられる。ホストデバイス200は接続されたメモリカード100との間で、コマンド信号、レスポンス信号、クロック信号およびデータ信号、すなわち伝送信号の送受信を行うための、I/Oセル209を有している。

10

【0013】

そして、メモリカード100は、不揮発性のメモリからなるメモリ部150と、メモリ部150等を制御するメモリコントローラ151と、データの入出力のための、I/Oセル121と、コネクタ152(ピン1乃至ピン9を含む)とを備えている。メモリコントローラ151は、例えば8ビットバス幅のバスを介してメモリ部150と接続されている。

【0014】

コネクタ152は、メモリカード100がホストデバイス200に装着されると、ホストデバイス200と電氣的に接続される。コネクタ152に含まれるピン1乃至ピン9に対する信号線(信号ライン)の割り当ては、SDメモリカード(登録商標)の規格で規定されている。

20

【0015】

すなわち、データ信号を送受信するためのデータDAT0、DAT1、DAT2、DAT3はそれぞれ、ピン7、ピン8、ピン9、ピン1に割り当てられている。また、ピン1は、カード検出信号CDにも割り当てられている。コマンド信号CMDと、このコマンド信号に対するメモリカード100の応答信号であるレスポンス信号RESは、ピン2に割り当てられている。クロック信号CLKは、ピン5に割り当てられている。電源電圧VDDはピン4に、接地電圧VSS1はピン3に、接地電圧VSS2はピン6に割り当てられている。

30

【0016】

なお、本実施の形態のメモリカード100においては、メモリ部150は、不揮発性の半導体メモリであり、NAND型のフラッシュメモリにより構成されている。ホストデバイス200から送信されたデータなどはメモリ部150に記憶される。

【0017】

また、図2に示すようにメモリカード100とホストデバイス200の間で、信号等を送受信するバスは、CLKライン111(以下、「クロック信号ライン」ともいう。)、CMD/RESライン112(以下、「CMDライン」ともいう。)、DAT[3:0]ライン113、およびVDDライン(以下、「電源ライン」ともいう。)と、図示しない、DAT1ライン、DAT2ライン、CD/DAT3ライン、VSS1ライン、およびVSS2ラインを含む。なお以下、データ信号ラインとしては、DAT0ライン(以下、「データライン」ともいう。)を、例に説明する。また、CMD/RESラインは、コマンド信号ラインまたはレスポンス信号(RES)ラインともいう。すなわち、コマンド信号ラインとレスポンス信号ラインとは同一のひとつの信号ラインである。

40

【0018】

SDメモリカード(登録商標)であるメモリカード100のデータ転送時の動作モード(以下、「転送モード」ともいう。)としては、SDモードとSPIモードとが規定されている。さらに、SDモードの転送モードには、データDAT0のみを用いる1ビットモードと、データDAT0~DAT3を用いる4ビットモードとの2つが規定されている。なお、メモリカード100の転送モードは、転送クロック周波数等により、通常の転送速

50

度のノーマルスピードモードと、NSMの2倍のハイスピードモードに加えて、HSPのさらに2倍のウルトラハイスピードモードもある。

【0019】

そして、図2に示すように、メモリシステム1のメモリカード100は、第1のレギュレータであるレギュレータ(VR2)116を有し、メモリシステム1のホストデバイス200は、第2のレギュレータであるレギュレータ(VR1)204を有している。このため、メモリシステム1では、多くのメモリシステム1が対応している電圧モードである信号電圧が標準の3.3Vのデータ転送モード(以下、「3.3Vモード」という。)に加えて、電源電圧は標準の3.3Vのまま、データ転送の信号電圧をより低電圧の1.8Vとしたモード(以下、「1.8Vモード」という。)に対応している。

10

【0020】

すなわち、メモリカード100はホストデバイス200と、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第1の電圧(3.3V)と、第1の電圧より低い第2の電圧(1.8V)とから選択されたいずれかの信号電圧で送受信が可能なマルチドライブ型の第1のI/Oセル121と、第1の電圧および第2の電圧を出力可能な第1のレギュレータ116とを有し、ホストデバイス200は、メモリカード100と同様の仕様のマルチドライブ型の第2のI/Oセル209と第2のレギュレータ204とを有している。

【0021】

図2において、パワースイッチ(PSW)201は、メモリカード100へ印加する電源電圧(VDD)をオン/オフするスイッチである。バンドギャップリファレンス(BGR)115および203は、バンドギャップの電位差を利用した基準電圧発生回路である。ノイズフィルタ(Filter)114および201は、必須の部品ではないが電源ライン(VDD)からのノイズを防ぎ、より安定した基準電圧を発生させるために有効である。そして、第1のレギュレータ(VR2)116および第2のレギュレータ(VR1)204は、3.3Vの電源電圧から1.8Vの電圧を作成するレギュレータで、それぞれBGR115または203の基準電圧を基に1.8Vの電圧を発生させる。

20

【0022】

内部ロジック回路であるコア用の電圧発生回路である第3のレギュレータ(VR3)122は、ランダムロジック部123に供給する電圧を発生する。ランダムロジック部123は、図1で示したメモリコントローラ151、ROMおよびRAM等を有する回路である。ホストデバイス200も同様に内部ロジック用の電圧発生回路が必要な場合があるが、図示していない。第1の電圧比較回路である比較器(VDCLK)120は、CLKラインの電圧が1.8Vであるかどうかを検出する。また、第2の電圧比較回路である比較器(VDCMD/RES)208は、CMD/RESラインの電圧が1.8Vであるかどうかを検出する。これに対して、第3の電圧比較回路である比較器119または第4の電圧比較回路である比較器207は、それぞれ第1のレギュレータ(VR2)116または第2のレギュレータ(VR1)204から、1.8Vの電圧が正しく生成されているかを検出する。

30

【0023】

なお、ここで、第2の電圧が1.8Vであるとは、第2の電圧が1.65Vから1.95Vの範囲にあることを意味する。また、第1の電圧であるか、または第2の電圧であるかを検出する比較器は、第1の電圧と第2の電圧との中間に第3の閾値電圧をもつ電圧比較器であり、測定ラインの電圧が、第3の閾値電圧よりも高い場合には、第1の電圧と判定し、測定ラインの電圧が、第3の閾値電圧よりも低い場合には、第2の電圧と判定する。

40

【0024】

プルアップ抵抗224および225は、バスラインの信号が、トライステートになっているときに、各ラインの電圧を3.3Vまたは1.8Vに保持する。また、コンデンサ118および206は、所定の電圧を安定化するための電荷を蓄積する。

50

【 0 0 2 5 】

次に、図 3 A、図 3 B および図 4 を用いて、メモリシステム 1 における信号電圧の切り替え動作を説明する。図 3 A および図 3 B は、メモリシステム 1 における信号電圧の切り替え動作を説明するためのフローチャートであり、図 4 は、メモリシステム 1 における信号電圧の切り替え動作の際の信号線ライン群（バス）のタイミングチャートである。

【 0 0 2 6 】

ホストデバイス 2 0 0 は、3 . 3 V モードのみをサポートしたメモリカードとの互換性を考慮した信号電圧の切り替え処理動作を行う。すなわち、ホストデバイス 2 0 0 が、接続されたメモリカードに、最初から 1 . 8 V の信号電圧を印加してしまうと、3 . 3 V モードのみをサポートしたメモリカードの入力 I / O セルは、印加された 1 . 8 V を中間電圧と認識してしまう。このため、メモリカードの入力 I / O セルには大きな貫通電流が流れてしまうことがある。

10

【 0 0 2 7 】

このため、ホストデバイス 2 0 0 は、最初は、3 . 3 V の信号電圧の信号をメモリカードに送信しておき、メモリカードが 1 . 8 V モードをサポートしているメモリカードであることを、後述するハンドシェイク処理により、検出してから、1 . 8 V モードへ切り替えるという手順を行う。

【 0 0 2 8 】

以下、図 3 A および図 3 B のフローチャートに従い、メモリシステム 1 における信号電圧の切り替え動作を説明する。なお、図 3 A および図 3 B の左側はホストデバイス 2 0 0 の動作の流れを、右側はメモリカード 1 0 0 の動作の流れを示している。

20

【 0 0 2 9 】

<ステップ S 1 0 > メモリカードがホストデバイスに接続

メモリカード 1 0 0 が、ホストデバイス 2 0 0 に接続される。すなわち、バスインターフェイスを構成する各ライン 1 1 1 から 1 1 3 によって、メモリカード 1 0 0 の I / O セル 1 2 1 と、ホストデバイス 2 0 0 の I / O セル 2 0 9 とが、コマンド / レスポンス信号ライン、クロック信号ラインおよびデータ信号ライン等により接続される。

【 0 0 3 0 】

<ステップ S 1 1 > C M D 8

1 . 8 V モードをサポートしているホストデバイス 2 0 0 の場合には、ホストデバイス 2 0 0 は、接続されたメモリカード 1 0 0 が、1 . 8 V モードをサポートしているメモリカード 1 0 0 かどうかを問い合わせる。すなわち、最初に、ホストデバイス 2 0 0 から、コマンド C M D 8 が発行される（図 4 : T 1）。C M D 8 の引数には、1 . 8 V モードへの移行を要求するビットが設定されているため、このホストデバイス 2 0 0 からメモリカード 1 0 0 に送信されるコマンド信号 C M D 8 は、信号電圧を第 1 の電圧（3 . 3 V）から第 2 の電圧（1 . 8 V）に切り替えることを、伝えるコマンド信号でもある。

30

【 0 0 3 1 】

<ステップ S 1 2 > 1 . 8 V サポート？

メモリカード 1 0 0 は、ホストデバイスからコマンド信号 C M D 8 を受信した場合、メモリカード 1 0 0 が 1 . 8 V モードに対応しているか判断する。

40

【 0 0 3 2 】

<ステップ S 1 3 > R E S 1 . 8 V 非サポート / R E S 1 . 8 V サポート

メモリカード 1 0 0 は、1 . 8 V モードをサポートしていない場合は（ステップ S 1 2 : N o）、メモリカード 1 0 0 は、1 . 8 V モードをサポートしていないことを示すレスポンス信号をホストデバイス 2 0 0 に返信する。

【 0 0 3 3 】

これに対して、メモリカード 1 0 0 が 1 . 8 V モードをサポートしている場合（ステップ S 1 2 : Y e s）は、メモリカード 1 0 0 は、1 . 8 V モードに切り替えることを示すレスポンス信号をホストデバイス 2 0 0 に返信する（図 4 : T 2）。

【 0 0 3 4 】

50

<ステップ S 1 4 > 1.8V サポート?

ホストデバイス 200 は、メモリカード 100 から 1.8V モードをサポートしていないことを示すレスポンス信号を受信した場合 (No) には、S 33 において、3.3V モードでの初期化処理を開始する。

【0035】

これに対して、ホストデバイス 200 は、メモリカード 100 から 1.8V モードをサポートしていることを示すレスポンス信号を受信した場合 (Yes) には、互いに、受信信号の内容を基に次の送信信号を送信する処理、いわゆるハンドシェイク処理を行う。

【0036】

<ステップ S 1 5 > CMD / RES を 0V にドライブ

メモリカード 100 は、レスポンス信号を送信後、CMD ラインを、L レベル (グラウンドレベル: 0V) に設定する (図 4: T 3)。

【0037】

<ステップ S 1 6 > CLK 停止 0V に、DAT 0V にドライブ

ホストデバイス 200 は、DAT ラインを L レベル (グラウンドレベル: 0V) に設定し (図 4: T 4)、かつ、クロック発振を停止し、CLK ラインも、L レベル (グラウンドレベル: 0V) に設定する (図 4: T 5)。なお、DAT ラインと CLK ラインとは、いずれのラインを先に、L レベルにしてもよい。

【0038】

ここで、CMD ライン、CLK ラインをおよび DAT ラインを、L レベル (0V) に設定、すなわちドライブするのは、それぞれのラインがトライステートになり、不安定な電圧が印加されることを防ぐためである。電圧切り替え期間に、I/O セル 121 等に不安定な電圧が印加されてしまうと、I/O セル 121 等に貫通電流が流れてしまう危険がある。このため、ホストデバイス 200 またはメモリカード 100 は、信号ラインの電圧を L レベル (0V) に固定しておく。

【0039】

<ステップ S 1 7、ステップ S 1 8 > VR 1、VR 2 を 3.3V から 1.8V に

メモリカード 100 は、レギュレータ VR 2 が 1.8V を生成するように切り替える。また、ホストデバイス 200 は、レギュレータ VR 1 が 1.8V を生成するように切り替える。

【0040】

<ステップ S 1 9、ステップ S 2 0 > タイマセット

ホストデバイス 200 は、所定の時間の経過があるまで待機する (図 4: T 5 ~ T 6)。このため、例えば、100 マイクロ秒のタイマがセットされる。

【0041】

これは、レギュレータ VR 1 とレギュレータ VR 2 とに、それぞれ接続されているコンデンサ 206 または 118 が、3.3V にチャージされた状態から、1.8V にチャージされた状態にまで放電するために、待つ必要があるためである。もちろん、コンデンサ 206 または 118 を積極的に放電させる回路をもつことも可能であるが、放電時間は人の感覚からは十分短い時間であるので、メモリシステム 1 では、放電回路を設けてはいない。なお、上記説明では、待機時間を 100 マイクロ秒として説明したが、待機時間はコンデンサ 206 または 118 の仕様により異なり、概ね、10 ~ 500 マイクロ秒程度である。

【0042】

<ステップ S 2 1 > CLK を 1.8V - DC にドライブ

ホストデバイス 200 は、所定の時間、上記例では、100 マイクロ秒、経過した後、グラウンドレベルのクロック信号ラインを 1.8V に設定する (図 4: T 6)。ここでは、ホストデバイス 200 は、通常はクロック信号を送信するクロック信号ラインに、1.8V の直流信号を印加する。そして、ホストデバイス 200 は、レギュレータ VR 2 から 1.8V の信号電圧が供給可能になったことをメモリカード 100 に伝える。

10

20

30

40

50

【 0 0 4 3 】

<ステップ S 2 2 > C L K 1 . 8 V ?

メモ리카ード 1 0 0 は、クロック信号ラインに電圧が印加されると、その信号電圧が 1 . 8 V であるかを、第 1 の電圧比較回路である比較器 1 2 0 により、確認する。クロック信号ラインに 1 . 8 V の電圧が印加されていない場合 (N o) には、メモ리카ード 1 0 0 は、その後の電圧切り替え処理は行わず、ステップ S 3 2 においてメモ리카ード 1 0 0 は動作を停止する。

【 0 0 4 4 】

<ステップ S 2 3 > C M D / R E S を 1 . 8 V - D C にドライブ

ステップ S 2 2 において、クロック信号ラインの信号電圧が 1 . 8 V であることが確認された場合 (Y e s) には、メモ리카ード 1 0 0 は、グランドレベルの C M D / R E S ライン (レスポンス信号ライン) を 1 . 8 V にドライブする (図 4 : T 7) 。ここでは、メモ리카ード 1 0 0 は、通常は、R E S 信号を送信するレスポンス信号ラインに、1 . 8 V の直流信号を印加する。

10

【 0 0 4 5 】

<ステップ S 2 4 > タイマセット

ホストデバイスはクロック信号ラインの信号電圧を 1 . 8 V に設定した後、タイマをセットする。

【 0 0 4 6 】

<ステップ S 2 5 > C M D ライン 1 . 8 V ?

C M D / R E S ラインに電圧が印加されると、ホストデバイス 2 0 0 は、C M D / R E S 信号ラインの信号電圧が 1 . 8 V であるかを、第 2 の電圧比較回路である比較器 (V D C M D / R E S) 2 0 8 により検出する

20

<ステップ S 2 6、ステップ S 2 7 >

ホストデバイス 2 0 0 は、所定の時間、例えば 1 0 0 マイクロ秒経過してもクロック信号ラインに 1 . 8 V の電圧が印加されていない場合 (N o) には、ステップ S 2 7 において、パワースイッチ (P S W) 2 0 1 をオフとして、メモ리카ード 1 0 0 の動作を停止する。

【 0 0 4 7 】

以上の説明のように、本実施の形態のメモリシステム 1 は、電圧切り替え処理におけるハンドシェイク処理の途中で、所定の時間経過してもメモ리카ード 1 0 0 またはホストデバイス 2 0 0 が所定の動作を実行しなかった場合には、1 . 8 V への切り替えができなかったことを検出することで、例えば、エラーコードを出力したり、または、3 . 3 V モードの初期化処理を実行するようにしてもよい。その一例を図 5 に示す。

30

【 0 0 4 8 】

図 5 は、ステップ S 2 3 において、メモ리카ード 1 0 0 が C M D / R E S ライン (レスポンス信号ライン) を 1 . 8 V にドライブしなかった場合のタイミングチャートを示す。ホストデバイス 2 0 0 は、クロック信号ラインに 1 . 8 V の電圧を印加して、メモ리카ード 1 0 0 からの応答動作、すなわち、レスポンス信号ラインが 0 V (グランドレベル) から 1 . 8 V となるのを待っている。しかし、ホストデバイス 2 0 0 は、所定の時間 (例えば 1 0 0 マイクロ秒) 経過しても、レスポンス信号ラインが 1 . 8 V にならなかった場合には、T 1 2 において、パワースイッチ 2 0 1 を O F F とし、メモ리카ード 1 0 0 へ印加する電源電圧 (V D D) を停止する。また、ホストデバイス 2 0 0 は、C L K 信号ラインの電圧を 0 V とする。

40

【 0 0 4 9 】

図 5 に示す場合だけでなく、電圧切り替え処理におけるハンドシェイク処理の途中のエラー発生の際には、ホストデバイス 2 0 0 は、C L K 信号ラインの電圧を 0 V とし、メモ리카ード 1 0 0 への電源供給を停止する。

【 0 0 5 0 】

<ステップ S 2 8 > C L K 発振

50

ステップ S 2 4 において、C M D / R E S 信号ラインの信号電圧が 1 . 8 V であることが確認された場合 (Y e s) には、ホストデバイス 2 0 0 は、クロック信号線に発振したクロック信号を送信、言い換えれば、クロック信号を発振する (図 5 : T 8) 。

【 0 0 5 1 】

< ステップ S 2 9、ステップ 3 0 > D A T を 1 . 8 V にドライブ / D A T をトライステートに

ホストデバイス 2 0 0 はクロックの発振を開始してから、D A T 信号ラインを、短時間だけ、1 . 8 V の電圧にドライブ (図 5 : T 9 ~ T 1 0) した後、トライステートにする。D A T 信号ラインは、1 . 8 V でプルアップされているので、1 . 8 V の電圧レベルを維持する。

10

【 0 0 5 2 】

< ステップ S 3 1、ステップ 3 2 > C L K 発振 ? / C M D / R E S をトライステートに

メモ리카ード 1 0 0 は、ホストデバイス 2 0 0 から、発振したクロック信号を受信する (Y e s) と、ステップ S 2 9 において、C M D / R E S ラインをトライステート状態にする (図 5 : T 1 1) 。C M D / R E S ラインは、1 . 8 V でプルアップされているので、1 . 8 V の電圧レベルを維持する。

【 0 0 5 3 】

クロック信号ラインに発振したクロック信号が印加されない場合 (N o) には、メモ리카ード 1 0 0 は、ステップ S 3 5 において動作を停止する。

20

【 0 0 5 4 】

< ステップ S 3 3 >

メモ리카ード 1 0 0 およびホストデバイス 2 0 0 は、共に 3 . 3 V モードでの初期化処理を行い、以降の信号の送受信を 3 . 3 V の信号電圧で行う。

【 0 0 5 5 】

< ステップ S 3 4 >

メモ리카ード 1 0 0 およびホストデバイス 2 0 0 は、共に 1 . 8 V モードへの移行処理が完了し、以降の信号の送受信を 1 . 8 V の信号電圧で行う。

【 0 0 5 6 】

< ステップ S 3 5 >

1 . 8 V モードへの信号電圧移行手順が失敗し、メモ리카ード 1 0 0 が停止した場合は、ホストデバイス 2 0 0 は、いったん電源をおとしてから、再度 3 . 3 V の信号電圧をメモ리카ード 1 0 0 に送信して、1 . 8 V モードへの切り替え処理を行わないで、3 . 3 V モードでの初期化処理を行う。

30

【 0 0 5 7 】

以上の説明のように、メモリシステム 1 は、メモ리카ード 1 0 0 およびホストデバイス 2 0 0 が、ハンドシェイク処理により、使用する信号電圧を互いに確認することで I / O セル等がダメージを受けることがない。また、メモリシステム 1 は、メモ리카ード 1 0 0 およびホストデバイス 2 0 0 が、それぞれのレギュレータ 1 1 6 または 2 0 4 の出力の電圧を互いに確認することにより、信号線に印加する電圧の確実性を高めることができる。また、メモリシステム 1 は、クロック信号ラインとコマンド信号ラインとを用いたハンドシェイク処理のシーケンスを定義することにより、手順を踏んで安全に第 1 の電圧 (3 . 3 V) から第 2 の電圧 (1 . 8 V) に切り替えることができる。

40

【 0 0 5 8 】

なお、メモリシステム 1 においても、1 . 8 V モードへの切り替えを頻繁に行うと、I / O セル 1 2 1 または 2 0 9 等を壊してしまう可能性がないとはいえない。このため、メモリシステム 1 では、通常の、初期化処理が始まる前の最初の段階でのみ、信号電圧を 1 . 8 V に切り替えする処理ができることが好ましい。すなわち、メモリシステム 1 では、1 . 8 V モードに切り替えた後は、リセットコマンドが発行されても、電圧モードは変更されない。

50

【 0 0 5 9 】

言い換えれば、メモリカード 1 0 0 およびホストデバイス 2 0 0 では、リセットコマンドが発行されても、すべての信号は 1 . 8 V の第 2 の電圧で送受信され、この状態は電源電圧が 0 V になるメモリシステム 1 の動作の終了時まで継続される。

【 0 0 6 0 】

メモリシステム 1 においては、電圧モードは頻繁に切り替えるべきではないので、リセットによっても信号電圧が変わらないようにすることで、安定性・信頼性を維持できる。

【 0 0 6 1 】

次に、図 6 を用いて、メモリカード 1 0 0 およびホストデバイス 2 0 0 が有する保護ダイオードについて説明する。図 6 は、メモリカード 1 0 0 およびホストデバイス 2 0 0 の I / O セル 1 2 1 および 2 0 9 の部分的な構成を示した部分構成図である。

10

【 0 0 6 2 】

ホストデバイス 2 0 0 およびメモリカード 1 0 0 のそれぞれの I / O セル 2 0 9 と 1 2 1 とに対しては、レギュレータ 2 0 4 または 1 1 6 の出力である 3 . 3 V、または 1 . 8 V のいずれかの電圧が切り替えて印加される。このため、電圧の切り替えの際には、レギュレータ 2 0 4 とレギュレータ 1 1 6 との出力電圧が異なる時間が存在する可能性がある。レギュレータ 2 0 4 とレギュレータ 1 1 6 との出力電圧が異なる場合には、予期せぬ経路で電流が流れて I / O セル 1 2 1 または 2 0 9 等を破損する可能性がある。

【 0 0 6 3 】

ホストデバイス 2 0 0 とメモリカード 1 0 0 は、保護ダイオード 2 3 2 と 3 1 6 とが、3 . 3 V の電圧の電源ラインに接続されている。このため、ホストデバイス 2 0 0 とメモリカード 1 0 0 は、1 . 8 V モードにおいても、1 . 8 V を超える印加電圧によって保護ダイオード 1 3 7 または 2 3 3 が破壊されることがない。

20

【 0 0 6 4 】

すなわち、メモリカード 1 0 0 は、ホストデバイス 2 0 0 に接続可能な、不揮発性のメモリ部 1 5 0 を有し、第 1 の電圧 (3 . 3 V) を供給する電源ライン V D D 1 1 4 と、V D D 1 1 4 から第 1 の電圧 (3 . 3 V) と第 1 の電圧より低い第 2 の電圧 (1 . 8 V) とから選択されたいずれかの電圧の電力を出力可能な第 1 のレギュレータ 1 1 6 と、第 1 のレギュレータ 1 1 6 から電力の供給を受け、ホストデバイス 2 0 0 と信号を送受信する I / O セル 1 2 1 と、I / O セル 1 2 1 を過電圧から保護するために、I / O セル 1 2 1 の入力端と、3 . 3 V の電源ラインと接続されている電源端とに接続された保護ダイオード 1 3 6 を有し、第 1 の電圧 (3 . 3 V) または第 2 の電圧 (1 . 8 V) とから選択されたいずれかの電圧の信号でホストデバイス 2 0 0 と送受信が可能である。

30

【 0 0 6 5 】

メモリシステム 1 においては、ホストデバイス 2 0 0 およびメモリカード 1 0 0 がいずれも 2 つの電圧が出力可能なレギュレータ 1 1 6 または 2 0 4 を有するため、レギュレータ出力に保護ダイオードを接続すると保護ダイオードが破損する可能性がある。信号電圧を 1 . 8 V とする場合には、電源電圧自体を 1 . 8 V とすることが一般的であるが、メモリシステム 1 においては、互換性を考慮しているため、電源電圧を 3 . 3 V としている。このため、メモリシステム 1 においては、保護ダイオードの破損を防止するために、上記記載の保護ダイオード 1 3 6 が有効である。

40

【 0 0 6 6 】

なお、上記説明のように、ホストデバイス 2 0 0 とメモリカード 1 0 0 とは、接続開始の段階でのみ、電圧モードの切り替え処理を行う。このため、ホストデバイス 2 0 0 は、スイッチコマンドを送信することで電圧の切り替え処理を行うことはない。図 7 A および図 7 B は、ホストデバイス 2 0 0 が送信する転送モードを変えるための、スイッチコマンドのパラメータ例を示す説明図である。

【 0 0 6 7 】

なお、本実施形態では、メモリデバイスとして S D メモリカード (登録商標) を有するメモリシステム 1 等を例として説明したが、同様のバス構造をもつメモリシステムであれ

50

ば、他のメモリカード、メモリデバイスまたは内部メモリ等を有するメモリシステムにも適用可能であり、メモリシステム 1 等と同様の作用効果を奏することができる。

【0068】

以上の説明のように、本発明のメモリデバイス等は、以下の通りである。

【0069】

1. メモリデバイス、ホストデバイス、メモリシステム、メモリデバイスの制御方法、ホストデバイスの制御方法、メモリシステムの制御方法。

【0070】

2. 前記メモリデバイスは、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える旨の前記レスポンス信号を送信した場合には、レスポンス信号ラインを 0 V に保持することを特徴とする上記 1 に記載のメモリデバイス。

10

【0071】

3. 前記ホストデバイスは、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替えることを、前記レスポンス信号にて、受信した場合には、前記クロック信号を停止し、前記クロック信号ラインおよび前記データ信号ラインを 0 V に保持する上記 1 または 2 に記載のメモリデバイス。

【0072】

4. 前記第 1 の電圧比較回路および前記第 2 の電圧比較回路が検出する電圧が直流電流の電圧である上記 1 から 3 のいずれか 1 項に記載のメモリデバイス。

【0073】

5. 前記第 1 のレギュレータおよび前記第 2 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替えを開始後、所定の時間、待機することを特徴とする上記 1 から 4 のいずれか 1 項に記載のメモリデバイス。

20

【0074】

6. 前記第 1 のレギュレータおよび前記第 2 のレギュレータが出力する電圧が、前記第 2 の電圧であることを検出する第 3 の電圧比較回路および第 4 の電圧比較回路を有することを特徴とする上記 1 から 5 のいずれか 1 項に記載のメモリデバイス。

【0075】

7. 前記第 1 の I/O セルおよび第 2 の I/O セルは、それぞれの I/O セルを過電圧から保護する保護ダイオードを具備することを特徴とする上記 1 から 6 のいずれか 1 項に記載のメモリデバイス。

30

【0076】

8. 前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替えた後は、電源が遮断されるまで前記第 2 の電圧で前記信号の送受信を行うことを特徴とする上記 1 から 7 のいずれか 1 項に記載のメモリデバイス。

【0077】

9. 前記メモリ部が、NAND 型フラッシュメモリであることを特徴とする上記 1 から 8 のいずれか 1 項に記載のメモリデバイス。

【0078】

また、本発明のメモリデバイス等は、上記 2 から 8 のメモリデバイスを有するメモリシステム、上記 2 から 8 のメモリデバイスの制御方法、メモリシステムの制御方法である。

40

【0079】

さらに、本実施の形態のメモリデバイス、ホストデバイス、メモリシステム、メモリデバイスの制御方法、ホストデバイスの制御方法、およびメモリシステムの制御方法の特徴を以下に記載する。

【0080】

1. ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスであって前記メモリデバイスは前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 1 の I/O セルと、前記第 1 の電圧およ

50

び前記第 2 の電圧を出力可能な第 1 のレギュレータとを有し、前記ホストデバイスから、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替えることを要求する前記コマンド信号を受信した場合、前記信号電圧を切り替えることを前記レスポンス信号にて、前記ホストデバイスに送信し、前記第 1 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替え、クロック信号ラインが、前記第 2 の電圧であることを検出した場合にはグラウンドレベルのレスポンス信号ラインに、前記第 2 の電圧を印加し、前記クロック信号の発振を検出した場合には、前記第 2 の電圧の信号電圧で送受信を開始することを特徴とするメモリデバイス。

【 0 0 8 1 】

2 . 前記クロック信号ラインの信号電圧が、前記第 2 の電圧であることを検出する第 1 の電圧比較回路を有することを特徴とする上記 1 に記載のメモリデバイス。

10

【 0 0 8 2 】

3 . 不揮発性のメモリ部を有するメモリデバイスが接続可能な、ホストデバイスであって前記ホストデバイスは前記メモリデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 2 の I / O セルと、前記第 1 の電圧および前記第 2 の電圧を出力可能な第 2 のレギュレータとを有し、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える場合に、前記信号電圧を切り替えることを前記コマンド信号にて送信し、前記信号電圧を切り替え可能であることを示す前記レスポンス信号を受信した場合には、前記第 2 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替え、グラウンドレベルのクロック信号ラインに、前記第 2 の電圧を印加し、レスポンス信号ラインが、前記第 2 の電圧であることを検出した場合には、前記クロック信号を発振し、前記第 2 の電圧の信号電圧で送受信を開始することを特徴とするホストデバイス。

20

【 0 0 8 3 】

4 . 不揮発性のメモリ部を有するメモリデバイスが接続可能な、ホストデバイスであって前記ホストデバイスは前記メモリデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 2 の I / O セルと、前記第 1 の電圧および前記第 2 の電圧を出力可能な第 2 のレギュレータとを有し、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える場合に、前記信号電圧を切り替えることを前記コマンド信号にて送信し、前記信号電圧を切り替え可能であることを示す前記レスポンス信号を一定時間の間受信できなかった場合または切り替え不可能であるレスポンス信号を受けた場合には、メモリデバイスの電源をいったん切り、再度第 1 の電圧により送受信を開始することを特徴とするホストデバイス。

30

【 0 0 8 4 】

5 . 前記レスポンス信号ラインの信号電圧が、前記第 2 の電圧であることを検出する第 2 の電圧比較回路を有することを特徴とする上記 3 または上記 4 に記載のホストデバイス。

【 0 0 8 5 】

6 . ホストデバイスと、前記ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスとを有するメモリシステムであって、前記メモリデバイスは、前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 1 の I / O セルと、前記第 1 の電圧および前記第 2 の電圧を出力可能な第 1 のレギュレータとを有し、前記ホストデバイスは、前記メモリデバイスと、前記第 1 の電圧と前記第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 2 の I / O セルと、前記第 1 の電圧および前記第 2 の電圧を出力可能な第 2 のレギュレータとを有し、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える場合に、前記ホストデバイスは前記信号電圧を切り替えることを要求する前記コマンド信号を、前記メモリデ

40

50

バースに送信し、前記メモリデバイスは、前記信号電圧を切り替え可能であることを、前記レスポンス信号にて、前記第1の電圧で前記ホストデバイスに送信し、前記メモリデバイスおよび前記ホストデバイスは、前記第1のレギュレータおよび前記第2のレギュレータが出力する電圧を前記第1の電圧から前記第2の電圧に切り替え、前記ホストデバイスは、グラウンドレベルのクロック信号ラインに、前記第2の電圧を印加し、前記メモリデバイスは、前記クロック信号ラインが、前記第2の電圧であることを検出した場合には、グラウンドレベルのレスポンス信号ラインに、前記第2の電圧を印加し、前記ホストデバイスは、前記レスポンス信号ラインが、前記第2の電圧であることを検出した場合には、前記クロック信号を発振し、前記メモリデバイスは、前記クロック信号の発振を検出した場合には、前記第2の電圧の信号電圧で、送受信を開始することを特徴とするメモリシステム。

10

【0086】

7. 前記メモリデバイスは、前記クロック信号ラインの信号電圧が、前記第2の電圧であることを検出する第1の電圧比較回路を有し、前記ホストデバイスは、前記レスポンス信号ラインの信号電圧が、前記第2の電圧であることを検出する第2の電圧比較回路を有することを特徴とする上記6に記載のメモリシステム。

【0087】

8. ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスの制御方法であって前記メモリデバイスは前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第1の電圧と、前記第1の電圧より低い第2の電圧とから選択されたいずれかの信号電圧で送受信が可能な第1のI/Oセルと、前記第1の電圧および前記第2の電圧を出力可能な第1のレギュレータとを有し、前記ホストデバイスから、前記信号電圧を前記第1の電圧から前記第2の電圧に切り替えることを要求する前記コマンド信号を受信するコマンド受信ステップと、前記信号電圧を切り替え可能であることを前記レスポンス信号にて、前記ホストデバイスに送信するレスポンス信号送信ステップと、前記第1のレギュレータが出力する電圧を前記第1の電圧から前記第2の電圧に切り替える第1のレギュレータ切り替えステップと、クロック信号ラインが前記第2の電圧であることを検出するクロック信号ライン電圧検出ステップと、グラウンドレベルのレスポンス信号ラインに、前記第2の電圧を印加するレスポンス信号ライン電圧印加ステップと前記クロック信号の発振を検出するクロック信号発振検出ステップと、前記第2の電圧の信号電圧で送受信を開始する送受信ステップとを有することを特徴とするメモリデバイスの制御方法。

20

30

【0088】

9. クロック信号ラインの信号電圧が、前記第2の電圧であることを検出する第1の電圧比較回路を有することを特徴とする上記8に記載のメモリデバイスの制御方法。

【0089】

10. 不揮発性のメモリ部を有するメモリデバイスが接続可能な、ホストデバイスの制御方法であって前記ホストデバイスは前記メモリデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、第1の電圧と、前記第1の電圧より低い第2の電圧とから選択されたいずれかの信号電圧で送受信が可能な第2のI/Oセルと、前記第1の電圧および前記第2の電圧を出力可能な第2のレギュレータとを有し、前記信号電圧を前記第1の電圧から前記第2の電圧に切り替える場合に、前記信号電圧を切り替えることを前記コマンド信号にて送信するコマンド信号送信ステップと、前記信号電圧を切り替え可能であることを示す前記レスポンス信号を受信するレスポンス信号受信ステップと、前記第2のレギュレータが出力する電圧を前記第1の電圧から前記第2の電圧に切り替えるレギュレータ電圧切り替えステップと、グラウンドレベルのクロック信号ラインに、前記第2の電圧を印加するクロック信号ライン電圧印加ステップと、レスポンス信号ラインが、前記第2の電圧であることを検出するレスポンス信号ライン電圧検出ステップと前記クロック信号を発振するクロック信号発振ステップと、前記第2の電圧の信号電圧で送受信を開始する送受信ステップとを有することを特徴とするホストデバイスの制御方法。

40

50

【 0 0 9 0 】

1 1 . 前記レスポンス信号ラインの信号電圧が、前記第 2 の電圧であることを検出する第 2 の電圧比較回路を有することを特徴とする上記 1 0 に記載のホストデバイスの制御方法。

【 0 0 9 1 】

1 2 . ホストデバイスと、前記ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスとを有するメモリシステムの制御方法であって、前記メモリデバイスは、前記ホストデバイスと、コマンド信号、レスポンス信号、クロック信号およびデータ信号を、前記第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 1 の I / O セルと、前記第 1 の電圧および前記第 2 の電圧を出力可能な第 1 のレギュレータとを有し、前記ホストデバイスは、前記メモリデバイスと、信号を、前記第 1 の電圧と、前記第 2 の電圧とから選択されたいずれかの信号電圧で送受信が可能な第 2 の I / O セルと、前記第 1 の電圧および前記第 2 の電圧を出力可能な第 2 のレギュレータとを有し、前記信号電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える場合に、前記ホストデバイスが前記信号電圧を切り替えることを要求する前記コマンド信号を、前記メモリデバイスに送信するコマンド信号送信ステップと、前記メモリデバイスが、前記信号電圧を切り替え可能であることを、前記レスポンス信号にて、前記第 1 の電圧で前記ホストデバイスに送信するレスポンス信号送信ステップと、前記メモリデバイスおよび前記ホストデバイスが、前記第 1 のレギュレータおよび前記第 2 のレギュレータが出力する電圧を前記第 1 の電圧から前記第 2 の電圧に切り替える、レギュレータ電圧切り替えステップと、前記ホストデバイスが、グラウンドレベルのクロック信号ラインに、前記第 2 の電圧を印加するクロック信号ライン電圧印加ステップと、前記メモリデバイスが、前記クロック信号ラインが、前記第 2 の電圧であることを検出するクロック信号ライン電圧検出ステップと、前記メモリデバイスが、グラウンドレベルのレスポンス信号ラインに、前記第 2 の電圧を印加するレスポンス信号ライン電圧印加ステップと、前記ホストデバイスが、前記レスポンス信号ラインが、前記第 2 の電圧であることを検出するレスポンス信号ライン電圧検出ステップと、前記ホストデバイスが、前記クロック信号を発振するクロック信号発振ステップと、前記メモリデバイスが、前記クロック信号の発振を検出するクロック信号発振検出ステップと、前記メモリデバイスおよび前記ホストデバイスが、前記第 2 の電圧の信号電圧で、送受信を開始する送受信ステップとを有することを特徴とするメモリシステムの制御方法。

10

20

30

【 0 0 9 2 】

1 3 前記メモリデバイスは、クロック信号ラインの信号電圧が、前記第 2 の電圧であることを検出する第 1 の電圧比較回路を有し、前記ホストデバイスは、レスポンス信号ラインの信号電圧が、前記第 2 の電圧であることを検出する第 2 の電圧比較回路を有することを特徴とする上記 1 2 に記載のメモリシステムの制御方法。

【 0 0 9 3 】

1 4 ホストデバイスに接続可能な、不揮発性のメモリ部を有するメモリデバイスであって第 1 の電圧を供給する電源と、前記電源から前記第 1 の電圧と前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの電圧の電力を出力可能なレギュレータと、前記レギュレータから電力の供給を受け、前記ホストデバイスと信号を送受信する I / O セルと、前記 I / O セルを過電圧から保護するために、前記 I / O セルの入力端と前記電源端との間に接続された保護ダイオードとを有し、前記第 1 の電圧または第 2 の電圧とから選択されたいずれかの電圧の信号で前記ホストデバイスと送受信が可能なことを特徴とするメモリデバイス。

40

【 0 0 9 4 】

1 5 . 不揮発性のメモリ部を有するメモリデバイスに接続可能な、ホストデバイスであって第 1 の電圧を供給する電源と、前記電源から前記第 1 の電圧と、前記第 1 の電圧より低い第 2 の電圧とから選択されたいずれかの電圧の電力を出力可能なレギュレータと、前記レギュレータから電力の供給を受け、前記メモリデバイスと信号を送受信する I / O セ

50

ルと、前記 I / O セルを過電圧から保護するために、前記 I / O セルの入力端と前記電源端との間に接続された保護ダイオードとを有し、前記第 1 の電圧または第 2 の電圧とから選択されたいずれかの電圧の信号で前記メモリデバイスと送受信が可能なることを特徴とするホストデバイス。

【 0 0 9 5 】

< 第 2 の実施の形態 >

以下、本発明の第 2 の実施の形態のメモリデバイスであるメモリカード 4 0 0、ホストデバイス 5 0 0、メモリカード 4 0 0 とホストデバイス 5 0 0 とを有するメモリシステム 3 0 1 について図面を参照して説明する。本実施の形態のメモリシステム 3 0 1 等は第 1 の実施の形態のメモリシステム 1 等に類似しているため同じ構成要素には同じ符号を付し説明は省略する。

10

【 0 0 9 6 】

次に、図 8 A、図 8 B、図 9 および図 1 0 を用いて、メモリシステム 3 0 1 における信号電圧の切り替え動作を説明する。図 8 A および図 8 B は、メモリシステム 3 0 1 における信号電圧の切り替え動作を説明するためのフローチャートであり、図 9 および図 1 0 は、メモリシステム 3 0 1 における信号電圧の切り替え動作の際の信号線ライン群（バス）のタイミングチャートである。

【 0 0 9 7 】

以下、図 8 A および図 8 B のフローチャートに従い、メモリシステム 3 0 1 における信号電圧の切り替え動作を説明する。なお、図 8 A および図 8 B の左側はホストデバイス 5 0 0 の動作の流れを、右側はメモリカード 4 0 0 の動作の流れを示している。

20

【 0 0 9 8 】

< ステップ S 4 0 > ~ < ステップ S 4 4 >

メモリシステム 1 等のステップ S 1 0 ~ ステップ S 1 4 と同じであるため説明は省略する。

【 0 0 9 9 】

< ステップ S 4 5 > CMD / RES を 0 V にドライブ、DAT を 0 V にドライブ

メモリカード 4 0 0 は、レスポンス信号を送信後、CMD ラインを、L レベル（グラウンドレベル：0 V）に設定（図 9：T 3）し、かつ DAT ラインを L レベル（グラウンドレベル：0 V）に設定（図 9：T 4）する。なお、CMD / RES ラインと DAT ラインとでは、いずれのラインを先に、L レベルにしてもよい。

30

【 0 1 0 0 】

< ステップ S 4 6 > CLK 停止 0 V に

ホストデバイス 5 0 0 は、クロック発振を停止し、CLK ラインも、L レベル（グラウンドレベル：0 V）に設定する（図 9：T 5）。

【 0 1 0 1 】

< ステップ S 4 7 > ~ < ステップ S 5 0 >

メモリシステム 1 等のステップ S 1 7 ~ ステップ S 2 0 と同じであるため説明は省略する。

【 0 1 0 2 】

< ステップ S 5 1 > CLK 発振

前記ステップ 4 9、5 0 において一定期間（例えば 1 0 0 マイクロ秒）経過後、ホストデバイス 5 0 0 はクロック信号線に、発振したクロック信号を送信、言い換えれば、クロック信号を発振する（図 9：T 6）。そして、ホストデバイス 5 0 0 は、レギュレータ V R 2 から 1 . 8 V の信号電圧が供給可能になったことをメモリカード 4 0 0 に伝える。

40

【 0 1 0 3 】

< ステップ S 5 2 > CLK 発振 ?

メモリカード 4 0 0 は、クロック信号ラインに、所定の電圧が H レベルのクロック信号が印加されたかを、確認する。

【 0 1 0 4 】

50

<ステップ S 5 3 >

メモリシステム 1 等のステップ S 2 3 と同じであるため説明は省略する。

【0105】

<ステップ S 5 4 > CMD / RES をトライステートに

メモリカード 4 0 0 は、CMD / RES ラインを短時間だけ、1.8 V の電圧にドライブ (図 9 : T 7 ~ T 8) した後、トライステート状態にする (図 9 : T 8)。CMD / RES ラインは、1.8 V でプルアップされているので、1.8 V の電圧レベルを維持する。

【0106】

<ステップ S 5 5、ステップ S 5 6 > DAT を 1.8 V にドライブ / DAT をトライステートに

メモリカード 4 0 0 は、DAT 信号ラインを、短時間だけ、1.8 V の電圧にドライブ (図 9 : T 9 ~ T 1 0) した後、トライステートにする。DAT 信号ラインは、1.8 V でプルアップされているので、1.8 V の電圧レベルを維持する。

【0107】

<ステップ S 5 7 > クロックカウンタセット

ホストデバイス 5 0 0 はクロック信号を発振後、クロックカウンタをセット、カウンタ数 n をゼロに設定する。

【0108】

<ステップ S 5 8、ステップ S 5 9 >

ホストデバイス 5 0 0 は、最小 1 6 クロックをカウントするまで待機する。待機する時間は 1 6 クロック以上の値を設定する。

【0109】

<ステップ S 6 0 > DAT ライン 1.8 V ?

ホストデバイス 5 0 0 は DAT 信号ラインがグラウンドレベルではないこと、すなわち、所定の電圧が印加されたことを検出する。ここで、所定の電圧とは 1.8 V である。

【0110】

ホストデバイス 5 0 0 は DAT 信号ラインに電圧が印加されていない場合 (N o) には、ステップ S 6 1 において、パワースイッチ (P S W) 2 0 1 をオフとして、メモリカード 4 0 0 の動作を停止する。ホストデバイス 5 0 0 は DAT 信号ラインに電圧が印加されていた場合 (Y e s) には、ステップ S 6 3 で以降の信号の送受信を 1.8 V の信号電圧で行う。

【0111】

なお、さらにホストデバイス 5 0 0 は、DAT 信号ラインだけでなく、DAT 信号ラインおよび CMD 信号ラインもグラウンドレベルではないこと、すなわち、所定の電圧が印加されたことを検出することで、より安全に電圧切り替え処理を行うことができる。ここで、所定の電圧とは 1.8 V である。

【0112】

<ステップ S 6 2 >

メモリカード 4 0 0 およびホストデバイス 5 0 0 は、共に 3.3 V モードでの初期化処理を行い、以降の信号の送受信を 3.3 V の信号電圧で行う。

【0113】

<ステップ S 6 3 >

メモリカード 4 0 0 およびホストデバイス 5 0 0 は、共に 1.8 V モードへの移行処理が完了し、以降の信号の送受信を 1.8 V の信号電圧で行う。

【0114】

1.8 V モードへの信号電圧移行手順が失敗し、メモリカード 4 0 0 が停止した場合は、ホストデバイス 5 0 0 は、いったん電源をおとしてから、再度 3.3 V の信号電圧をメモリカード 4 0 0 に送信して、1.8 V モードへの切り替え処理を行わないで、3.3 V モードでの初期化処理を行う。

10

20

30

40

50

【 0 1 1 5 】

以上の説明のように、メモリシステム 3 0 1 のメモリカード 4 0 0 は、ホストデバイス 5 0 0 が出力した発振クロック信号の電圧を検出する。このため、メモリシステム 1 では必要であったクロック信号ラインに D C 電圧を印加する回路が不要となる。また、メモリカード 4 0 0 が、D A T ラインをトライステート状態とする。

【 0 1 1 6 】

本実施の形態のメモリシステム 3 0 1 は、より簡単な構成でありながら、第 1 の実施の形態のメモリシステム 1 と同様の効果を奏することができる。

【 0 1 1 7 】

< 第 3 の実施の形態 >

以下、本発明の第 3 の実施の形態のメモリデバイスであるメモリカード 7 0 0、ホストデバイス 8 0 0、メモリカード 7 0 0 とホストデバイス 8 0 0 とを有するメモリシステム 6 0 1 について説明する。本実施の形態のメモリシステム 6 0 1 等は第 2 の実施の形態のメモリシステム 3 0 1 等に類似しているため同じ構成要素には同じ符号を付し説明は省略する。

【 0 1 1 8 】

メモリシステム 6 0 1 等では、電圧が所望の電圧、例えば 1 . 8 V、であることを確認するための比較器 1 1 9 , 1 2 0 , 2 0 7、2 0 8 (図 2 参照) を具備していない。

【 0 1 1 9 】

このため、メモリカード 7 0 0 は、図 8 A、ステップ S 5 2 では、クロック信号ラインがグランドレベルではないこと、すなわちクロックの発振の有無のみを確認する。また、ホストデバイス 8 0 0 は図 8 B、ステップ S 5 5 では、C M D ラインに何らかの電圧が印加されたか、すなわち、C M D ラインがグランドレベルであるかどうかのみを確認する。

【 0 1 2 0 】

本実施の形態のメモリシステム 6 0 1 は、より簡単な構成でありながら、第 1 の実施の形態のメモリシステム 1 等と同様の効果を奏することができる。

【 0 1 2 1 】

また、本発明は、上述した実施の形態および変形例に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【 図面の簡単な説明 】

【 0 1 2 2 】

【 図 1 】 実施の形態にかかるメモリカードとホストデバイスとからなるメモリシステムの構成を示す概略図である。

【 図 2 】 実施の形態にかかるメモリシステムの電源回路部分の構成を示すブロック図である。

【 図 3 A 】 実施の形態にかかるメモリシステムにおける信号電圧の切り替え動作を説明するためのフローチャートである。

【 図 3 B 】 実施の形態にかかるメモリシステムにおける信号電圧の切り替え動作を説明するためのフローチャートである。

【 図 4 】 実施の形態にかかるメモリシステムにおける信号電圧の切り替え動作の際のバスのタイミングチャートである。

【 図 5 】 実施の形態にかかるメモリシステムにおける信号電圧の切り替え動作の際のバスのタイミングチャートである。

【 図 6 】 実施の形態にかかるメモリカードおよびホストデバイスの I / O セルの部分的な構成を示した部分構成図である。

【 図 7 A 】 実施の形態にかかるホストデバイスが送信するスイッチコマンドのパラメータ例を示す説明図である。

【 図 7 B 】 実施の形態にかかるホストデバイスが送信するスイッチコマンドのパラメータ例を示す説明図である。

【 図 8 A 】 第 2 の実施の形態にかかるメモリシステムにおける信号電圧の切り替え動作を

10

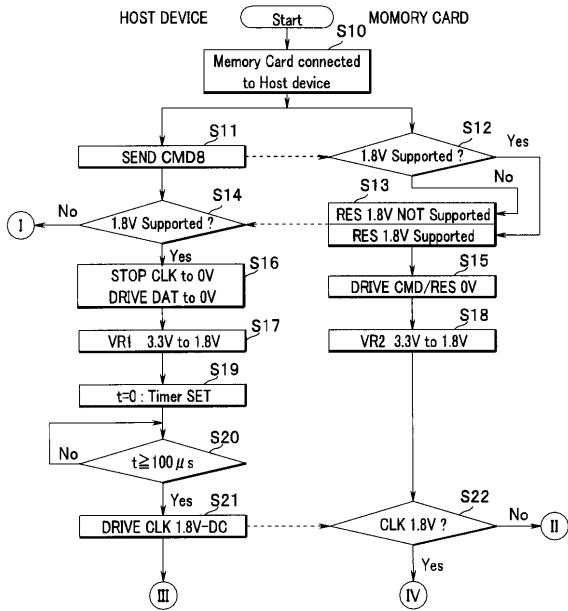
20

30

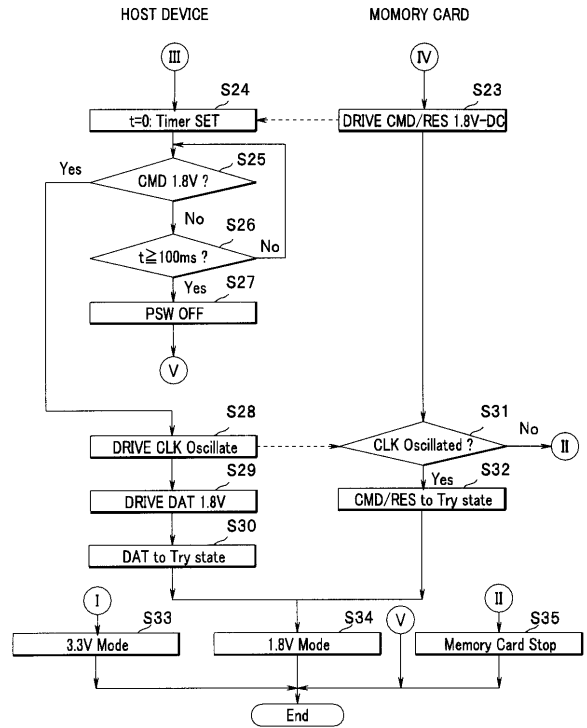
40

50

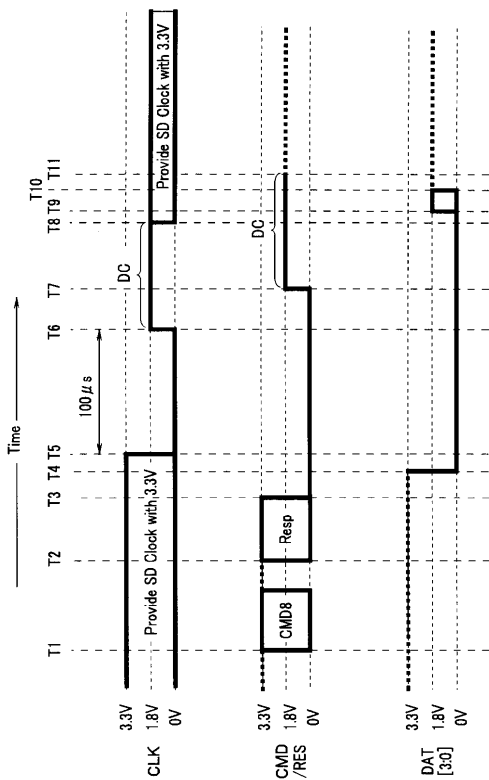
【 図 3 A 】



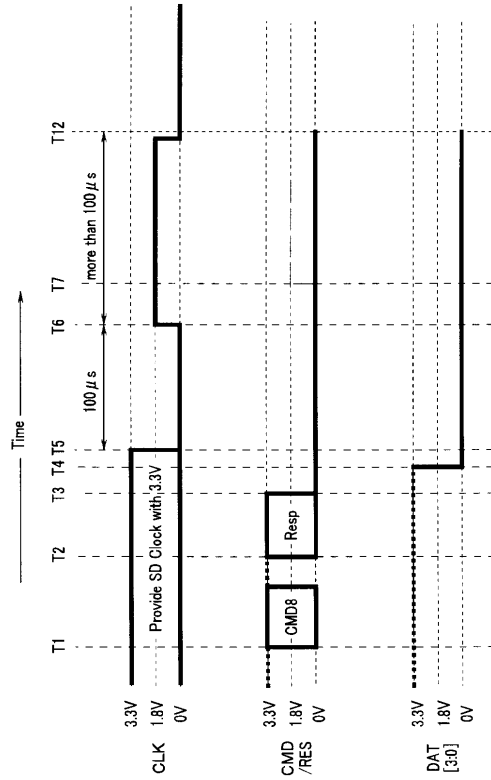
【 図 3 B 】



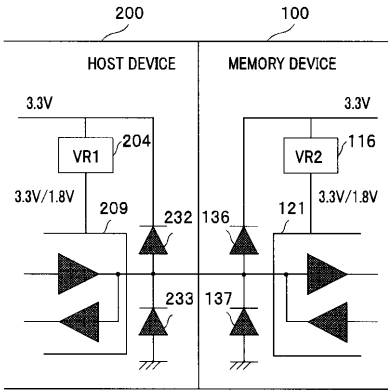
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 A 】

(A) Command Parameter of Switch Command (24bit)

Other Parameter	Other Parameter	Other Parameter	Other Parameter	Other Parameter	Bus Accesses Mode/Bus Voltage Mode
-----------------	-----------------	-----------------	-----------------	-----------------	------------------------------------

Bus Access Mode

- 0 ... Normal Speed Mode(NSM)
- 1 ... High Speed Mode(HSM)
- 3 ... Ultra High Speed Mode(UHSM)

【 図 7 B 】

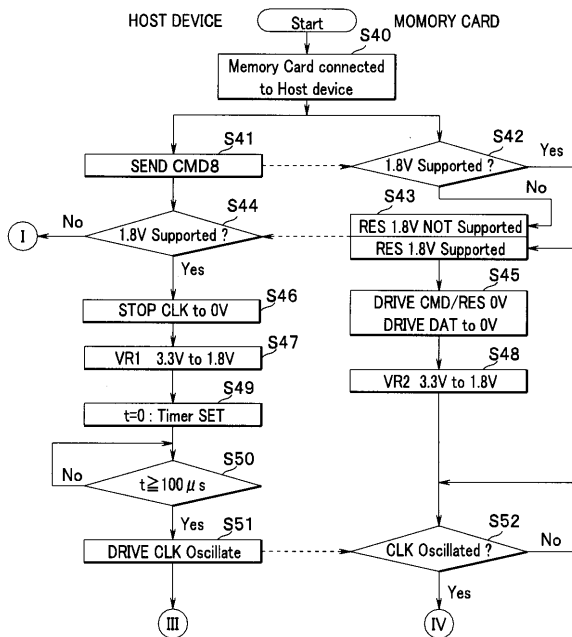
(B) Status resistor data for Switch Command (512bit)

Other Parameter					
Other Parameter	Other Parameter	Other Parameter	Other Parameter	Other Parameter	Bus Accesses Mode/Bus Voltage Mode
Other Parameter					

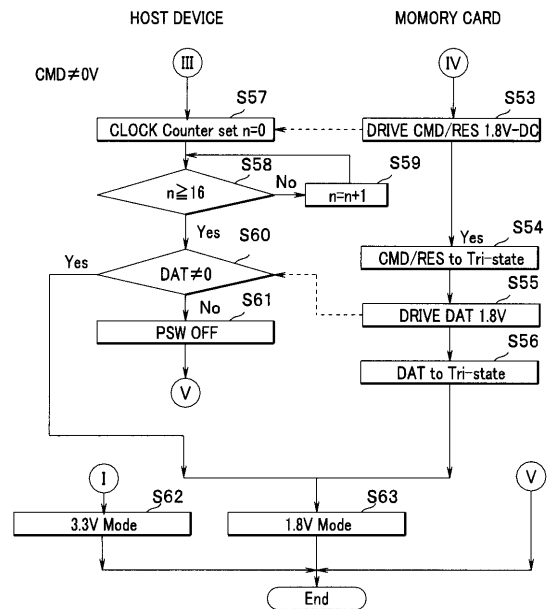
Bus Access Mode

- 0 ... Normal Speed Mode(NSM)
- 1 ... High Speed Mode(HSM)
- 3 ... Ultra High Speed Mode(UHSM)
- 0xF ... Enable

【 図 8 A 】

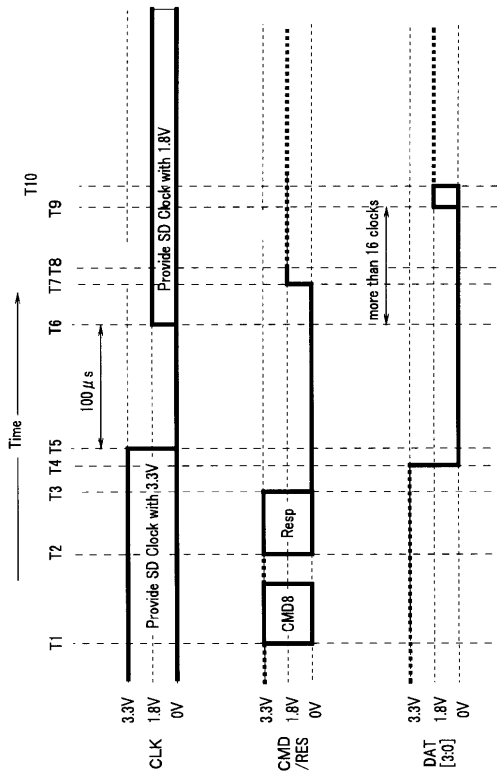


【 図 8 B 】



【 図 9 】

FIG.9



【 図 10 】

FIG.10

