

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 23/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년06월26일 10-0592785 2006년06월16일
---------------------------------------	-------------------------------------	--

(21) 출원번호	10-2000-0000463	(65) 공개번호	10-2001-0068514
(22) 출원일자	2000년01월06일	(43) 공개일자	2001년07월23일

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 최일홍
 충청남도천안시성정동823번지선경아파트101동1708호

(74) 대리인 윤동열
 이선희

(56) 선행기술조사문헌 JP06013541 A KR1020010068290 A US6093969 B * 심사관에 의하여 인용된 문헌	KR1019970077544 A KR2019990028206 U
--	--

심사관 : 최인용

(54) 칩 스케일 패키지를 적층한 적층 패키지

요약

본 발명은 적층 패키지에 관한 것으로, 테이프 배선기판을 이용한 칩 스케일 패키지(CSP)를 적층한 적층 패키지로서, (A) 인쇄회로기판과; (B) 상기 인쇄회로기판의 상부면에 접촉된 하부 칩 스케일 패키지로서, (b1) 활성면의 중심 부분을 따라서 전극 패드가 형성된 반도체 칩과, (b2) 상기 반도체 칩의 활성면에 부착되는 폴리이미드 테이프의 하부면에 배선 패턴이 형성된 테이프 배선기판으로, 상기 배선 패턴 중에서 상기 전극 패드와 접속되는 내부 접속 단자와, 상기 내부 접속 단자와 각기 연결된 솔더 범프 패드 및 상기 솔더 범프 패드와 각기 연결되어 외곽에 형성되는 접속 패드가 상기 폴리이미드 테이프 상으로 노출된 테이프 배선기판 및 상기 내부 접속 단자와 접속된 전극 패드 부분을 포함하는 패드 수지 봉합부;를 포함하는 하부 칩 스케일 패키지;와; (C) 상기 접속 패드와 상기 인쇄회로기판을 전기적으로 연결하는 본딩 와이어와; (D) 상기 본딩 와이어로 연결된 상기 접속 패드 부분을 포함한 하부 칩 스케일 패키지의 외곽을 성형수지로 봉합하여 형성되는 제 1 외곽 수지 봉합부와; (E) 상기 하부 칩 스케일 패키지 상부면에 솔더 범프 접속되는 상부 칩 스케일 패키지로서 (e1) 활성면의 중심 부분을 따라서 전극 패드가 형성된 반도체 칩과, (e2) 상기 반도체 칩의 활성면에 부착되는 폴리이미드 테이프의 하부면에 배선 패턴이 형성된 테이프 배선기판으로, 상기 배선 패턴 중에서 상기 전극 패드와 접속되는 내부 접속 단자와, 상기 내부 접속 단자와 각기 연결된 솔더 범프 패드 및 상기 솔더 범프 패드와 각기 연결되어 외곽에 형성되는 접속 패드가 상기 폴리이미드 테이프 상으로 노출된 테이프 배선기판 및 상기 내부 접속 단자와 접속된 전극 패드 부분을 포함하는 패드 수지 봉합부;를 포함하는 상부 칩 스케일 패키지;와; 및 (F) 상기 인쇄회로기판의 하부면에 형성된 복수개의 솔

더 볼;을 포함하며, 상기 하부 칩 스케일 패키지와 상부 칩 스케일 패키지가 상시 솔더 범프에 의해 접속될 수 있도록 상기 하부 칩 스케일 패키지의 솔더 범프 패드와 상기 상부 칩 스케일 패키지의 솔더 범프 패드가 서로 대응되는 위치에 형성된 것을 특징으로 하는 칩 스케일 패키지가 적층된 적층 패키지를 제공한다.

대표도

도 2

색인어

적층 패키지, 칩 스케일 패키지, 테이프 배선기판, 빔 리드, 범프 접속

명세서

도면의 간단한 설명

도 1은 테이프 배선기판을 포함하는 전형적인 칩 스케일 패키지(CSP)로서, 테세라사의 μ -BGA 패키지의 한 예를 나타내는 단면도,

도 2는 본 발명의 실시예에 따른 칩 스케일 패키지를 적층한 적층 패키지를 나타내는 단면도,

도 3 내지 도 8은 도 2의 적층 패키지의 제조 단계를 나타내는 도면들로서,

도 3은 테이프 배선기판을 포함하는 하부 칩 스케일 패키지를 보여주는 단면도,

도 4는 테이프 배선기판을 포함하는 상부 칩 스케일 패키지를 보여주는 단면도,

도 5는 하부 칩 스케일 패키지를 인쇄회로기판에 부착하는 단계를 보여주는 단면도,

도 6은 와이어 본딩 단계를 보여주는 단면도,

도 7은 제 1 외곽 수지 봉합부를 형성하는 단계를 보여주는 단면도,

도 8은 하부 칩 스케일 패키지 상부에 상부 칩 스케일 패키지를 범프 접속하는 단계를 보여주는 단면도,

도 9는 본 발명의 다른 실시예에 따른 칩 스케일 패키지를 적층한 적층 패키지를 나타내는 단면도이다.

* 도면의 주요 부분에 대한 설명 *

110, 210 : 반도체 칩 120, 220 : 테이프 배선기판

130, 230 : 탄성 중합체 140, 240 : 솔더 범프

150, 170, 250, 270, 370 : 수지 봉합부

160 : 본딩 와이어 180, 280 : 인쇄회로기판

190, 290 : 솔더 볼 200, 300, 500, 600 : CSP

400, 700 : 적층 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 적층 패키지에 관한 것으로, 더욱 상세하게는 테이프 배선기판을 포함한 칩 스케일 패키지를 적층한 적층 패키지에 관한 것이다.

오늘날 전자산업의 추세는 더욱 경량화, 소형화, 고속화, 다기능화, 고성능화 되고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 설정을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 기술이며, 이에 따라 근래에 개발된 패키지 중의 칩 스케일 패키지(Chip Scale Package; CSP)이다.

CSP는 반도체 칩 크기 수준으로 제조되는 패키지로서, 최근 몇 년 사이에 미국, 일본, 한국 등의 수십개의 회사로부터 여러 유형들이 소개되어 왔으며, 현재도 개발이 활발히 진행되고 있다. 대표적인 CSP 중의 하나가 미국 테세라사(Tessera's)에서 개발한 마이크로 볼 그리드 어레이(μ -Ball Grid Array; μ -BGA) 패키지이다. μ -BGA 패키지에 적용되는 인쇄회로기판은 두께가 얇고 유연성을 갖는 플렉서블 회로기판(flexible circuit board)과 같은 테이프 배선기판이다. 그리고, μ -BGA 패키지의 특징 중의 하나는 테이프 배선기판에 형성된 윈도우(window)를 통하여 반도체 칩의 전극 패드에 빔 리드(beam lead)가 일괄적으로 본딩(beam lead bonding)된다는 점이다.

도 1은 테이프 배선기판(20)을 포함하는 전형적인 CSP(100)로서, 테세라사의 μ -BGA 패키지의 한 예를 나타내는 단면도이다. 도 1을 참조하면, 폴리이미드 테이프(21; polyimide tape)에 형성된 배선 패턴(23)이 테이프 배선기판(20)을 구성하며, 탄성중합체(30; elastomer)가 테이프 배선기판(20)과 반도체 칩(10) 사이에 개재된다. 배선 패턴의 내부 접속 단자인 빔 리드(25; beam lead)는 반도체 칩의 전극 패드(12)와 일괄적으로 접합되며, 폴리이미드 테이프(21)에 형성된 접속 구멍(29; connect hole)을 통하여 접속 구멍(29)으로 노출된 배선 패턴의 솔더 범프 패드(124; solder bump pad)에 솔더 범프(70; solder bump)가 접속된다. 전극 패드(12)와 빔 리드(25)의 접합 부분과 반도체 칩(10)의 외곽은 성형수지로 봉합하여 수지 봉합부(50)를 형성한다. 한편, 반도체 칩(10)은 전극 패드(12)가 활성면에 중심선을 따라서 형성된 센터 패드(center pad)형 반도체 칩이며, 테이프 배선기판의 윈도우(27; window)는 전극 패드(12)와 빔 리드(25)가 접속할 수 있도록 전극 패드(11)가 형성된 부분을 따라서 긴 구멍으로 형성된다.

전술된 바와 같은 하나의 반도체 칩을 패키징하는 CSP 이외에, 패키지의 크기를 줄이기 위해서 제안되어 온 여러 가지 방안 예를 들면, 반도체 칩 또는 패키지를 입체적으로 복수개 적층한 패키징 기술이 있다. 이와 같은 적층 패키징 기술에 의해 구현된 패키지를 통상적으로 적층 패키지(stack package)라 한다.

그런데, 반도체 패키지를 적층한 적층 패키지의 경우, 신뢰성 검사를 거친 반도체 패키지를 활용하기 때문에, 적층 패키지로 구현된 이후에 불량율은 적지만 적층되는 반도체 패키지의 두께에 대응되게 적층 패키지의 두께가 두꺼워지는 문제점을 안고 있다. 반도체 칩을 적층하여 적층 패키지(적층 칩 패키지라고도 함)를 구현하는 경우, 적층 패키지의 박형화를 구현할 수는 있지만, 적층되는 반도체 칩에 대한 신뢰성이 검증되지 않았기 때문에, 적층 패키지로 구현된 이후에 불량율이 발생할 우려가 크다.

따라서, 전술된 바와 같은 CSP를 적층하여 적층 패키지를 구현할 수 있다면, 반도체 패키지를 적층하는 경우의 장점과 반도체 칩을 적층하는 경우의 장점을 모두 획득할 수 있을 것이다. 그러나, 전술된 바와 같은 CSP는 인쇄회로기판에 평면적으로밖에 실장할 수 없기 때문에, 적층 패키지로 구현하기가 용이하지 않다. 즉, CSP의 외부접속단자로서 활용할 수 있는 솔더 범프가 반도체 칩이 실장된 테이프 배선기판의 면에 반대되는 면에 형성되어 있고, 다른 접속 수단을 구비하고 있지 않기 때문에, 기존의 CSP의 구조로는 복수개의 CSP를 입체적으로 적층하는 것이 용이하지 않다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 테이프 배선기판을 이용하는 CSP를 적층한 적층 패키지를 제공하는 데 있다.

본 발명의 다른 목적은 테이프 배선기판을 이용하는 CSP의 제조 공정을 그대로 활용하면서 구현할 수 있는 적층 패키지를 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 테이프 배선기판을 이용한 칩 스케일 패키지(CSP)를 적층한 적층 패키지로서, (A) 인쇄회로기판과; (B) 상기 인쇄회로기판의 상부면에 접촉된 하부 칩 스케일 패키지로서, (b1) 활성면의 중심 부분을

따라서 전극 패드가 형성된 반도체 칩과, (b2) 상기 반도체 칩의 활성면에 부착되는 폴리이미드 테이프의 하부면에 배선 패턴이 형성된 테이프 배선기판으로, 상기 배선 패턴 중에서 상기 전극 패드와 접속되는 내부 접속 단자와, 상기 내부 접속 단자와 각기 연결된 솔더 범프 패드 및 상기 솔더 범프 패드와 각기 연결되어 외곽에 형성되는 접속 패드가 상기 폴리이미드 테이프 상으로 노출된 테이프 배선기판 및 상기 내부 접속 단자와 접속된 전극 패드 부분을 포함하는 패드 수지 봉합부;를 포함하는 하부 칩 스케일 패키지와; (C) 상기 접속 패드와 상기 인쇄회로기판을 전기적으로 연결하는 본딩 와이어와; (D) 상기 본딩 와이어로 연결된 상기 접속 패드 부분을 포함한 하부 칩 스케일 패키지의 외곽을 성형수지로 봉합하여 형성되는 제 1 외곽 수지 봉합부와; (E) 상기 하부 칩 스케일 패키지 상부면에 솔더 범프 접속되는 상부 칩 스케일 패키지로서 (e1) 활성면의 중심 부분을 따라서 전극 패드가 형성된 반도체 칩과, (e2) 상기 반도체 칩의 활성면에 부착되는 폴리이미드 테이프의 하부면에 배선 패턴이 형성된 테이프 배선기판으로, 상기 배선 패턴 중에서 상기 전극 패드와 접속되는 내부 접속 단자와, 상기 내부 접속 단자와 각기 연결된 솔더 범프 패드 및 상기 솔더 범프 패드와 각기 연결되어 외곽에 형성되는 접속 패드가 상기 폴리이미드 테이프 상으로 노출된 테이프 배선기판 및 상기 내부 접속 단자와 접속된 전극 패드 부분을 포함하는 패드 수지 봉합부;를 포함하는 상부 칩 스케일 패키지와; 및 (F) 상기 인쇄회로기판의 하부면에 형성된 복수개의 솔더 볼;을 포함하며, 상기 하부 칩 스케일 패키지와 상부 칩 스케일 패키지가 상기 솔더 범프에 의해 접속될 수 있도록 상기 하부 칩 스케일 패키지의 솔더 범프 패드와 상기 상부 칩 스케일 패키지의 솔더 범프 패드가 서로 대응되는 위치에 형성된 것을 특징으로 하는 칩 스케일 패키지가 적층된 적층 패키지를 제공한다.

본 발명에 따른 하부 칩 스케일 패키지 및 상부 칩 스케일 패키지의 내부 접속 단자는, 반도체 칩의 전극 패드에 직접 접합되어 전기적 접속을 이루며, 솔더 범프 접속된 부분을 성형수지로 봉합하여 형성되는 제 2 외곽 수지 봉합부;를 더 포함한다.

또는, 본 발명에 따른 하부 칩 스케일 패키지 및 상부 칩 스케일 패키지의 내부 접속 단자와 반도체 칩의 전극 패드가 본딩 와이어에 의해 전기적 접속을 이룰 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 2는 본 발명의 실시예에 따른 테이프 배선기판을 포함하는 CSP(200, 300)를 적층한 적층 패키지(400)를 나타내는 단면도이다. 도 2를 참조하면, 인쇄회로기판(180)의 상부면에 두 개의 CSP(200, 300)—이하, 인쇄회로기판(180)의 상부면에 접촉되는 CSP(200)를 하부 CSP라하고, 하부 CSP(200) 상부에 솔더 범프(140) 접속되는 CSP(300)를 상부 CSP라 한다—가 솔더 범프(140)를 개재하여 적층된다. 하부 CSP(200)와 인쇄회로기판(180)은 본딩 와이어(160)에 의해 전기적으로 연결된다. 인쇄회로기판(180) 상부면에 형성된 본딩 와이어(160)로 연결된 하부 CSP(200)의 외곽부분은 액상의 성형수지로 봉합하여 형성된 제 1 외곽 수지 봉합부(170)에 의해 외부 환경으로부터 보호된다. 그리고, 인쇄회로기판(180)의 하부면에는 복수개의 솔더 볼(190)이 형성된 구조를 갖는다.

적층 패키지(400)에 사용되는 하부 CSP(200) 및 상부 CSP(300)가 도 3 및 도 4에 도시되어 있다. 하부 CSP(200)와 상부 CSP(300)는 테이프 배선기판(120, 220)을 이용한 CSP로, 하부 CSP(200) 및 상부 CSP(300)를 서로 접속할 수 있도록 테이프 배선기판(120, 220)은 밀러 타입(mirror type)으로 설계 및 제작된다. 즉, 하부 CSP의 솔더 범프 패드(124)와 상부 CSP의 솔더 범프 패드(224)는 동일 위치에 형성되며, 솔더 범프(140)에 의해 서로 전기적 접속을 이룬다. 한편, 하부 CSP(200)의 상부면의 가장자리 부분에서 인쇄회로기판(180)과 본딩 와이어(160)로 연결할 수 있도록 접속 패드(126)가 형성되어 있다. 접속 패드(126)는 배선 패턴(123)의 일부분이다.

하부 CSP(200) 및 상부 CSP(300)에 실장된 반도체 칩(110, 210)이 서로 마주보는 방향을 향하여 접속을 이루기 때문에, 반도체 칩(110, 210) 또한 밀러 칩(mirror chip)으로 제조하는 것이 바람직하다. 예를 들어, 하부 CSP(200) 및 상부 CSP(300)에 실장된 반도체 칩(110, 210)이 메모리 소자(memory device)인 경우에, 메모리 용량을 두 배로 증가시킬 수 있다. 한편, 하부 CSP(200)와 상부 CSP(200)가 서로 다른 기능을 갖는 소자, 예를 들면 하나는 메모리 소자이고 다른 하나는 로직 소자(logic device)인 경우에는 전술된 바와 같이 밀러 칩으로 제조할 필요는 없다.

인쇄회로기판(180)은 기판 몸체(182)의 양면과 내부에 배선 패턴층(184)이 형성된 인쇄회로기판으로서, 잘 알려져 있다시피, 소정의 두께를 가지는 절연판 즉, 기판 몸체(182)에 배선 패턴층(182)이 인쇄된 기판이다. 배선 패턴층(184)은 기판 몸체(182)의 상부면에 형성되며 하부 CSP(200)와 본딩 와이어(160)로 접속되는 기판 패드(181)를 포함하는 상부 배선층과, 기판 몸체(182)의 하부면에 형성되어 솔더 볼(190)이 접속되는 볼 패드(185)를 포함하는 하부 배선층과, 기판 몸체(182)의 내부에 형성되어 상부 배선층과 하부 배선층을 연결하는 회로 배선층(183)으로 구성된다. 도면에는 도시되지 않았지만, 기판 몸체를 관통하는 비아 홀(via hole)에 의해 상부 배선층과 하부 배선층을 연결할 수도 있고, 하부 배선층을 외부접속단자로 활용할 수도 있다.

이와 같은 구조를 갖는 적층 패키지(400)의 제조 단계를 도 3 내지 도 8을 참조하여 설명하겠다. 한편, 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 가리킨다.

도 3 및 도 4에 도시된 바와 같이 테이프 배선기판(120, 220)을 이용하여 제조된 하부 CSP(200) 및 상부 CSP(300)의 준비 단계로부터 출발한다. 한편, 하부 CSP(200)와 상부 CSP(300)의 제조 공정은 동일하기 때문에 하부 CSP(200)만을 예를 들어 설명하겠다. 그리고, 상부 CSP(300)를 하부 CSP(200)와 같은 구조로 형성하여도 서로 적층하는 데는 아무런 문제가 없다.

먼저, 폴리이미드 테이프(121)와, 폴리이미드 테이프(121)의 일면에 사진식판술에 의해 형성된 배선 패턴(123)으로 구성된 테이프 배선기판(120)을 준비한다. 즉, 폴리이미드 테이프(121)의 일면에 구리박막(Cu foil)을 부착한 상태에서 구리박막을 사진식판술을 이용하여 패터닝하여 빔 리드(125)를 포함한 배선 패턴(123)을 형성한다. 폴리이미드 테이프(121)의 중심 부분에 빔 리드(125)가 노출될 수 있도록 윈도우(127)를 형성한다. 배선 패턴(123)의 일 부분 즉 솔더 범프가 형성될 원판 형상의 솔더 범프 패드(124)가 노출될 수 있도록 폴리이미드 테이프(121)를 관통하여 접속 구멍(129)을 형성한다. 접속 구멍(129)을 형성하는 동일한 방향으로 접속 패드(126) 상의 폴리이미드 테이프(121)를 제거한다. 그리고, 노출된 빔 리드(125)에는 금 도금막이 형성되어 있다.

테이프 배선기판(120)의 일면에 각기 탄성중합체(130)를 개재한 상태에서 반도체 칩(110)을 부착한다. 반도체 칩(110)은 활성면의 중심선을 따라서 전극 패드(112)들이 형성된 센터 패드형 반도체 칩이며, 테이프 배선기판의 윈도우(127)는 전극 패드(112)와 빔 리드(125)가 접속할 수 있도록 전극 패드(112)들이 형성된 부분을 따라서 긴 구멍으로 형성된다.

반도체 칩의 전극 패드(112)와 그에 대응되는 빔 리드(125)들이 일괄적으로 접합되며, 접합된 부분은 액상의 성형 수지에 의해 봉합되어 패드 수지 봉합부(150)를 형성함으로써, 하부 CSP(200)의 준비가 완료된다. 한편, 본 발명에 따른 실시예에서는 빔 리드(125) 본딩 방법으로 반도체 칩의 전극 패드(112)와 테이프 배선기판의 배선 패턴(123)을 전기적으로 연결하였지만, 와이어 본딩 방법으로 반도체 칩의 전극 패드와 테이프 배선기판의 배선 패턴을 연결하더라도 본 발명의 기술적 사상의 범위를 벗어나는 것은 아니다.

이와 같은 CSP 제조 공정에 의해 제조된 하부 CSP(200) 및 상부 CSP(300)에 대한 개별적인 전기적 특성 검사를 진행하여 양품으로 판정된 하부 CSP(200) 및 상부 CSP(300)만을 선별하여 사용하기 때문에, 반도체 칩을 3차원적으로 적층하여 하나의 패키지로 제조되는 적층 칩 패키지에 비하여 제품의 신뢰성을 확보할 수 있다.

다음으로 도 5에 도시된 바와 같이 하부 CSP(200)를 인쇄회로기판(180)에 접촉하는 공정을 진행한다. 즉, 인쇄회로기판(180)의 상부면에 접착제(132)를 개재한 상태에서, 하부 CSP(200)의 배면 즉 반도체 칩(110)의 배면이 인쇄회로기판(180)의 상부면을 향하도록 하여 접촉한다. 따라서, 하부 CSP(200)의 테이프 배선기판(120) 부분이 상부면을 향하게 된다.

다음으로 도 6에 도시된 바와 같이 와이어 본딩 공정이 진행된다. 하부 CSP의 접속 패드(126)와 인쇄회로기판(180) 상부면의 기판 패드(181)를 본딩 와이어(160)로 접속하는 공정을 진행한다. 이때, 본딩 와이어(160)의 최고점을 높이를 하부 CSP(200)의 상부면보다는 낮게 형성하는 것이 바람직하며, 이를 구현하기 위해서 먼저 본딩 와이어(160)을 인쇄회로기판의 기판 패드(181)에서 볼 본딩(ball bonding)을 실시한 이후에 하부 CSP의 접속 패드(126)에 스티치 본딩(stitch bonding)을 하는 것이 바람직하다.

다음으로 도 7에 도시된 바와 같이 제 1 외곽 수지 봉합부(170)를 형성하는 공정을 진행한다. 인쇄회로기판(180) 상부면상의 본딩 와이어(160)로 연결된 부분 즉, 하부 CSP(200)의 외곽 부분을 액상의 성형수지로 봉합하여 제 1 외곽 수지 봉합부(170)를 형성한다.

다음으로 도 8에 도시된 바와 같이 하부 CSP(200) 상부에 상부 CSP(300)를 솔더 범프(140) 접속하는 단계를 진행한다. 즉, 하부 CSP(200) 및 상부 CSP(300)의 솔더 볼 패드(124, 224)에 플럭스(flux)를 도포한 후 구형의 솔더 볼을 올린 다음, 하부 CSP(200) 상에 솔더 볼이 형성된 상부 CSP(300)의 면이 아래를 향하도록 정렬한 상태에서 서로 대응되는 솔더 볼을 근접시킨 이후에 리플로우(reflow)시켜 하부 CSP(200)의 상부에 상부 CSP(300)를 솔더 범프(140) 접속시킨다.

다음으로 도 2에 도시된 바와 같이 인쇄회로기판(180)의 하부면의 볼 패드(185)에 솔더 볼(190)을 부착함으로써, 적층 패키지(400)의 제조 공정은 완료된다. 물론, 인쇄회로기판이 복수개의 적층 패키지를 형성할 수 있도록 스트립 형태를 갖는다면, 개별 적층 패키지로 분리하는 공정을 더 진행할 수도 있으며, 상기한 사항은 본 발명의 기술적 사상의 범위를 벗어나지 않는다.

도 9는 본 발명의 다른 실시예에 따른 적층 패키지(700)로서, 하부 CSP(500) 및 상부 CSP(600)를 접속하는 솔더 범프(240) 부분이 액상의 성형 수지로 봉합되어 제 2 외곽 수지 봉합부(370)가 형성된 구조를 제외하면, 도 2에 도시된 적층 패키지(400)와 동일한 구조를 갖는다.

본 발명의 다른 실시예에 따른 적층 패키지(700)의 제조 방법은, 도 3 내지 도 8과 동일한 순서로 공정을 진행한 이후에, 솔더 범프(240)로 접속된 부분을 액상의 성형 수지로 봉합하는 공정만을 추가하기만 하면 된다. 물론, 제 2 외곽 수지 봉합부(370)를 형성하는 공정 이후에 인쇄회로기판(280)의 하부면에 솔더 볼(29)을 형성하는 공정을 진행한다.

본 발명은 본 발명의 기술적 사상으로부터 이탈하는 일없이, 다른 여러 가지 형태로 실시할 수 있다. 그 때문에, 전술한 실시예는 모든 점에서 단순한 예시에 지나지 않으며, 한정적으로 해석해서는 안 된다. 본 발명의 범위는 특허청구범위에 의해서 나타내는 것으로서, 명세서 본문에 의해서는 아무런 구속도 되지 않는다. 다시, 특허청구범위의 균등 범위에 속하는 변형이나 변경은, 모두 본 발명의 범위 내의 것이다.

발명의 효과

따라서, 본 발명의 구조를 따르면 테이프 배선기판을 이용한 CSP를 적층한 적층 패키지를 구현할 수 있다. 그리고, 테이프 배선기판을 이용하는 CSP의 제조 공정과 더불어 통상적인 반도체 패키지의 제조 공정을 그대로 활용하면서 적층 패키지를 구현할 수 있기 때문에, 추가적인 비용 부담을 줄일 수 있다.

그리고, CSP를 적층하여 적층 패키지를 구현하기 때문에, 통상적인 반도체 패키지를 적층하여 구현되는 적층 패키지에 비하여 박형화를 구현할 수 있다.

(57) 청구의 범위

청구항 1.

테이프 배선기판을 이용한 칩 스케일 패키지(CSP)를 적층한 적층 패키지로서,

(A) 인쇄회로기판과;

(B) 상기 인쇄회로기판의 상부면에 접촉된 하부 칩 스케일 패키지로서, (b1) 활성면의 중심 부분을 따라서 전극 패드가 형성된 반도체 칩과, (b2) 상기 반도체 칩의 활성면에 부착되는 폴리이미드 테이프의 하부면에 배선 패턴이 형성된 테이프 배선기판으로, 상기 배선 패턴 중에서 상기 전극 패드와 접속되는 내부 접속 단자와, 상기 내부 접속 단자와 각기 연결된 솔더 범프 패드 및 상기 솔더 범프 패드와 각기 연결되어 외곽에 형성되는 접속 패드가 상기 폴리이미드 테이프 상으로 노출된 테이프 배선기판 및 상기 내부 접속 단자와 접속된 전극 패드 부분을 봉합하는 패드 수지 봉합부;를 포함하는 하부 칩 스케일 패키지와;

(C) 상기 접속 패드와 상기 인쇄회로기판을 전기적으로 연결하는 본딩 와이어와;

(D) 상기 본딩 와이어로 연결된 상기 접속 패드 부분을 포함한 하부 칩 스케일 패키지의 외곽을 성형수지로 봉합하여 형성되는 제 1 외곽 수지 봉합부와;

(E) 상기 하부 칩 스케일 패키지 상부면에 솔더 범프 접속되는 상부 칩 스케일 패키지로서 (e1) 활성면의 중심 부분을 따라서 전극 패드가 형성된 반도체 칩과, (e2) 상기 반도체 칩의 활성면에 부착되는 폴리이미드 테이프의 하부면에 배선 패턴이 형성된 테이프 배선기판으로, 상기 배선 패턴 중에서 상기 전극 패드와 접속되는 내부 접속 단자와, 상기 내부 접속 단

자와 각기 연결된 솔더 범프 패드 및 상기 솔더 범프 패드와 각기 연결되어 외곽에 형성되는 접속 패드가 상기 폴리이미드 테이프 상으로 노출된 테이프 배선기판 및 상기 내부 접속 단자와 접속된 전극 패드 부분을 봉합하는 패드 수지 봉합부;를 포함하는 상부 칩 스케일 패키지와; 및

(F) 상기 인쇄회로기판의 하부면에 형성된 복수개의 솔더 볼;을 포함하며,

상기 하부 칩 스케일 패키지와 상부 칩 스케일 패키지가 상기 솔더 범프에 의해 접속될 수 있도록 상기 하부 칩 스케일 패키지의 솔더 범프 패드와 상기 상부 칩 스케일 패키지의 솔더 범프 패드가 서로 대응되는 위치에 형성된 것을 특징으로 하는 칩 스케일 패키지가 적층된 적층 패키지.

청구항 2.

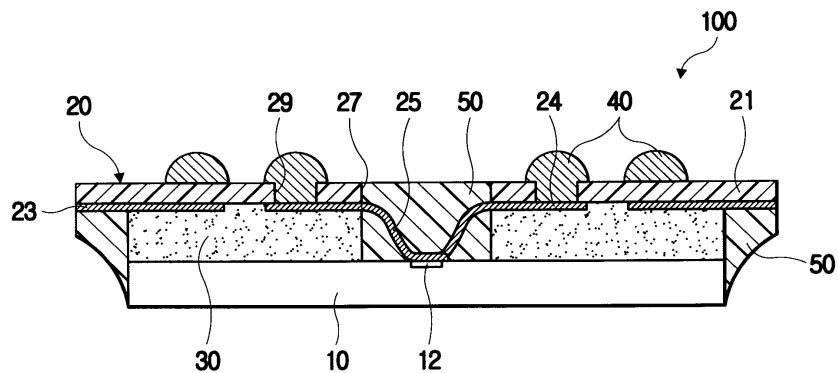
제 1항에 있어서, 상기 하부 칩 스케일 패키지 및 상부 칩 스케일 패키지의 내부 접속 단자는 상기 반도체 칩의 전극 패드에 직접 접합되어 전기적 접속을 이루며, 상기 솔더 범프 접속된 부분을 성형수지로 봉합하여 형성되는 제 2 외곽 수지 봉합부;를 더 포함하는 것을 특징으로 하는 적층 패키지.

청구항 3.

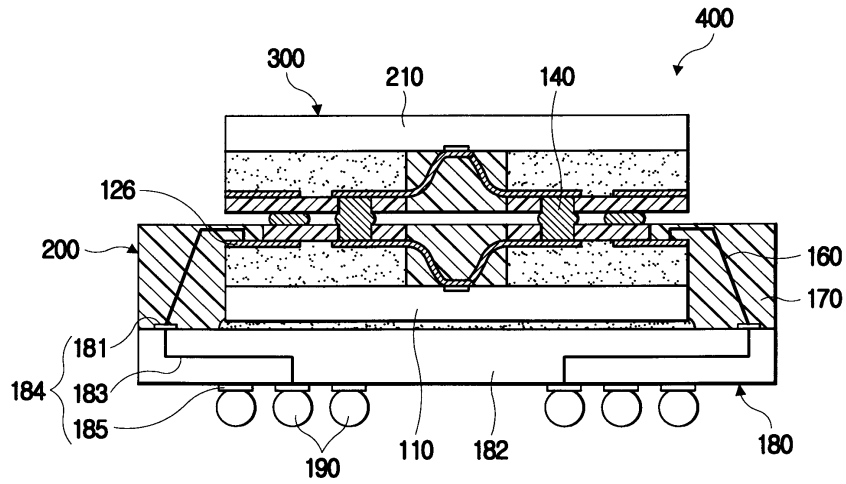
제 1항에 있어서, 상기 하부 칩 스케일 패키지 및 상부 칩 스케일 패키지의 내부 접속 단자와 상기 반도체 칩의 전극 패드가 본딩 와이어에 의해 전기적 접속을 이루는 것을 특징으로 하는 적층 패키지.

도면

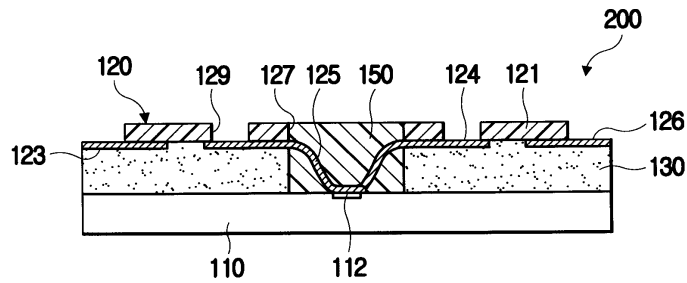
도면1



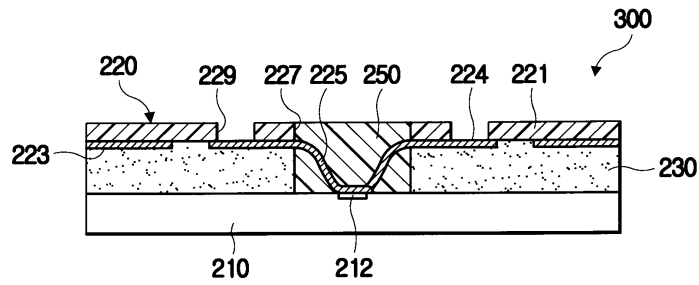
도면2



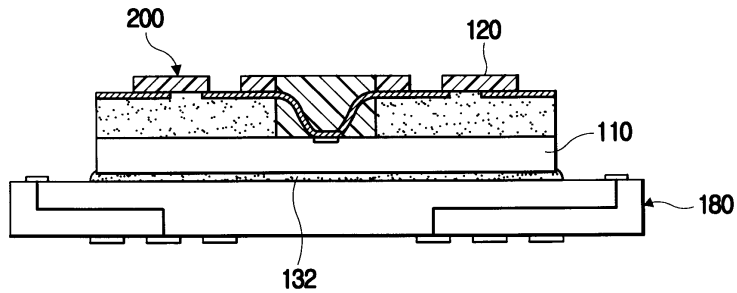
도면3



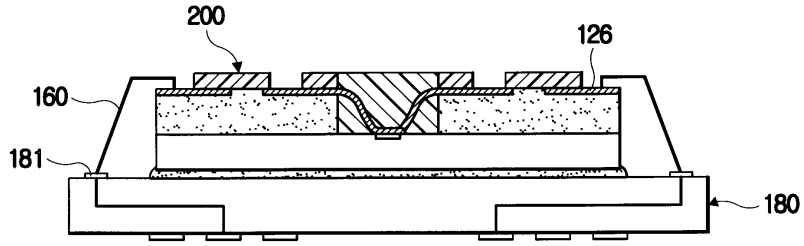
도면4



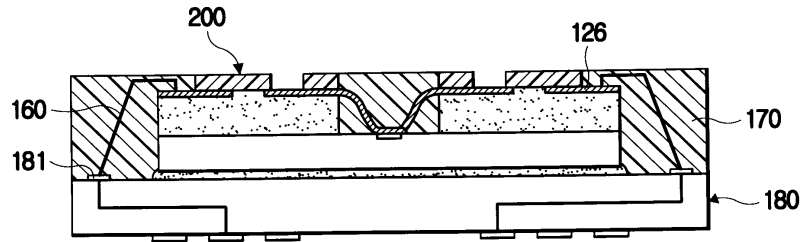
도면5



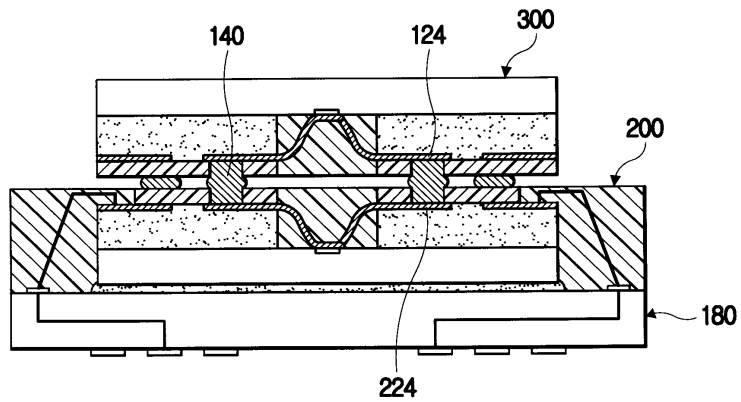
도면6



도면7



도면8



도면9

