



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I578525 B

(45) 公告日：中華民國 106 (2017) 年 04 月 11 日

(21) 申請案號：104124565

(22) 申請日：中華民國 104 (2015) 年 07 月 29 日

(51) Int. Cl. : H01L29/66 (2006.01)

H01L29/772 (2006.01)

(30) 優先權：2015/02/12 美國

62/115,558

2015/03/31 美國

14/675,160

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：江國誠 CHING, KUO CHENG (TW)；劉繼文 LIU, CHI WEN (TW)；梁英強 LEUNG,
YING-KEUNG (HK)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 201427021A

US 2007/0181947A1

US 2012/0138886A1

審查人員：陳佳瑋

申請專利範圍項數：10 項 圖式數：41 共 75 頁

(54) 名稱

半導體裝置及其形成方法

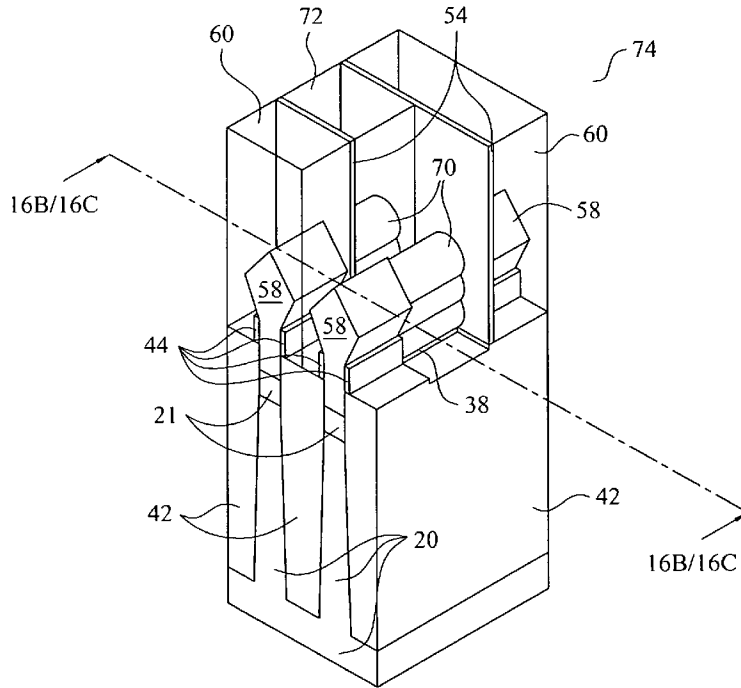
SEMICONDUCTOR DEVICE AND METHOD FORMING THE SAME

(57) 摘要

一種裝置包含：第一半導體條；第一閘極介電質，環繞於第一半導體條；第二半導體條，重疊於第一半導體條；第二閘極介電質，環繞於第二半導體條，且第二閘極介電質接觸第一閘極介電質；以及閘極電極，具有一部份位於第二半導體條之上方，而其他部分位於第一、第二半導體條與第一、第二閘極介電質之相對兩側。

A device includes a first semiconductor strip, a first gate dielectric encircling the first semiconductor strip, a second semiconductor strip overlapping the first semiconductor strip, and a second gate dielectric encircling the second semiconductor strip. The second gate dielectric contacts the first gate dielectric. A gate electrode has a portion over the second semiconductor strip, and additional portions on opposite sides of the first and the second semiconductor strips and the first and the second gate dielectrics.

指定代表圖：



第 16A 圖

符號簡單說明：

20 . . . 基板

21 . . . 反穿透區域、反穿透層、反穿透層區域

38 . . . 矽鍍氧化區域

42 . . . 淺溝渠隔離區域

44 . . . 虛擬氧化層/虛擬閘極氧化物

54 . . . 閘極間隙壁

58 . . . 源極/汲極區域、磊晶區域

60 . . . 層間介電質

70 . . . 閘極介電質

72 . . . 閘極電極

74 . . . 繡式場效電晶體

16B/16C-16B/

16C . . . 剖線

104124565

104. 7. 29 【發明摘要】

【中文發明名稱】半導體裝置及其形成方法

【英文發明名稱】Semiconductor device and method forming the same

【中文】

一種裝置包含：第一半導體條；第一閘極介電質，環繞於第一半導體條；第二半導體條，重疊於第一半導體條；第二閘極介電質，環繞於第二半導體條，且第二閘極介電質接觸第一閘極介電質；以及閘極電極，具有一部份位於第二半導體條之上方，而其他部分位於第一、第二半導體條與第一、第二閘極介電質之相對兩側。

【英文】

A device includes a first semiconductor strip, a first gate dielectric encircling the first semiconductor strip, a second semiconductor strip overlapping the first semiconductor strip, and a second gate dielectric encircling the second semiconductor strip. The second gate dielectric contacts the first gate dielectric. A gate electrode has a portion over the second semiconductor strip, and additional portions on opposite sides of the first and the second semiconductor strips and the first and the second gate dielectrics.

【指定代表圖】第16A圖

【代表圖之符號簡單說明】

20：基板

21：反穿透區域、反穿透層、反穿透層區域

38：矽鍺氧化區域

42：淺溝渠隔離區域

44：虛擬氧化層/虛擬閘極氧化物

54：閘極間隙壁

● 58：源極/汲極區域、磊晶區域

60：層間介電質

70：閘極介電質

72：閘極電極

74：鰭式場效電晶體

16B/16C—16B/16C：剖線

【特徵化學式】

● 無

【發明說明書】

【中文發明名稱】半導體裝置及其形成方法

【英文發明名稱】Semiconductor device and method forming the same

【技術領域】

【0001】本發明是關於一種場效電晶體裝置及其製造方法，特別是有關於一種鰭式場效電晶體裝置及其製造方法。

【先前技術】

【0002】隨著積體電路(Integrated Circuit, IC)在材料和設計上技術之進步，產生了幾代的積體電路(ICs)，其中每一代具有比上一代更小更複雜的電路。在積體電路演進過程中，當其幾何尺寸縮小時，其功能密度(例如：每一晶片區域的互連裝置數量)普遍的增加。這種按比例縮小的過程，一般透過提高生產效益和降低相關成本，以提供其效益。

【0003】比例縮小亦會增加積體電路在加工和製造上的複雜度。為了實現這些進展，在積體電路的加工和製造上需要類似的發展，例如，引入鰭式場效電晶體(Fin Field-Effect Transistor, FinFET)，以取代平面的電晶體。鰭式場效電晶體的結構與其製造方法正在發展中。

【發明內容】

【0004】根據本發明一些實施方式，一種裝置包含：第

一半導體條；第一閘極介電質，環繞於第一半導體條；第二半導體條，重疊於第一半導體條；及第二閘極介電質，環繞於第二半導體條，且第二閘極介電質接觸第一閘極介電質；閘極電極，具有一部份位於第二半導體條之上方，而其他部分位於第一、第二半導體條與第一、第二閘極介電質之相對兩側。

【0005】 根據本發明替代的實施方式，一種裝置包含：基板；第一淺溝渠隔離(Shallow Trench Isolation, STI)區域及第二淺溝渠隔離區域，延伸進入基板；矽鍺氧化層位於第一、第二淺溝渠隔離區域之間；及複數個半導體條，堆積重疊於矽鍺氧化層；閘極介電質，分別環繞於複數個半導體條，且閘極介電質環繞於複數個半導體條之一些部分會連接在一起，以形成一連續區域；閘極電極，位於閘極介電質上；源極及汲極區域，連接至該複數個半導體條之相對兩端。

【0006】 根據本發明另一替代的實施方式，一種方法包含：形成半導體疊層，其包含第一複數個半導體層及第二複數個半導體層交替布置；將半導體疊層圖案化，以形成半導體條疊層；將半導體條疊層中之第二複數個半導體層移除，剩下半導體條疊層中之第一複數個半導體層作為複數個半導體條；將複數個半導體條氧化，以形成介電環圍繞於複數個半導體條之剩餘部份；閘極介電質形成於複數個半導體條之上，其中形成於鄰近之複數個半導體條上之閘極介電質，會彼此接觸。

【圖式簡單說明】

【0007】 本發明內容的實施方式可從下面的詳細描述並結合參閱附圖得到最佳的理解。要強調的是，按照在業界的標準實務做法，各種特徵不一定是按比例繪製。事實上，爲了清楚的討論各種特徵的尺寸可任意放大或縮小。

第1-21D圖係根據一些示例式實施方式，繪示出形成一鰭式場效電晶體之中間階段的剖面圖和透視圖。

第22圖係根據一些實施方式，繪示出形成一鰭式場效電晶體的步驟流程圖。

第23A、23B及23C圖係根據一些實施方式，繪示出鰭式場效電晶體之通道區域及閘極疊層的剖面圖。

第24-40C圖係根據一些示例式實施方式，繪示出形成一鰭式場效電晶體的剖面圖、上視圖及透視圖。

第41圖係根據一些實施方式，繪示出形成一鰭式場效電晶體的步驟流程圖。

【實施方式】

【0008】 應該理解到，以下揭露的內容提供多種不同的實施方式或實例，用於實現本發明內容的不同特徵。元件和配置的具體實例描述如下以簡化本發明內容。當然，這些僅僅是例子而沒有進行限制的目的。此外，下面某一第一特徵形成在一第二特徵之上的描述可包括的實施方式爲第一和第二特徵直接接觸形成，也可包括其他特徵介於第一與第二特徵之間，使得第一和第二特徵可以不直接接觸。除此之

外，本發明內容於各個實例中可能用到重複的參考符號及/或用字。這些重複符號或用字係爲了簡化與清晰的目的，並非用以限定各個實施方式及/或所述結構之間的關係。

【0009】 另外，空間相對用語，如「下」、「低」、「上」等，是用以方便描述一元件或特徵與其他元件或特徵在圖式中的相對關係。這些空間相對用語旨在包含除了圖式中所示之方位以外，裝置在使用或操作時的不同方位。裝置可被另外定位（例如旋轉90度或其他方位），而本文所使用的空間相對敘述亦可相對應地進行解釋。

【0010】 根據各種的示例式實施方式，提供了一種具有環繞式閘極(Gate-All-Around, GAA)結構之鰭式場效電晶體(Fin Field-Effect Transistors, FinFETs)及其形成方法。以下介紹形成鰭式場效電晶體之中間階段，並討論實施方式的變化。在各個視圖及其繪示之實施方式中，相同的元件符號代表相同的元件。可以理解的是，雖然第1-23C圖及第24-40C圖繪示出不同實施方式，但這些實施方式可結合以形成同一鰭式場效電晶體。例如，如第1-23C圖所示之實施方式，包含鰭式場效電晶體之通道區域及閘極疊層的形成，而如第24-40C圖所示之實施方式，則包含鰭式場效電晶體之源極/汲極區域與源極/汲極矽化物的形成。因此，根據本發明的一些實施方式，可結合通道區域及閘極疊層的形成，和源極/汲極區域與源極/汲極矽化物的形成，以形成一鰭式場效電晶體。

【0011】 第1-21D圖係根據一些實施方式繪示出形成鰭

式場效電晶體中間階段的透視圖與剖面圖。第1-21D圖所示之步驟亦於第22圖所示之步驟流程300中按綱要式說明。在後續的討論中，第1-21D圖中顯示的製程步驟，將參照第22圖所示之製程步驟討論。

【0012】 第1圖繪示出有可能是晶圓一部分之基板20的剖面圖。基板20可能為一半導體基板，進一步可能為矽基板、碳矽基板、絕緣層覆矽基板、或利用其他半導體材料形成的基板。基板20可能利用p型或n型雜質做輕摻雜。進行反穿透(Anti-Punch-Through, APT)植入(如箭頭所指)於基板20的頂部以形成反穿透區域21。其各自的步驟呈現在第22圖中製程流程的步驟302。植入於反穿透層的雜質導電型態與阱區(未顯示)中的相同。反穿透層21延伸至之後形成的源極/汲極區域58(第21A圖)底下，用來減少從源極/汲極區域58到基板20的洩漏。反穿透層21的摻雜濃度可能在大約 $1E18 / \text{cm}^3$ 至大約 $1E19 / \text{cm}^3$ 之間。為了做更清楚的表達，反穿透層區域21不會繪示於之後的圖式中。

【0013】 參考第2圖，矽鍺層(silicon germanium, SiGe)22與半導體疊層24用磊晶的方式形成於基板20之上方。其各自的步驟呈現在第22圖中製程流程的步驟304。如前所述，矽鍺層22與半導體疊層24形成結晶層。根據本發明一些實施方式，矽鍺層22之厚度T1在大約5奈米至大約8奈米的範圍之間。矽鍺層22之鍺比例(原子比例)在大約25%至大約35%的範圍之間，但亦可使用其他更高或更低的比例。可以理解的是，然而，說明書中所述之數值皆為舉例說

明，其均可改變為其他數值。

【0014】 在矽鍺層22上方的是半導體疊層24。根據一些實施方式，半導體疊層24包含交互堆疊的半導體層26與28。半導體層26可為不含鍺的純矽層。半導體層26亦可為實質上的純矽層，舉例來說，其鍺比例低於大約1%。此外，半導體層26可為本質性，其不摻雜p型或n型的雜質。這裡可為二、三、四或多個半導體層26。根據一些實施方式，半導體層26的厚度T2在大約6奈米至大約12奈米的範圍之間。

【0015】 半導體層28為矽鍺層，其具有的鍺比例，低於矽鍺層22中的鍺比例。根據本發明一些實施方式，矽鍺層28的鍺比例在大約10%至大約20%的範圍之間。除此之外，矽鍺層22與矽鍺層28之間鍺的比例可差異至15%或更高。根據一些實施方式，矽鍺層28的厚度T3在大約2奈米至大約6奈米的範圍之間。

【0016】 硬遮罩30形成於半導體疊層24之上。根據本發明一些實施方式，硬遮罩30的形成係利用氮化矽、氮氧化矽、碳化矽、碳氮化矽、或其他相似物。

【0017】 接下來，如第3圖所示，硬遮罩30、半導體疊層24、矽鍺層22與基板20圖案化以形成溝渠32。其各自的步驟呈現在第22圖中製程流程的步驟306。因此而形成半導體條34。溝渠32延伸進入基板20且具有一長度方向彼此平行。半導體疊層24剩下的部分可相應地以半導體條24之名詞來替換。

【0018】 參照第4圖，於半導體條34暴露出之部分，進行氧化製程。其各自的步驟呈現在第22圖中製程流程的步驟308。根據本發明一些實施方式，在氧化之前，進行修整步驟以修整矽鍺條22與28，而矽條26不修整。矽鍺層22與28經過修整後，各自在矽條26邊緣形成側向凹槽。修整可以減少矽鍺層22的寬度，使其在之後的氧化過程中，矽鍺層22可以在不增加太多的時間及/或溫度之情況下就被完全氧化。

● 【0019】 氧化的結果造成，矽鍺層22完全氧化以形成矽鍺氧化區域38，以及至少外部部分的矽鍺條28氧化以形成矽鍺氧化區域40。矽鍺氧化區域38之厚度可在大約5奈米至大約20奈米的範圍之間。在一些實施方式中，進行氧化的溫度可在大約400°C至600°C的範圍之間。氧化的時間，舉例來說，可在大約2分鐘至大約4小時的範圍之間。氧化矽鍺中之矽，會比氧化相同矽鍺中之鍺來得容易。因此，半導體條28中的矽原子被氧化，且半導體條28中之鍺原子可向內朝向矽鍺條28的中心擴散，所以剩下的矽鍺條28中之鍺比例，比矽鍺條28氧化之前多。

● 【0020】 氧化的過程中，氧化矽層36亦形成於基板20與矽條26所暴露出之表面上。由於矽鍺(或矽)區域的氧化速率隨著鍺比例的增加而增加，矽層26與基板20的氧化會比矽鍺層22與矽鍺條28的氧化慢得多。因此，氧化矽層36較薄，且半導體條34中大部分的矽層26與部分的基板20(參照在下文中的部分條)未被氧化。

【0021】 接下來參照第5圖，隔離區域42形成於溝渠32之中(第4圖)，且其可為淺溝渠隔離(Shallow Trench Isolation, STI)區域。形成的方式可包含填充介電層於溝渠32中，舉例來說，利用可流動式化學氣相沉積(Flowable Chemical Vapor Deposition, FCVD)，再進行化學機械研磨(Chemical Mechanical Polish, CMP)以夷平介電材料之上表面和硬遮罩30之上表面。經過化學機械研磨後，硬遮罩30(第4圖)已被移除。

【0022】 接下來，參照第6圖，凹槽化淺溝渠隔離區域42。第5、6圖所示之步驟顯示於第22圖中製程流程的步驟310。處理完的淺溝渠隔離區域42之上表面42A可與矽鍺氧化區域38之上表面、下表面平齊，或位於矽鍺氧化區域38上表面與下表面中間的任何水平高度。在說明書中，以下半導體疊層24亦可參做為半導體鍺片24。

【0023】 第7圖繪示出虛擬氧化層44的形成，根據一些實施方式可包含氧化矽。故虛擬氧化層44保護半導體條24的側壁、矽鍺氧化區域38與半導體疊層24的上表面。虛擬氧化層44亦延伸至淺溝渠隔離區域42的上表面。由於虛擬氧化層44與淺溝渠隔離區域42可用相同介電材料(例如氧化矽)形成，因此雖然在一些實施方式中可區別，但虛擬氧化層44與淺溝渠隔離區域42之間的界面仍未顯示出來。在其他實施方式中，此界面無法區別。

【0024】 參照第8圖，形成虛擬閘極疊層46。其各自的步驟呈現在第22圖中製程流程的步驟312。根據本發明一些

實施方式，虛擬閘極疊層46包含虛擬閘極電極48，舉例來說，其可利用多晶矽形成。虛擬閘極疊層46亦可包含在虛擬閘極電極48上方的硬遮罩層50。硬遮罩層50可包含氮化矽及/或氧化矽，舉例來說，亦可為單層或包含複數層的複合層。在一些實施方式中，硬遮罩層50包含氮化矽層50A與在氮化矽層50A上方的氧化矽層50B。虛擬閘極疊層46具有一長度方向，實質上垂直於半導體鱗片24之長度方向。

【0025】 閘極間隙壁54形成在虛擬閘極疊層46的側壁。根據本發明一些實施方式，閘極間隙壁54係利用氮化矽形成並可為單層結構。在替代的實施方式中，閘極間隙壁54具有包含複數層的複合結構。舉例來說，閘極間隙壁54可包含氧化矽層及位於氧化矽層上方的氮化矽層。虛擬閘極疊層46與閘極間隙壁54覆蓋每一半導體鱗片24的中間部分，保留相對兩端部分未被覆蓋。

【0026】 第9圖繪示出移除半導體鱗片24的端部。如第8圖所示，進行乾蝕刻以蝕刻虛擬氧化層44、半導體疊層24與矽鍍氧化區域38。結果可形成凹槽56。根據本發明一些實施方式，虛擬氧化層44的一些部分可被豎立與排列在淺溝渠隔離區域42的邊緣，並於其之間形成凹槽56。

【0027】 接下來參照第10圖，將半導體材料選擇性生長於凹槽56(第9圖)中以形成磊晶區域(源極/汲極區域)58。根據本發明一些實施方式，源極/汲極區域58的形成包含磊晶生長。根據替代的實施方式，形成源極/汲極區域58的完成係透過採取如第28-37A圖所示之製程步驟。其各自的步驟

呈現在第22圖中製程流程的步驟314。如第10圖所示，由於虛擬氧化層44剩下部份的阻擋，源極/汲極區域58在凹槽56(第9圖)中，會優先垂直生長，而在此期間，源極/汲極區域58不水平生長。在凹槽56完全填滿後，源極/汲極區域58會朝垂直及水平方向生長以形成複數個小平面。

【0028】 在一些示例式的實施方式中，其所產生的鰭式場效電晶體為n型鰭式場效電晶體，源極/汲極區域58包含矽磷 (silicon phosphorous, SiP) 或磷摻雜碳化矽 (phosphorous-doped silicon carbon, SiCP)。在替代示例式的實施方式中，其所產生的鰭式場效電晶體為n型鰭式場效電晶體，源極/汲極區域58包含矽鍺，以及p型雜質例如硼或銦，可於磊晶時同步摻雜。

【0029】 接下來如第11圖所示，形成層間介電質 (Inter-Layer Dielectric, ILD)。其各自的步驟呈現在第22圖中製程流程的步驟316。進行化學機械研磨將層間介電質60、虛擬閘極疊層46(第10圖)與閘極間隙壁54(第10圖)的上表面磨平至相同高度。每個層間介電質60、閘極間隙壁54與隔離區域42與其他層間介電質60、閘極間隙壁54與淺溝渠隔離區域42可以具有可區別的界面，因為其形成於不同的製程步驟、具有不同密度、及/或包含不同介電材料。

【0030】 接下來，第10圖中所示之虛擬閘極46在蝕刻步驟中被移除，使凹槽62可形成延伸進入層間介電質60如第11圖所示。其各自的步驟呈現在第22圖中製程流程的步驟318。為了繪示層間介電質60前面部分後面的特徵，前面部

分的層間介電質60沒有在之後的圖中顯示，以便繪示其內部的特徵。可以理解的是，層間介電質60未繪示出的部分依然存在。將虛擬閘極疊層46移除後，半導體疊層(鱗片)24的中間部分向凹槽62暴露出來。在移除虛擬閘極疊層46的時候，當上層被蝕刻時，虛擬閘極氧化物44(第7圖)被用來當作蝕刻終止層。而後移除虛擬閘極氧化物44，半導體鱗片24因此向凹槽62暴露出來。

【0031】 參照第12A圖，進行一蝕刻步驟以移除矽鍺氧化區域40(亦參照第9圖)、集中的半導體條28與矽鍺氧化區域38(第8圖)的一些頂部。其各自的步驟呈現在第22圖中製程流程的步驟320。因此，矽條26藉由間隙64將彼此分開。此外，位於底部之矽條26亦可藉由間隙64，將其與剩下之矽鍺氧化區域38分離，結果產生懸浮之矽條26。懸浮矽條26之相對兩端連接至源極/汲極區域58。可以理解的是，淺溝渠隔離區域42包含在下面且向凹槽62暴露出來的第一部分，和被閘極間隙壁54與層間介電質60覆蓋的第二部分。根據本發明一些實施方式，凹槽化淺溝渠隔離區域42第一部分，使其上表面低於淺溝渠隔離區域42第二部分之上表面。

【0032】 第12B圖將矽條26之部分較清晰的繪示出。第12A圖所示之層間介電質60、源極/汲極區域58與閘極間隙壁54雖然未於第12B圖中顯示，但其特徵依然存在。

【0033】 參照第13A與13B圖，進行氧化步驟。其各自的步驟呈現在第22圖中製程流程的步驟322。第13B圖亦繪

示出第13A圖所示之結構的一些部份，其中第13A圖所示之層間介電質60、源極/汲極區域58與閘極間隙壁54雖然未於第13B圖中顯示，但其特徵依然存在。根據本發明一些實施方式，氧化步驟的進行可利用水蒸氣的蒸氣氧化、氧的熱氧化或其他類似方法。根據本發明一些實施方式，氧化步驟係利用水蒸氣在溫度介於大約400°C至大約600°C的範圍之間進行。氧化步驟持續的時間可介於大約20秒至大約20分的範圍之間。如第13B圖所示，氧化步驟完成後，矽條26之外部部分會被氧化以形成氧化矽環66，環繞於矽條26之剩下部分。在一些實施方式中，氧化矽環66係從鄰近的矽條26相互接觸而形成。此外，在一些實施方式中，氧化矽環66係形成於位於底部之矽條26，且可與矽鍺氧化區域38之上表面接觸。在替代的實施方式中，氧化矽環66係形成於鄰近之矽條26間，且可將其彼此間隔開。

【0034】 在氧化步驟中，核心電路(亦稱為邏輯電路)中之核心鱗式場效電晶體與輸入/輸出(input/output, IO)電路中之輸入/輸出(input/output, IO)鱗式場效電晶體，分別具有其各自之半導體條，而該半導體條會同時氧化。第13A、13B圖繪示出核心鱗式場效電晶體與IO鱗式場效電晶體之結構。在後續步驟中，如第14A圖所示，形成光阻68以覆蓋IO區域200之氧化矽環66，但核心區域100未被覆蓋。而後進行蝕刻以移除核心區域100中之氧化矽環66，使矽條26暴露出。另一方面，IO區域200中之氧化矽環66未被移除，因此於蝕刻後仍能保留下來。其各自的步驟呈現在

第22圖中製程流程的步驟324。而後將光阻68移除。在蝕刻後，位於核心區域100之矽條26再藉由間隙將彼此分開，而位於底部之矽條26亦可藉由間隙，將其與矽鍺氧化區域38之上表面間隔開。第14B圖繪示出第14A圖所示結構之一些部分，其中第14A圖所示之層間介電質60、源極/汲極區域58與閘極間隙壁54雖然未於第14B圖中顯示，但其特徵依然存在。

【0035】 在後續步驟中，形成閘極介電質70。其各自的步驟呈現在第22圖中製程流程的步驟326。對於在核心區域(第14A、14B圖中之100)中之核心鰭式場效電晶體，閘極介電質70形成於矽條26暴露出的表面之上(第14A、14B圖)。最後之結構顯示於第15A、15B圖。對於IO區域(第14A、14B圖中之200)中之IO鰭式場效電晶體，閘極介電質70形成於已形成之氧化矽環66之上，因此氧化矽環66成為閘極介電質70之一部分。因此，核心鰭式場效電晶體與IO鰭式場效電晶體具有顯示於第15A及15B圖之結構，其中IO鰭式場效電晶體的閘極介電質70，較核心鰭式場效電晶體的閘極介電質70來得厚。再者，第15B圖亦繪示出第15A圖所示結構之一些部分，其中第15A圖所示之層間介電質60、源極/汲極區域58與閘極間隙壁54未於第14B圖中顯示。

【0036】 根據一些實施例，閘極介電質70之形成包含完成一界面(介電質)層，而後形成高k介電質層於界面層之上。界面層可包含氧化矽，氧化矽之形成係利用化學溶液處

理第14A及14B圖中所示之結構，使矽條26被氧化以形成化學氧化物(氧化矽)。結果所產生的IO區域中之閘極介電質70，將比位於核心區域之閘極介電質來得厚。接著，高k介電質沉積於介面層之上。在一些實施方式中，高k介電質具有大於約7.0的k值，且可包含金屬氧化物或鈺(Hf)、鋁(Al)、鋯(Zr)、鐳(La)之矽酸鹽(silicate)，以及其他類似物。

【0037】 第16A圖繪示出閘極電極72的形成。其各自的步驟呈現在第22圖中製程流程的步驟328。此形成的步驟包含將導電材料填入凹槽62，以及進行平坦化例如化學機械研磨。閘極電極72可包括含金屬材料例如氮化鈦(TiN)、氮化鉭(TaN)、碳化鉭(TaC)、鈷(Co)、鈺(Ru)、鋁(Al)、銅(Cu)、鎢(W)、其組合物或其多層組合。鰭式場效電晶體74因此而形成。反穿透區域21位於矽鍺氧化區域38與源極/汲極區域58之下方。

【0038】 第16B、16C圖繪示出第16A圖所示鰭式場效電晶體74之一些部分的剖面圖，其中該剖面圖係從第16A圖中垂直平面之16B/16C—16B/16C剖線而得到的。如第16B、16C圖所示，閘極介電質70完全填入位於鄰近矽條26間之間隙。因此，閘極電極72將無法填入位於鄰近矽條26間之間隙，且不會導致源極/汲極區域58的短路(第16A圖)。

【0039】 第16B、16C圖亦繪示出閘極介電質70包含氧化矽76和位於氧化矽76外側之高k介電質78。當鰭式場效電晶體74為核心鰭式場效電晶體，氧化矽76包含介面層。當

鱗式場效電晶體74為IO鱗式場效電晶體，氧化矽76包含氧化矽環66(第13A、13B圖)與界面層。根據一些實施方式，在第16B圖中，氧化矽76形成於鄰近矽條26之上且彼此相互接觸。根據一些實施方式，在第16C圖中，氧化矽76形成鄰近矽條26之上但不會彼此接觸，且高k介電質78填入位於氧化矽76間之間隙，而前述之氧化矽76係形成於鄰近矽條26之上。

● **【0040】** 根據一些替代的實施方式，第17A-22圖繪示出形成鱗式場效電晶體中間階段的剖面圖。除非另有說明，在這些實施方式中的元件，其材料及形成方法實質上與類似元件相同，而類似元件在第1-16C圖所示之實施方式中皆以相同的元件符號表示。關於第17A-22圖所示結構之詳細形成步驟與材料，可參考第1-16C圖所示之實施方式的說明。

● **【0041】** 如第1-11圖所示，這些實施方式的起始步驟實質上相同。接著，第17A、17B圖繪示出類似於第12A、12B圖所示之蝕刻步驟。參考第17A圖，進行蝕刻以移除矽鍺氧化區域40(亦參考第9圖)、集中的半導體條28與矽鍺氧化區域38(第8圖)的一些頂部。因此，矽條26藉由間隙64將彼此分開。此外，位於底部之矽條26亦可藉由間隙64，將其與剩下之矽鍺氧化區域38分離。將其與第12A、12B圖所示之步驟比較，其中部分的淺溝渠隔離區域42與矽鍺氧化區域38之凹槽深度較第12A、12B圖來得深。結果造成，矽條26底部與矽鍺氧化區域38上表面之間隙64高於第12A、12B圖所示。

【0042】 接著，第18A、18B圖分別繪示出與第13A、13B圖實質上相同之製程步驟與結構，其中包含氧化步驟的進行以及氧化矽環66的形成。位於底部的氧化矽環66可藉由間隙64，將其與矽鍺氧化區域38之上表面間隔開。第19A、19B圖繪示出與第14A、14B圖實質上相同之製程步驟與結構，其中包含從核心裝置區域移除氧化矽環66。在此同時，IO區域(未顯示)中之氧化矽環66會被保護而不會被移除。第20A、20B圖繪示出與第15A、15B圖實質上相同之製程步驟與結構，其中包含閘極介電質70的形成。第21A、21B圖繪示出與第16A、16B圖實質上相同之製程步驟與結構，其中包含閘極電極72的形成。

【0043】 第21C、21D圖繪示出第21A圖所示鱗式場效電晶體74之一些部分的剖面圖，其中該剖面圖係從第21A圖中垂直平面之21C/21D—21C/21D剖線而得到的。如第21C、21D圖所示，閘極介電質70完全填入位於鄰近矽條26間之間隙。因此，閘極電極72將無法填入位於鄰近矽條26間之間隙，且不會導致源極/汲極區域58的短路(第16A圖)。

【0044】 如第17A、17B圖所示，因為淺溝槽隔離區域42與矽鍺氧化區域38較深的凹槽化，使淺溝槽隔離區域42與矽鍺氧化區域38更遠離其上方之矽條26。如第21C、21D圖所示，至少一些矽鍺氧化區域38的上表面，會與形成於矽條26底部之閘極介電質70間隔開。在第21C圖中，矽鍺氧化區域38的中央部份具有較少的凹槽化，因而會突出高於矽鍺氧化區域38相對於中央部分的相對側部分。閘極介

電質70填入矽鍺氧化區域38中央部分與矽條26底部之間的空間。在第21D圖中，形成於矽條26底部之閘極介電質可藉由間隙，將其與形成於矽鍺氧化區域38和淺溝槽隔離區域42之上表面的介電質(亦標示為70)間隔開。而閘極電極72則填入該間隙。

【0045】 第23A、23B及23C圖係根據替代的實施方式繪示出鰭式場效電晶體之通道與閘極的剖面圖。在這些實施方式中，以二代替三或四之矽條26。此外，半導體條26具有一高度大於其各自的寬度。舉例來說，每一矽條26之高度H1可為介於大約10nm至大約30nm之間的範圍，且每一矽條26之寬度W1可為介於大約6nm至大約12nm之間的範圍。第23A、23B及23C圖繪示出一些各自對應於第16B/16C、21C及1D之實施方式，因此其詳細說明在此便不再重複。

【0046】 本發明一些實施方式具有一些優勢特徵。在通道材料(矽條26)的形成之前進行反穿透植入。於是，所產生之鰭式場效電晶體的通道不會受到植入之摻雜物的影響。因此可以消除，傳統的反穿透植入所導致的雜質散射與載子遷移率降低之問題。所產生之鰭式場效電晶體為一種具有複數個通道之環繞式閘極鰭式場效電晶體(GAA FinFET)。因此，可改善汲極引致能障下降(Drain-Induced Barrier Lowering, DIBL)相關的短通道效應。此外，因為複數個通道，亦可改善鰭式場效電晶體的驅動電流。

【0047】 根據一些替代的實施方式，第24-40C圖繪示出

形成鰭式場效電晶體中間階段的剖面圖。除非另有說明，在這些實施方式中的元件，其材料及形成方法實質上與類似元件相同，而類似元件在第1-23C圖所示之實施方式中皆以相同的元件符號表示。關於第24-40C圖所示結構之詳細形成步驟與材料，可參考第1-23C圖所示之實施方式的說明。第24-40C圖所示之步驟亦於第41圖所示之步驟流程400中按綱要式說明。

【0048】 第24圖繪示出反穿透植入(如箭頭所指)的形成以於基板20中以形成反穿透區域21。其各自的步驟呈現在第41圖中製程流程的步驟402。製程步驟和製程細節與第1圖所示實質上相同，因此其詳細說明在此便不再重複。

【0049】 接下來如第25圖所示，矽鍺層22與半導體層124用磊晶的方式形成於基板20之上方。其各自的步驟呈現在第41圖中製程流程的步驟404。如前所述，矽鍺層22形成結晶層。矽鍺層22之鍺比例(原子比例)在大約25%至大約35%的範圍之間，但亦可使用其他更高或更低的比例。根據本發明一些實施方式，矽鍺層22之厚度T4在大約5奈米至大約8奈米的範圍之間。

【0050】 半導體層124形成於矽鍺層22之上。根據本發明一些實施方式，半導體層124可為由均質的半導體材料所形成的單層，舉例來說，半導體層124的形成係利用不含鍺的矽。半導體層124亦可為實質上的純矽層，舉例來說，其鍺比例低於大約1%。此外，半導體層124可為本質性，其不摻雜p型或n型的雜質。根據一些實施方式，半導體層124

的厚度T4在大約30奈米至大約80奈米的範圍之間。

【0051】 根據本發明一些替代的實施方式，半導體層124可為複合結構，其為具有實質上與第2圖所示之半導體疊層24相同結構的半導體疊層，因此，複合半導體層124的結構和材料可參考半導體疊層24的描述。

【0052】 此外，硬遮罩(未顯示)可形成於半導體疊層124之上。根據本發明一些實施方式，硬遮罩的形成係利用氮化矽、氮氧化矽、碳化矽、碳氮化矽、或其他相似物。

【0053】 接下來，如第26圖所示，硬遮罩、半導體層124、矽鍍層22與基板20圖案化以形成溝渠32。其各自的步驟呈現在第41圖中製程流程的步驟406。因此而形成半導體條34。溝渠32延伸進入基板20，且溝渠32和半導體條34具有彼此平行的長度方向。半導體層124剩下的部分可相應地以條之名詞來替換。在後續步驟中，溝渠32被淺溝渠隔離區域42填滿，接著凹槽化淺溝渠隔離區域42。在第26圖和之後的圖中，沒有顯示淺溝渠隔離區域42和基板20的下部，在半導體層22之下的結構部分實質上與第6圖所示結構的下部相同，基板20的部份(參照在下文中的基板條)位於淺溝渠隔離區域42的相對部份之間。

【0054】 在淺溝渠隔離區域42的凹槽化之後，淺溝渠隔離區域42的上表面低於矽鍍條22的上表面。根據本發明一些實施方式，淺溝渠隔離區域42的上表面平齊於或略低於矽鍍條22的上表面，使矽鍍條22的側壁的至少一些部份和可能全部的部份暴露出來。

【0055】 接下來參照第27圖，在半導體條(鱗片)34暴露出之部分，進行氧化製程以形成矽鍺氧化區域38。其各自的步驟呈現在第41圖中製程流程的步驟408。氧化步驟完成後，矽鍺層22被完全氧化以形成矽鍺氧化區域38。根據一些實施方式，進行氧化的溫度可在大約400°C至600°C的範圍之間。氧化的時間，舉例來說，可在大約2分鐘至大約4小時的範圍之間。氧化的過程中，氧化矽(未顯示)亦形成於半導體條124暴露出之表面上。因為矽的氧化速率會比矽鍺的氧化速率慢得多，在半導體條124上的氧化矽層會較薄，因此，在此便不再說明。

【0056】 在一些實施方式中，半導體條124具有如第3圖所示之半導體條24相同的結構。在氧化後，最後之結構將包含矽鍺氧化區域38、集中的矽鍺區域28，與第4圖所示之相似。

【0057】 接下來參照第28-30圖，形成蝕刻終止層(Etch Stop Layer)122。其各自的步驟呈現在第41圖中製程流程的步驟410。在接觸開口的後續形成中，以蝕刻終止層122充當蝕刻終止層，接觸開口是爲了形成源極/汲極矽化物和源極/汲極接觸。根據本發明一些實施方式，蝕刻終止層122包含氮碳化矽(SiCN)，然而也可使用其他介電材料。蝕刻終止層122可具有厚度在大約3奈米至大約10奈米的範圍之間。

【0058】 參照第28圖，蝕刻終止層122形成爲保形層(Conformal Layer)，因此覆蓋半導體鱗片124的側壁和上

表面以及矽鍺氧化區域38的的上表面。根據一些實施方式，蝕刻終止層122之厚度T5在大約3奈米至大約10奈米的範圍之間。

【0059】 接下來參照第29圖，形成介電區域128以填充溝渠32(第28圖)。舉例來說，可以使用可流動式化學氣相沉積進行填充。根據一些實施方式，介電區域128可包含氧化矽。剩下之介電區域128的上表面高於矽鍺氧化區域38的上表面。

● 【0060】 第29圖亦繪示出蝕刻終止層122暴露出之部分的氧化，使蝕刻終止層122暴露出之部分轉變成介電層126。當蝕刻終止層122由氮碳化矽形成，剩下之介電層包含氮碳氧化矽(SiOCN)，其具有與碳氮化矽不同的蝕刻特性，此外，使用濕蝕刻時，氮碳氧化矽比氮碳化矽更容易被移除。因此，這樣的轉變可在不破壞半導體鱗片124的情況下移除蝕刻終止層122暴露出之部分。根據本發明一些實施方式，蝕刻終止層122的氧化步驟的進行可利用爐退火(Furnace Anneal)(在含氧氣體中)、氧植入(Oxygen Implantation)、或其它相似物。

● 【0061】 形成介電層126之後，舉例來說，以溼蝕刻移除介電層126，最後之結構顯示於第30圖，結果造成，半導體鱗片124暴露出來，蝕刻終止層122之未轉變的部分維持原樣。在剖面圖中，蝕刻終止層122剩下的部分具有U型(也包含L型)。根據本發明一些實施方式，剩下的蝕刻終止層122之上表面齊高於或高於矽鍺氧化區域38之上表面，使蝕

刻終止層122亦能在爲了形成接觸開口的後續蝕刻之中，保護矽鍺氧化區域38。在最後之結構中，蝕刻終止層122的垂直部分可具有一部分與矽鍺氧化區域38共平面，又或是，蝕刻終止層122的垂直部分可高於矽鍺氧化區域38。

【0062】 第31圖繪示出虛擬閘極疊層46的形成的上視圖，虛擬閘極疊層形成在半導體鰭片124的上表面和側壁上。其各自的步驟呈現在第41圖中製程流程的步驟412。虛擬閘極疊層46的剖面圖可實質上與第34B圖所示之相同，此時，沒有閘極間隙壁形成在虛擬閘極疊層46的側壁上。根據一些實施方式，虛擬閘極疊層包含虛擬閘極電極48，舉例來說，虛擬閘極電極48可利用多晶矽形成。虛擬閘極疊層46亦可包含硬遮罩層50。舉例來說，硬遮罩層50可包含氮化矽層50A和在氮化矽層50A之上的氧化矽層50B。虛擬閘極疊層46具有一長度方向，實質上垂直於半導體鰭片124之長度方向，其中，半導體鰭片124的相對兩端未被虛擬閘極疊層46覆蓋。

【0063】 第32-38B圖繪示源極和汲極區域的形成(參照在下文中的源極/汲極區域)，第32-38圖的圖示編號後有字母「A」或字母「B」，其中字母「A」表示各自的圖示得自於與含有第31圖的剖線A-A的垂直平面一樣的平面，字母「B」表示各自的圖示(除了第34B圖)得自於與含有第31圖的線B-B的垂直平面一樣的平面，因此，圖示編號後有字母「A」繪示源極/汲極區域的剖面圖，圖示編號後有字母「B」繪示虛擬閘極疊層46的剖面圖。

【0064】 第32-34B圖繪示爲了磊晶生長源極/汲極區域的源極/汲極模板的形成。其各自的步驟呈現在第41圖中製程流程的步驟414。參照第32圖，形成介電層130，接著形成介電層132在介電層130之上。介電層130和132的材料是不同的，根據一些實施方式，介電層132的形成係利用氮碳氧化矽，介電層130的形成係利用不同於介電層132的材料，舉例來說，在一些實施方式中，介電層130的形成係利用氧化矽。介電層130的形成具有增加最後的源極/汲極區域寬度的優勢特徵，將在後續的段落中討論。形成介電層130和132爲保形層，因此亦將在虛擬閘極疊層的側壁(如第34B圖所示)和上表面之上延伸。

【0065】 第33圖繪示出透過蝕刻移除半導體鱗片124，其中，被移除的部分沒有被虛擬閘極疊層46(第31圖)覆蓋。在蝕刻中，也移除介電層130和132在半導體鱗片124之上的一些部分，在半導體鱗片124的蝕刻之後，矽鍺氧化區域(第32圖)亦被蝕刻，因此形成源極/汲極凹槽136延伸至淺溝渠隔離區域42之間的基板20的一些部分上，凹槽136具有實質上垂直的側壁，其側壁包含介電層130和蝕刻終止層122的側壁。根據一些實施方式，蝕刻爲非等方向性的。

【0066】 接下來，進行蝕刻步驟移除介電層130，最後之結構顯示於第34A、34B圖，其分別繪示源極/汲極區域的剖面圖、源極/汲極區域和虛擬閘極疊層46的側視圖。蝕刻可爲等方向性的，舉例來說，使用溼蝕刻。結果，增加凹槽136的側向寬度超過第33圖中所示，這可有利於增加後續

在凹槽136中生長的源極/汲極區域的寬度。此外，介電層132(參照在下文中的介電模板132)之剩下部分的下表面藉由間隙138與下面的介電區域128相隔。因此產生懸浮之介電模板132。

【0067】 如第34B圖之透視圖所示，介電模板132連接至在虛擬閘極疊層46側壁上的介電層132的一些部份，因此不會脫落，同樣的，在虛擬閘極疊層46側壁上的介電層130的一些部份仍能保留下來，且暴露於凹槽136。

● 【0068】 在後續的步驟中，如第34A圖和第34B圖所示，源極/汲極區域磊晶生長在凹槽136之中。其各自的步驟呈現在第41圖中製程流程的步驟416。間隙138(第34B圖)的存在，使前驅物(Precursor)容易到達凹槽136的底部和內部，因此，最後之源極/汲極區域較不可能有孔洞(Void)。第35圖繪示最後之源極/汲極區域58，最後之源極/汲極區域的材料和形成步驟與第10圖所示之類似，因此在此便不再重複。源極/汲極區域58包含具有垂直側壁的部份58A，具有小平面58'和58"的部份58B，介於蝕刻終止層122和形成在間隙138(第34A圖)中的部份58D之間的部份58C。

● 【0069】 第36A-37B圖繪示源極/汲極區域58的修整，使第35圖中的小平面58'和58"被移除以形成垂直的源極/汲極區域58。其各自的步驟呈現在第41圖中製程流程的步驟418。參照第36A圖，形成介電層140。根據一些實施方式，介電層140的形成係利用與介電層132一樣的材料，舉

例來說，其可包含氮碳氧化矽。如第36B圖所示，其繪示虛擬閘極疊層46以及介電層140，介電層140亦形成在虛擬閘極疊層46上且接觸介電層132。

【0070】 接下來，如第37A-37B圖所示，進行乾蝕刻以蝕刻介電層140重疊於源極/汲極區域58的一些部份，使源極/汲極區域58暴露出來。接著進行修整步驟，舉例來說，使用非等方向性(乾)蝕刻，以移除源極/汲極區域58的小平面。最後的結構如第38A-38B圖所示，分別繪示出源極/汲極部份和虛擬閘極疊層。因為修整源極/汲極，最後之源極/汲極區域58具有實質上垂直的側壁，沒有任何實質上的小平面保留下來。暴露出來的源極/汲極區域58的側壁為實質上垂直且平直的。接下來，進行乾蝕刻移除介電層132和140在源極/汲極區域58側壁上的部份，蝕刻終止層122因此暴露出來。在此同時，如第38B圖所示，虛擬閘極疊層46的上表面亦暴露出來，介電層132和140之剩下部份形成閘極間隙壁132/140，可以理解的是，因為介電層132和140在不同的流程步驟中形成，兩者可具有可區分的界面，無論此兩者是否以相同或不同的材料形成。介電層140的形成有利於增加閘極間隙壁的厚度，使第38B圖的結構中，閘極間隙壁132/140的上部末端高於多晶矽層48的上表面，在最後之結構中，閘極間隙壁132/140之厚度在大約3奈米至大約10奈米的範圍之間。

【0071】 接下來，如第39A-39B圖所示，形成層間介電質60。其各自的步驟呈現在第41圖中製程流程的步驟420。

進行化學機械研磨將層間介電質60、虛擬閘極疊層46與閘極間隙壁132/140的上表面磨平至相同高度。在後續步驟中，如第40A圖所示，移除虛擬閘極疊層46(第39B圖)，閘極介電質(未顯示)和閘極電極72形成替代閘極。其各自的步驟呈現在第41圖中製程流程的步驟422。在一些實施方式中，半導體鰭片124(第34B圖)的形成係利用均質的材料。替代閘極的形成包含形成界面介電質層和高k介電質層在半導體鰭片124(第34B圖)的側壁和上表面之上；形成導電材料在高k介電質層之上；以及進行化學機械研磨使界面介電質層、高k介電質層以及導電材料的上表面與層間介電質60之上表面平齊。在替代的實施方式中，其中半導體鰭片124具有如第2圖所示之半導體疊層24所示之相同結構，可進行第11-16B圖所示之步驟以形成替代閘極。

【0072】 再次參照第40A圖，在形成替代閘極之後，蝕刻層間介電質60以形成接觸開口(被如第40A和40B所示之接觸插塞146填滿)，其中源極/汲極區域58暴露於接觸開口。在層間介電質60的蝕刻中，蝕刻終止層122做為保護下面的淺溝渠隔離區域42的蝕刻終止層。蝕刻終止層122的上部末端可高於矽鍺氧化區域38的上部末段，高度差為 ΔH ，可在大約2奈米至大約5奈米的範圍之間，使矽鍺氧化區域38受到恰當的保護而不被蝕刻。根據本發明一些實施方式，如第40A圖所示，蝕刻終止層122的大部分高於矽鍺氧化區域38。在替代的實施方式中，如第30圖所示，蝕刻終止層122和矽鍺氧化區域38的大部分彼此齊平。

【0073】 接下來，進行矽化步驟以形成源極/汲極矽化區域144在源極/汲極區域58的側壁上，接著以導電材料填充剩下之接觸開口以形成源極/汲極接觸插塞146。其各自的步驟呈現在第41圖中製程流程的步驟424和426。根據本發明一些實施方式，矽化區域包含矽化鎳、矽化鈦、矽化鈷、或其他類似物。接觸插塞146可包含鈷、鎢、或其他類似物。如第40A圖所示，因此形成鰭式場效電晶體74。

【0074】 根據各種實施方式，第40B圖和第40C圖繪示鰭式場效電晶體74的源極/汲極部分的剖面圖，其中剖面圖得自第40A圖中的含有剖線A—A的平面。在第40B圖中，在矽化步驟之後，移除用以形成矽化金屬的剩下之金屬，因此，接觸插塞146接觸矽化區域144。在第40C圖中，用以形成矽化金屬的剩下之金屬148沒有被移除，金屬148包含鎳、鈦、鈷、或其他類似物。

【0075】 本發明一些實施方式具有一些優勢特徵。如第40B圖所示，相鄰的淺溝渠隔離區域42具有距離 $W1$ ，其為介於淺溝渠隔離區域42之間的基板20的條部分之寬度，源極/汲極區域58有寬度為 $W1$ 的下部58C，源極/汲極區域58進一步具有寬度為 $W2$ 的上部58A/58B，寬度 $W2$ 大於 $W1$ 。舉例來說，寬度 $W1$ 可為介於大約2nm至大約6nm之間的範圍，寬度 $W2$ 可為介於大約6nm至大約12nm之間的範圍，寬度差($W2-W1$)的產生是由於介電層130(第32圖)的形成和移除，因此，源極/汲極區域的寬度是優勢地大於下面的基板部分的寬度，此外，藉由形成介電模板，從模板形成源極

/汲極區域，然後修整源極/汲極區域，使最後之源極/汲極區域可具有很高的高度，但仍具有垂直側壁。因此，矽化區域可形成在源極/汲極區域的高且垂直的側壁上，因此，減少源極/汲極接觸電阻，導致最後之鰭式場效電晶體的飽和電流增加。

【0076】 根據本發明一些實施方式，一種裝置包含：第一半導體條；第一閘極介電質，環繞於第一半導體條；第二半導體條，重疊於第一半導體條；及第二閘極介電質，環繞於第二半導體條，且第二閘極介電質接觸第一閘極介電質；閘極電極，具有一部份位於第二半導體條之上方，而其他部分位於第一、第二半導體條與第一、第二閘極介電質之相對兩側。

【0077】 根據本發明替代的實施方式，一種裝置包含：基板；第一淺溝渠隔離(Shallow Trench Isolation, STI)區域及第二淺溝渠隔離區域，延伸進入基板；矽鍺氧化層位於第一、第二淺溝渠隔離區域之間；及複數個半導體條，堆積重疊於矽鍺氧化層；閘極介電質，分別環繞於複數個半導體條，且閘極介電質環繞於複數個半導體條之一些部分會連接在一起，以形成一連續區域；閘極電極，位於閘極介電質上；源極及汲極區域，連接至該複數個半導體條之相對兩端。

【0078】 根據本發明另一替代的實施方式，一種方法包含：形成半導體疊層，其包含第一複數個半導體層及第二複數個半導體層交替布置；將半導體疊層圖案化，以形成半導體條疊層；將半導體條疊層中之第二複數個半導體層移除，

剩下半導體條疊層中之第一複數個半導體層作為複數個半導體條；將複數個半導體條氧化，以形成介電環圍繞於複數個半導體條之剩餘部份；閘極介電質形成於複數個半導體條之上，其中形成於鄰近之複數個半導體條上之閘極介電質，會彼此接觸。

【0079】前面已概述了一些實施方式的特徵，使得本技術領域中具有通常知識者可以更佳理解其中的詳細描述。本技術領域中具有通常知識者應當理解，其可以容易使用本發明內容作為用於實現相同目的及/或實現本文中所介紹的實施方式中相同的優點設計或修改其他過程和結構基礎。本技術領域中具有通常知識者也應該認識到，此類等效構造不脫離本發明內容中所揭露的精神和範圍，並且可以對其進行各種改變，替代和變更，而不脫離本發明內容之精神和範圍。

【符號說明】

【0080】

- 20：基板
- 21：反穿透區域、反穿透層、反穿透層區域
- 22：矽鍺層、矽鍺條、半導體層
- 24：半導體疊層、半導體條、半導體鰭片
- 26：半導體層、矽條、矽層、半導體條
- 28：半導體層、矽鍺層、矽鍺條、半導體條
- 30：硬遮罩
- 32：溝渠

- 34 : 半導體條
- 36 : 氧化矽層
- 38 : 矽鍺氧化區域
- 40 : 矽鍺氧化區域
- 42 : 淺溝渠隔離區域
- 42A : 上表面
- 44 : 虛擬氧化層、虛擬閘極氧化物
- 46 : 虛擬閘極疊層、虛擬閘極
- 48 : 虛擬閘極電極、多晶矽層
- 50 : 硬遮罩層
- 50A : 氮化矽層
- 50B : 氧化矽層
- 54 : 閘極間隙壁
- 56 : 凹槽
- 58 : 源極/汲極區域、磊晶區域
- 58' : 小平面
- 58'' : 小平面
- 58A、58B、58C、58D : 部份
- 60 : 層間介電質
- 62 : 凹槽
- 64 : 間隙
- 66 : 氧化矽環

- 70 : 閘極介電質
- 72 : 閘極電極
- 74 : 鑷式場效電晶體
- 76 : 氧化矽
- 78 : 高 k 介電質
- 100 : 核心區域
- 122 : 蝕刻終止層
- 124 : 半導體層
- 126 : 介電層
- 128 : 介電區域
- 130 : 介電層
- 132 : 介電層、介電模板、閘極間隙壁
- 136 : 凹槽
- 138 : 間隙
- 140 : 閘極間隙壁
- 144 : 矽化區域
- 146 : 接觸插塞
- 148 : 金屬
- 200 : IO 區域
- 300 : 步驟流程
- 302-328 : 步驟
- 400 : 步驟流程

402-426 : 步驟

H1 : 高度

ΔH : 高度差

T1-T5 : 厚度

W1、W2 : 寬度

16B/16C—16B/16C : 剖線

21C/21D—21C/21D : 剖線

● A—A : 剖線

【發明申請專利範圍】

【第 1 項】一種半導體裝置，包含：

- 一第一半導體條；
- 一第一閘極介電質，環繞於該第一半導體條；
- 一第二半導體條，重疊於該第一半導體條；
- 一第二閘極介電質，環繞於該第二半導體條，其中該第二閘極介電質接觸該第一閘極介電質；以及
- 一閘極電極，包含一第一部份，位於該第二半導體條之上方，及一其他部分位於該第一半導體條與該第二半導體條及該第一閘極介電質與該第二閘極介電質之相對兩側。

【第 2 項】如申請專利範圍第 1 項之半導體裝置，更包含：

- 一第一淺溝渠隔離區域及一第二淺溝渠隔離區域；以及
- 一矽鍍氧化層，位於該第一淺溝渠隔離區域及第二淺溝渠隔離區域之間，其中該第一半導體條及該第二半導體條重疊於該矽鍍氧化層之一中間部分。

【第 3 項】如申請專利範圍第 1 項之半導體裝置，其中該第一閘極介電質及該第二閘極介電質分別包含：

- 一氧化矽層，分別環繞於該第一半導體條及該第二半導體條，其中該第一閘極介電質之該氧化矽層，與該第二閘極介電質之該氧化矽層接觸；以及

一高 k 介電層，具有一內表面與該第一閘極介電質及該第二閘極介電質之該氧化矽層接觸。

【第 4 項】如申請專利範圍第 1 項之半導體裝置，其中該第一閘極介電質及該第二閘極介電質分別包含：

一氧化矽層，分別環繞於該第一半導體條及該第二半導體條；以及

一高 k 介電層，具有一內表面與該氧化矽層接觸，其中該第一閘極介電質之該氧化矽層，係藉由該高 k 介電層之一部份，將其與該第二閘極介電質之該氧化矽層間隔開。

【第 5 項】如申請專利範圍第 1 項之半導體裝置，更包含一源極/汲極區域，連接至該第一半導體條及該第二半導體條。

【第 6 項】一種半導體裝置，包含：

一基板；

一第一淺溝渠隔離區域及一第二淺溝渠隔離區域，延伸進入該基板；

一矽鍺氧化層位於該第一淺溝渠隔離區域及該第二淺溝渠隔離區域之間；

複數個半導體條，堆積重疊於該矽鍺氧化層；

一閘極介電質，分別環繞於該複數個半導體條，其中該閘極介電質環繞於該複數個半導體條之部分會連接在一起，以形成一連續區域；

一 閘極電極，位於該閘極介電質上；以及
一 源極及一汲極區域，連接至該複數個半導體條之相對兩端。

【第 7 項】一種形成半導體裝置之方法，包含：
形成一半導體疊層，包含一第一複數個半導體層及一第二複數個半導體層交替布置；
圖案化該半導體疊層，以形成一半導體條疊層；
氧化該半導體條疊層，其中該第一複數個半導體層及該第二複數個半導體層各別形成一部分氧化區域；
完全移除該第一複數個半導體層之該部分氧化區域及部分移除該第二複數個半導體層之該部分氧化區域；
完全移除該第二複數個半導體層之該剩餘的氧化區域及該第二複數個半導體層，剩下該半導體條疊層中之該第一複數個半導體層作為複數個半導體條；
氧化該複數個半導體條，以形成一介電環圍繞於該複數個半導體條之剩餘部份；以及
形成閘極介電質於該複數個半導體條上，其中形成於鄰近之該複數個半導體條上之該閘極介電質，會彼此接觸。

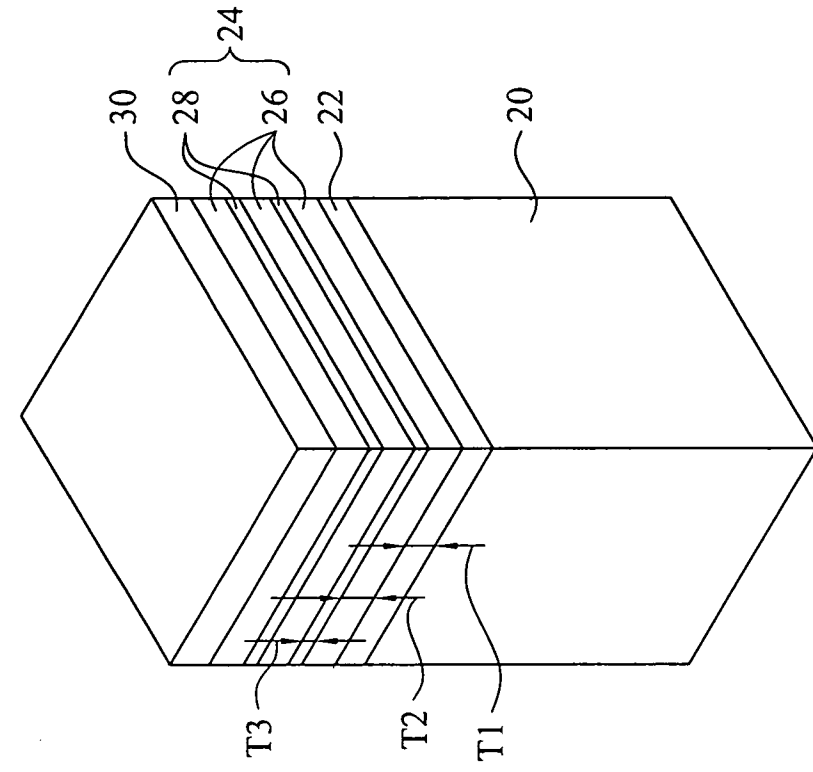
【第 8 項】如申請專利範圍第 7 項之方法，更包含：
移除該半導體條疊層之相對兩端部分，留下該半導體條疊層之一中間部分，以形成源極/汲極凹槽，其中該氧化該複數個半導體條之步驟，於該複數個半導體條之該中間部分進行；以及

於該源極/汲極凹槽中，磊晶生長源極及汲極區域。

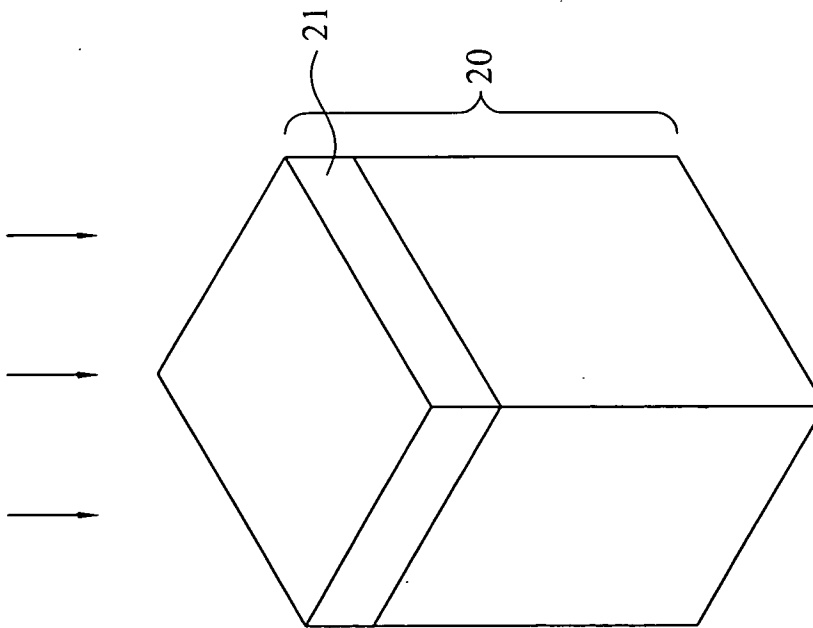
【第 9 項】如申請專利範圍第 7 項之方法，更包含：
在形成該半導體疊層之前，形成一矽鍺層，該半導體疊層重疊於該矽鍺層；以及
完全氧化該矽鍺層。

【第 10 項】如申請專利範圍第 7 項之方法，更包含：
在形成該半導體疊層之前，於一半導體基板之一頂部進行一反穿透植入，而該半導體疊層形成於該半導體基板之該頂部。

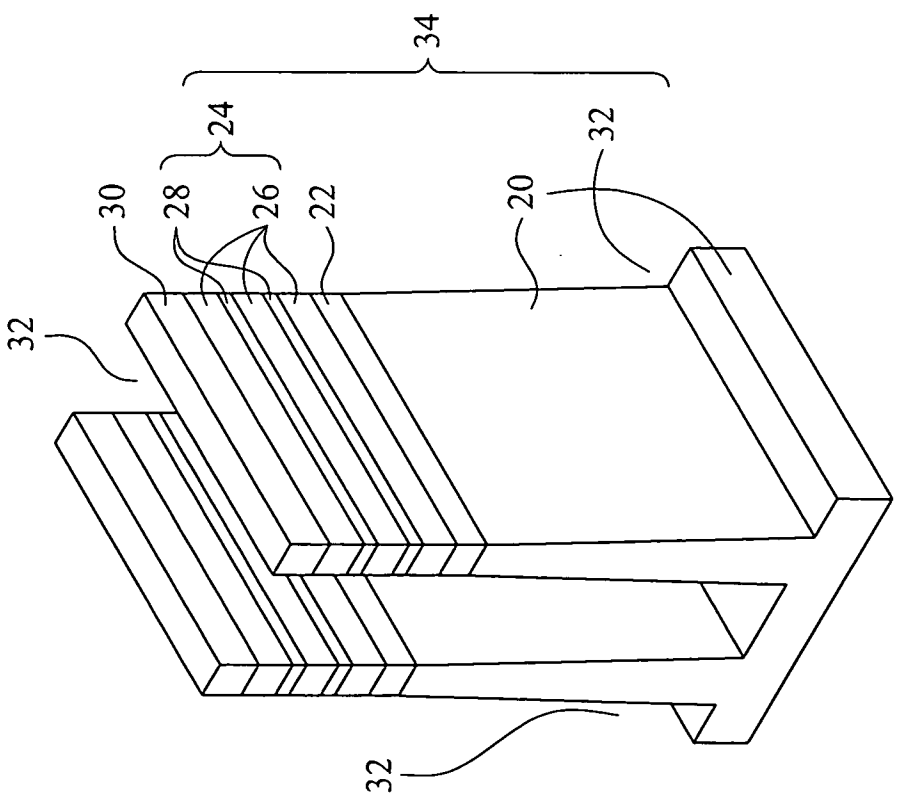
圖式



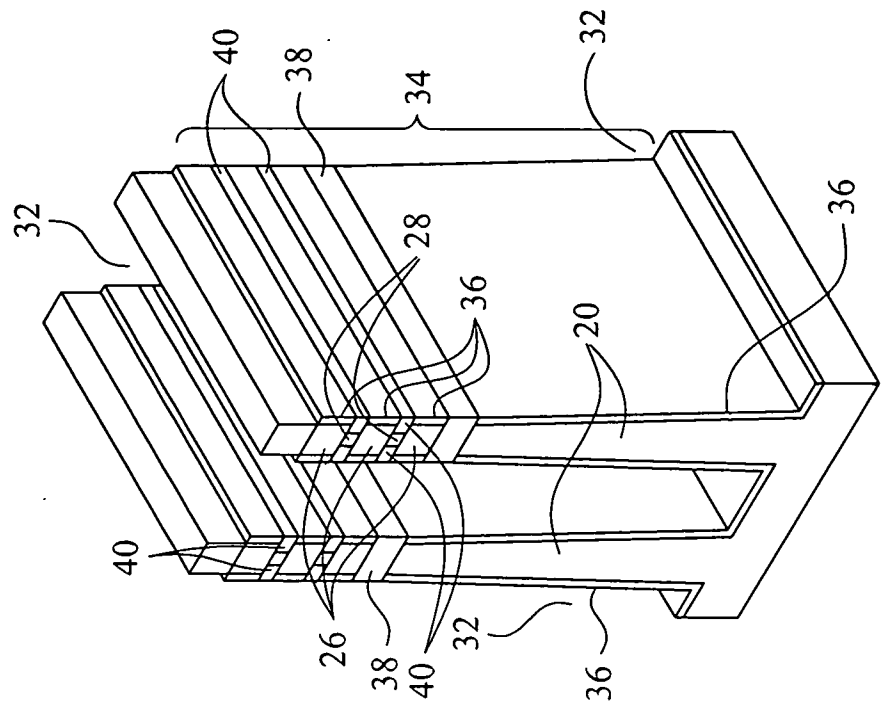
第2圖



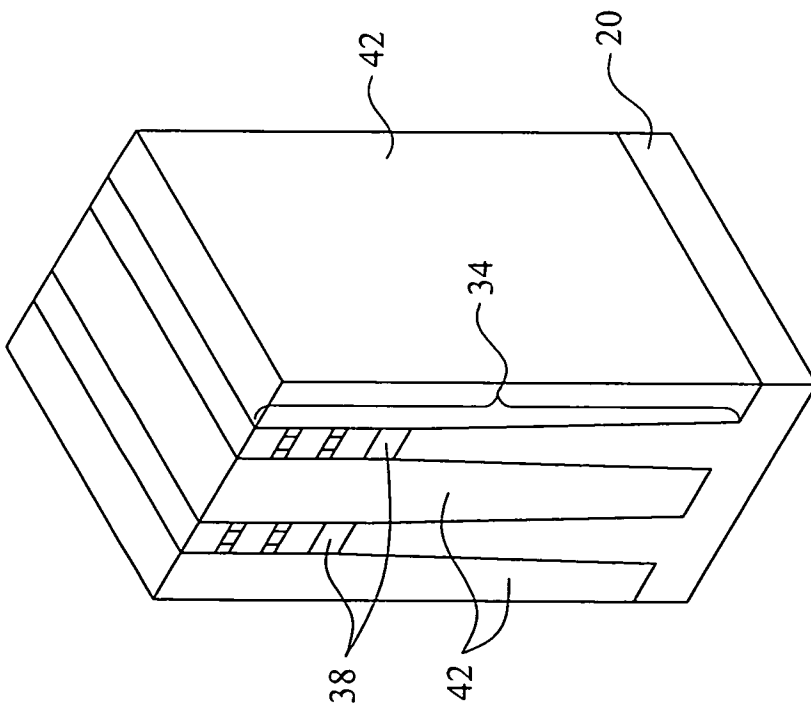
第1圖



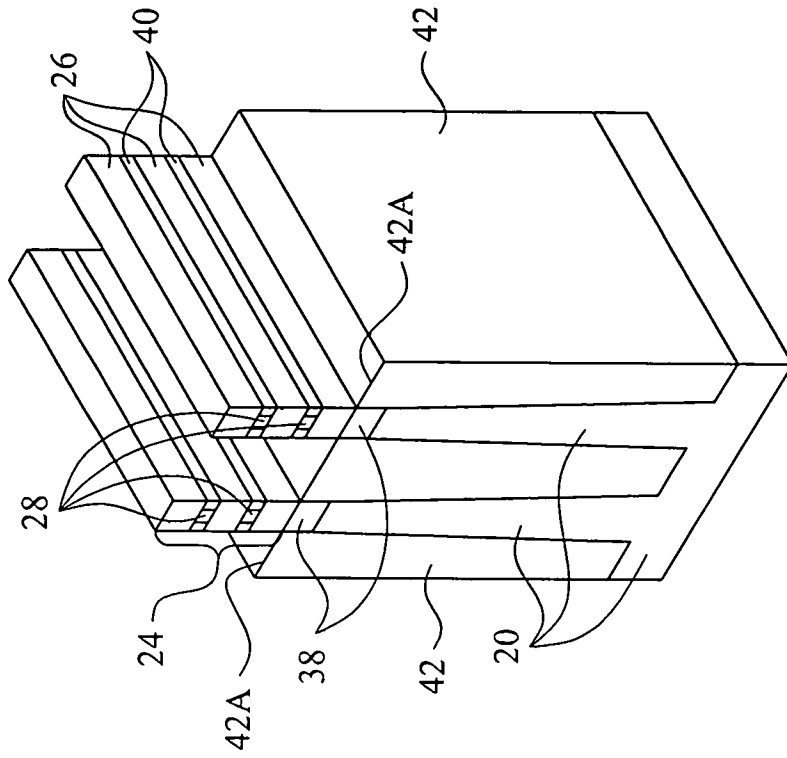
第3圖



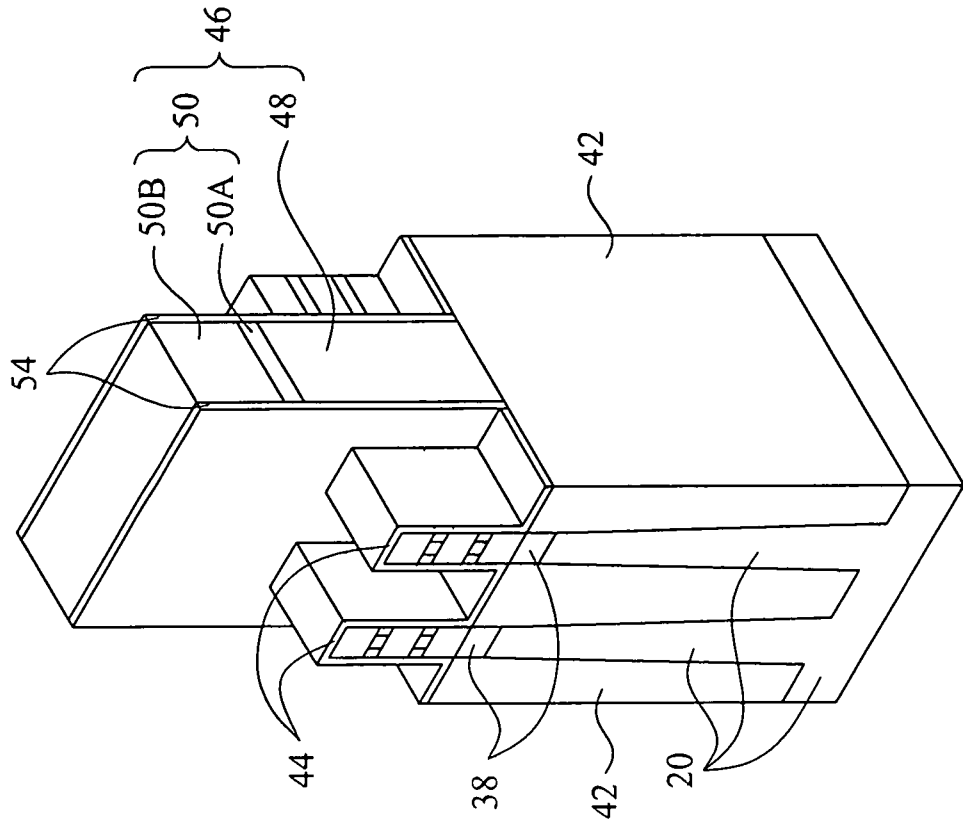
第4圖



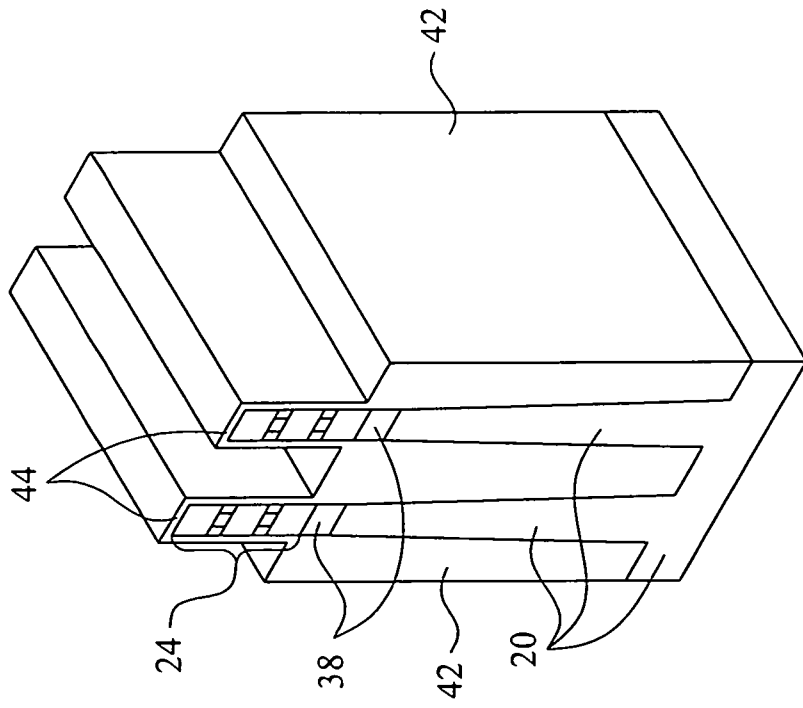
第5圖



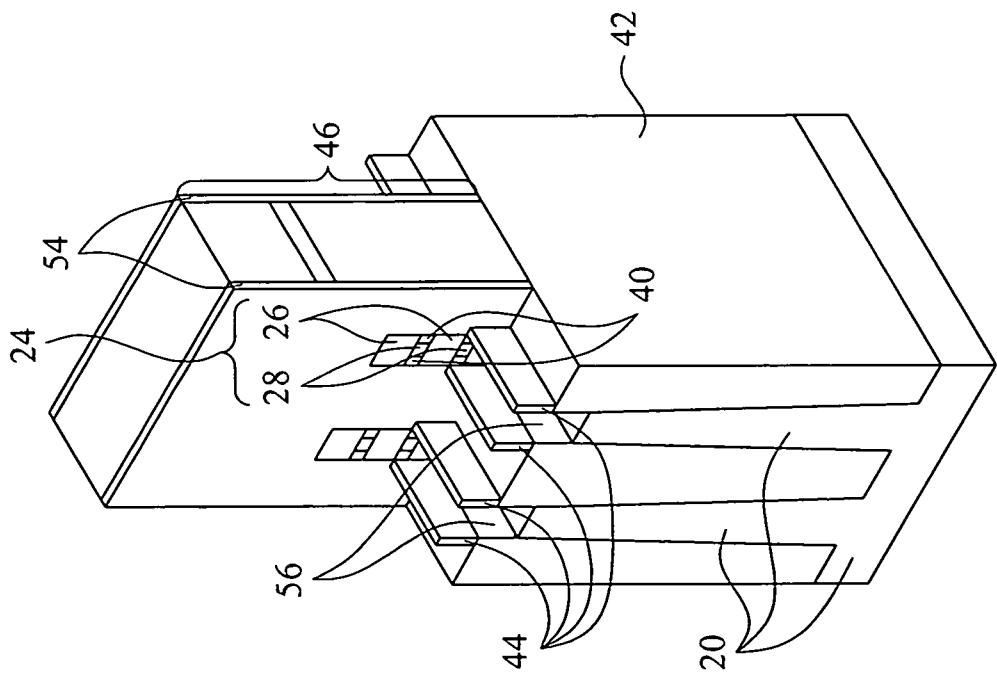
第6圖



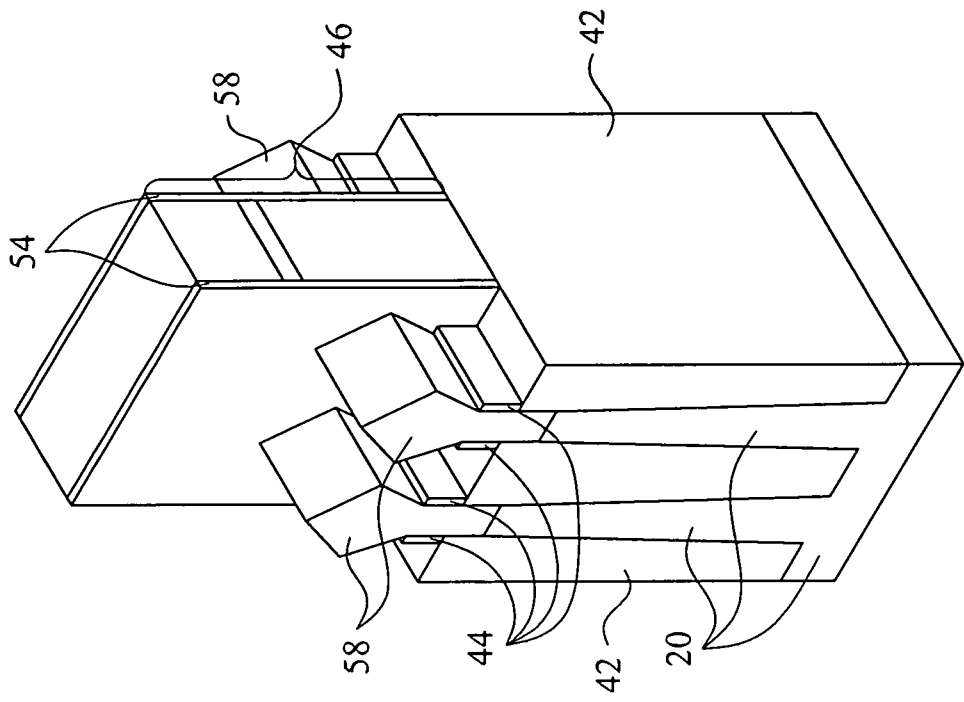
第 8 圖



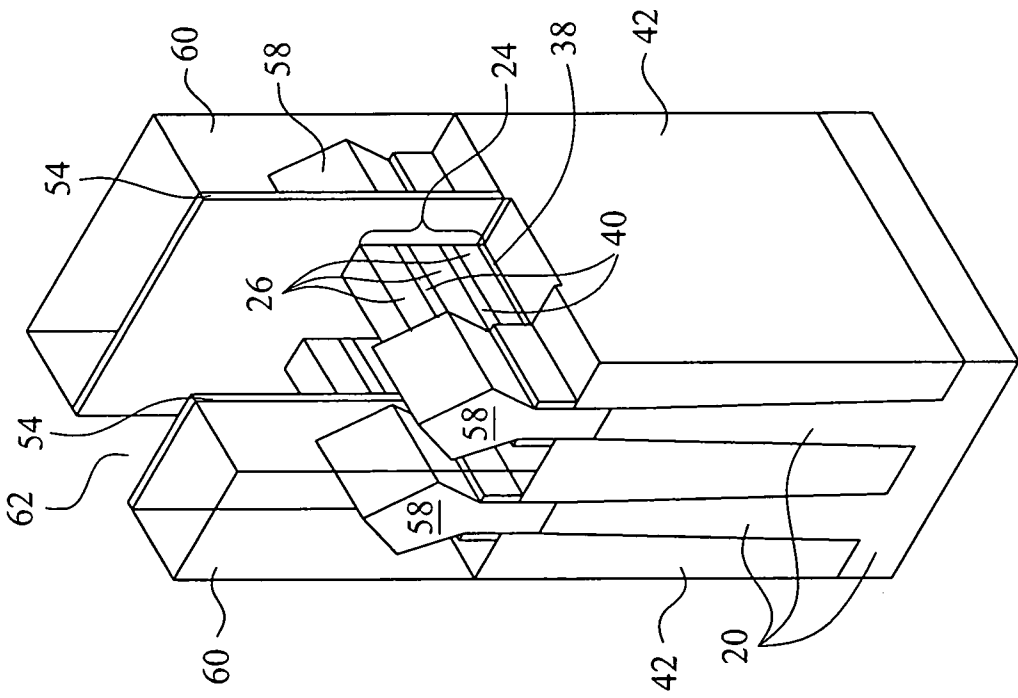
第 7 圖



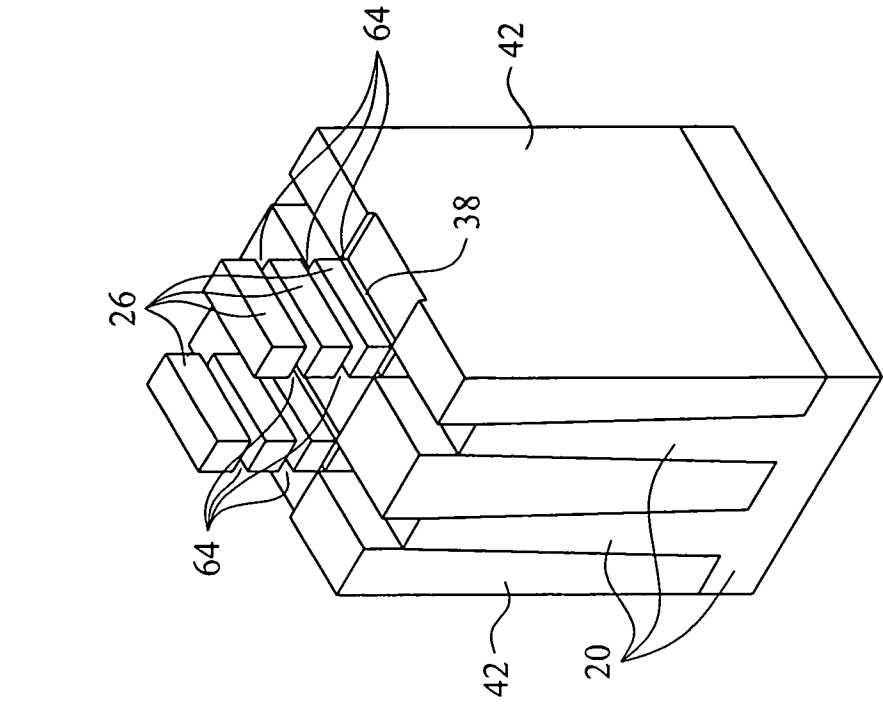
第9圖



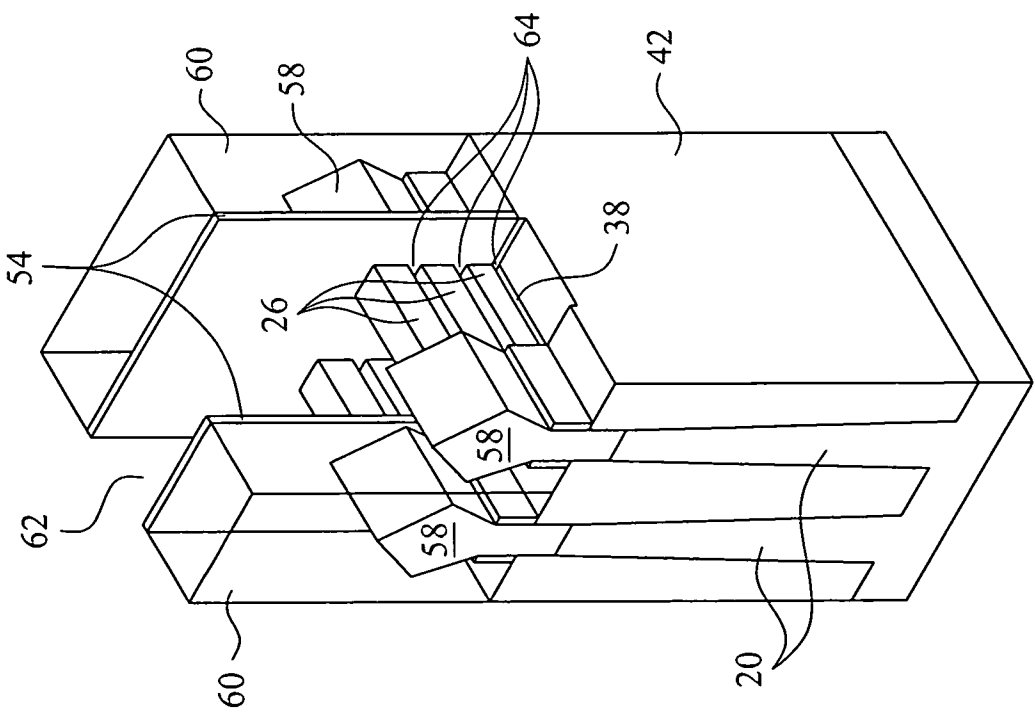
第10圖



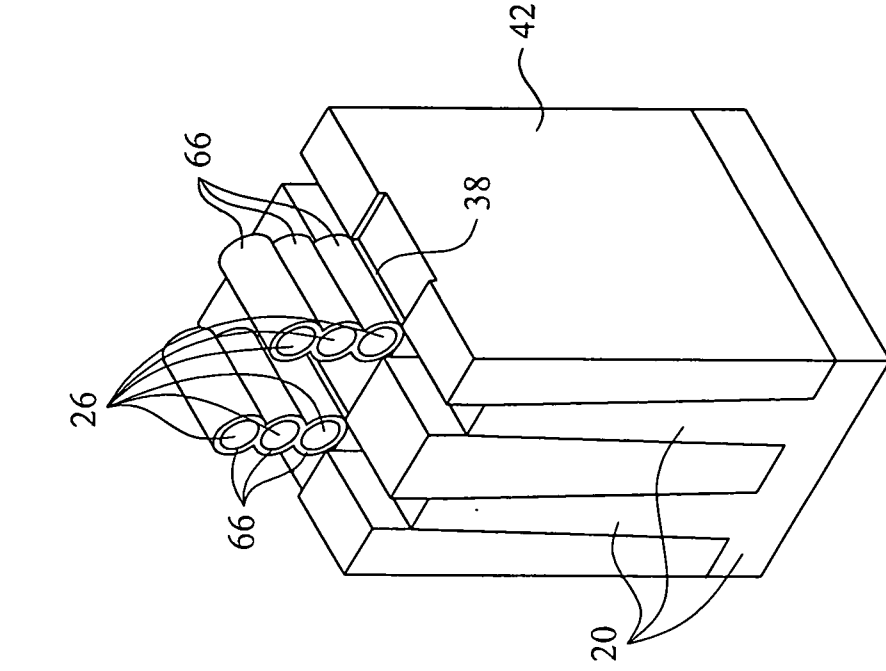
第11圖



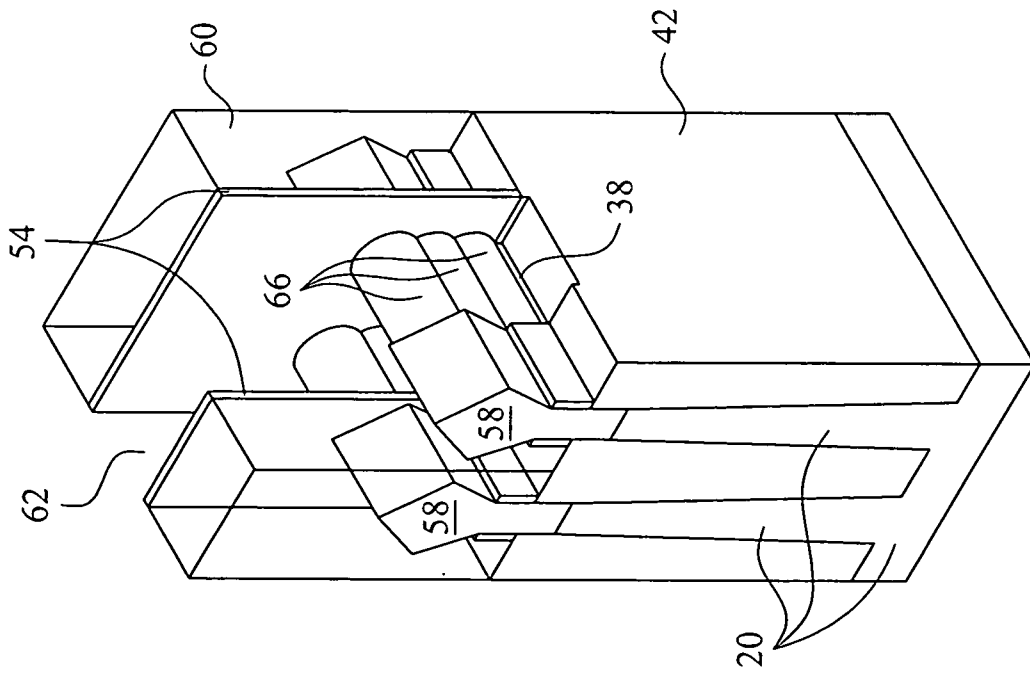
第 12B 圖



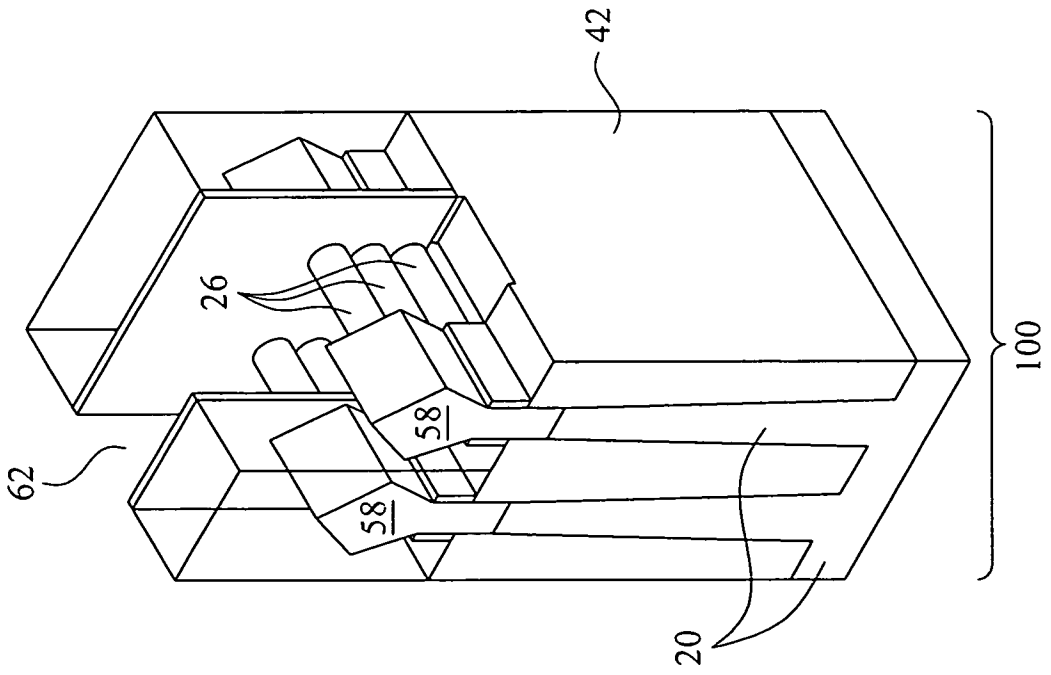
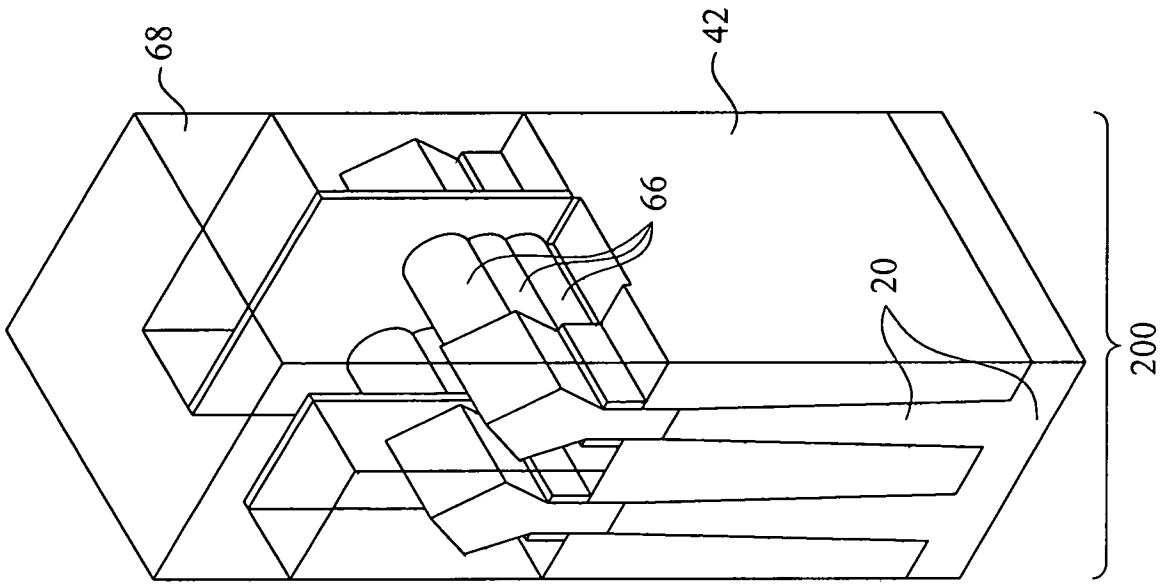
第 12A 圖



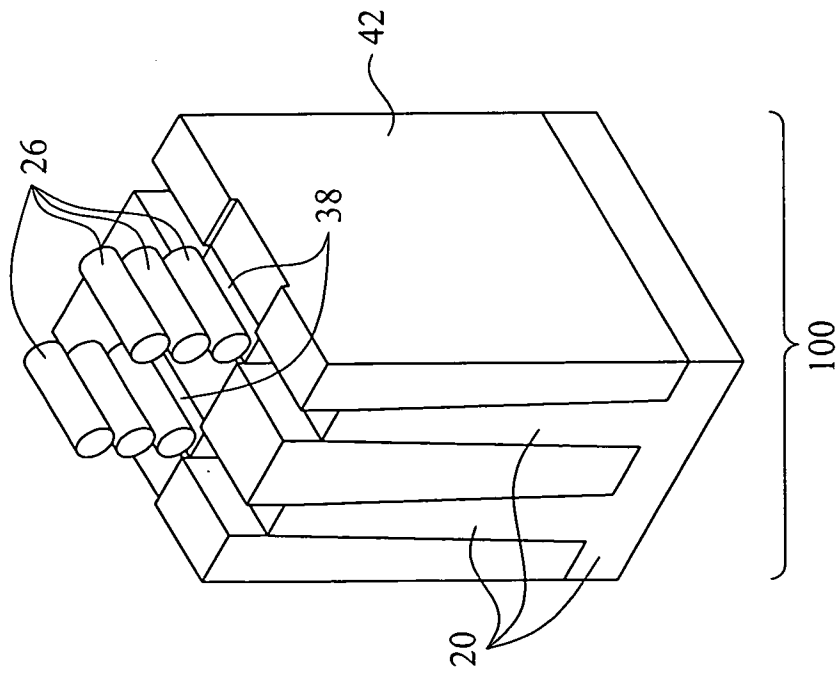
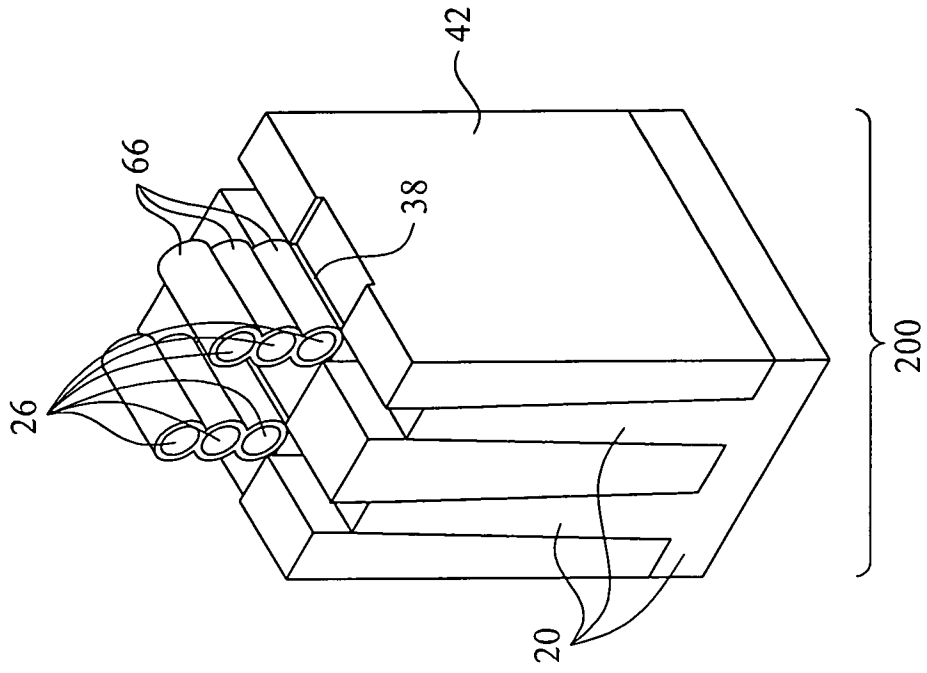
第 13B 圖



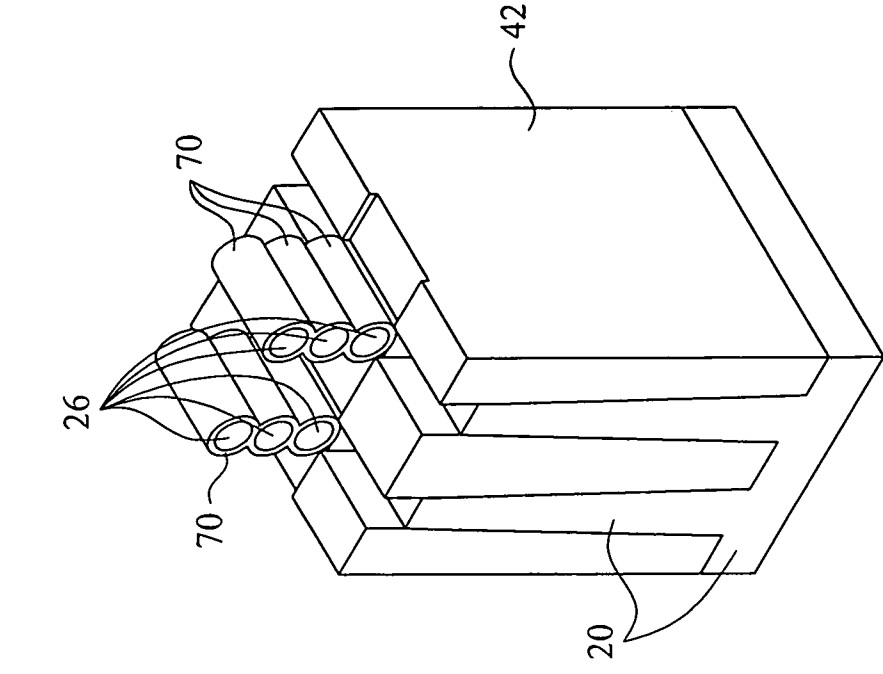
第 13A 圖



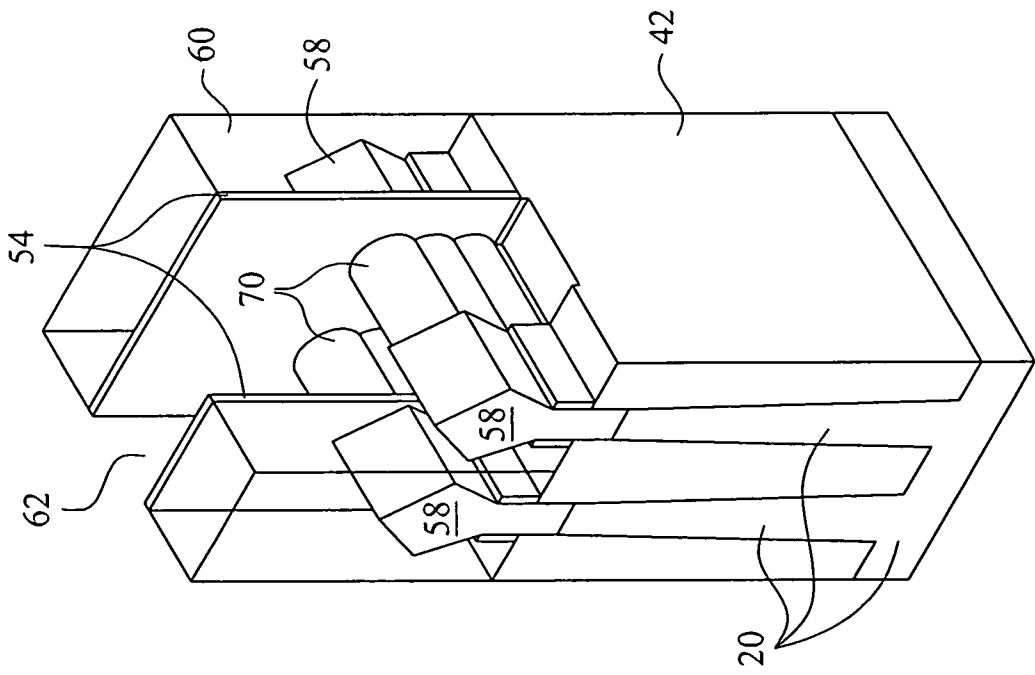
第 14A 圖



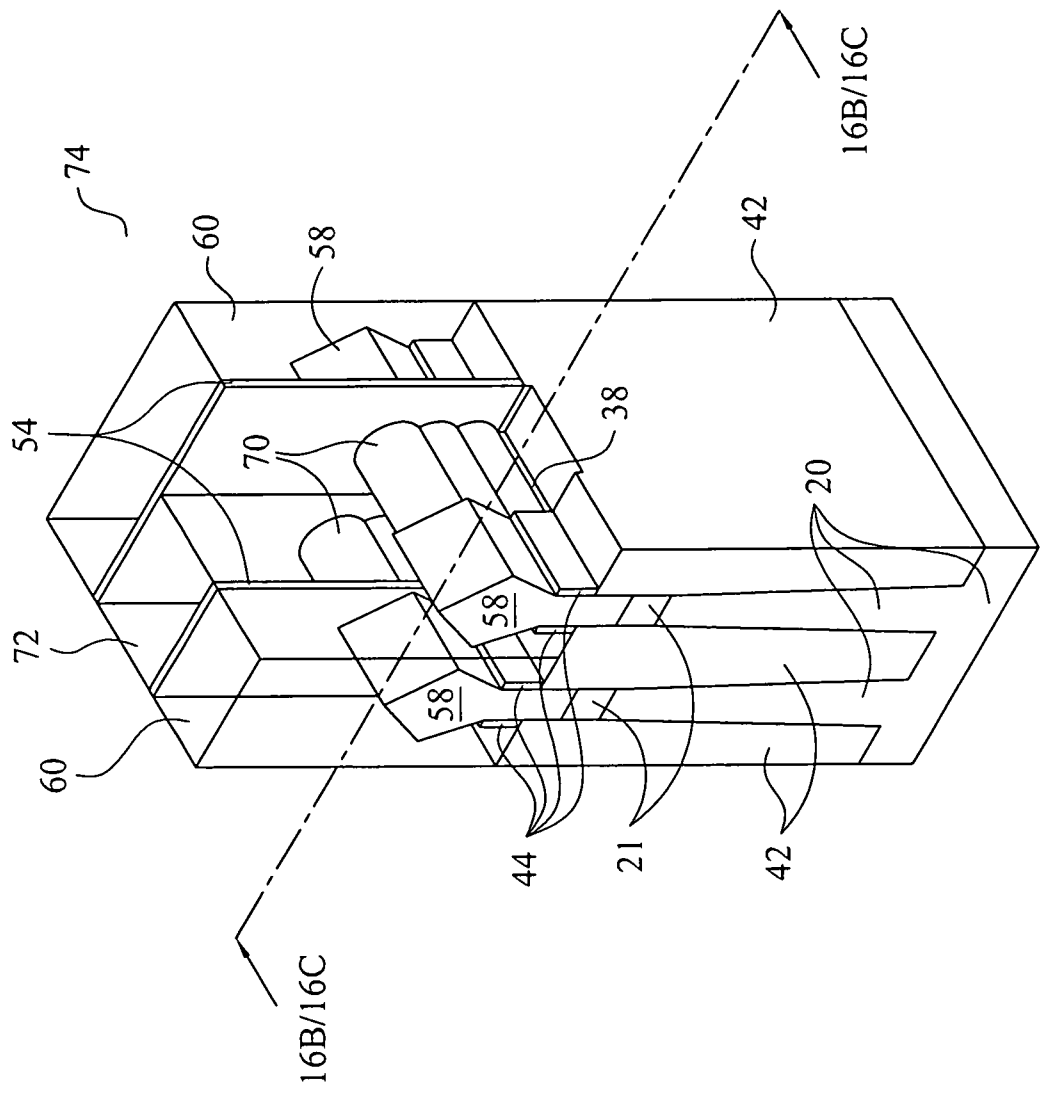
第 14B 圖



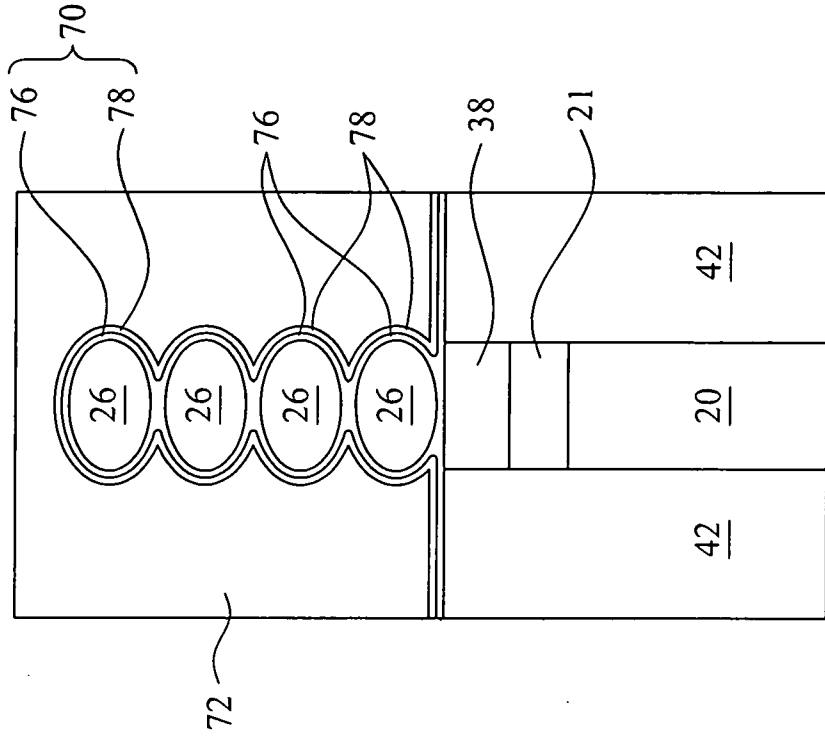
第 15B 圖



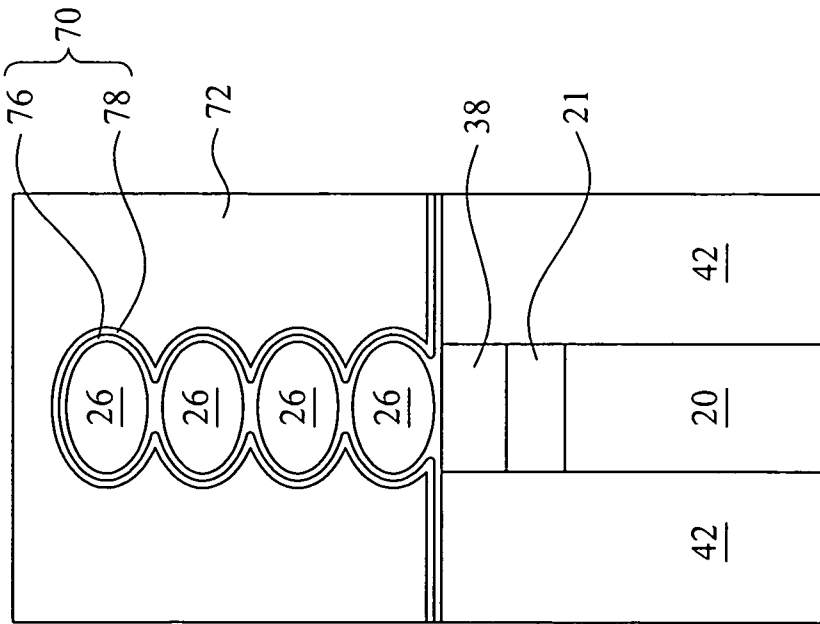
第 15A 圖



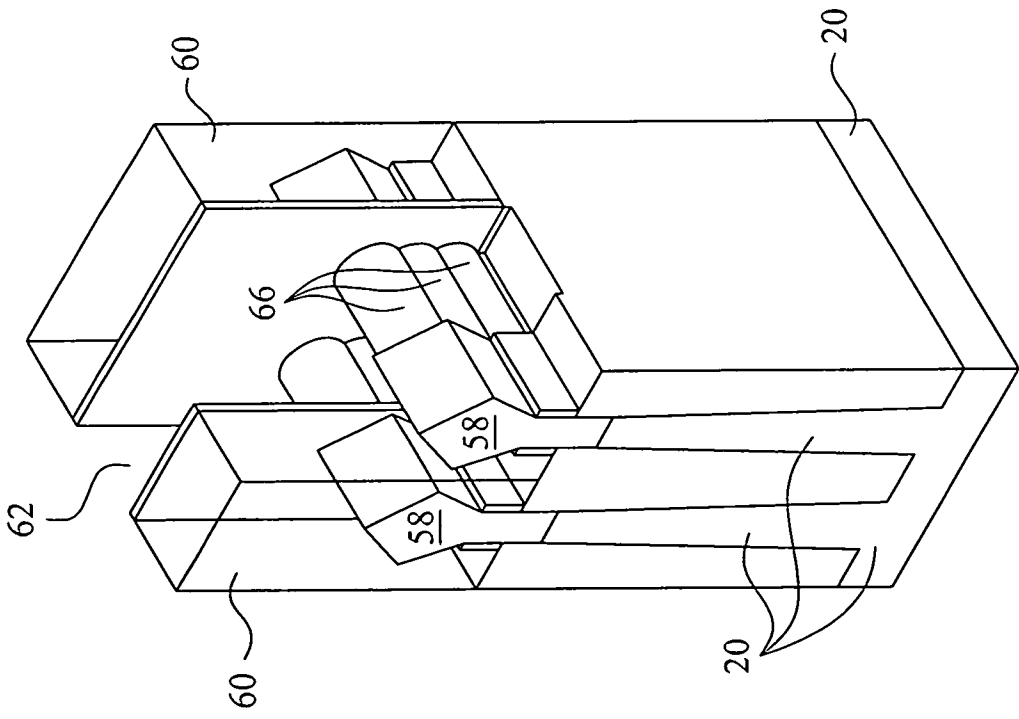
第 16A 圖



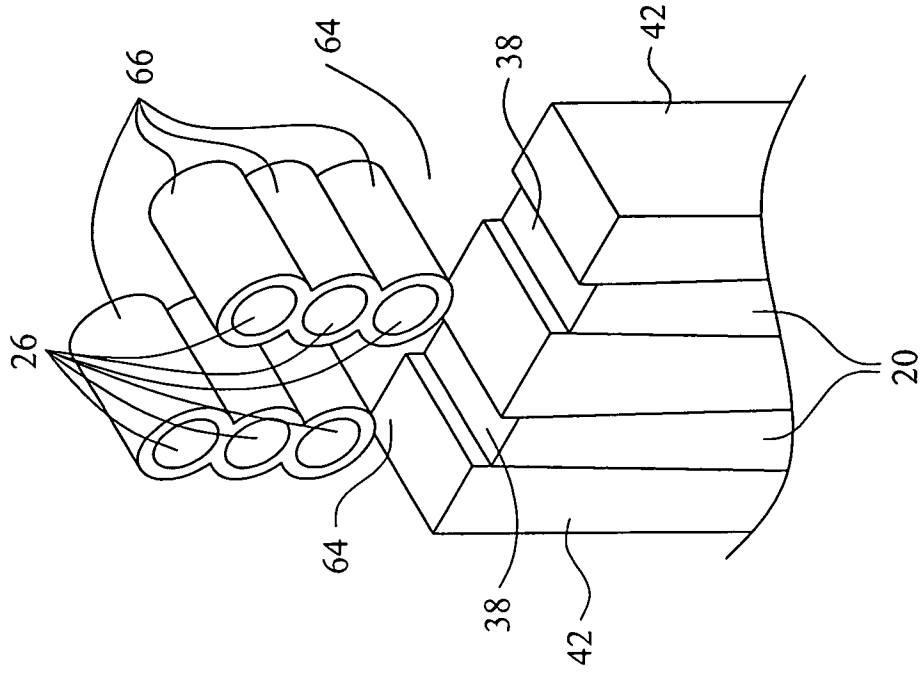
第 16C 圖



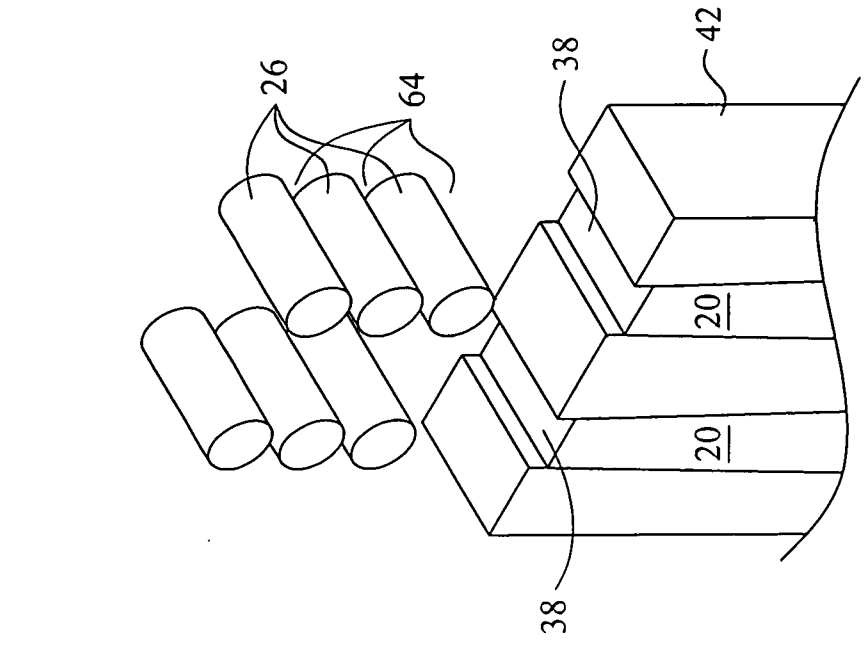
第 16B 圖



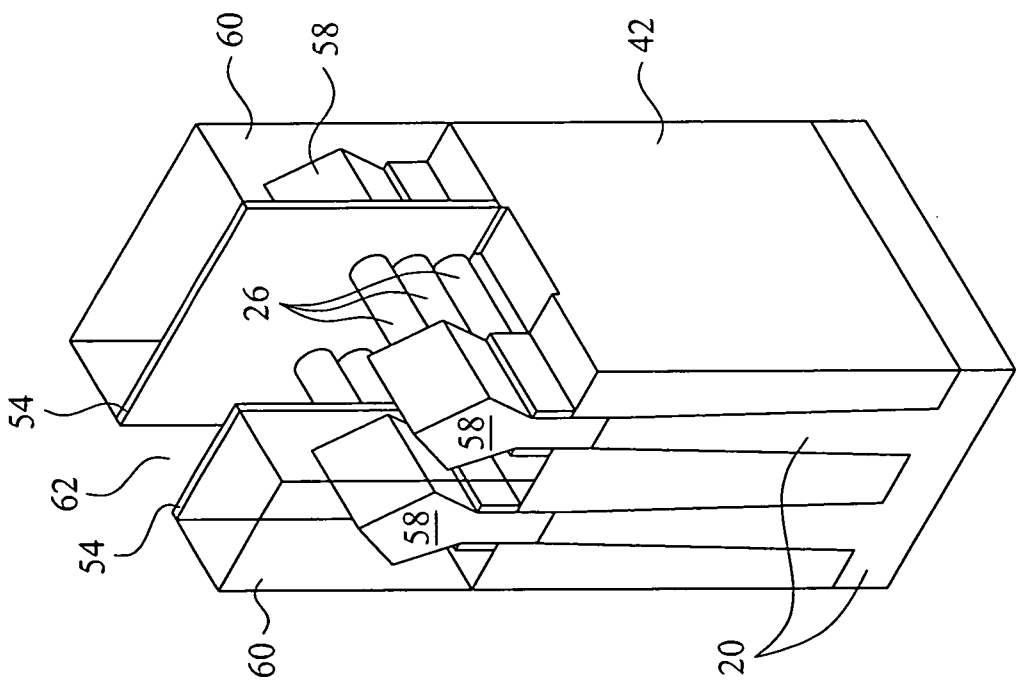
第 18A 圖



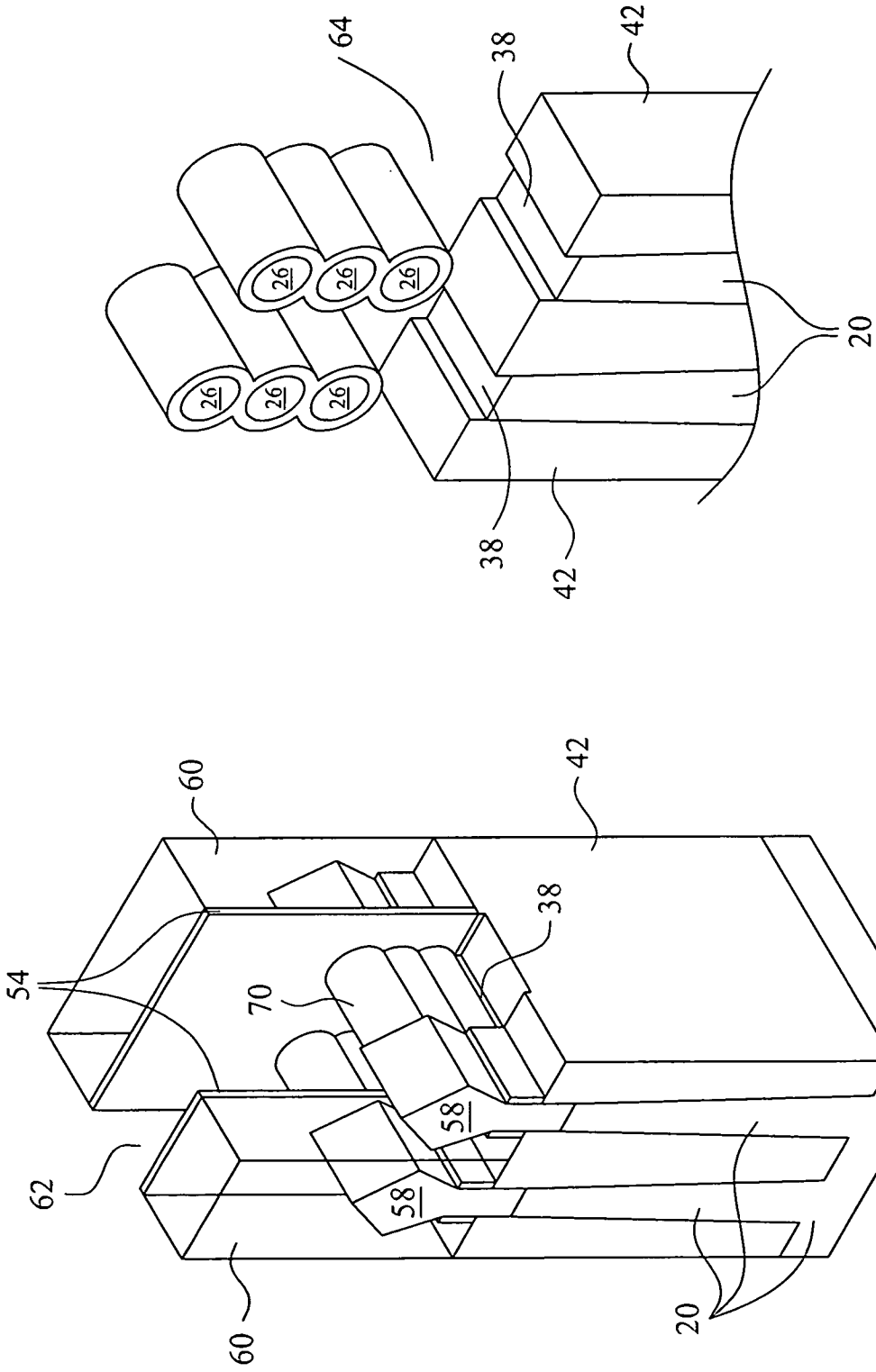
第 18B 圖



第 19B 圖

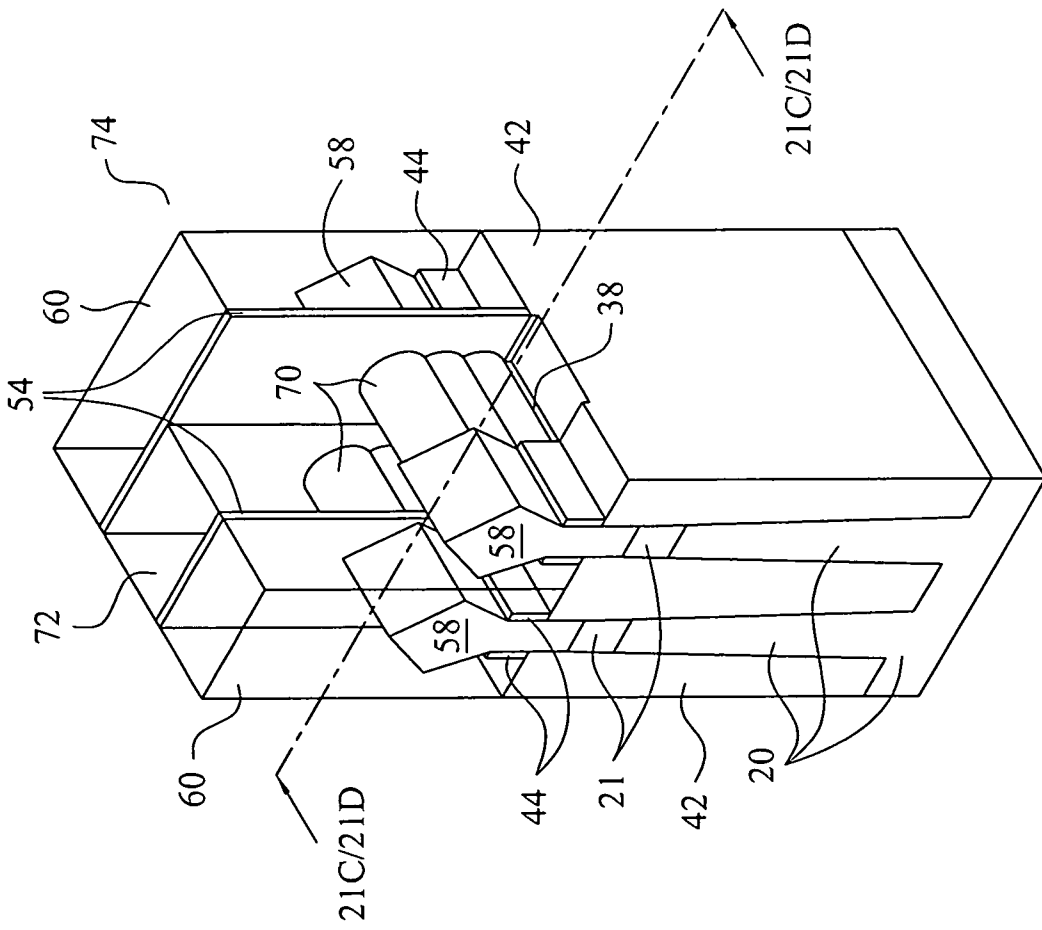


第 19A 圖

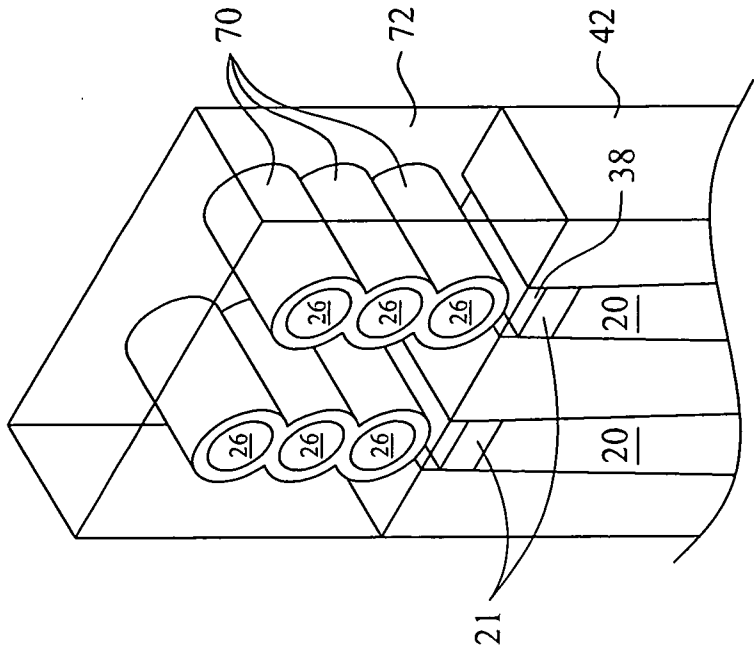


第20B圖

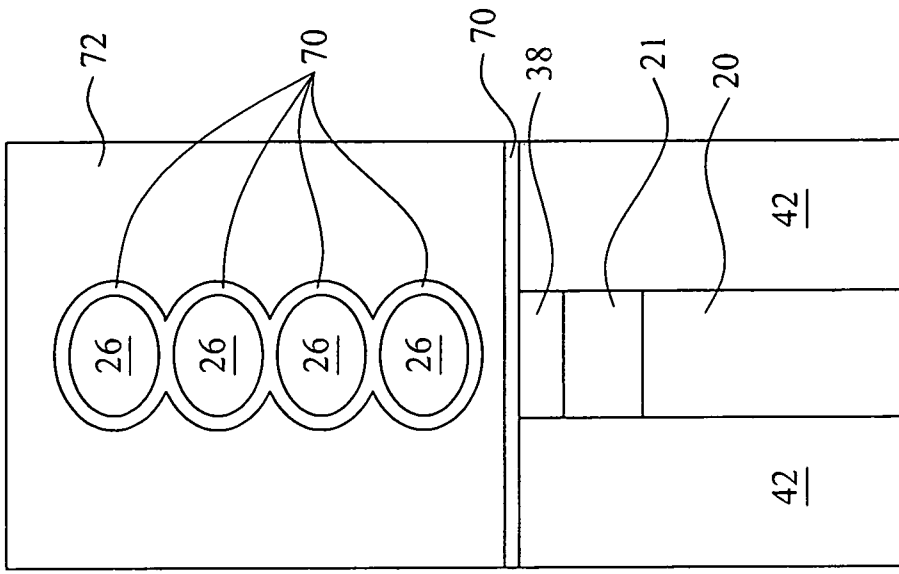
第20A圖



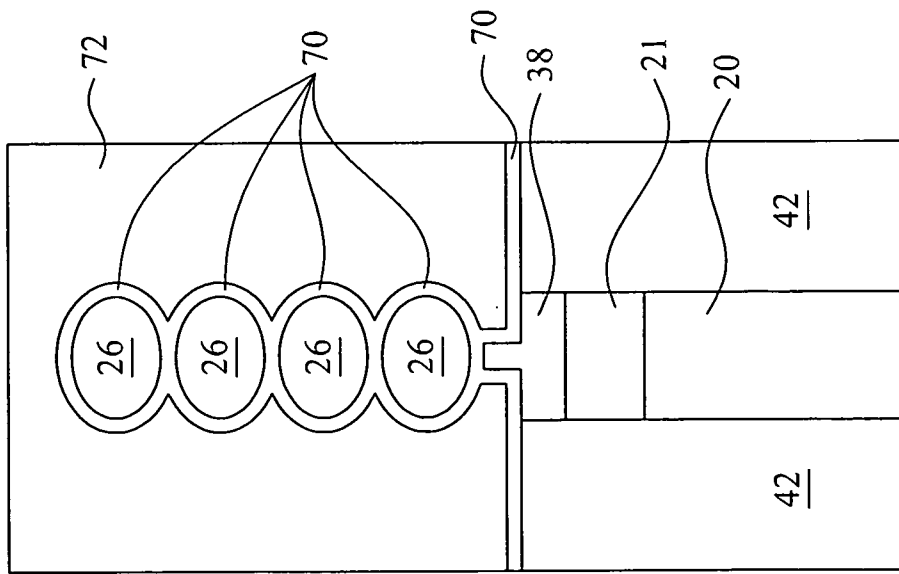
第 21A 圖



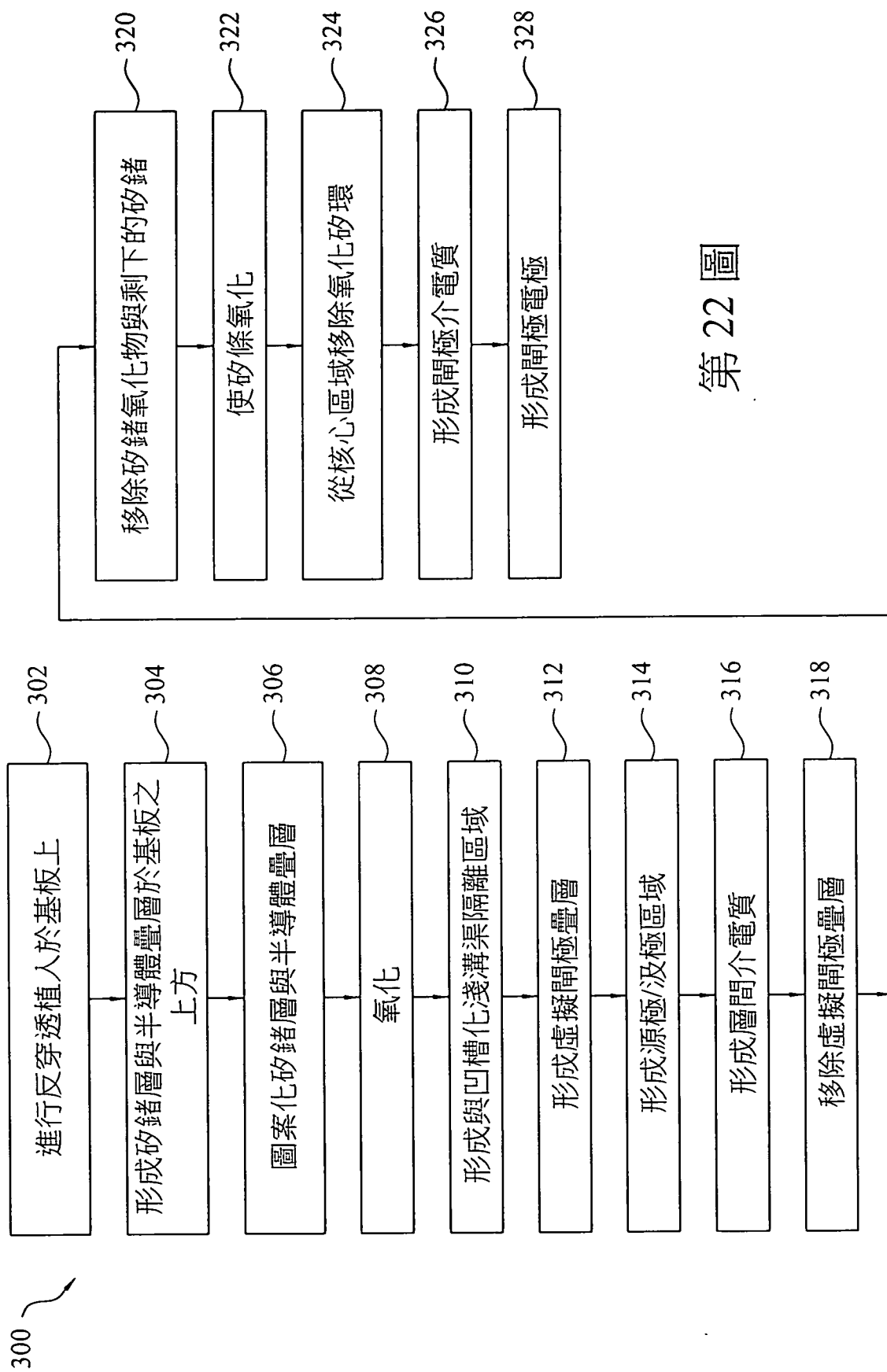
第 21B 圖



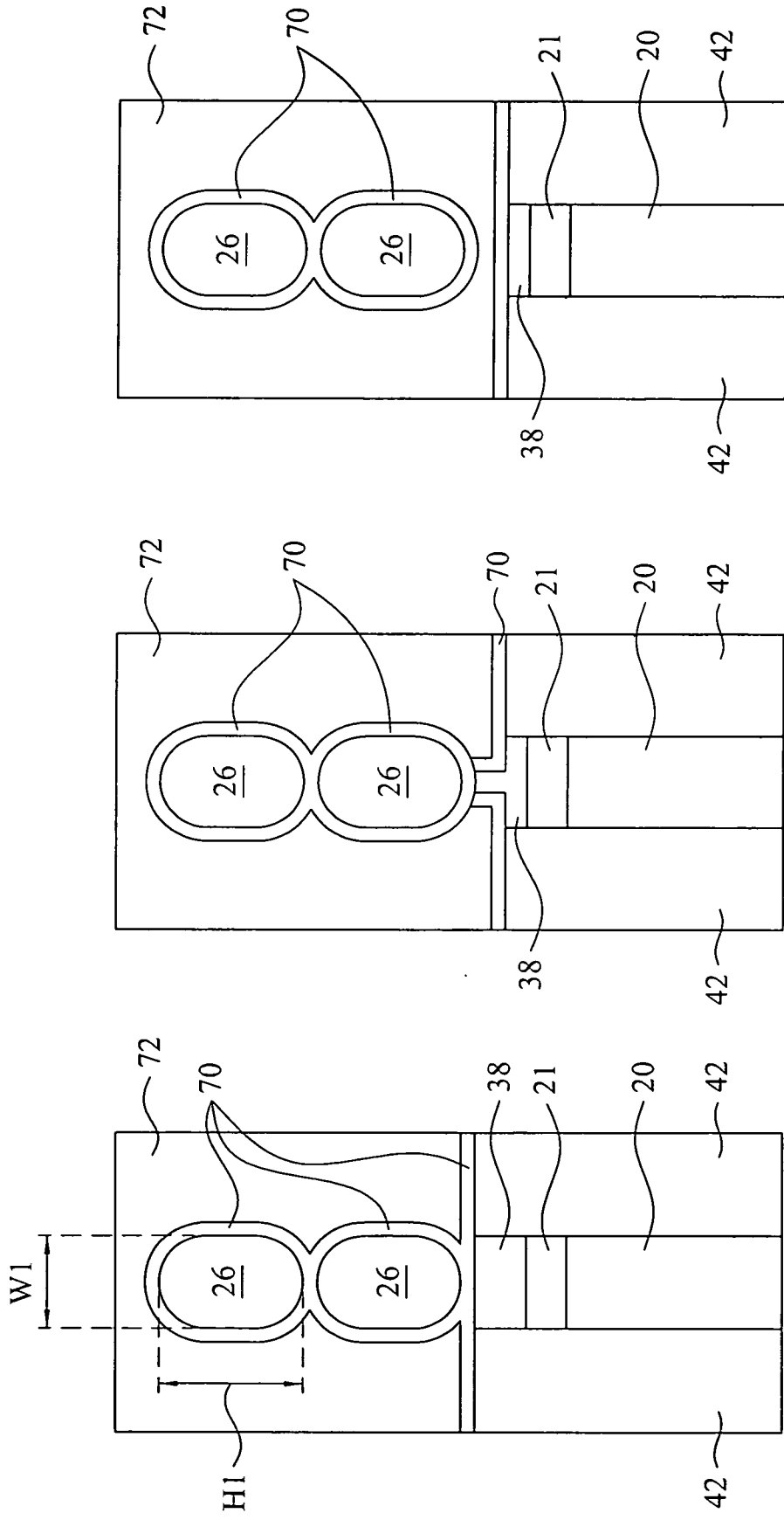
第21D圖



第21C圖



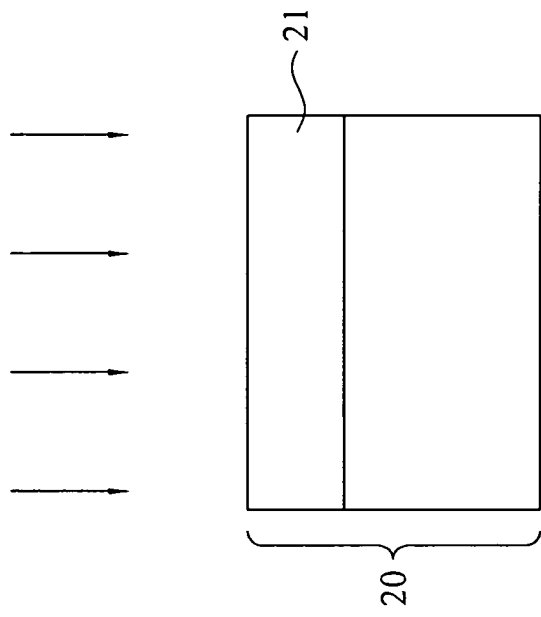
第 22 圖



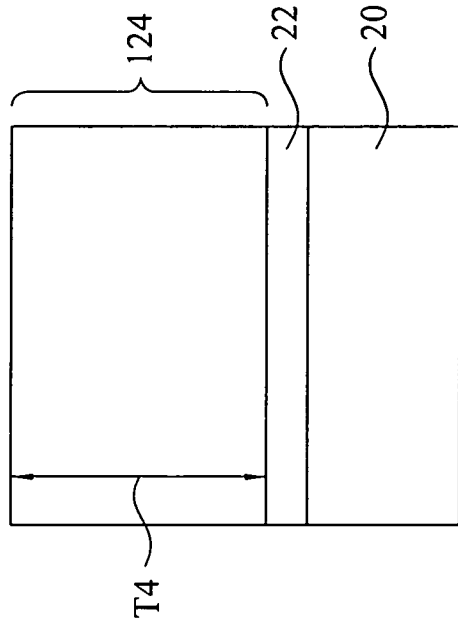
第 23A 圖

第 23B 圖

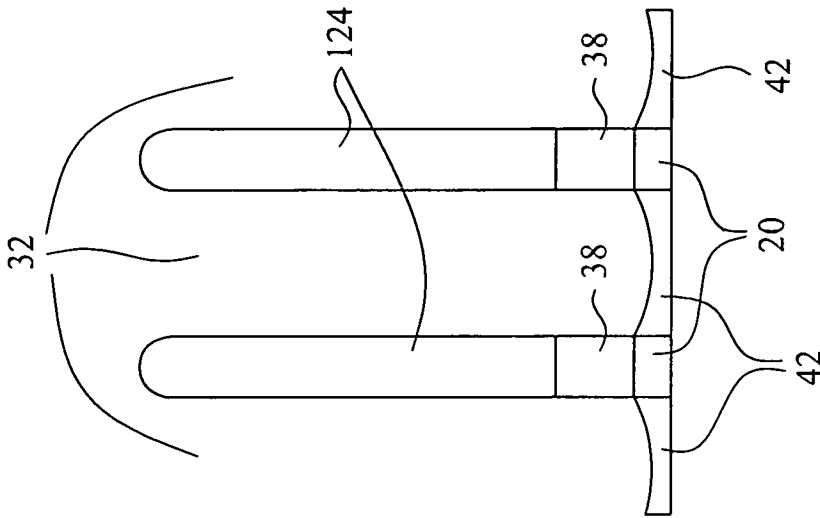
第 23C 圖



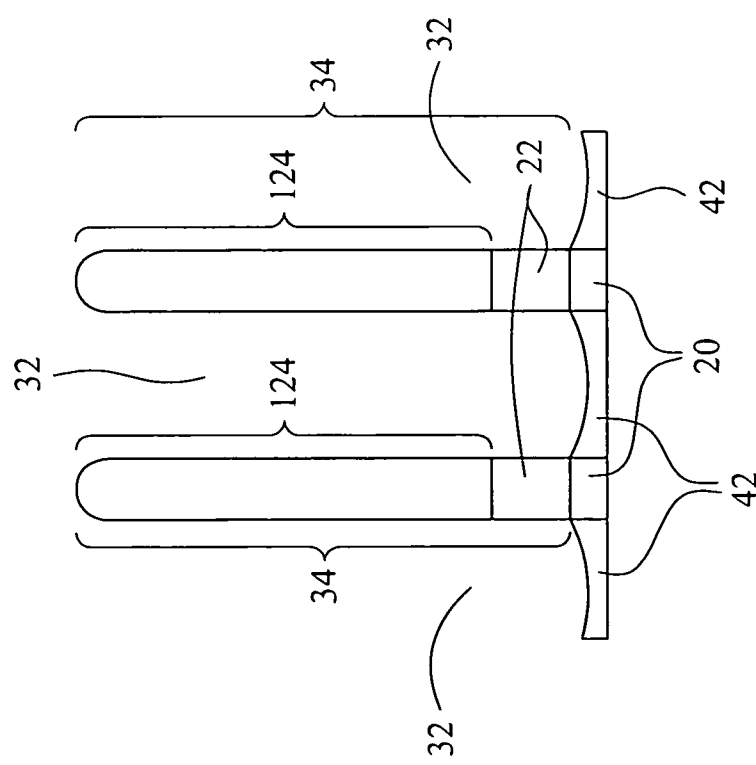
第24圖



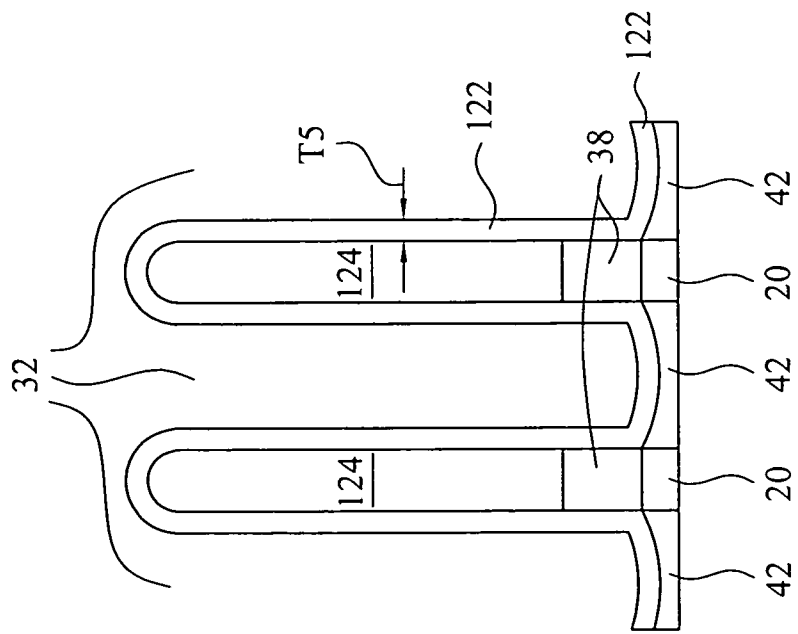
第25圖



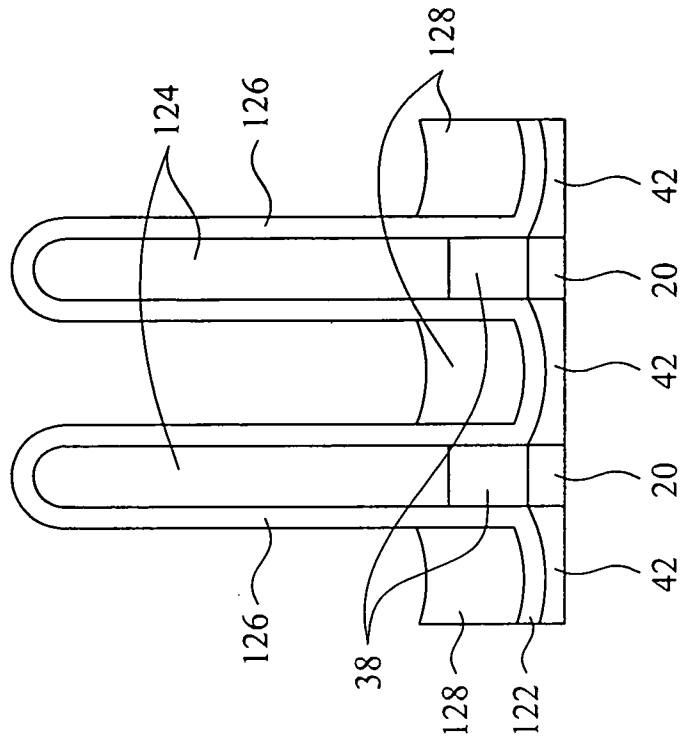
第 27 圖



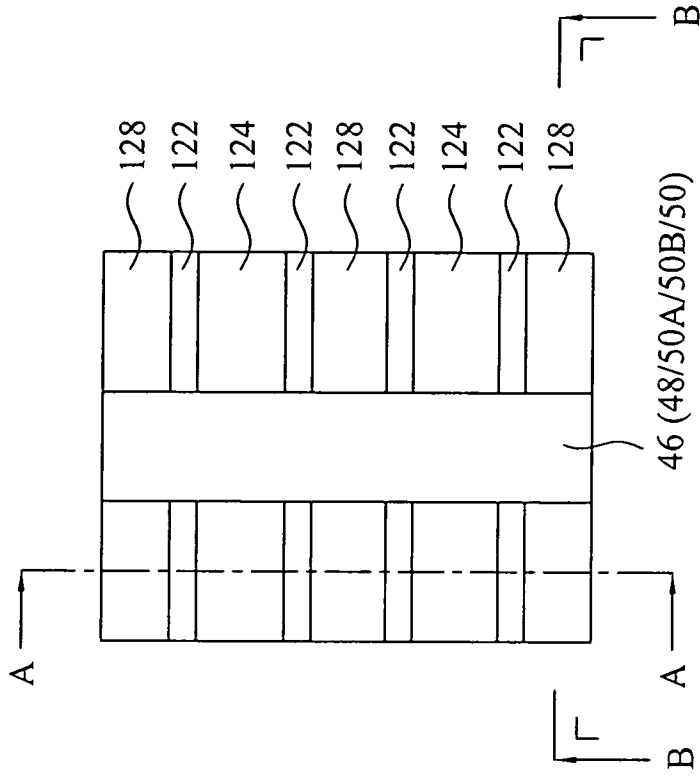
第 26 圖



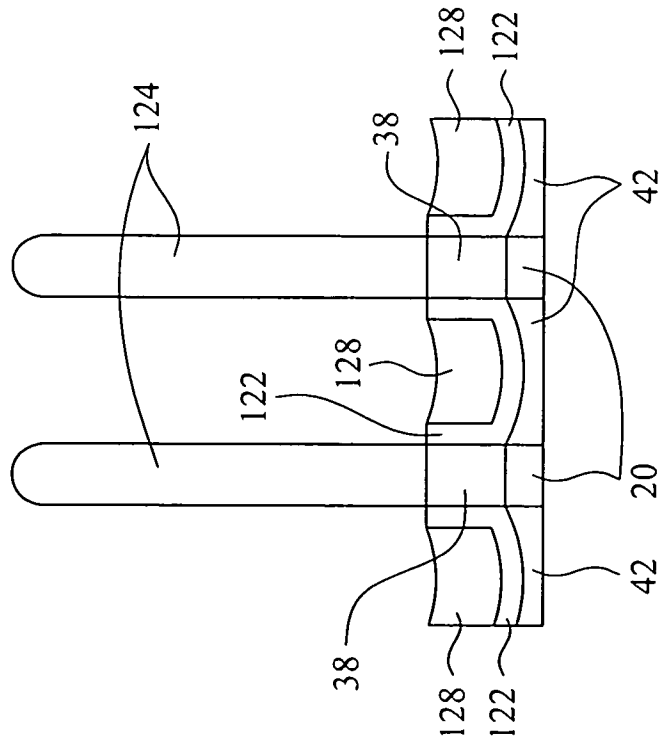
第 28 圖



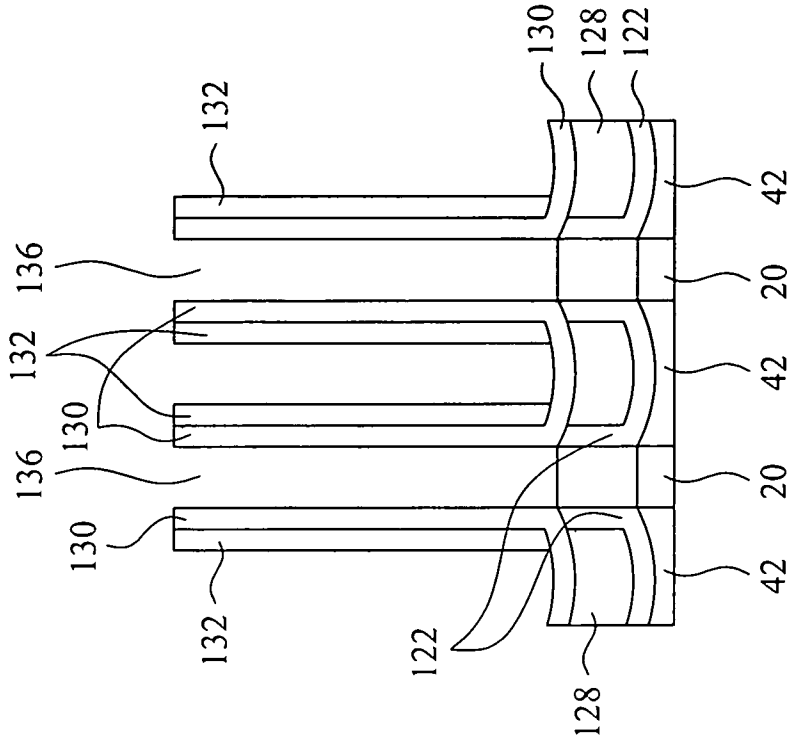
第 29 圖



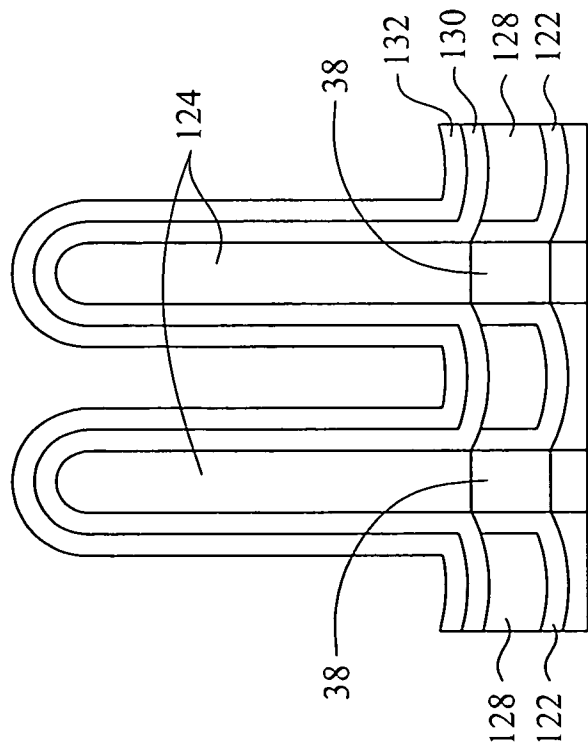
第 31 圖



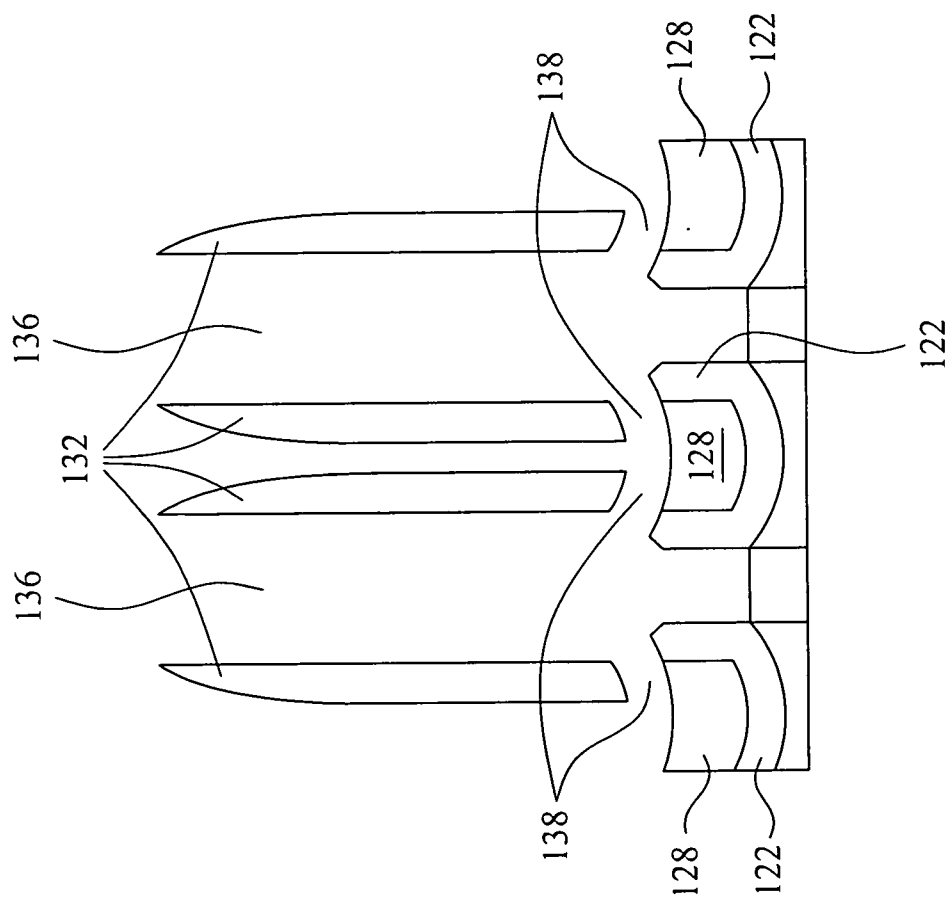
第 30 圖



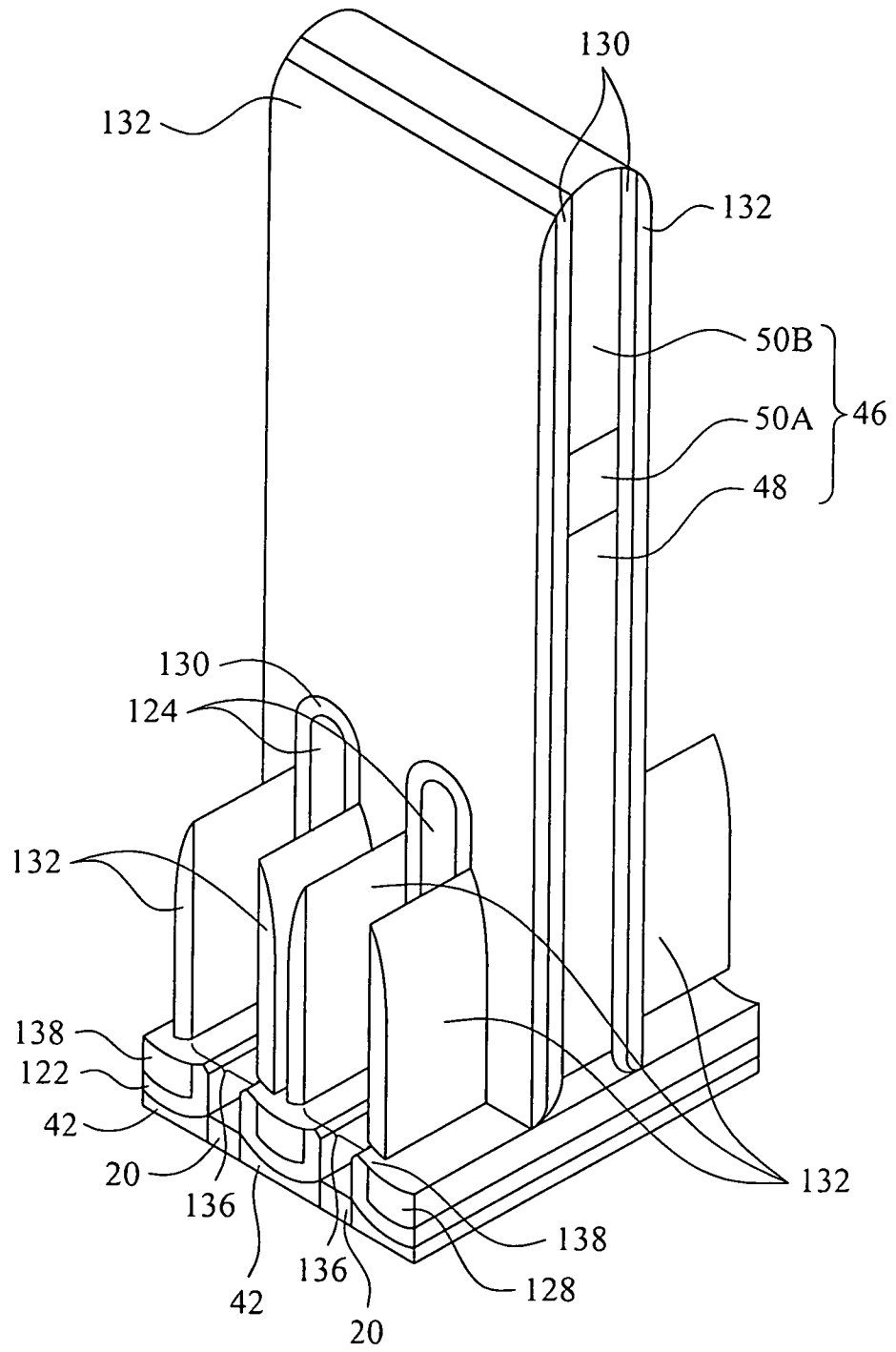
第 33 圖



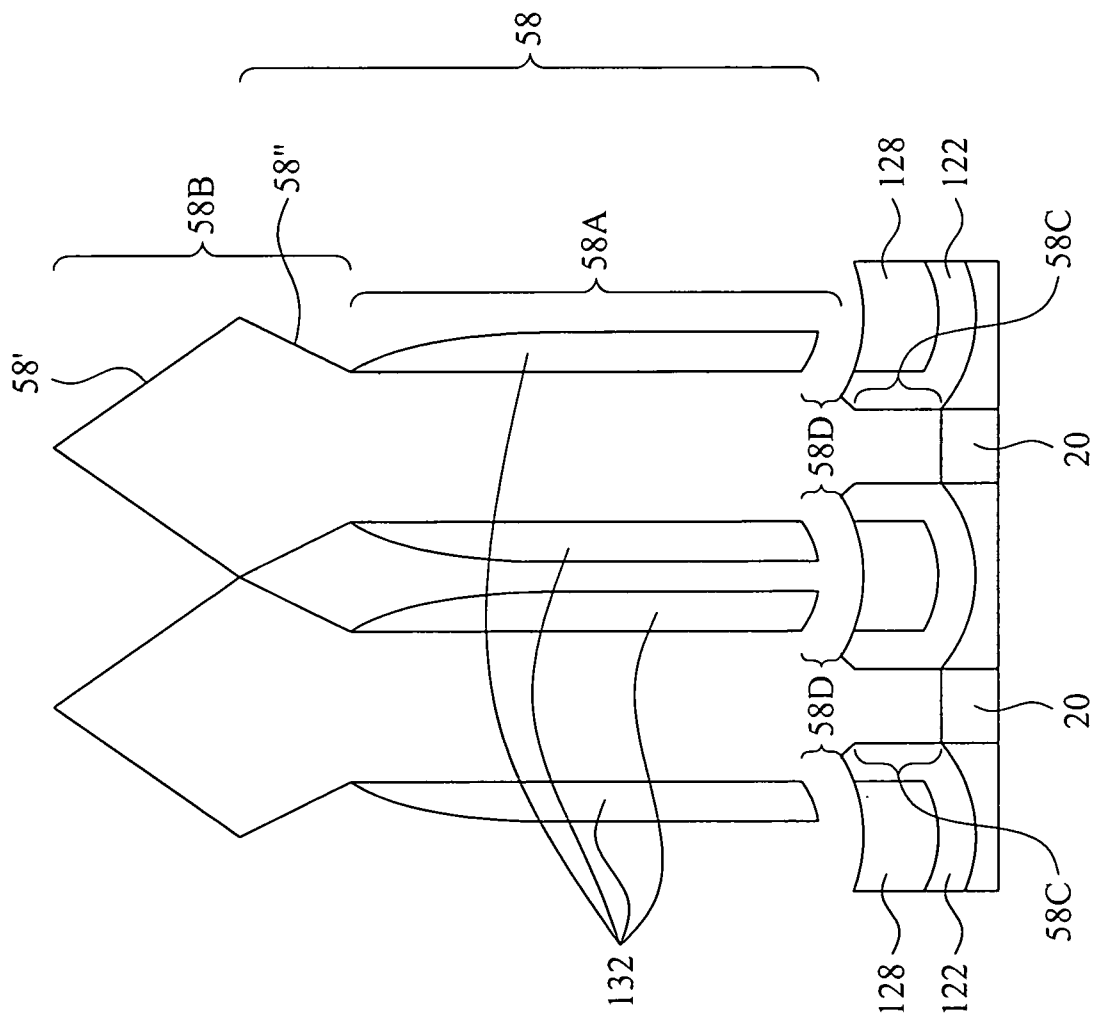
第 32 圖



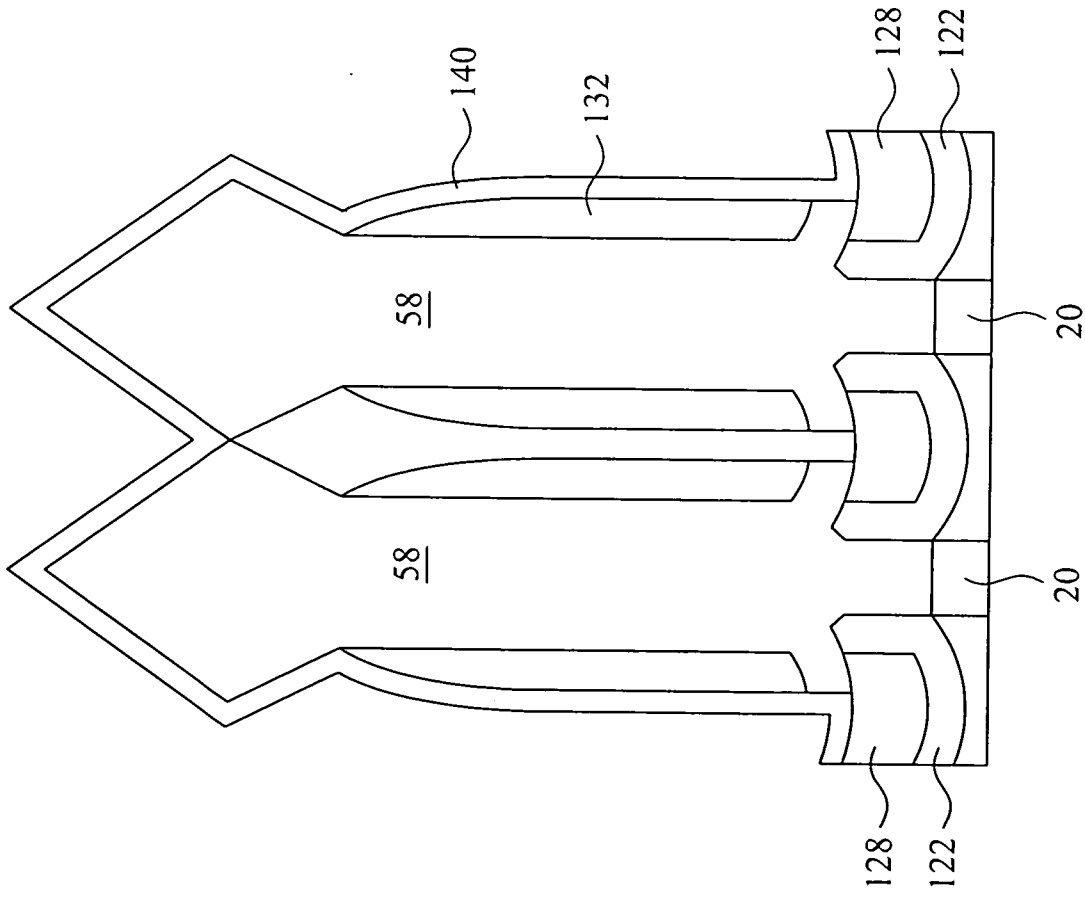
第 34A 圖



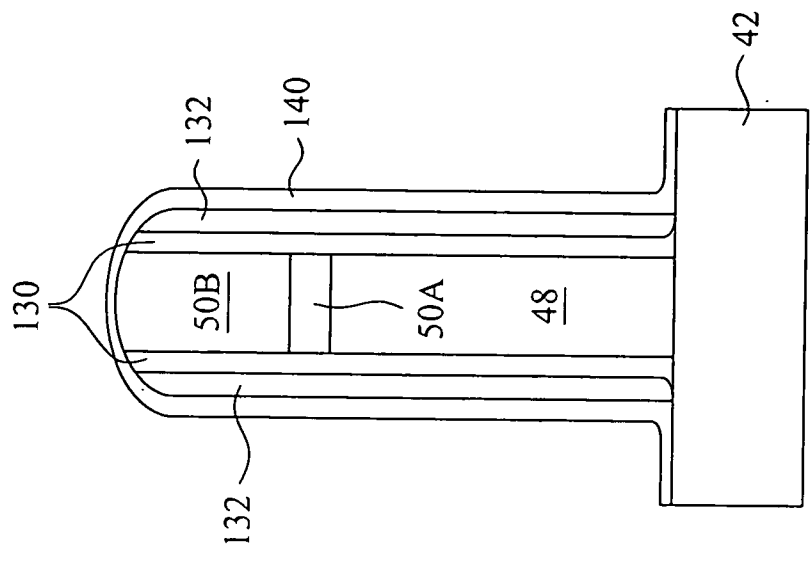
第 34B 圖



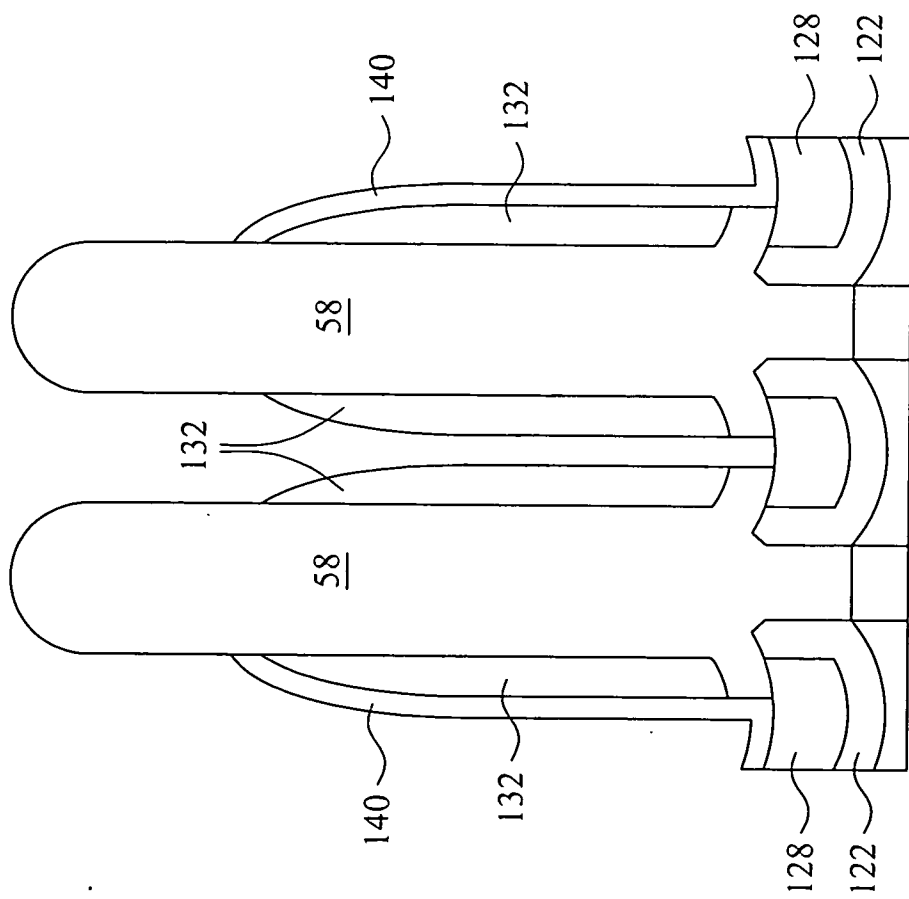
第 35 圖



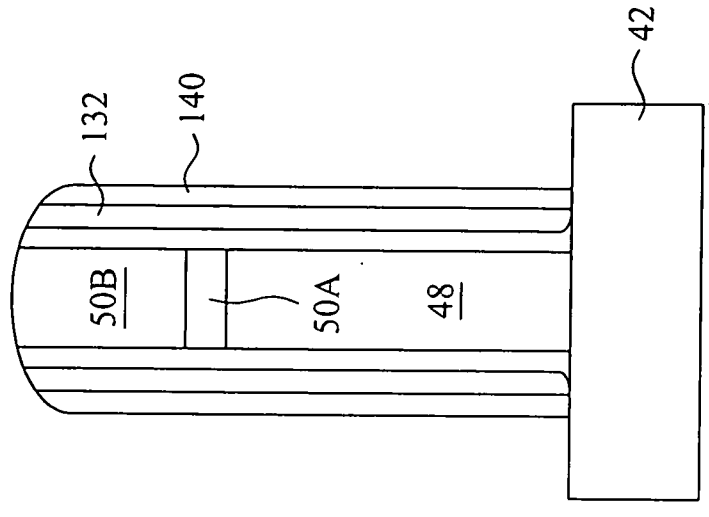
第 36A 圖



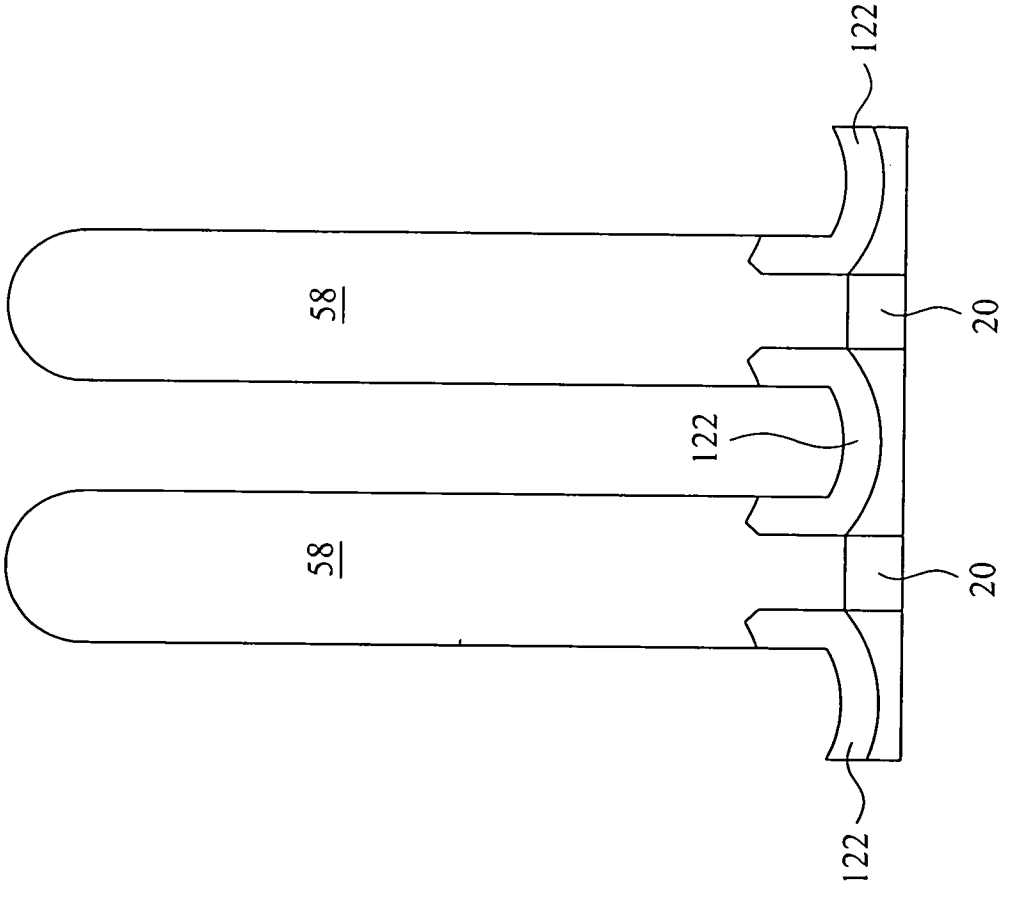
第 36B 圖



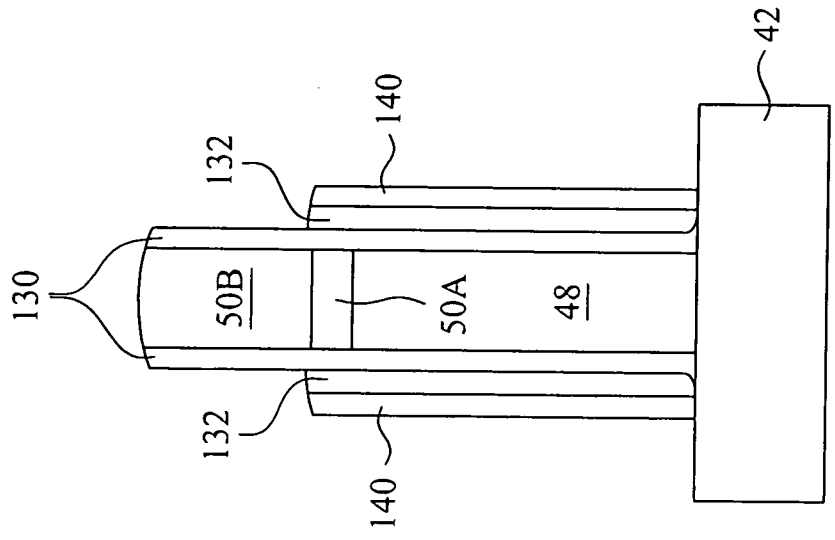
第 37A 圖



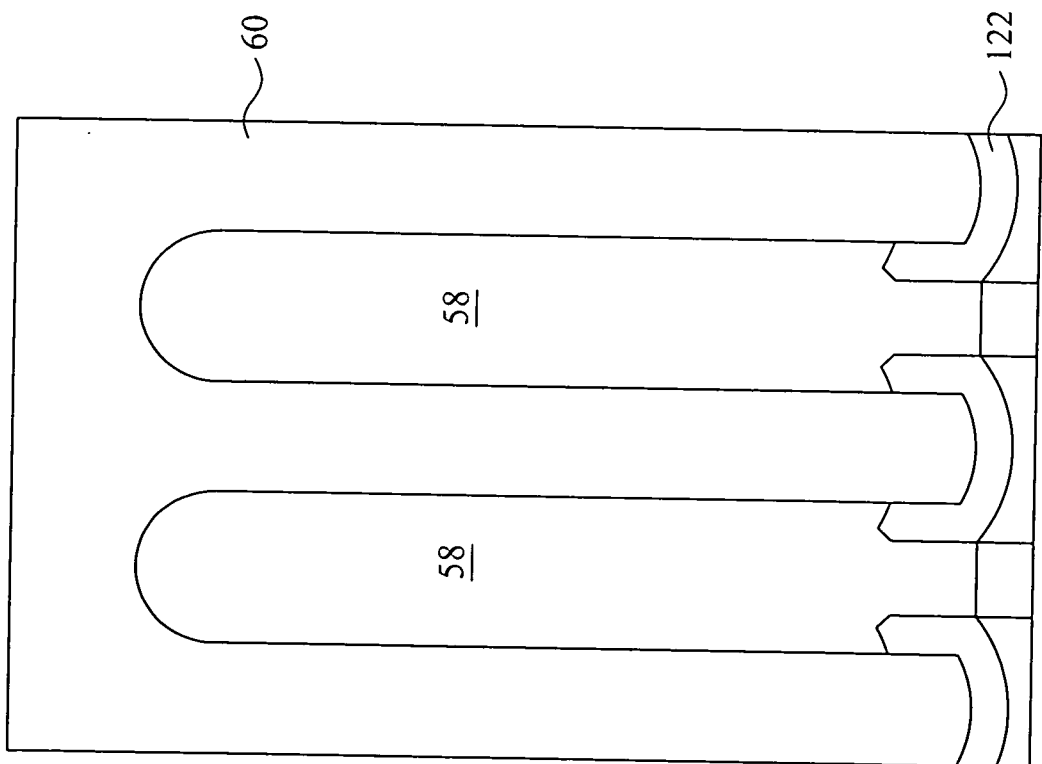
第 37B 圖



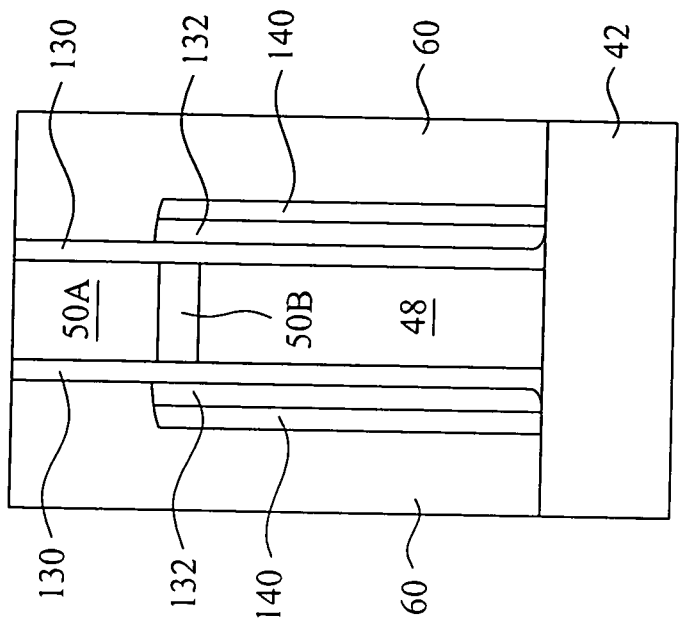
第 38A 圖



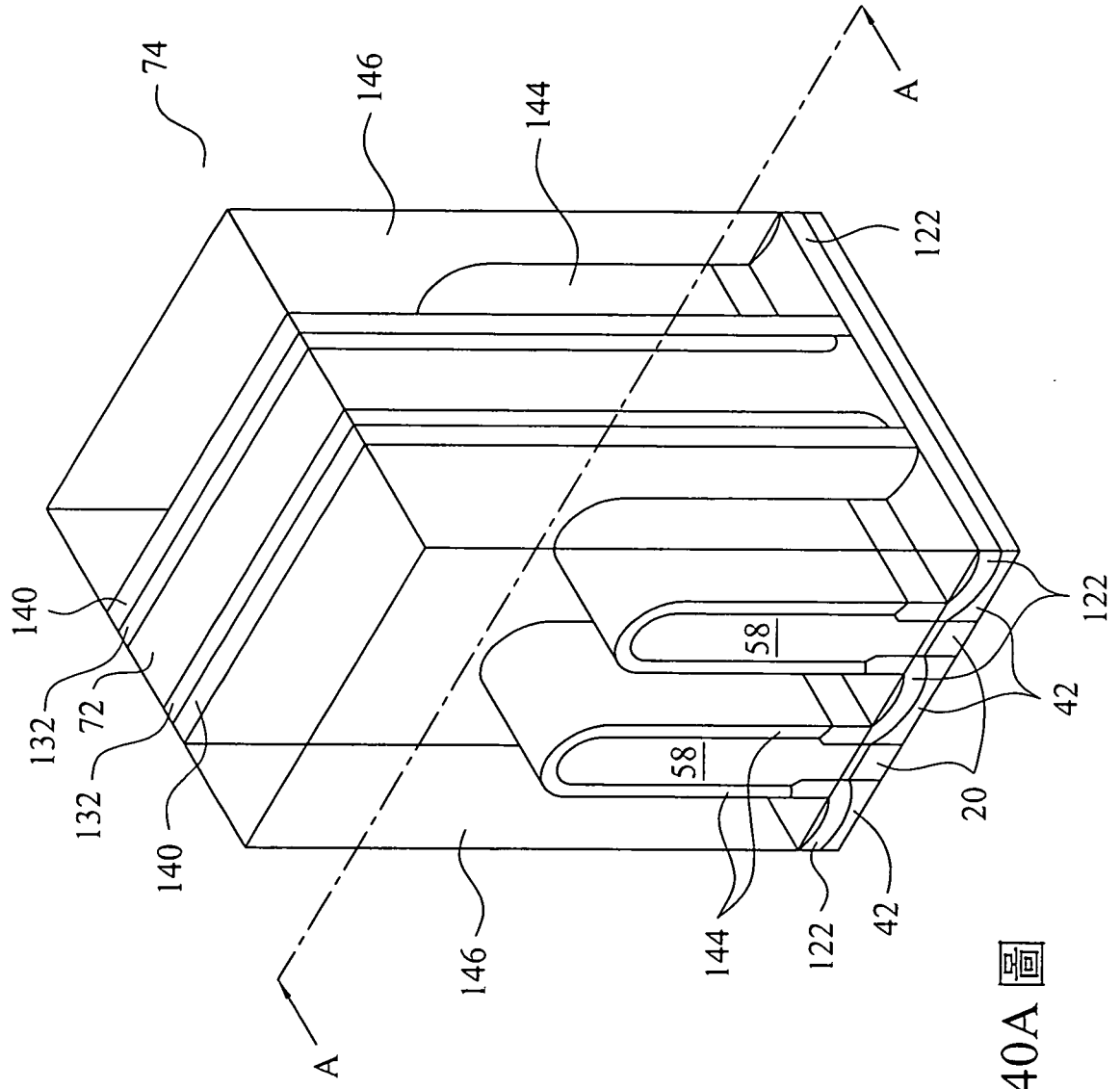
第 38B 圖



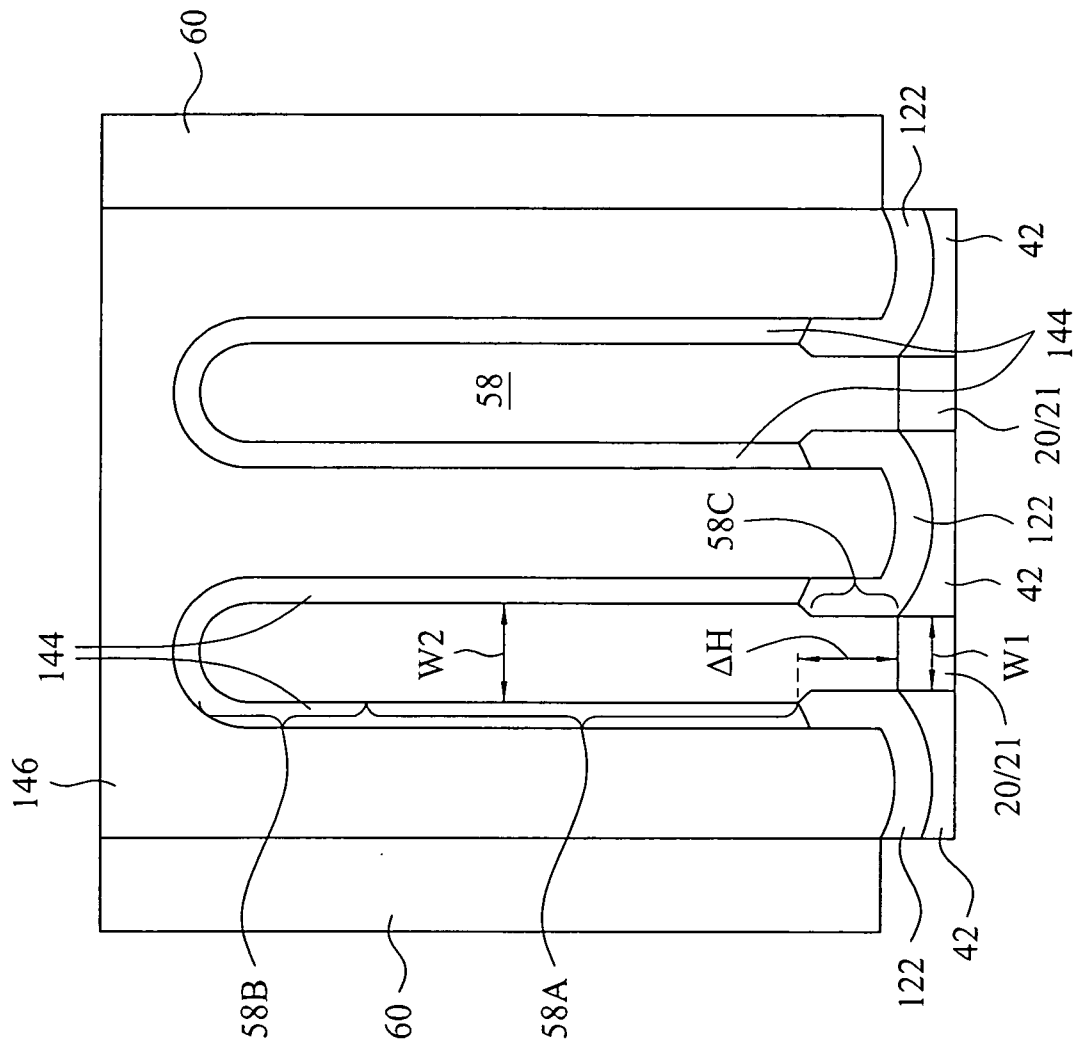
第 39A 圖



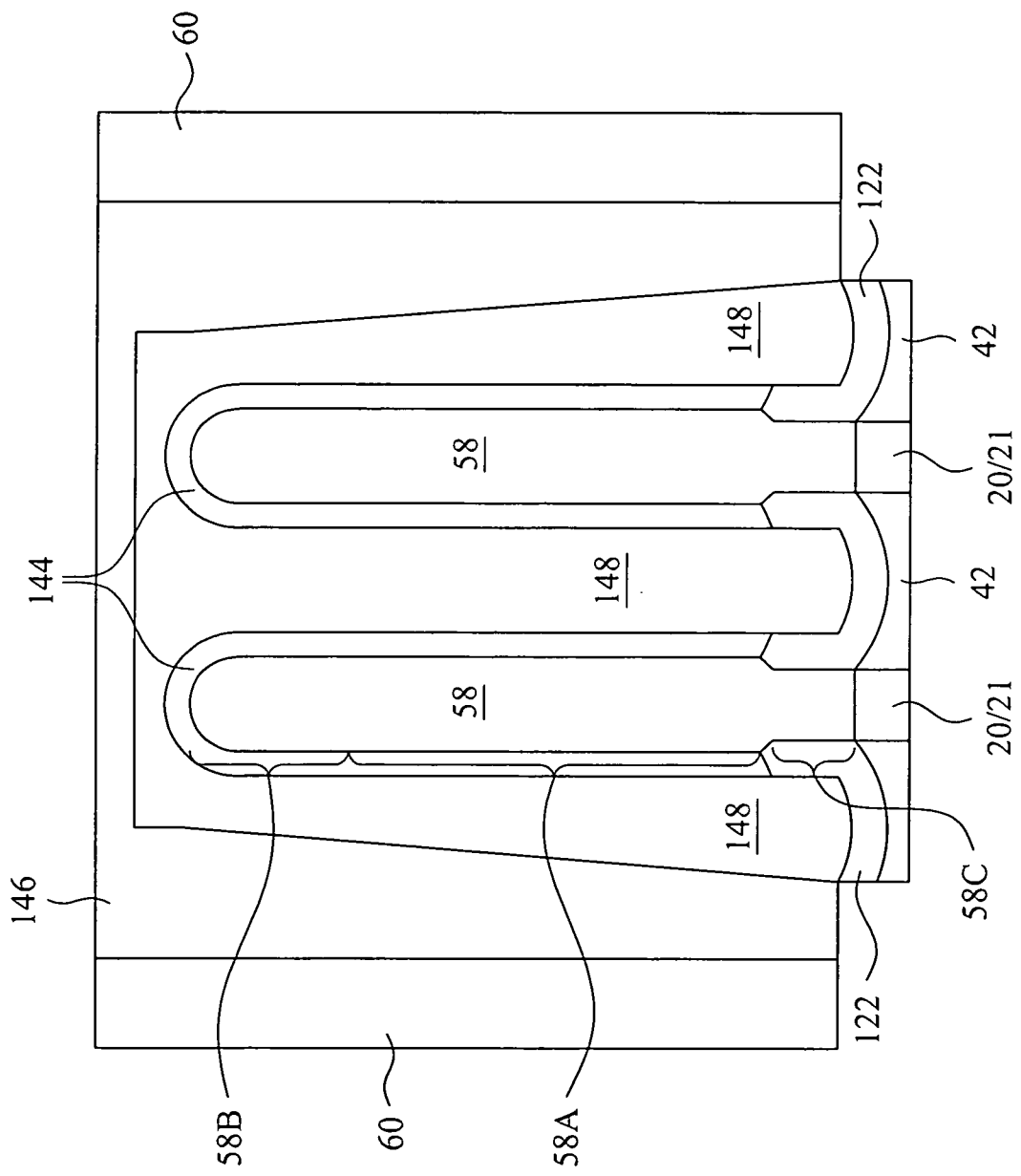
第 39B 圖



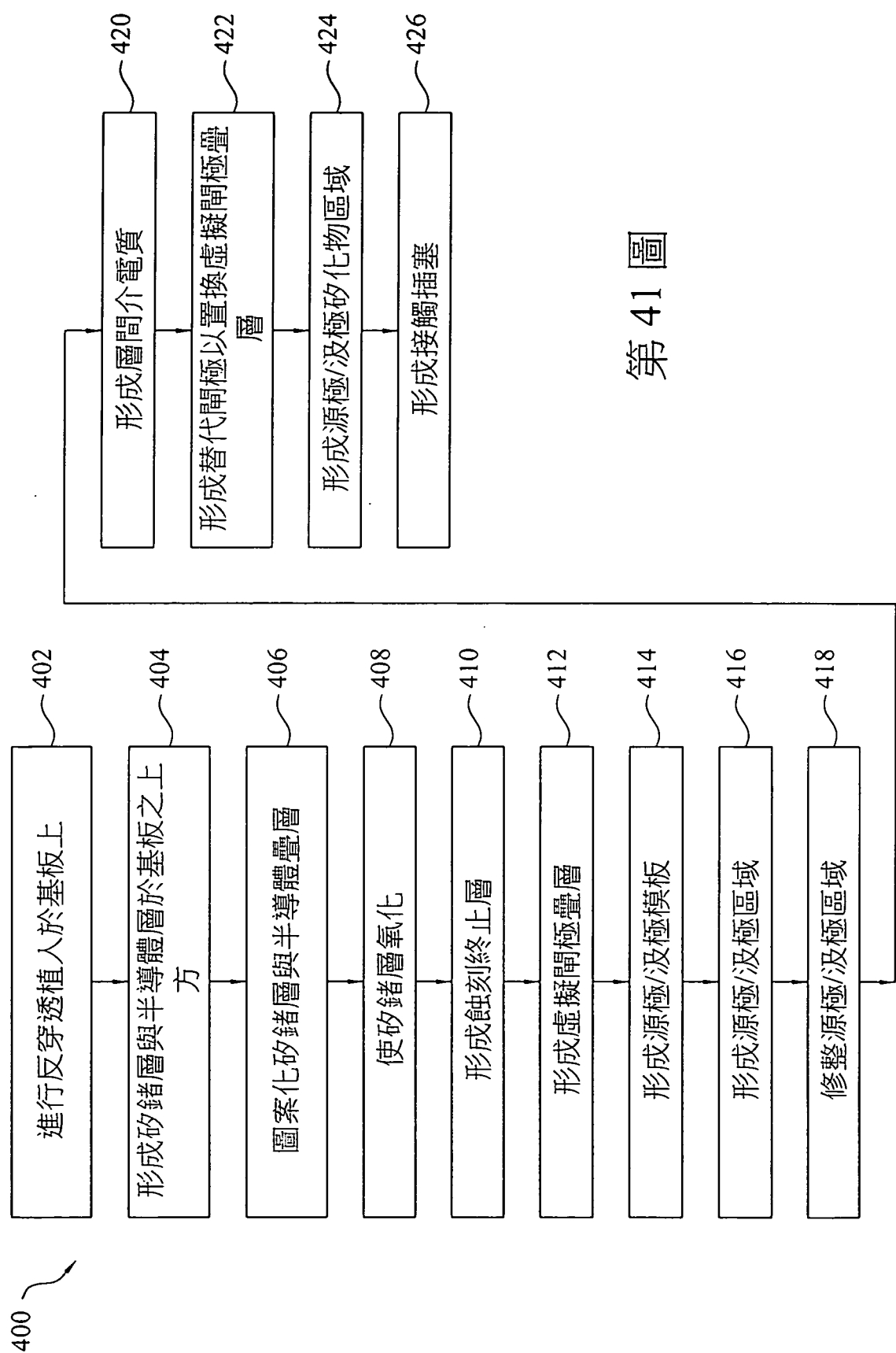
第40A圖



第 40B 圖



第 40C 圖



第41圖