

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

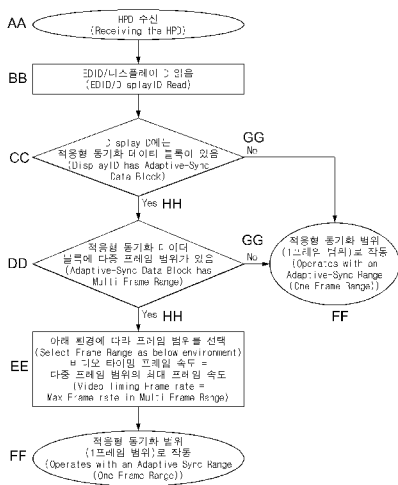
(43) 국제공개일
2024년 10월 24일 (24.10.2024) WIPO | PCT

WO 2024/219858 A1

- (51) 국제특허분류: G06F 3/14 (2006.01) H04N 5/21 (2006.01) G06T 1/20 (2006.01)
- (21) 국제출원번호: PCT/KR2024/005249
- (22) 국제출원일: 2024년 4월 18일 (18.04.2024)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2023-0050609 2023년 4월 18일 (18.04.2023) KR
- (71) 출원인: 엘지전자 주식회사 (LG ELECTRONICS INC.) [KR/KR]; 07336 서울특별시 영등포구 여의대로 128, Seoul (KR).
- (72) 발명자: 유승현 (YOO, Seunghyun); 06772 서울특별시 서초구 양재대로11길 19 LG전자 특허센터, Seoul (KR). 김도균 (KIM, Dokyun); 06772 서울특별시 서초구 양재대로11길 19 LG전자 특허센터, Seoul (KR).
- (74) 대리인: 특허법인 로얄 (ROYAL PATENT & LAW OFFICE); 06175 서울특별시 강남구 테헤란로108길 11 삼호빌딩 5층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: APPARATUS AND METHOD FOR DETERMINING OPTIMAL ADAPTIVE SYNCHRONIZATION FRAME RANGE FROM AMONG MULTIPLE ADAPTIVE SYNCHRONIZATION FRAME RANGES

(54) 발명의 명칭: 다중 적응형 동기화 프레임 범위 중 최적의 적응형 동기화 프레임 범위를 결정하기 위한 장치 및 방법



AA ... Receiving the HPD
 BB ... EDID/DisplayID Read
 CC ... DisplayID has Adaptive-Sync Data Block
 DD ... Adaptive-Sync Data Block has Multi Frame Range
 EE ... Select Frame Range as below environment,
 Video Timing Frame rate = Max Frame rate in Multi Frame Range
 FF ... Operates with an Adaptive-Sync Range (One Frame Range)
 GG ... No
 HH ... Yes

(57) Abstract: According to various embodiments of the present disclosure, provided is an operation method of a source device, the method comprising the steps of: receiving a hot plug detection (HPD) signal from a sink device; receiving extended display identification (EDID) and a DisplayID from the sink device; determining an adaptive sync data block and a frame rate on the basis of the EDID and the DisplayID of the sink device; and transmitting, to the sink device, information regarding the determined frame rate, and a session description protocol (SDP) generated on the basis of the determined adaptive sync data block.

(57) 요약서: 본 개시의 다양한 실시 예들에 따르면, Source 장치의 동작 방법에 있어서, Sink 장치로부터 HPD(hot plug detection) 신호를 수신하는 단계; 상기 Sink 장치로부터 EDID(Extended Display Identification) 및 DisplayID 를 수신하는 단계; 상기 Sink 장치의 상기 EDID 및 상기 DisplayID 에 기반하여, Adaptive Sync Data Block 및 프레임 레이트를 결정하는 단계; 결정된 Adaptive Sync Data Block 에 기반하여 생성된 SDP(Session Description Protocol), 결정된 프레임 레이트의 정보를 상기 Sink 장치에게 전송하는 단계를 포함하는 방법이 제공된다.

공개:

- 국제조사보고서와 함께 (조약 제21조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

명세서

발명의 명칭: 다중 적응형 동기화 프레임 범위 중 최적의 적응형 동기화 프레임 범위를 결정하기 위한 장치 및 방법 기술분야

[1] 본 개시(disclosure)는 적응형 동기화(Adaptive-Sync)의 동작을 수행하기 위한 장치 및 방법에 관한 것이다. 구체적으로, 본 개시는 다중 적응형 동기화 프레임 범위 중 최적의 적응형 동기화 프레임 범위를 결정하기 위한 장치 및 방법에 관한 것이다.

[2]

배경기술

[3] DisplayPort 표준에서는 지원되는 해상도와 DSC(Display Stream Compression) 사용 여부에 따라 전송 속도에 제한이 있기 때문에 Adaptive-Sync Frame Range도 이에 따라 다르게 동작 된다. 그래서 EDID에 Multi Frame Adaptive-Sync Range를 표기해야 하며, 이 경우 올바르게 작동하기 위해서 적절한 규칙이 필요하다. 그러나 현재까지는 Multi Frame Adaptive-Sync가 작동하기 위한 적절한 규칙이 정의되어 있지 않았다.

[4] Adaptive-Sync Frame Range가 60Hz에서 240Hz로 설정되어 있을 때, Adaptive-Sync 모드에서는 Max Frame Range인 240Hz에서 동작하지 않고 120Hz에서 동작하게 되어, OverDrive가 240Hz로 튜닝이 되어 있는 경우 튜닝되지 않은 120Hz에서 동작시에는 과도한 Over/Undershoot이 발생할 수 있다. Adaptive-Sync 기술이 적용된 Sink(e.g. 모니터)에서는 Frame Range에 따른 OverDrive 튜닝을 진행할 때, Max Frame Range를 기준으로 튜닝하다 그보다 낮은 주파수에서는 튜닝이 되지 않았기 때문에(Max에서만 튜닝) 과도한 Over/Undershoot이 발생하여 문제가 된다.

[5] 그러므로 Multi Frame Adaptive-Sync가 올바르게 작동하기 위해서는 Frame Range의 Max값만 참조하는 Source와 Sink간의 표준화된 규약이 필요하다. 이러한 표준화가 이루어진다면 Adaptive-Sync 지원 기기는 Multi Frame Adaptive-Sync를 자동으로 설정하고 최적의 성능을 얻을 수 있다.

[6]

발명의 상세한 설명

기술적 과제

[7] 상술한 문제점을 해결하기 위해, 본 개시는 적응형 동기화(Adaptive-Sync)의 동작을 수행하기 위한 장치 및 방법을 제공한다.

[8] 본 개시는 다중 적응형 동기화 프레임 범위 중 최적의 적응형 동기화 프레임 범위를 결정하기 위한 장치 및 방법을 제공한다.

[9] 본 개시에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

[10]

과제 해결 수단

[11] 본 개시의 다양한 실시 예들에 따르면, 소스(Source) 장치의 동작 방법에 있어서, 싱크(Sink) 장치로부터 HPD(hot plug detection) 신호를 수신하는 단계; 상기 싱크 장치로부터 EDID(Extended Display Identification) 또는 DPID(DisplayID)와 관련된 제1 정보를 수신하는 단계; 상기 싱크 장치의 상기 제1 정보에 포함되는 복수의 비디오 타이밍 프레임 레이트들(a plurality of Video Timing Frame Rates)에 기반하여 특정 비디오 타이밍 프레임 레이트를 결정하는 단계; 상기 제1 정보에 포함되는 적응형 동기화 데이터 블록(Adaptive-Sync Data Block)이 복수의 적응형 동기화 프레임 레인지들(a plurality of Adaptive-Sync Frame Ranges)와 관련되는 경우, 상기 복수의 적응형 동기화 프레임 레인지들 중 최대 프레임 레이트가 상기 특정 비디오 타이밍 프레임 레이트에 대응하는 특정 적응형 동기화 프레임 레인지를 결정하는 단계; 상기 특정 적응형 동기화 프레임 레인지에 기반하여 처리된 정보를 상기 싱크 장치에게 전송하는 단계를 포함하는 방법이 제공된다.

[12] 본 개시의 다양한 실시 예들에 따르면, 소스(Source) 장치에 있어서, 프로세서; 메모리; 및 송수신기(transceiver)를 포함하고, 상기 메모리는, 상기 프로세서에 의해 실행되는 것에 기반하여, 동작들을 수행하는 지시(instruction)들을 저장하며, 상기 동작들은, 싱크(Sink) 장치로부터 HPD(hot plug detection) 신호를 수신하는 단계; 상기 싱크 장치로부터 EDID(Extended Display Identification) 또는 DPID(DisplayID)와 관련된 제1 정보를 수신하는 단계; 상기 싱크 장치의 상기 제1 정보에 포함되는 복수의 비디오 타이밍 프레임 레이트들(a plurality of Video Timing Frame Rates)에 기반하여 특정 비디오 타이밍 프레임 레이트를 결정하는 단계; 상기 제1 정보에 포함되는 적응형 동기화 데이터 블록(Adaptive-Sync Data Block)이 복수의 적응형 동기화 프레임 레인지들(a plurality of Adaptive-Sync Frame Ranges)와 관련되는 경우, 상기 복수의 적응형 동기화 프레임 레인지들 중 최대 프레임 레이트가 상기 특정 비디오 타이밍 프레임 레이트에 대응하는 특정 적응형 동기화 프레임 레인지를 결정하는 단계; 상기 특정 적응형 동기화 프레임 레인지에 기반하여 처리된 정보를 상기 싱크 장치에게 전송하는 단계를 포함하는 소스 장치가 제공된다.

[13] 본 개시의 다양한 실시 예들에 따르면, 하나 이상의 명령어를 저장하는 하나 이상의 비일시적인(non-transitory) 컴퓨터 판독 가능 매체에 있어서, 상기 하나 이상의 명령어는, 하나 이상의 프로세서에 의해 실행되는 것에 기반하여, 동작들을 수행하고, 상기 동작들은, 싱크(Sink) 장치로부터 HPD(hot plug detection) 신호

를 수신하는 단계; 상기 싱크 장치로부터 EDID(Extended Display Identification) 또는 DPID(DisplayID)와 관련된 제1 정보를 수신하는 단계; 상기 싱크 장치의 상기 제1 정보에 포함되는 복수의 비디오 타이밍 프레임 레이트들(a plurality of Video Timing Frame Rates)에 기반하여 특정 비디오 타이밍 프레임 레이트를 결정하는 단계; 상기 제1 정보에 포함되는 적응형 동기화 데이터 블록(Adaptive-Sync Data Block)이 복수의 적응형 동기화 프레임 레인지들(a plurality of Adaptive-Sync Frame Ranges)와 관련되는 경우, 상기 복수의 적응형 동기화 프레임 레인지들 중 최대 프레임 레이트가 상기 특정 비디오 타이밍 프레임 레이트에 대응하는 특정 적응형 동기화 프레임 레인지를 결정하는 단계; 상기 특정 적응형 동기화 프레임 레인지에 기반하여 처리된 정보를 상기 싱크 장치에게 전송하는 단계를 포함하는 컴퓨터 판독 가능 매체가 제공된다.

[14]

발명의 효과

[15] 상술한 문제점을 해결하기 위해, 본 개시는 적응형 동기화(Adaptive-Sync)의 동작을 수행하기 위한 장치 및 방법을 제공할 수 있다.

[16] 본 개시는 다중 적응형 동기화 프레임 범위 중 최적의 적응형 동기화 프레임 범위를 결정하기 위한 장치 및 방법을 제공할 수 있다.

[17]

도면의 간단한 설명

[18] 이하에 첨부되는 도면들은 본 개시에 관한 이해를 돕기 위한 것으로, 상세한 설명과 함께 본 개시에 대한 실시 예들을 제공할 수 있다. 다만, 본 개시의 기술적 특징이 특정 도면에 한정되는 것은 아니며, 각 도면에서 개시하는 특징들은 서로 조합되어 새로운 실시 예로 구성될 수 있다. 각 도면에서의 참조 번호(reference numerals)들은 구조적 구성요소(structural elements)를 의미할 수 있다.

[19] 도 1은 본 개시의 다양한 실시 예들에 따른 시스템을 나타낸 블록도이다.

[20] 도 2는 본 개시의 다양한 실시 예들에 따른 Adaptive-Sync SDP 전송 타이밍의 일례를 도시한 도면이다.

[21] 도 3은 본 개시의 다양한 실시 예들에 따른 Adaptive-Sync 동작과 관련된 AUX 흐름도의 일례를 도시한 도면이다.

[22] 도 4은 본 개시의 다양한 실시 예들에 따른 DisplayID 2.0에서의 Adaptive-Sync Data Block의 구조의 일례를 도시한 도면이다.

[23] 도 5은 Source 장치가 Adaptive-Sync 동작을 수행할 경우 Frame Range를 결정하는 과정의 일례를 도시한 도면이다.

[24] 도 6은 본 개시의 다양한 실시 예들에 따른 Source 장치가 Adaptive-Sync 동작을 수행할 경우 Frame Range를 결정하는 과정의 일례를 도시한 도면이다.

[25] 도 7은 본 개시의 다양한 실시 예들에 따른 Source 장치의 동작 방법의 일례를 도시한 도면이다.

[26]

발명의 실시를 위한 최선의 형태

[27]

본 개시의 다양한 실시 예들에서 "A 또는 B(A or B)"는 "오직 A", "오직 B" 또는 "A와 B 모두"를 의미할 수 있다. 달리 표현하면, 본 개시의 다양한 실시 예들에서 "A 또는 B(A or B)"는 "A 및/또는 B(A and/or B)"으로 해석될 수 있다. 예를 들어, 본 개시의 다양한 실시 예들에서 "A, B 또는 C(A, B or C)"는 "오직 A", "오직 B", "오직 C", 또는 "A, B 및 C의 임의의 모든 조합(any combination of A, B and C)"를 의미할 수 있다.

[28]

본 개시의 다양한 실시 예들에서 사용되는 슬래쉬(/)나 쉼표(comma)는 "및/또는 (and/or)"을 의미할 수 있다. 예를 들어, "A/B"는 "A 및/또는 B"를 의미할 수 있다. 이에 따라 "A/B"는 "오직 A", "오직 B", 또는 "A와 B 모두"를 의미할 수 있다. 예를 들어, "A, B, C"는 "A, B 또는 C"를 의미할 수 있다.

[29]

본 개시의 다양한 실시 예들에서 "적어도 하나의 A 및 B(at least one of A and B)"는, "오직 A", "오직 B" 또는 "A와 B 모두"를 의미할 수 있다. 또한, 본 개시의 다양한 실시 예들에서 "적어도 하나의 A 또는 B(at least one of A or B)"나 "적어도 하나의 A 및/또는 B(at least one of A and/or B)"라는 표현은 "적어도 하나의 A 및 B(at least one of A and B)"와 동일하게 해석될 수 있다.

[30]

또한, 본 개시의 다양한 실시 예들에서 "적어도 하나의 A, B 및 C(at least one of A, B and C)"는, "오직 A", "오직 B", "오직 C", 또는 "A, B 및 C의 임의의 모든 조합 (any combination of A, B and C)"를 의미할 수 있다. 또한, "적어도 하나의 A, B 또는 C(at least one of A, B or C)"나 "적어도 하나의 A, B 및/또는 C(at least one of A, B and/or C)"는 "적어도 하나의 A, B 및 C(at least one of A, B and C)"를 의미할 수 있다.

[31]

[32]

도 1은 본 개시의 다양한 실시 예들에 따른 시스템을 나타낸 블록도이다.

[33]

이하에서는, 비디오/오디오/컨트롤 데이터를 송수신하는 기기들을 통칭하여 AV(audio/video) 시스템이라 지칭하기로 한다. AV 시스템의 예시로는 HDMI, DisplayPort 등이 있다.

[34]

도 1을 참조하면, AV 시스템은 소스 기기(100) 및 싱크 기기(200)를 포함할 수 있다. 특히, AV 시스템에서 디오/오디오 데이터를 전송하는 기기는 소스 기기 (100)에 해당하며, 비디오/오디오 데이터를 수신하는 기기는 싱크 기기(200)에 해당할 수 있다. 이때, 두 기기를 연결하여 데이터 송수신을 지원하는 물리적 장치로서 케이블 및 커넥터들이 제공될 수 있다.

[35]

케이블 및 커넥터들은 TMDS(Transition Minimized Differential Signaling) 데이터 채널 및 TMDS 클럭 채널을 제공하는 4개 채널의 페어링을 수행할 수 있다. TMDS 데이터 채널들은 비디오 데이터, 오디오 데이터 및 부가(auxiliary) 데이터를 전달하는데 사용될 수 있다.

- [36] 추가로, AV 시스템은 VESA(Video Electronics Standards Association) DDC(Display Data Channel)를 제공한다. DDC는 소스 기기와 싱크 기기 간의 구성(Configuration) 및 상태(status) 정보 교환에 사용된다. CEC 프로토콜은 사용자 환경의 다양한 오디오 비주얼 제품들 간의 하이-레벨의 컨트롤 기능을 제공할 수 있으며, 옵션(optional)하게 사용될 수도 있다. 또한, 옵션 HEAC(HDMI Ethernet and Audio Return Channel)는 TMDS로부터 반대 방향에서 ARC(Audio Return Channel) 및 연결된 기기들 간의 이더넷(Ethernet) 호환 데이터 네트워킹을 제공할 수도 있다.
- [37] 비디오 데이터, 오디오 데이터 및 부가 데이터는 3개의 TMDS 데이터 채널을 통해 전송/수신될 수 있다. TMDS 클록은, 통상적으로 비디오 픽셀 레이트를 운용(run)하며, TMDS 클럭 채널을 통해 전송된다. TMDS 클록은 수신기에서 3개의 TMDS 데이터 채널들에서의 데이터 리커버리(recovery)를 위한 기준 주파수(frequency reference)로서 사용될 수 있다. 소스 기기에서, TMDS 데이터 채널 당 8 비트의 데이터는 10비트의 DC 밸런싱된, 트랜지션(transition)이 최소화된 시퀀스로 변환되어, TMDS 클럭 주기(period) 당 10 비트의 레이트(rate)로 시리얼하게 전송될 수 있다.
- [38] TMDS 채널을 통해 오디오 데이터 및 부가 데이터를 전송하기 위해, AV 시스템은 패킷 구조를 사용한다. 오디오 데이터 및 컨트롤 데이터를 위한 높은 신뢰도(reliability)를 달성하기 위해, 데이터는 BCH 에러 정정 코드 및 에러 감소 코딩을 사용하여 생성되는 10비트의 워드로서 전송될 수 있다.
- [39] 소스 기기는 DDC(Display Data Channel) 싱크 기기의 E-EDID(Enhanced Extended Display Identification Data)를 판독하여 싱크 기기의 구성 정보 및 가능한 기능을 알아낼 수 있다. E-EDID는 이하에서 EDID 정보라고 지칭할 수도 있다.
- [40] 유틸리티 라인은 HEAC와 같은 옵션된 확장 기능에 사용될 수 있다.
- [41] 소스 기기(100)는 싱크 기기(200)로부터 DDC 채널을 통해 EDID(Extended Display Identification Data) 정보를 수신할 수 있다. 소스 기기(100)는 수신한 EDID 정보를 파싱하여 싱크 기기(200)의 구성 정보 및 지원 기능 등을 인식할 수 있다. EDID 정보는 싱크 기기(200)에 관한 다양한 정보를 포함하는 적어도 하나의 블록을 포함할 수 있다.
- [42] 특히, 본 발명의 일 실시예에 따른 EDID 정보는 전력 송수신에 있어 싱크 기기(200)의 기능 및 전력 공급 능력에 대한 정보를 포함할 수 있다. 소스 기기(100)는 이러한 EDID 정보를 통해 싱크 기기(200)의 전력 송/수신 능력을 인지하고, 이에 따라 싱크 기기(200)로 전력을 전송하거나 싱크 기기(200)로부터 전력을 수신할 수 있다.
- [43] 소스 기기(100)는 디스플레이 유닛(110), 사용자 입력 인터페이스 유닛(120), 컨트롤 유닛(180), 송신기(Tx), 메모리 유닛(140), 스토리지 유닛(150), 멀티미디어 유닛(160), 파워 제어 유닛(130), 및 파워 공급 유닛(170) 중 적어도 하나를 포함한다.

- [44] 싱크 기기(200)는 EDID EEPROM(210), 파워 제어 유닛(220), 디스플레이 유닛(230), 사용자 입력 인터페이스 유닛(240), 수신기(Rx), 컨트롤 유닛(280), 파워 공급 유닛(250), 메모리 유닛(260) 및 멀티미디어 유닛(270) 중 적어도 하나를 포함한다. 이하에서, 동일한 동작을 수행하는 유닛에 대한 설명은 중복하지 않도록 한다.
- [45] 소스 기기(100)는 스토리지 유닛(150)에 저장된 콘텐츠를 싱크 기기(200)로 전송하거나 스트리밍하는 물리적 장치를 나타낸다. 소스 기기(100)는 싱크 기기(200)에 요청(request) 메시지를 보내거나 싱크 기기(200)로부터 수신한 요청 메시지를 수신하여 처리할 수 있다. 소스 기기(100)는 전송한 요청 메시지에 대해 싱크 기기(200)가 전송하는 응답 메시지를 처리하여 사용자에게 전달하는 UI를 제공할 수 있으며, 소스 기기(100)가 디스플레이 유닛(110)을 포함하는 경우에는, 이 UI를 디스플레이로 제공할 수 있다. 또한, 소스 기기(100)는 공급받고자 하는 전력을 싱크 기기(200)에 요청할 수 있다.
- [46] 싱크 기기(200)는 소스 기기(100)로부터 콘텐츠를 수신하며, 소스 기기(100)에 요청 메시지를 전송하거나 소스 기기(100)로부터 수신한 메시지를 처리하여 응답 메시지를 전송할 수 있다. 싱크 기기(200) 역시 소스 기기(100)로부터 수신하는 응답 메시지를 처리하여 사용자에게 전달하는 UI(User Interface)를 제공할 수 있으며, 싱크 기기(200)가 디스플레이 유닛을 포함하는 경우에는, 이 UI를 디스플레이로 제공할 수 있다. 또한, 싱크 기기(200)는 소스 기기(100)에서 요청한 전력을 소스 기기(100)로 공급할 수 있다.
- [47] 사용자 입력 인터페이스 유닛(120, 240)은 사용자의 액션 또는 입력을 수신할 수 있으며, 실시예로서 사용자 입력 인터페이스(120, 240)는 리모트 컨트롤러, 음성 수신/인식 장치, 터치 입력 센싱/수신 장치 등에 해당할 수 있다.
- [48] 컨트롤 유닛(180, 280)은 각 기기의 전반적인 동작을 제어할 수 있다. 특히, 컨트롤 유닛(180, 280)은 각 기기에 포함된 유닛들 간의 통신을 수행하며, 각 유닛들의 동작을 제어할 수 있다.
- [49] 메모리 유닛(140, 260)은 다양한 종류의 데이터가 임시적으로 저장되는 휘발성 물리 장치를 나타낸다.
- [50] 스토리지 유닛(150)은 다양한 종류의 데이터를 저장할 수 있는 비휘발성 물리적 장치를 나타낸다.
- [51] EDID EEPROM(210)은 EDID 정보를 저장하고 있는 EEPROM을 나타낸다.
- [52] 상술한 메모리 유닛(140, 260), 스토리지 유닛(150), EDID EEPROM(210)은 모두 데이터를 저장하는 역할을 하며, 이들을 모두 메모리 유닛으로 통칭할 수도 있다.
- [53] 디스플레이 유닛(110, 230)은 수신된 데이터 또는 콘텐츠, 메모리 유닛에 저장된 데이터 및 UI 등을 컨트롤 유닛(180, 280)의 제어에 의해 디스플레이할 수 있다.

- [54] 멀티미디어 유닛(160, 270)은 다양한 종류의 멀티미디어 재생할 수 있다. 멀티미디어 유닛(160, 270)은 컨트롤 유닛(180, 280)과 별도로 구현되거나, 컨트롤 유닛(180, 280)과 하나의 물리적 구성으로서 구현될 수도 있다.
- [55] 파워 공급 유닛(170, 250)은 소스 기기(100), 싱크 기기(200) 및 이들에 포함된 유닛들의 동작에 필요한 전력을 공급할 수 있다.
- [56] 송신기(Tx)는 소스 기기(100)에 구비되어 데이터를 송수신하는 유닛으로서, 오디오/비디오 데이터뿐 아니라 기기간의 커맨드, 요청, 액션, 응답 등의 메시지를 포함하는 데이터 송수신을 수행한다.
- [57] 수신기(Rx)는 싱크 기기(200)에 구비되어 데이터를 송수신하는 유닛으로서, 오디오/비디오 데이터뿐 아니라 기기간의 커맨드, 요청, 액션, 응답 등의 메시지를 포함하는 데이터 송수신을 수행한다.
- [58] 파워 제어 유닛(130, 220)은 송수신기를 통한 기기간의 전력 송수신을 관리 및 제어할 수 있다.
- [59] 상술한 각 유닛들 중 송신기(Rx), 수신기(Tx), 컨트롤 유닛(180, 280)을 제외한 유닛들은 실시예에 따라 선택적으로 소스 기기(100) 또는 싱크 기기(200)에 포함될 수 있으며, 필수적인 구성 유닛에 해당하지 않을 수 있다.
- [60] 기존에는 AV 시스템에서 소스 기기 및 싱크 기기간의 전력 전송이 지원되지 않았다. 그 결과, 장시간 동안 휴대용 기기를 구동할 경우, 최적의 구동을 위해 항상 외부 전원 케이블을 연결해야 하는 불편함이 존재하였다. 이러한 불편함을 해소하기 위해, 본 명세서에서는 AV 시스템에서 유선 인터페이스가 전력 전달 기능을 지원하도록 하여 외부의 별도 장치 없이도 AV 시스템의 최적의 구동을 보장하는 방법을 제안하기로 한다.
- [61] 이하에서는 설명의 편의를 위해, 전력을 공급(또는 전송)하는 기기를 P소스 기기, 전력을 공급(또는 수신)받는 기기를 P싱크 기기라 지칭하기로 한다. 또한, P소스 기기 및 P싱크 기기의 기능을 동시에 지원하는 기기를 듀얼 기기라 지칭하기로 한다.
- [62]
- [63] 본 개시의 다양한 실시 예들에 대한 배경기술
- [64] Adaptive-Sync 동작
- [65] Adaptive-Sync는 컴퓨터 그래픽스 분야에서 사용되는 기술로, Source 장치(e.g. GPU)와 Sink 장치(e.g. 모니터) 간의 동기화를 맞춰 화면 깜빡임(Flicker) 현상과 티어링(Tearing)을 제거하는 기술이다. Adaptive-Sync는 VESA(Video Electronics Standards Association)에서 DisplayPort Adaptive-Sync 기술과 HDMI VRR(Variable Refresh Rate) 기술을 표준화 했다.
- [66] Adaptive-Sync 기술은 Source 장치(e.g. GPU)와 Sink 장치(e.g. 모니터) 간의 통신을 위한 통신 프로토콜과 Source 장치(e.g. GPU)와 Sink 장치(e.g. 모니터) 간의 동기화를 위한 시간 분할 기술 등을 포함한다. 따라서 Adaptive-Sync 기술은 다음과 같은 기술 분야를 포함한다.

- [67] - Source 장치(e.g. GPU) 기술: Adaptive-Sync를 지원하기 위해서는 Source 장치(e.g. GPU)가 Variable Refresh Rate(VRR) 기술을 지원해야 합니다. AMD는 FreeSync, NVIDIA는 G-Sync로 각각의 VRR 기술을 제공하고 있다.
- [68] - 통신 프로토콜 기술: Adaptive-Sync를 지원하는 Sink 장치(e.g. 모니터) 연결 인터페이스로는 DisplayPort 1.2a 이상과 HDMI 2.1 이상이 필요하다. 또한 Adaptive-Sync를 사용하기 위해서는 Source 장치(e.g. GPU)와 Sink 장치(e.g. 모니터)가 같은 통신 프로토콜을 사용해야 한다.
- [69] - Sink 장치(e.g. 모니터) 기술: Adaptive-Sync를 지원하는 Sink 장치(e.g. 모니터)는 Source 장치(e.g. GPU)의 VRR 기술을 지원해야 한다. 또한 Adaptive-Sync를 지원하는 Sink 장치(e.g. 모니터)는 Source 장치(e.g. GPU)와의 통신을 위한 프로토콜을 지원해야 한다.
- [70] - 시간 분할 기술: Adaptive-Sync는 Sink 장치(e.g. 모니터)와 Source 장치(e.g. GPU) 간의 동기화를 위해 시간 분할 기술을 사용한다. 이를 위해서는 Source 장치(e.g. GPU)와 Sink 장치(e.g. 모니터)가 동일한 시간 분할 기술을 사용해야 한다.
- [71] Adaptive-Sync 기술은 그래픽스 카드, 통신 프로토콜, Sink 장치(e.g. 모니터), 시간 분할 기술 등 다양한 기술 분야를 포함하고 있으며, 이들 기술이 함께 작동하여 Adaptive-Sync가 가능하다.
- [72]
- [73] 라이브 프레임 전송 중 소스 장치 작동
- [74] PANEL REPLAY ENABLE 레지스터(DPCD 001B0h[0] = 1)의 소스 장치가 싱크 장치의 패널 재생 모드를 활성화하고 RECEIVER_ALPM_CONFIGURATION 레지스터의 ALPM 활성화 비트(DPCD 00116h[0] = 1)를 모두 설정한 소스 장치는 다음과 같다. 다음 중 하나에 해당하는 VBlank 라인에서 Adaptive-Sync SDP를 전송한다.
- [75] (1) VSync 펄스의 리딩 에지 -또는-
- [76] (2) 그림 2-155에 표시된 대로 첫 번째 비디오 프레임에서 시작하여 VSync 펄스의 리딩 에지 앞 한 라인
- [77] 소스 장치가 두 비트를 모두 설정하지 않은 경우(DPCD 001B0h[0] = 0 및/또는 DPCD 00116h[0] = 0) 소스 장치는 VBlank 기간 동안 위에 지정된 라인 또는 그 이전에 전송할 수 있다.
- [78] Source Device Operation during Live Frame Transmission
- [79] A Source device that has set both the Source Device Enables Panel Replay Mode in Sink Device bit in the PANEL REPLAY ENABLE register (DPCD 001B0h[0] = 1) and ALPM Enable bit in the RECEIVER_ALPM_CONFIGURATION register (DPCD 00116h[0] = 1) shall transmit the Adaptive-Sync SDP at the VBlank line that corresponds to either of the following:
- [80] (1) The VSync pulse's leading edge, -or-

- [81] (2) One line before the VSync pulse's leading edge, starting with the first video frame, as illustrated in Figure 2-155
- [82] When a Source device has not set both bits (DPCD 001B0h[0] = 0 and/or DPCD 00116h[0] = 0), the Source device may transmit at the line specified above -or- earlier during the VBlank period.
- [83]
- [84] 도 2는 본 개시의 다양한 실시 예들에 따른 Adaptive-Sync SDP 전송 타이밍의 일례를 도시한 도면이다.
- [85] VSync 펄스의 리딩 에지 또는 한 라인 이전에 Adaptive-Sync SDP를 전송할지 여부에 대해서는 소스 장치에 다음 요구 사항이 적용된다.
- [86] (1) 싱크 장치의 DPCD 02214h[1] = 0일 때 소스 장치는 DPCD 0011Bh[7] = 0을 유지하고 첫 번째 절반 라인 또는 처음 3,840픽셀 주기 중 어느 것이든 VSync 펄스의 리딩 에지에 해당하는 라인에서 먼저 오는 것에서 Adaptive-Sync SDP를 전송해야 한다.
- [87] (2) Sink 디바이스의 DPCD 02214h[1] = 1일 때 Source 디바이스는 다음 중 하나를 수행할 수 있다.
- [88] (3) 비디오 모드 설정 중에 DPCD 0011Bh[7] = 1로 설정한 다음 라인 중 언제든 전체 Adaptive-Sync SDP를 한 라인 일찍 전송한다.
- [89] (4) 비디오 모드 설정 중에 DPCD 0011Bh[7] = 0을 지우고 VSync 펄스의 리딩 에지에 해당하는 라인의 전반부 라인 또는 처음 1,920픽셀 주기 중 먼저 오는 것에서 Adaptive-Sync SDP를 전송한다.
- [90] As for whether to transmit the Adaptive-Sync SDP on the VSync pulse's leading edge or one line earlier, the following mandates apply for the Source device:
- [91] (1) When the Sink device's DPCD 02214h[1] = 0, the Source device shall keep DPCD 0011Bh[7] = 0 and transmit the Adaptive-Sync SDP in the first half line -or- the first 3,840 pixel cycles, whichever comes first, on the line that corresponds to the VSync pulse's leading edge
- [92] (2) When the Sink device's DPCD 02214h[1] = 1, the Source device may perform either of the following:
- [93] (3) Set DPCD 0011Bh[7] = 1 during video mode set, and then transmit the entire Adaptive-Sync SDP one line earlier, at any time during the line, -or-
- [94] (4) Clear DPCD 0011Bh[7] = 0 during video mode set, and then transmit the Adaptive-Sync SDP in the first half line -or- the first 1,920 pixel cycles, whichever comes first, on the line that corresponds to the VSync pulse's leading edge
- [95]
- [96] Adaptive-Sync 동작 AUX Flow chart
- [97] 도 3은 본 개시의 다양한 실시 예들에 따른 Adaptive-Sync 동작과 관련된 AUX 흐름도의 일례를 도시한 도면이다.

- [98] 도 3을 참조하면, Source 장치는 Sink 장치로부터 HPD(hot plug detection) 신호를 수신한다.
- [99] Source 장치는 Sink 장치의 EDID/디스플레이ID를 읽는다 (EDID/DisplayID Read). 즉, Source 장치는 Sink 장치로부터 Sink 장치의 EDID/디스플레이ID를 수신한다.
- [100] Source 장치는 Sink 장치의 DPCD(DisplayPort Configuration Data)를 읽는다. DPCD는 00000h ~ 000FFh 및 02200h ~ 022FFh에 해당한다. Source 장치는 DPCD를 통해 Sink 장치의 Adaptive-Sync에 대한 지원 여부를 결정할 수 있다.
- [101] Source 장치는 DPCD에 00107h = 1을 쓰고 DPCD를 Sink 장치에게 전송한다. DPCD에 00107 = 1을 씌므로써 Source 장치는 Adaptive-Sync 기능을 활성화한다. Sink 장치는 MSA Timing parameter 값을 무시한다.
- [102] Adaptive-Sync의 활성화를 전제로, Source 장치는 Sink 장치에게 비디오 스트림 데이터(Video stream data) 및 Adaptive-Sync SDP를 전송한다. Adaptive Sync SDP와 Vsync Pulse를 동기화한다.
- [103]
- [104] Adaptive-Sync 동작 관련 DPCD
- [105] DPCD(DisplayPort Configuration Data Channel)는 DisplayPort 연결 인터페이스의 일부로, Sink 장치(e.g. 모니터)와 Source 장치(e.g. GPU) 간의 통신을 위한 데이터 채널이다. DP DPCD는 Source 장치(e.g. GPU)가 Sink 장치(e.g. 모니터)를 인식하고, Sink 장치(e.g. 모니터)의 기능을 설정하며, DP 연결 상태를 Sink 장치(e.g. 모니터)와 공유하는 데 사용된다. Adaptive-Sync DPCD 동작과 관련된 구성은 다음과 같다.
- [106] (1) 소스 장치 적응형 동기화 작업 필수 사항
- [107] 이 섹션에서는 다음 Adaptive-Sync 정책에 대한 원본 장치 규정을 정의한다.
- [108] (1-1) 영상모드 설정 전과 설정 중
- [109] (1-2) 라이브 프레임 전송 중
- [110] 비디오 모드 설정 작업 전에 소스 장치는 다음을 확인해야 한다.
- [111] (1-3) 연결된 Sink 장치의 Stream Sink는 다음 VESA AdaptiveSync 요구 사항을 충족한다.
- [112] (1-3-1) DisplayID Adaptive-Sync 데이터 블록 지원
- [113] (1-3-2) CVT v2.0 RB v3 타이밍 또는 DisplayID에 노출된 350ppm 오프셋으로 세부 타이밍을 지원한다.
- [114] (1-4) 연결된 싱크 장치의 DPRX는 VESA AdaptiveSync 규정을 충족한다.
- [115] (1-4-1) DPCD 00007h[6] = 1 및 DPCD 02207h[6] = 1
- [116] (1-4-2) DPCD 02214h[0] = 1
- [117] (1) Source Device Adaptive-Sync Operation Mandates
- [118] This section defines Source device mandates for the following Adaptive-Sync policies:

- [119] (1-1) Before and during video mode set
- [120] (1-2) During live frame transmission
- [121] Before video mode set operation, a Source device shall verify the following:
- [122] (1-3) Stream Sink in the connected Sink device meets the following VESA AdaptiveSync mandates:
- [123] (1-3-1) Supports the DisplayID Adaptive-Sync data block
- [124] (1-3-2) Supports the CVT v2.0 RB v3 timing -or- detailed timing with 350-ppm offset exposed in the DisplayID
- [125] (1-4) DPRX in the connected Sink device meets the VESA AdaptiveSync mandates:
- [126] (1-4-1) DPCD 00007h[6] = 1 and DPCD 02207h[6] = 1
- [127] (1-4-2) DPCD 02214h[0] = 1
- [128]
- [129] (2) 싱크 장치 적응형 동기화 동작 필수사항
- [130] 이 섹션에서는 다음 Adaptive-Sync 정책에 대한 싱크 장치 규정을 정의한다.
- [131] (2-1) 영상모드 설정 전과 설정 중
- [132] (2-2) 라이브 프레임 전송 중
- [133] VESA AdaptiveSync 싱크 장치는 다음을 충족해야 한다.
- [134] (2-3) DisplayID Adaptive-Sync 데이터 블록 지원
- [135] (2-4) CVT v2.0 RB v3 타이밍 지원 또는 DisplayID에 노출된 350ppm 오프셋으로 세부 타이밍 지원
- [136] (2-5) Adaptive-Sync SDP v2 지원 (HB2[4:0] = 02h)
- [137] (2-6) 다음 Adaptive-Sync DPCD 기능 레지스터 비트를 기본값으로 설정한다.
- [138] (2-6-1) DPCD 00007h[6] = 1 및 DPCD 02207h[6] = 1
- [139] (2-6-2) DPCD 02214h[0] = 1
- [140] (2-7) 필요에 따라 DPCD 02214h[1] = 1로 설정
- [141] (2-8) 비디오 모드가 설정된 동안 소스 장치가 DPCD 00107h[7] = 1을 쓸 때 Adaptive-Sync 작동을 위한 Arm이다.
- [142] (2-9) 싱크 기기는 DPCD 00107h[7] = 1를 설정한 레거시 소스 기기에 연결될 수 있으므로 비디오 모드 설정 동작 이후에 비디오 스트림 수신을 시작하므로 Adaptive-Sync SDP가 있는지 확인해야 하지만, Adaptive-Sync SDP를 전송하지 않는다. 다음 조건이 모두 충족되는 한, VESA AdaptiveSync Sink 장치는 Adaptive-Sync SDP 페이로드 데이터 바이트를 구문 분석하고 Adaptive-Sync 디스플레이 CTS 시각적 성능 요구 사항을 충족하면서 대기 시간 제한 내에 이미지를 표시해야 한다. (예: -50dB 이상의 깜박임 성능, 패널 오버드라이브 보상 고스텝을 유발하지 않는 응답성 회색-회색 전환):
- [143] (2-10) 소스 장치는 Adaptive-Sync 데이터 블록(각각 바이트 1과 5)에 열거된 싱크 장치의 프레임 기간 증가 및 감소 제한을 따른다.

- [144] (2-11) Adaptive-Sync SDP 페이로드 내용이 참이다. VESA AdaptiveSync 싱크 장치는 소스 장치가 최소-최대 새로 고침 범위를 준수하는 한 최소 시각적 성능 요구 사항(예: -45dB의 깜박임 성능)도 충족해야 한다. Adaptive-Sync 작동 모드 전환 중 한 프레임에 대해 Adaptive-Sync SDP 페이로드 콘텐츠가 거짓인 경우에도 마찬가지이다.
- [145] (2) Sink Device Adaptive-Sync Operation Mandates
- [146] This section defines Sink device mandates for the following Adaptive-Sync policies:
- [147] (2-1) Before and during video mode set
- [148] (2-2) During live frame transmission
- [149] A VESA AdaptiveSync Sink device shall:
- [150] (2-3) Support the DisplayID Adaptive-Sync data block
- [151] (2-4) Support the CVT v2.0 RB v3 timing -or- detailed timing with 350-ppm offset exposed in the DisplayID
- [152] (2-5) Support Adaptive-Sync SDP v2 (HB2[4:0] = 02h)
- [153] (2-6) Set the following Adaptive-Sync DPCD capability register bits as default:
- [154] (2-6-1) DPCD 00007h[6] = 1 and DPCD 02207h[6] = 1
- [155] (2-6-2) DPCD 02214h[0] = 1
- [156] (2-7) Set DPCD 02214h[1] = 1, as needed
- [157] (2-8) Arm for Adaptive-Sync operation when a Source device writes DPCD 00107h[7] = 1 during video mode set
- [158] (2-9) Sink device shall check for the presence of an Adaptive-Sync SDP as the Sink device starts receiving a video stream after video mode set operation because the Sink device may be connected to a legacy Source device that sets DPCD 00107h[7] = 1 but does not transmit an Adaptive-Sync SDP A VESA AdaptiveSync Sink device shall parse Adaptive-Sync SDP payload data bytes and display an image within a latency limit while meeting Adaptive-Sync Display CTS visual performance mandates (e.g., flicker performance of -50 dB or better, a responsive gray-to-gray transition without causing panel overdrive compensation ghosting), as long as both of the following conditions are met:
- [159] (2-10) Source device honors the Sink device's Frame Duration Increase and Decrease Limits that are enumerated in the Adaptive-Sync data block (Bytes 1 and 5, respectively)
- [160] (2-11) Adaptive-Sync SDP payload content is true
- [161] The VESA AdaptiveSync Sink device shall also meet the minimum visual performance mandates (e.g., a flicker performance of -45 dB) as long as the Source device honors the minimum-to-maximum refresh range even when the Adaptive-Sync SDP payload content is false for one frame during an Adaptive-Sync operation mode transition.

[162]

[163] (3) Adaptive-Sync에 사용되는 DPCD 레지스터

[164] (3) DPCD Registers used for Adaptive-Sync

[165] 다음의 표 1은 Table 2-220: DPCD Registers Used for Adaptive-Sync를 나타낸다.

[166] [표1]

Type	DPC D Reg ister A ddress	Name
Capability	0007h [6]	DOWN_STREAM_PORT_COUNT register, MSA_TIMING_PAR_IGNORED bit
Extended Capabilit y	02207 h [6]	DOWN_STREAM_PORT_COUNT register, MSA_TIMING_PAR_IGNORED bit
	02215 h [2,1,0]	DPRX_FREATURE_ENUMERATION_LIST_CONT_1 registe r, FAVT_PAYLOAD_FIELDS_PARSING_SUPPORTED, AS_SDP_FIRST_HALF_LINE_OR_3840_PIXEL_CYCLE_WI NDOW_NOT_SUPPORTED, and ADAPTIVE_SYNC_SDP_SUPPORTED bits, respectively
	02218 h[6]	DPRX_FEATURE_ENUMERATION_LIST_CONT_2 register, ADAPTIVE SYNC SDP T2 SUPPORTED IN ALL PR ACTIV E STATES bit
Configura tion	00107 h [7,6]	DOWNSPREAD_CTRL register, MSA_TIMING_PAR_IGNORE E_EN and FIXED_VTOTAL_AS_SDP_EN_IN_PR_ACTIVE bits
	0011 Ah [7:6]	PANEL REPLAY CONFIGURATION 3 register, AS_SDP_SETUP_CONFIG_PR_ACTIVE field
	0011 Bh[7]	ADAPTIVE_SYNC_SDP_TRANSMISSION_TIMING_CONFI G register, AS_SDP_ONE_LINE_EARLIER_ENABLE bit

[167] Adaptive-Sync 동작 관련 EDID - DisplayID에서의 Adaptive-Sync Data Block

[168] 도 4은 본 개시의 다양한 실시 예들에 따른 EDID block, CTA block 및 DisplayID block이 혼합된 EDID의 구조의 일례를 도시한 도면이다.

- [169] EDID(Extended Display Identification Data)는 Sink 장치(e.g. 모니터)에 내장된 정보를 Source 장치(e.g. GPU)가 읽는 데 사용되는 데이터 구조이다. Sink 장치(e.g. 모니터)에서 EDID 정보를 제공하면, Source 장치(e.g. GPU)는 Sink 장치(e.g. 모니터)의 최적 해상도, 주사율 등의 기본 설정을 자동으로 인식하여 설정할 수 있다.
- [170] EDID는 Sink 장치(e.g. 모니터)가 제조된 정보를 포함하며, 제조사, 모델명, 제조일자, 해상도, 지원하는 주사율 등을 포함한다. 이 정보를 읽어들이는 Source 장치(e.g. GPU)는 자동으로 Sink 장치(e.g. 모니터)의 최적 해상도와 주사율을 설정할 수 있으며, 사용자가 수동으로 설정할 수도 있습니다.
- [171] EDID의 구조로는 EDID block, CTA block 및 DisplayID block을 혼합하여 사용할 수 있으며, 도 4와 같은 예시로 구성될 수 있다. 또한 각 Block에 따른 Adaptive-Sync 동작 Parameter가 다르므로 Sink는 Legacy Source의 호환성을 위해 2개 이상의 Adaptive-Sync 동작 Parameter를 표시하기도 한다.
- [172] EDID는 DDC(Data Display Channel)를 통해 전송된다. DDC는 PC 인터페이스를 사용하여 Source 장치(e.g. GPU)와 Sink 장치(e.g. 모니터) 간의 통신을 가능하게 한다. Source 장치(e.g. GPU)는 DDC를 통해 Sink 장치(e.g. 모니터)에서 EDID 정보를 요청하고, Sink 장치(e.g. 모니터)는 이를 응답한다.
- [173] 현재 DP2.1에서는 Adaptive-Sync 동작 관련된 Parameter는 EDID안에 있는 DisplayID2.0/2.1의 Adaptive-Sync Data Block에 대한 정보를 참고한다.
- [174] 각 Block에 따른 Adaptive-Sync 동작 Parameter 다음 설명과 같이 총 3가지 종류의 Block에 표기할 수 있다.
- [175]
- [176] DisplayID 2.0에서의 Adaptive-Sync Data Block
- [177] 도 4은 본 개시의 다양한 실시 예들에 따른 DisplayID 2.0에서의 Adaptive-Sync Data Block의 구조의 일례를 도시한 도면이다.
- [178] 다음의 표 2은 Table 4.51: Adaptive-Sync Data Block를 나타낸다.
- [179] 표 2에서, N은 데이터 블록의 세부 타이밍 설명자 수를 나타낸다. M은 오프셋 01h[6:4]의 값을 나타낸다. 소스 장치 구현은 향후 확장성을 위해 다양한 분야를 수용해야 한다. (N represents the number of Detailed Timing descriptors in the data block. M represents the value of Offset 01h[6:4]. Source device implementation shall accommodate varying field for future extensibility.)

- [180] [표2]

Offset	Bit #	Definition/Priority
00h	7:0	Adaptive-Sync Data Block2Bh
01h	Block Revision and Other Data	
	2:0	Block Revision Revision ranges from 0 through 7 000b=Revision 0

		All other values are RESERVED
	3	RESERVEDCleared to 0
	6:4	Number of Payload Bytes (M) in an Adaptive-Sync Operation ModeAnd Range Descriptor Where M (bytes) = 6 (initial descriptor size) + field value 000b = 6 + 0 bytes/descriptor (defined as part of AdaptiveOSync, Revision 0) All other values are RESERVED
	7	RESERVEDCleared to 0
02h	7:0	Number of Payload Bytes in Block Number of payload bytes within the block is based on the number of descriptors (N) * size of each descriptor (M) bytes All other values are RESERVED
03h through 03h+M-1	(M*8-1):0	First Adaptive-Sync Operation Mode and Range Descriptor M-byte descriptor
03h+M through 03h + 2M - 1	(M*8-1):0	Second Adaptive-Sync Operation Mode and Range DescriptorM-byte descriptor, if present
...		...
03h + (N-1) * M through 03h+ (N*M) - 1	(M*8-1):0	Nth Adaptive-Sync Operation Mode and Range Descriptor M-byte descriptor, if present

[181] 다음의 표 3은 Table 4.52: Adaptive-Sync Operation Mode and Range Descriptor를 나타낸다.

[182] [표3]

Byte #	Bit #	Definition
--------	-------	------------

0	Adaptive-Sync Operation and Range Information
0	<p>Adaptive-Sync Range</p> <p>0 = Non-native panel range. (The display implements buffering to support the declared Adaptive-Sync range, and may repeat frames as necessary.)</p> <p>1 = Native panel range. (The display does not implement buffering to support the declared Adaptive-Sync range, and does not repeat frames.)</p>
1	<p>Successive Frame Duration Increase Tolerance for Meeting VESA Adaptive Sync Flicker Performance</p> <p>0 = Flicker performance is met in any duration increase within the refresh rate range, but may cause up to a single base video frame period jitter impact.</p> <p>1 = Flicker performance is met in any duration increase within Byte 1.</p> <p>Note: Flicker performance is met in any duration increase within the refresh rate range without jitter impact when either of the following conditions are met:</p> <p>(1) Byte 1 = 00h, -or-</p> <p>(2) Byte 1 \geq the delta between the maximum frame duration (= minimum refresh rate) and the minimum frame duration (= maximum refresh rate)</p>
3:2	<p>Supported Adaptive-Sync Modes</p> <p>00b = Fixed-Average VTotal (FAVT) mode is supported</p> <p>01b = Both Fixed-Average VTotal and Adaptive VTotal modes (FAVT and AVT, respectively) are supported</p> <p>All other values are RESERVED</p>
4	<p>Seamless Transition of Adaptive-Sync Mode and Range Not Supported</p> <p>0 = Seamless transition to and from current Adaptive-Sync mode and range is supported</p> <p>1 = Seamless transition to and from current Adaptive-Sync mode and range is not supported</p>
5	<p>Successive Frame Duration Decrease Tolerance for Meeting VESA Adaptive Sync Flicker Performance</p> <p>0 = Flicker performance is met in any duration decrease within the refresh rate range, but may cause up to a single base video frame period jitter impact</p> <p>1 = Flicker performance is met in any duration decrease within Byte 5</p>

		Note: Flicker performance is met in any duration decrease within the refresh rate range without jitter impact when either of the following conditions are met: (1) Byte 5 = 00h, -or- (2) Byte 5 \geq the delta between the maximum frame duration (= minimum refresh rate) and the minimum frame duration (= maximum refresh rate)
	7:6	RESERVED Cleared to all 0s
1	7:0	Maximum Single Frame Duration Increase Allowed for Meeting VESA Adaptive Sync Flicker Performance 6.2 format (six integer bits and two fractional bits) that results in a value range of 0.00 to 63.75 ms, inclusive 00h = Flicker performance is met in any duration increase within the refresh rate range without jitter impact
2	7:0	Minimum Refresh Rate Minimum refresh rate ranges from 0 through 255 Hz, divided by 1.001 00h = 0 Hz 01h = (1/1.001) Hz ... FFh = (255/1.001) Hz
4:3		Maximum Refresh Rate Maximum refresh rate ranges from 1 through 1,024 Hz, plus 350 ppm. Note that the value stored in this field shall match that of at least one CVT v2.0 RB Timing v3 timing supported by the Sink device 000h = (1 * 1.00035) Hz ... 3FFh = (1,024 * 1.00035) Hz
3	7:0	Maximum Refresh Rate 7:0
4	1:0	Maximum Refresh Rate 9:8
	7:2	RESERVED Cleared to all 0s
5	7:0	Maximum Single Frame Duration Decrease Allowed for Meeting VESA Adaptive Sync Flicker Performance 6.2 format (six integer bits and two fractional bits) that results in a value range of 0.00 to 63.75 ms, inclusive

	00h = Flicker performance is met in any duration decrease within the refresh rate range without jitter impact
--	---

[183] Adaptive-Sync SDP

[184] Adaptive-Sync Second data packet은 Source 장치(e.g. GPU)와 Sink 장치(e.g. 모니터) 간의 통신을 위해 사용된다. Source 장치(e.g. GPU)는 Adaptive-Sync Second data packet을 Sink 장치(e.g. 모니터)로 보내고, Sink 장치(e.g. 모니터)는 이를 수신하여 지원되는 주사율 범위와 VRR 모드를 Source 장치(e.g. GPU)에 알려준다. 이 정보를 바탕으로 Source 장치(e.g. GPU)는 Sink 장치(e.g. 모니터)와 동기화하여 스크린 티어링, 스테터링 등을 방지하고 더 부드러운 화면 표시를 가능하게 한다. 각 EDID Block에 따른 Adaptive-Sync 동작 Parameter에 따라 Adaptive-Sync SDP의 정보와 크기가 달라질 수 있다.

[185] Adaptive-Sync SDP 동작과 Header and Payload Data Bytes의 정보는 아래와 같다.

[186] Adaptive-Sync 가능 DP 프로토콜 변환기는 DOWN_STREAM_PORT_COUNT 레지스터(DPCD)의 MSA_TIMING_PAR_IGNORED 비트를 설정하는 것 외에도 DPRX_FEATURE_ENUMERATION_LIST_CONT_1 레지스터(DPCD 02214h[0] = 1)의 ADAPTIVE_SYNC_SDP_SUPPORTED 비트를 설정하여 적응형 동기화 SDP 지원을 나타낸다. 00007h[6] = 1 및 DPCD 02207h[6] = 1). Adaptive-Sync 가능 DP 프로토콜 변환기는 SST 및 MST 모드에서 SDP 분할을 지원해야 하며 DPRX_FEATURE_ENUMERATION_LIST 레지스터(DPCD 02210h[1] = 1)에서 SST_SPLIT_SDP_CAP 비트를 설정하여 분할 기능을 나타낸다. Adaptive-Sync 지원 DP 소스 장치는 다음을 확인한 후에만 연결된 DP 프로토콜 변환기에 대한 Adaptive-Sync 비디오 전송을 활성화할 수 있다.

[187] (1) 연결된 DP 프로토콜 변환기에는 DPCD 00007h[6] = 1 및 DPCD 02214h[0] = 1이 있다.

[188] (2) DP 프로토콜 변환기에 연결된 스트림 싱크는 DisplayID 또는 레거시 EDID에서 Adaptive-Sync 새로 고침 빈도 범위에 대한 지원을 나타낸다. Adaptive-Sync 비디오 전송의 경우 항상 그렇듯이, Adaptive-Sync 가능 DP 소스 장치는 Adaptive-Sync 비디오 전송을 활성화하기 전에 AUX 쓰기 트랜잭션을 사용하여 DOWNSPREAD_CTRL 레지스터(DPCD 00107h[7] = 1)의 MSA_TIMING_PAR_IGNORE_EN 비트에 1을 기록해야 한다. 연결된 DP 장치에 DPCD 02214h[0] = 1이 있는 경우 DP 소스 장치는 Adaptive-Sync 비디오 전송을 활성화하기 전에 Adaptive-Sync SDP를 전송해야 한다.

[189] Adaptive-Sync SDP를 전송할 때 DP 소스 장치는 다음을 수행해야 합니다.

[190] (3) 모든 비디오 프레임에서 Adaptive-Sync SDP를 전송합니다. 인터레이스 및 3D와 같은 다중 필드 비디오 모드의 경우 Adaptive-Sync SDP는 모든 비디오 필드에서 전송되어야 한다.

- [191] (4) Adaptive-Sync SDP 전송의 시작과 끝이 VSync 펄스의 시작에 해당하는 라인 (BS 기호 시퀀스로 표시됨)의 전반부 내에서 발생하는지 확인한다.
- [192] (5) 유효한 HTotal[15:0], HStart[15:0], HSyncPolarity[0](HSP), HSyncWidth[14:0]을 전송한다.
- [193] (HSW), VStart[15:0], VSyncPolarity[0](VSP) 및 VSyncWidth[14:0](VSW)는 Adaptive-Sync SDP를 전송하는 동안 유효한 HWidth[15:0] 및 VHeight[15:0]. 즉, Adaptive-Sync 가능 DP 프로토콜 변환기는 Adaptive-Sync SDP를 수신하는 동안 VTotal[15:0]만 무시해야 한다.
- [194] An Adaptive-Sync-capable DP protocol converter shall indicate Adaptive-Sync SDP support by setting the ADAPTIVE_SYNC_SDP_SUPPORTED bit in the DPRX_FEATURE_ENUMERATION_LIST_CONT_1 register (DPCD 02214h[0] = 1) in addition to setting the MSA_TIMING_PAR_IGNORED bit in the DOWN_STREAM_PORT_COUNT register(s) (DPCD 00007h[6] = 1 and DPCD 02207h[6] = 1). An Adaptive-Sync-capable DP protocol converter shall support SDP splitting in SST and MST modes, and indicates its splitting capability by setting the SST_SPLIT_SDP_CAP bit in the DPRX_FEATURE_ENUMERATION_LIST register (DPCD 02210h[1] = 1). An Adaptive-Sync-capable DP Source device may enable an Adaptive-Sync video transmission to a plugged DP protocol converter only after verifying the following:
- [195] (1) Plugged DP protocol converter has DPCD 00007h[6] = 1 and DPCD 02214h[0] = 1
- [196] (2) Stream sink plugged to the DP protocol converter indicates support for the Adaptive-Sync refresh rate range in the DisplayID or legacy EDID As is always the case with Adaptive-Sync video transmission, an Adaptive-Sync-capable DP Source device shall use an AUX write transaction to write 1 to the MSA_TIMING_PAR_IGNORE_EN bit in the DOWNSPREAD_CTRL register (DPCD 00107h[7] = 1) prior to enabling an Adaptive-Sync video transmission. When the plugged DP device has DPCD 02214h[0] = 1, a DP Source device shall transmit an Adaptive-Sync SDP before enabling an Adaptive-Sync video transmission.
- [197] When transmitting an Adaptive-Sync SDP, a DP Source device shall do the following:
- [198] (3) Transmit an Adaptive-Sync SDP on every video frame. For multi-field video modes such as Interlaced and 3D, the Adaptive-Sync SDP shall be transmitted on every video field.
- [199] (4) Ensure that the start and end of the Adaptive-Sync SDP transmission occur within the 1st half of the line (marked by BS symbol sequences) that corresponds to the start of the VSync pulse.

- [200] (5) Transmit valid HTotal[15:0], HStart[15:0], HSyncPolarity[0] (HSP), HSyncWidth[14:0]
- [201] (HSW), VStart[15:0], VSyncPolarity[0] (VSP), and VSyncWidth[14:0] (VSW) while transmitting an Adaptive-Sync SDP, as well as valid HWidth[15:0] and VHeight[15:0]. That is, an Adaptive-Sync-capable DP protocol converter shall ignore only VTotal[15:0] while receiving an Adaptive-Sync SDP.

[202]

[203] 표 4은 Table 2-126: Adaptive-Sync SDP Header Bytes를 나타낸다.

[204] [표4]

Byte #	Bit #	Content
HB0	7:0	Secondary-data Packet ID Specific to stream (usually 00h)
HB1	7:0	Secondary-data Packet Type 22h = Adaptive-Sync
HB2	4:0	Version Number 01h = Version 1. No payload data bytes (same as DP v2.0, as released in June 2019). 02h = Version 2. VESA AdaptiveSync shall support both the DisplayID Adaptive-Sync data block and Adaptive-Sync SDP data structure version 2. All other values are RESERVED for future versions.
	7:5	RESERVED Read all 0s
HB3	5:0	Number of Valid Data Bytes Version 1 00h = No payload data bytes. Version 2 09h = Nine payload data bytes. The Adaptive-Sync SDP has 32 payload data bytes. Unused data bytes shall be zero-padded.
	7:6	RESERVED Read all 0s.

[205] 표 5은 Table 2-127: Adaptive-Sync SDP Version 2 Payload Data Bytes를 나타낸다.

[206] [표5]

Byte #	Bit #	Content
DB0	Timing Options	
	0	VARIABLE_FRAME_RATE_DISABLE

	1	<p>Adaptive Sync Operation Mode</p> <p>When a Source device sets the MSA_TIMING_PAR_IGNORE_EN and FIXED_VTOTAL_AS_SDP_EN_IN_PR_ACTIVE bits in the DOWNSPREAD_CTRL register (DPCD 00107h [7,6] = 11b, respectively):</p> <p>00b = AVT mode, and video frame duration is bound to change from frame-to-frame.</p> <p>01b = AVT mode; however, video frame duration is currently fixed.</p> <p>10b = FAVT mode, and TRR is yet to be reached.</p> <p>11b = FAVT mode, and TRR is reached.</p> <p>When a Source device programs DPCD 00107h[7,6] = 01b (see Section 2.18 for details):</p> <p>01b = Adaptive-Sync operation is disabled and the VTotal line count is fixed.</p> <p>00b, 10b, and 11b = RESERVED.</p>
	2	<p>Adaptive Sync SDP Transmission Disable in PR Active StateCleared to 0 when the Sink device does not support PR.</p> <p>0 = Source-to-Sink device timing sync using the Adaptive-Sync SDP is enabled.</p> <p>1 = Source-to-Sink device timing sync using the Adaptive-Sync SDP is disabled.</p>
	3	<p>Remote Frame Buffer (RFB) Update in PR Active StateValid only during a PR Active state. Shall be driven to 0 in PR_State 0_0 (Disabled) -or- PR_State 0_1 (Inactive). Cleared to 0 when the Sink device does not support PR.</p> <p>0 = No RFB update in the current active video image time interval.</p> <p>1 = Update the RFB - Capture the incoming video frame/Suspend to the RFB.</p>
	7:4	RESERVEDRead all 0s.
DB1	7:0	Minimum Vertical Total7:0
DB2	7:0	Minimum Vertical Total15:8 Source device shall program DB2:DB1 to the VTotal value that corresponds to the enabled base timing. The value is statically programmed and is valid in both FAVT mode and AVT mode.
DB3	7:0	Target Refresh Rate7:0

DB4	1:0	<p>Target Refresh Rate9:8</p> <p>AVT mode</p> <p>Source device shall clear DB4[1:0] = 00b and DB3 = 00h.</p> <p>FAVT mode</p> <p>Source device shall program DB4[1:0] and DB3 and DV4[5] to match the average video frame rate.</p>
	4:2	<p>RESERVED</p> <p>Read all 0s.</p>
	5	<p>Target Refresh Rate DividerValid only in FAVT mode. Sink device ignores the bit in AVT mode.</p> <p>0 = 1.000.</p> <p>1 = 1.001.</p>
	6	<p>Successive Frame Duration Increase ConfigurationIf the Source device engages in a bounded transition for low-flicker performance by using information in the DisplayID Adaptive-Sync data block and setting this bit to 1, the Source device shall:</p> <p>(1) Use the CVT v2.0 RB Timing v3 -or- detailed timing descriptor with 350-ppm offset exposed in the DisplayID, and</p> <p>(2) Constrain the duration increase to the value reported in the DisplayID Adaptive-Sync data block for a guarantee of low-flicker performance</p> <p>0 = Video frame duration increase transitions are unbounded.</p> <p>1 = Video frame duration increase transitions are bounded by the time specified in DB5.</p>
	7	<p>Successive Frame Duration Decrease ConfigurationIf the Source device engages in a bounded transition for low-flicker performance by using the information in the DisplayID Adaptive-Sync data block and setting this bit to 1, the Source device shall:</p> <p>(1) Use the CVT v2.0 RB Timing v3 -or- detailed timing descriptor with 350-ppm offset exposed in the DisplayID, and</p> <p>(2) Constrain the duration decrease to the value reported in the DisplayID Adaptive-Sync data block for a guarantee of low-flicker performance</p> <p>0 = Video frame duration decrease transitions are unbounded.</p> <p>1 = Video frame duration decrease transitions are bounded by the time specified in DB6.</p>

DB5	7:0	<p>Duration Increase Constraint Value in ms Unit</p> <p>6.2 format (six integer bits and two fractional bits) that results in a value range of 0.00 to 63.75 ms, inclusive.</p> <p>When the Source device clears DB4[6] = 0, the Source device shall clear DB5 = 00h.</p> <p>When the Source device sets DV4[6] = 1, the Source device shall program DB5 to the value that the Source device is using for the maximum duration increase. The value does not indicate the instantaneous video frame-to-frame duration delta.</p> <p>A 0.00 value indicates that the Source device may invoke a maximum-to-minimum refresh rate transition across a single video frame boundary.</p> <p>To attain optimum flicker performance without jitter impact, the Source device shall keep the DB5 value less than or equal to the limit value reported by the Sink device in the Max Single Frame Duration Increase Allowed for Attaining the Low Flicker Performance byte (Byte 1) of the DisplayID Adaptive-Sync data block's Operation Mode and Range descriptor.</p>
DB6	7:0	<p>Duration Decrease Constraint Value in ms Unit</p> <p>6.2 format (six integer bits and two fractional bits) that results in a value range of 0.00 to 63.75 ms, inclusive.</p> <p>When the Source device clears DB4[7] = 0, the Source device shall clear DB6 = 00h.</p> <p>When the Source device sets DB4[7] = 1, the Source device shall program DB6 to the value that the Source device is using for the maximum duration decrease. The value does not indicate the instantaneous video frame-to-frame duration delta.</p> <p>A 0.00 value indicates that the Source device may invoke a maximum-to-minimum refresh rate transition across a single video frame boundary.</p> <p>To attain optimum flicker performance without jitter impact, the Source device shall keep the DB6 value less than or equal to the limit value reported by the Sink device in the Max Single Frame Duration Decrease Allowed for Attaining the Low Flicker Performance byte (Byte 5) of the DisplayID Adaptive-Sync data block's Operation Mode and Range descriptor.</p>

DB7	7:0	Coasting VTotal7:0 in PR Active State Shall be programmed to the Coasting Vtotal LSB value that the Sink device shall use to maintain the refresh rate when the DPTX has suspended transmission of the Adaptive-Sync SDP in a PR Active state. DB7 = 00h when the Sink device does not support PR.
DB8	7:0	Coasting VTotal15:8 in PR Active State Shall be programmed to the Coasting VTotal MSB value that the Sink device shall use to maintain the refresh rate when the DPTX has suspended transmission of the Adaptive-Sync SDP in a PR Active state. DB8 = 00h when the Sink device does not support PR.
DB9 through DB31	191:0	RESERVED Read all 0s.

[207] OverDrive/Overdrive Table

[208] OverDrive

[209] OverDrive는 Sink 장치(e.g. 모니터)에서 사용되는 기술 중 하나로, 픽셀의 전환 속도를 높여서 모션 블러를 최소화하고 응답 속도를 높여서 화면의 깜빡임을 줄이는 기술이다. Sink 장치(e.g. 모니터)의 OverDrive는 일반적으로 내장된 컨트롤러에 의해 조절되며, 사용자는 Sink 장치(e.g. 모니터)의 설정 메뉴에서 이를 조절할 수 있다.

[210] OverDrive는 Sink 장치(e.g. 모니터)에서 자주 사용된다. Sink 장치(e.g. 모니터)는 고정된 응답 속도를 가지고 있어서 높은 속도로 움직이는 물체가 화면에 나타날 때 모션 블러가 발생할 수 있다. 이러한 문제를 해결하기 위해 OverDrive는 픽셀의 전환 속도를 높여서 모션 블러를 최소화하고 응답 속도를 높여서 화면의 깜빡임을 줄인다. 하지만, OverDrive를 과도하게 설정하면 고속으로 움직이는 물체가 화면에서 지나갈 때 흔들림이 발생할 수 있으며, 이러한 문제를 해결하기 위해서는 적절한 OverDrive 설정이 필요하다.

[211] Overdrive Table

[212] Overdrive Table은 Sink 장치(e.g. 모니터) 제조업체가 제공하는 기능 중 하나로, Sink 장치(e.g. 모니터)의 Overdrive 기능을 조정할 때 참고하는 표이다. Overdrive Table은 일반적으로 제조업체의 웹사이트에서 다운로드할 수 있으며, 이를 통해 사용자는 Sink 장치(e.g. 모니터)의 Overdrive 기능을 적절히 조정하여 최적의 화면 성능을 달성할 수 있다.

[213] Overdrive Table은 Sink 장치(e.g. 모니터)의 모델명과 함께 제공되며, 각 모델마다 다양한 Overdrive 옵션이 제공된다. 사용자는 Overdrive Table을 참고하여 Sink 장치(e.g. 모니터)의 Overdrive 설정을 변경할 수 있으며, 이를 통해 화면의 흔들림, 모션 블러 등의 문제를 최소화하고 최적의 화면 성능을 달성할 수 있다.

- [214] 하지만, Overdrive Table을 사용할 때에는 주의해야 할 점이 있다. 모든 Sink 장치(e.g. 모니터)의 Overdrive Table이 동일하게 작동하지는 않기 때문에, 사용자는 모델별로 Overdrive Table을 참고하여 적절한 설정을 선택해야 한다.
- [215]
- [216] 총래 기술의 문제점
- [217] DisplayPort 표준에서는 지원되는 해상도와 DSC(Display Stream Compression) 사용 여부에 따라 전송 속도에 제한이 있기 때문에 Adaptive-Sync Frame Range도 이에 따라 다르게 동작 된다. (아래의 예시1 참조) 그래서 EDID에 Multi Frame Adaptive-Sync Range를 표기해야 하며, 이 경우 올바르게 작동하기 위해서 적절한 규칙이 필요하다. 그러나 현재까지는 Multi Frame Adaptive-Sync가 작동하기 위한 적절한 규칙이 정의되어 있지 않았다.
- [218] 이는 아래의 예시 2에서와 같이 Adaptive-Sync Frame Range가 60Hz에서 240Hz로 설정되어 있을 때, 예시 2와 같이 Adaptive-Sync 모드에서는 Max Frame Range인 240Hz에서 동작하지 않고 120Hz에서 동작하게 되어, OverDrive가 240Hz로 튜닝이 되어 있는 경우 튜닝되지 않은 120Hz에서 동작시에는 과도한 Over/Undershoot이 발생할 수 있다. Adaptive-Sync 기술이 적용된 Sink(e.g. 모니터)에서는 Frame Range에 따른 OverDrive 튜닝을 진행할 때, Max Frame Range를 기준으로 튜닝하다 그보다 낮은 주파수에서는 튜닝이 되지 않았기 때문에(Max에서만 튜닝) 과도한 Over/Undershoot이 발생하여 문제가 된다.
- [219] 그러므로 Multi Frame Adaptive-Sync가 올바르게 작동하기 위해서는 Frame Range의 Max값만 참조하는 Source와 Sink간의 표준화된 규약이 필요하다. 이러한 표준화가 이루어진다면 Adaptive-Sync 지원 기기는 Multi Frame Adaptive-Sync를 자동으로 설정하고 최적의 성능을 얻을 수 있다.
- [220] (예시 1)
- [221] (예시 1-1) e.g. DisplayPort 2.1에서 UHBR20을 지원할 경우 해상도에 따른 Max Frame rate 지원
- [222] = 10K (10240x4320) @ 60Hz and 24 bpp 4:4:4 (no compression) →
 $11000 \times 4500 \times 60 \times 1.03 \times 24 = 73.418 \text{ Gbps}$
- [223] = 8K (7680x4320) @ 80Hz and 24 bpp 4:4:4 (no compression) →
 $8800 \times 4500 \times 80 \times 1.03 \times 24 = 78,312 \text{ Gbps}$
- [224] = 5K (5120x2160) @ 260Hz and 24 bpp 4:4:4 (no compression) →
 $5500 \times 2250 \times 260 \times 1.03 \times 24 = 79.536 \text{ Gbps}$
- [225] (예시 1-2) e.g. DisplayPort 2.1에서 UHBR20을 지원할 경우 DSC 사용에 따른 Max Frame rate 지원
- [226] = [10K (10240x4320) @ 60Hz (no compression) / 10K (10240x4320) @ 180Hz (DSC 1.2a)] and 24 bpp 4:4:4
- [227] = [8K (7680x4320) @ 80Hz (no compression) / 8K (7680x4320) @ 240Hz (DSC 1.2a)] and 24 bpp 4:4:4

- [228] = [5K (5120x2880) @ 260Hz (no compression) / 5K (5120x2880) @ 780Hz (DSC 1.2a)] and 24 bpp 4:4:4
- [229]
- [230] 현재 Sink가 지원하는 Frame Range들을 EDID에 표기하면 Source 장치는 아래의 예시 2와 같이 그 범위 안에서만 동작 하고 있다.
- [231]
- [232] (예시2)
- [233] [비디오 타이밍]
- [234] - 비디오 타이밍1 : 4k@240hz
- [235] - 비디오 타이밍2 : 4k@120hz
- [236] - 비디오 타이밍3 : 4k@100hz
- [237] [프레임 범위]
- [238] - 적응형 동기화 프레임 범위1 : 40hz - 120hz
- [239] - 적응형 동기화 프레임 범위2: 60hz - 240hz
- [240] - 적응형 동기화 프레임 범위3: 24hz - 100hz
- [241] [사용 사례]
- [242] 사용자가 T0을 사용하는 경우 소스에는 1개의 선택만 있다. 사용자는 60hz - 240hz에서 Adaptive-Sync 작동을 얻는다.
- [243] 사용자가 T1을 사용하는 경우 120hz는 D1과 D2 모두에 적합하므로 소스에는 2가지 선택이 있다. 가장 높은 새로 고침 빈도는 항상 T1의 120hz이지만 가장 낮은 새로 고침 빈도는 선택한 설명자 소스에 따라 변경된다.
- [244] - 소스가 D1을 사용하는 경우 사용자는 40hz - 120hz에서 Adaptive-Sync 작동을 얻는다.
- [245] - 소스가 D2를 사용하는 경우 사용자는 60hz - 120hz에서 Adaptive-Sync 작동을 얻는다.
- [246] 사용자가 T2를 사용하는 경우 100hz는 3가지 범위 설명자 모두에 적합하므로 소스에는 3가지 선택이 있다. 가장 높은 새로 고침 빈도는 항상 T2의 100hz이지만 가장 낮은 새로 고침 빈도는 선택한 설명자 소스에 따라 변경된다.
- [247] - 소스가 D1을 사용하는 경우 사용자는 40hz - 100hz에서 Adaptive-Sync 작동을 얻는다.
- [248] - 소스가 D2를 사용하는 경우 사용자는 60hz - 100hz에서 Adaptive-Sync 작동을 얻는다.
- [249] - 소스가 D3를 사용하는 경우 사용자는 24hz - 100hz에서 Adaptive-Sync 작동을 얻는다.
- [250] 사용자가 T3를 사용하는 경우 소스는 D2에서 50hz를 벗어나므로 2가지 선택이 있습니다. 가장 높은 새로 고침 빈도는 항상 T3의 50hz이지만 가장 낮은 새로 고침 빈도는 선택한 설명자 소스에 따라 변경된다.

[251] - 소스가 D1을 사용하는 경우 사용자는 40hz - 50hz에서 Adaptive-Sync 작동을 얻는다.

[252] - 소스가 D3를 사용하는 경우 사용자는 24hz - 50hz에서 Adaptive-Sync 작동을 얻는다.

[253] [Video Timing]

[254] - Video Timing1 : 4k@240hz

[255] - Video Timing2 : 4k@120hz

[256] - Video Timing3 : 4k@100hz

[257] [Frame Range]

[258] - Adaptive-Sync Frame Range1 : 40hz - 120hz

[259] - Adaptive-Sync Frame Range2 : 60hz - 240hz

[260] - Adaptive-Sync Frame Range3 : 24hz - 100hz

[261] [Use Case]

[262] When user uses T0, source only has 1 choice. user gets Adaptive-Sync operation from 60hz - 240hz.

[263] When user uses T1, source has 2 choices as 120hz fits into both D1 & D2. The highest refresh rate is always T1's 120hz, but lowest refresh rate is changing base on the descriptor source choose.

[264] - When source use D1, user gets Adaptive-Sync operation from 40hz - 120hz.

[265] - When source uses D2, user gets Adaptive-Sync operation from 60hz - 120hz

[266] When user uses T2, source has 3 choices as 100hz fits all 3 range descriptors. The highest refresh rate is always T2's 100hz, but lowest refresh rate is changing base on the descriptor source choose.

[267] - When source use D1, user gets Adaptive-Sync operation from 40hz - 100hz.

[268] - When source uses D2, user gets Adaptive-Sync operation from 60hz - 100hz

[269] - When source uses D3, user gets Adaptive-Sync operation from 24hz - 100hz

[270] When user uses T3, source has 2 choices as 50hz is out of D2. The highest refresh rate is always T3's 50hz, but lowest refresh rate is changing base on the descriptor source choose.

[271] - When source use D1, user gets Adaptive-Sync operation from 40hz - 50hz.

[272] - When source uses D3, user gets Adaptive-Sync operation from 24hz - 50hz

[273]

[274] 발명의 구성 및 작용

[275] 본 개시의 다양한 실시 예들의 목적은 Multi Adaptive-Sync를(다수의 Frame range) 지원하는 기기 간 호환성을 보장하기 위하여 Sink EDID Multi Frame Range 표기하는 방법 및 장치와 Source의 Adaptive-Sync Frame Range를 설정하는 방법 및 장치를 제공하는 것이다. 본 개시의 다양한 실시 예들의 목적은 Adaptive-Sync 동작이 올바르게 작동하기 위한 요구사항을 제정함으로써 Sink(e.g. 모니터)의 화질

과 성능을 최적화하고, 사용자가 쾌적한 게임 및 비디오 재생 경험을 누릴 수 있도록 지원하는 방법 및 장치를 제공하는 것이다.

[276]

[277] Source 장치의 동작

[278] Adaptive-Sync 기능을 사용할 때, 선택된 Video Timing의 Frame rate과 Adaptive-Sync 데이터 블록에서 정의된 프레임 범위 중 최대 프레임과 일치하는 프레임 범위를 사용하여 작동합니다.

[279] (예시3)

[280] [Video Timing]

[281] - Video Timing1 : 4k@240hz

[282] - Video Timing2 : 4k@120hz

[283] - Video Timing3 : 4k@100hz

[284] [Frame Range]

[285] - Adaptive-Sync Frame Range1 : 40hz - 120hz

[286] - Adaptive-Sync Frame Range2 : 60hz - 240hz

[287] - Adaptive-Sync Frame Range3 : 24hz - 100hz

[288] [Use Case]

[289] 1. OS에서 4k@240hz로 Video Timing이 선택되는 경우 Adaptive-Sync Frame Range2를 사용하여 60hz - 240hz로 동작

[290] 2. OS에서 4k@120hz로 Video Timing이 선택되는 경우 Adaptive-Sync Frame Range1를 사용하여 40hz - 120hz로 동작

[291] 3. OS에서 4k@100hz로 Video Timing이 선택되는 경우 Adaptive-Sync Frame Range3를 사용하여 24hz - 100hz로 동작

[292]

[293] Sink 장치의 동작

[294] Sink 장치가 Multi Frame rate를 사용하는 경우, EDID에 Video timing의 Frame Rate와 Adaptive-Sync 프레임 범위의 최대 값이 일치하게 기입해야 한다. 또한, 각각의 Frame Range마다 Overdrive 튜닝을 진행해야 한다. 이런 경우 각각의 Frame Range에서 최적의 Overdrive 값을 튜닝하여, 과도한 Over/Undershoot을 방지하고 화면 품질을 향상시킬 수 있다.

[295]

[296] 도 5은 Source 장치가 Adaptive-Sync 동작을 수행할 경우 Frame Range를 결정하는 과정의 일례를 도시한 도면이다.

[297] 도 5는 단일의 Adaptive-Sync Data Block Range만이 지원되는 경우에 관한 실시예이다.

[298] 도 5를 참조하면, Source 장치는 Sink 장치로부터 HPD(hot plug detection)을 수신한다.

- [299] Source 장치는 Sink 장치로부터 EDID(extended display identification data)/DPID(DisplayID)를 수신하여 식별한다. 즉, Source 장치는 Sink 장치의 EDID(extended display identification data)/DPID(DisplayID)를 읽는다.
- [300] Source 장치는 수신한 EDID/DPID로부터 Sink 장치에 의하여 지원되는 적응형 동기화 범위(adaptive-sync range)를 식별한다. 즉, Source 장치는 EDID/DPID에서 적응형 동기화 범위(adaptive-sync range)를 읽는다.
- [301] Source 장치는 적응형 동기화 범위(adaptive-sync range)로 작동한다. 즉, Source 장치는 적응형 동기화 범위(adaptive-sync range)에 기반하여 오디오/비디오 신호를 처리하고 Sink 장치에게 전송한다.
- [302]
- [303] 도 6은 본 개시의 다양한 실시 예들에 따른 Source 장치가 Adaptive-Sync 동작을 수행할 경우 Frame Range를 결정하는 과정의 일례를 도시한 도면이다.
- [304] 도 6은 복수의 Adaptive-Sync Data Block Ranges가 지원되는 경우에 관한 실시 예이다.
- [305] 도 6를 참조하면, Source 장치는 Sink 장치로부터 EDID(extended display identification data)/DPID(DisplayID)를 수신하여 식별한다. 즉, Source 장치는 Sink 장치의 EDID(extended display identification data)/DPID(DisplayID)를 읽는다.
- [306] Source 장치는 수신한 EDID/DPID에 Adaptive-Sync Data Block이 존재하는지 결정한다.
- [307] EDID/DPID에 Adaptive-Sync Data Block이 존재하는 경우, Source 장치는 Adaptive-Sync Data Block에 다중의(즉, 복수의) 적응형 동기화 범위들(Adaptive-Sync Data Block Ranges)가 존재하는지 결정한다.
- [308] Adaptive-Sync Data Block에 다중의(즉, 복수의) 적응형 동기화 범위들(Adaptive-Sync Data Block Ranges)가 존재하는 경우, Source 장치는 비디오 타이밍 프레임 속도가 다중 프레임 범위의 최대 프레임 속도와 일치하는 환경에 따라 프레임 범위를 선택한다.
- [309] 선택된 프레임 범위에 기반하여, Source 장치는 적응형 동기화 범위(1 프레임 범위)로 작동한다. 즉, Source 장치는 선택된 적응형 동기화 범위(adaptive-sync range)에 기반하여 오디오/비디오 신호를 처리하고 Sink 장치에게 전송한다.
- [310] EDID/DPID에 Adaptive-Sync Data Block이 존재하지 않는 경우, 또는, Adaptive-Sync Data Block에 다중의(즉, 복수의) 적응형 동기화 범위들(Adaptive-Sync Data Block Ranges)가 존재하지 않는 경우 (즉, Adaptive-Sync Data Block에 하나의 적응형 동기화 범위(Adaptive-Sync Data Block Range)만 존재하는 경우), Source 장치는 하나의 적응형 동기화 범위(adaptive-sync range)로 작동한다. 즉, Source 장치는 하나의 적응형 동기화 범위(adaptive-sync range)에 기반하여 오디오/비디오 신호를 처리하고 Sink 장치에게 전송한다.
- [311]

- [312] 본 개시의 Sink 장치가 다수의 Adaptive-Sync Ranges를 지원할 경우, EDID에 Frame Range를 표기하는 방법
- [313] Multi Adaptive-Sync Range 지원 Sink는 Video Timing과 Adaptive-Sync Range의 Max값과 일치시켜 EDID에 각각 표기한다. 또한 각 Adaptive-Sync Frame Range에 대해 Overdrive 튜닝을 진행하여 Source가 어느 Adaptive-Sync Frame Range영역을 선택할 지라도 과도한 Over/Undershoot가 생기지 않도록 한다.
- [314] (예시4)
- [315] [Video Timing]이 EDID에 아래와 같은 표기한 경우
- [316] - Video Timing1 : 4k@240hz
- [317] - Video Timing2 : 4k@120hz
- [318] - Video Timing3 : 4k@100hz
- [319] [Frame Range]를 Video Timing을 참조하여 Adaptive-Sync Range를 Max값과 일치 시켜서 EDID에 아래와 같이 표기 해야 한다.
- [320] - Adaptive-Sync Frame Range1 : 40hz - 240hz
- [321] - Adaptive-Sync Frame Range2 : 60hz - 120hz
- [322] - Adaptive-Sync Frame Range3 : 24hz - 100hz
- [323] Sink제조사에서는 위와 같이 EDID에 표기되어 있는 경우에 각각의 '40hz - 120hz', '60hz - 240hz', '24hz - 100hz' Frame Range에서 OverDrive를 튜닝하여 OD Table을 각각 Frame range에서 다르게 가져간다.
- [324]
- [325] [Source 장치 claim 관련 설명]
- [326] 이하 상술한 실시 예들을 단말의 동작 측면에서 도 7를 참조하여 구체적으로 설명한다. 이하 설명되는 방법들은 설명의 편의를 위하여 구분된 것일 뿐, 상호 배척되지 않는 한 어느 한 방법의 일부 구성이 다른 방법의 일부 구성과 치환되거나, 상호 간에 결합되어 적용될 수 있음은 물론이다.
- [327] 도 7는 본 개시의 다양한 실시 예들에 따른 Source 장치의 동작 과정의 일례를 도시한 도면이다.
- [328] 본 개시의 다양한 실시 예들에 따르면, Source 장치에 의하여 수행되는 방법이 제공된다.
- [329] Source 장치는 프로세서; 메모리; 및 송수신기(transceiver)를 포함한다. 상기 메모리는, 상기 프로세서에 의해 실행되는 것에 기반하여, 동작들을 수행하는 지시(instruction)들을 저장한다.
- [330] S701 단계에서, Source 장치는 싱크(Sink) 장치로부터 HPD(hot plug detection) 신호를 수신한다.
- [331] S702 단계에서, Source 장치는 상기 싱크 장치로부터 EDID(Extended Display Identification) 또는 DPID(DisplayID)와 관련된 제1 정보를 수신한다.

- [332] S703 단계에서, Source 장치는 상기 싱크 장치의 상기 제1 정보에 포함되는 복수의 비디오 타이밍 프레임 레이트들(a plurality of Video Timing Frame Rates)에 기반하여 특정 비디오 타이밍 프레임 레이트를 결정한다.
- [333] S704 단계에서, 상기 제1 정보에 포함되는 적응형 동기화 데이터 블록(Adaptive-Sync Data Block)이 복수의 적응형 동기화 프레임 레인지들(a plurality of Adaptive-Sync Frame Ranges)와 관련되는 경우, Source 장치는 상기 복수의 적응형 동기화 프레임 레인지들 중 최대 프레임 레이트가 상기 특정 비디오 타이밍 프레임 레이트에 대응하는 특정 적응형 동기화 프레임 레인지를 결정한다.
- [334] S705 단계에서, Source 장치는 상기 특정 적응형 동기화 프레임 레인지에 기반하여 처리된 정보를 상기 싱크 장치에게 전송한다.
- [335]
- [336] 본 개시의 다양한 실시 예들에 따르면, 상기 적응형 동기화 데이터 블록이 관련되는 적응형 동기화 프레임 레인지의 수가 1인 경우, 상기 특정 적응형 동기화 프레임 레인지는 상기 적응형 동기화 데이터 블록이 관련되는 하나의 적응형 동기화 프레임 레인지로서 결정될 수 있다.
- [337] 본 개시의 다양한 실시 예들에 따르면, 상기 제1 정보에 DSC(Display Stream Compression) 정보가 포함되는 경우, 상기 특정 비디오 타이밍 프레임 레이트는 상기 복수의 비디오 타이밍 프레임 레이트들 또는 다수의 비디오 타이밍 프레임 레이트들(multiple Video Timing Frame Rates) 중에서 결정될 수 있다.
- [338] 본 개시의 다양한 실시 예들에 따르면, 상기 다수의 비디오 타이밍 프레임 레이트들은 상기 복수의 비디오 타이밍 프레임 레이트들에 DSC가 적용되어 생성될 수 있다.
- [339] 본 개시의 다양한 실시 예들에 따르면, 상기 특정 적응형 동기화 프레임 레인지의 상기 최대 프레임 레이트는 상기 특정 비디오 타이밍 프레임 레이트와 동일할 수 있다.
- [340] 본 개시의 다양한 실시 예들에 따르면, 상기 특정 비디오 타이밍 레이트는 상기 소스 장치에 대한 입력 정보 또는 상기 소스 장치에 의한 임의의 선택으로 결정될 수 있다.
- [341] 본 개시의 다양한 실시 예들에 따르면, 상기 특정 적응형 동기화 프레임 레인지는 상기 특정 비디오 타이밍에 기반하여 결정될 수 있다.
- [342] 본 개시의 다양한 실시 예들에 따르면, 상기 처리된 정보는 상기 특정 적응형 동기화 프레임 레인지에 대한 오버드라이브(Overdrive) 값의 튜닝에 기반할 수 있다.
- [343]
- [344] 본 개시의 다양한 실시 예들에 따르면 Source 장치가 제공된다. Source 장치는 프로세서; 메모리; 및 송수신기(transceiver)를 포함하고, 상기 프로세서는, 도 7에 따른 Source 장치의 동작 방법을 수행하도록 구성될 수 있다.
- [345]

- [346] 본 개시의 다양한 실시 예들에 따르면, Source 장치를 제어하는 장치가 제공된다. 상기 장치는 적어도 하나의 프로세서 및 상기 적어도 하나의 프로세서들에 동작 가능하게 접속된 적어도 하나의 메모리를 포함한다. 상기 적어도 하나의 메모리들은, 상기 적어도 하나의 프로세서에 의해 실행되는 것에 기반하여, 도 7에 따른 Source 장치의 동작 방법을 수행하는 지시(instruction)들을 저장하도록 구성될 수 있다.
- [347]
- [348] 본 개시의 다양한 실시 예들에 따르면, 하나 이상의 명령어를 저장하는 하나 이상의 비일시적인(non-transitory) 컴퓨터 판독 가능 매체(computer readable medium, CRM)가 제공된다. 상기 하나 이상의 명령어는, 하나 이상의 프로세서에 의해 실행되는 것에 기반하여, 동작들을 수행하고, 상기 동작들은, 도 7에 따른 Source 장치의 동작 방법을 포함할 수 있다.
- [349]
- [350] 본 개시의 다양한 실시 예들에 기재된 청구항들은 다양한 방식으로 조합될 수 있다. 예를 들어, 본 개시의 다양한 실시 예들의 방법 청구항의 기술적 특징이 조합되어 장치로 구현될 수 있고, 본 개시의 다양한 실시 예들의 장치 청구항의 기술적 특징이 조합되어 방법으로 구현될 수 있다. 또한, 본 개시의 다양한 실시 예들의 방법 청구항의 기술적 특징과 장치 청구항의 기술적 특징이 조합되어 장치로 구현될 수 있고, 본 개시의 다양한 실시 예들의 방법 청구항의 기술적 특징과 장치 청구항의 기술적 특징이 조합되어 방법으로 구현될 수 있다.

청구범위

- [청구항 1] 소스(Source) 장치의 동작 방법에 있어서,
싱크(Sink) 장치로부터 HPD(hot plug detection) 신호를 수신하는 단계;
상기 싱크 장치로부터 EDID(Extended Display Identification) 또는 DPID(DisplayID)와 관련된 제1 정보를 수신하는 단계;
상기 싱크 장치의 상기 제1 정보에 포함되는 복수의 비디오 타이밍 프레임 임 레이트들(a plurality of Video Timing Frame Rates)에 기반하여 특정 비디오 타이밍 프레임 레이트를 결정하는 단계;
상기 제1 정보에 포함되는 적응형 동기화 데이터 블록(Adaptive-Sync Data Block)이 복수의 적응형 동기화 프레임 레인지들(a plurality of Adaptive-Sync Frame Ranges)와 관련되는 경우, 상기 복수의 적응형 동기화 프레임 레인지들 중 최대 프레임 레이트가 상기 특정 비디오 타이밍 프레임 레이트에 대응하는 특정 적응형 동기화 프레임 레인지를 결정하는 단계;
상기 특정 적응형 동기화 프레임 레인지에 기반하여 처리된 정보를 상기 싱크 장치에게 전송하는 단계를 포함하는,
방법.
- [청구항 2] 제1 항에 있어서,
상기 적응형 동기화 데이터 블록이 관련되는 적응형 동기화 프레임 레인지의 수가 1인 경우, 상기 특정 적응형 동기화 프레임 레인지는 상기 적응형 동기화 데이터 블록이 관련되는 하나의 적응형 동기화 프레임 레인지로서 결정되는,
방법.
- [청구항 3] 제1 항에 있어서,
상기 제1 정보에 DSC(Display Stream Compression) 정보가 포함되는 경우, 상기 특정 비디오 타이밍 프레임 레이트는 상기 복수의 비디오 타이밍 프레임 레이트들 또는 다수의 비디오 타이밍 프레임 레이트들(multiple Video Timing Frame Rates) 중에서 결정되고,
상기 다수의 비디오 타이밍 프레임 레이트들은 상기 복수의 비디오 타이밍 프레임 레이트들에 DSC가 적용되어 생성되는,
방법.
- [청구항 4] 제1 항에 있어서,
상기 특정 적응형 동기화 프레임 레인지의 상기 최대 프레임 레이트는 상기 특정 비디오 타이밍 프레임 레이트와 동일한,
방법.
- [청구항 5] 제1 항에 있어서,
상기 특정 비디오 타이밍 레이트는 상기 소스 장치에 대한 입력 정보 또는 상기 소스 장치에 의한 임의의 선택으로 결정되는,

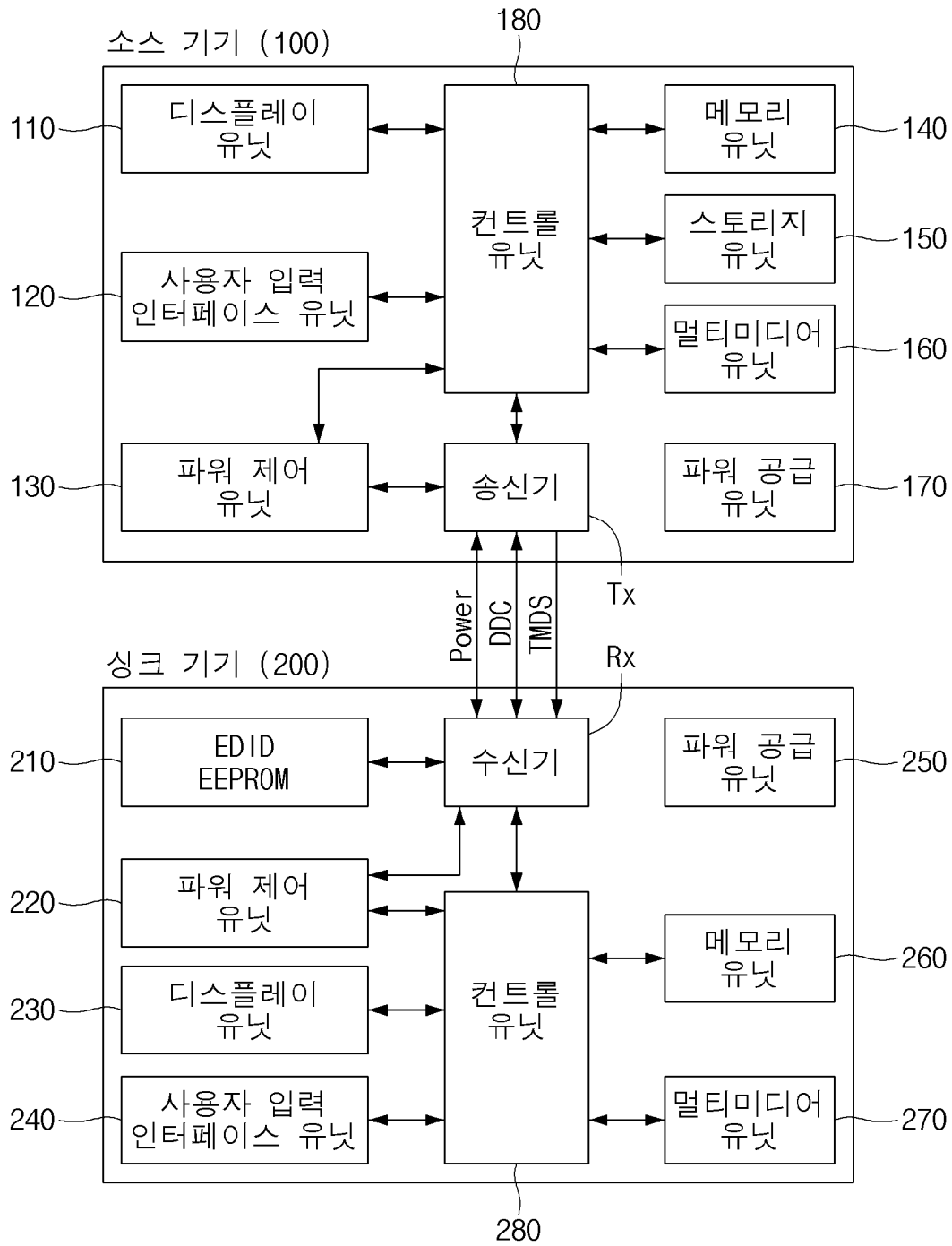
- 방법.
- [청구항 6] 제1 항에 있어서,
상기 특정 적응형 동기화 프레임 레인지는 상기 특정 비디오 타이밍에 기반하여 결정되는,
방법.
- [청구항 7] 제1 항에 있어서,
상기 처리된 정보는 상기 특정 적응형 동기화 프레임 레인지에 대한 오버드라이브(Overdrive) 값의 튜닝에 기반하는,
방법.
- [청구항 8] 소스(Source) 장치에 있어서,
프로세서; 메모리; 및 송수신기(transceiver)를 포함하고,
상기 메모리는, 상기 프로세서에 의해 실행되는 것에 기반하여, 동작들을 수행하는 지시(instruction)들을 저장하며,
상기 동작들은,
싱크(Sink) 장치로부터 HPD(hot plug detection) 신호를 수신하는 단계;
상기 싱크 장치로부터 EDID(Extended Display Identification) 또는 DPID(DisplayID)와 관련된 제1 정보를 수신하는 단계;
상기 싱크 장치의 상기 제1 정보에 포함되는 복수의 비디오 타이밍 프레임 레이트들(a plurality of Video Timing Frame Rates)에 기반하여 특정 비디오 타이밍 프레임 레이트를 결정하는 단계;
상기 제1 정보에 포함되는 적응형 동기화 데이터 블록(Adaptive-Sync Data Block)이 복수의 적응형 동기화 프레임 레인지들(a plurality of Adaptive-Sync Frame Ranges)와 관련되는 경우, 상기 복수의 적응형 동기화 프레임 레인지들 중 최대 프레임 레이트가 상기 특정 비디오 타이밍 프레임 레이트에 대응하는 특정 적응형 동기화 프레임 레인지를 결정하는 단계;
상기 특정 적응형 동기화 프레임 레인지에 기반하여 처리된 정보를 상기 싱크 장치에게 전송하는 단계를 포함하는,
소스 장치.
- [청구항 9] 제8 항에 있어서,
상기 적응형 동기화 데이터 블록이 관련되는 적응형 동기화 프레임 레인지의 수가 1인 경우, 상기 특정 적응형 동기화 프레임 레인지는 상기 적응형 동기화 데이터 블록이 관련되는 하나의 적응형 동기화 프레임 레인지로서 결정되는,
소스 장치.
- [청구항 10] 제8 항에 있어서,
상기 제1 정보에 DSC(Display Stream Compression) 정보가 포함되는 경우, 상기 특정 비디오 타이밍 프레임 레이트는 상기 복수의 비디오 타이

밍 프레임 레이트들 또는 다수의 비디오 타이밍 프레임 레이트들(multiple Video Timing Frame Rates) 중에서 결정되고,
 상기 다수의 비디오 타이밍 프레임 레이트들은 상기 복수의 비디오 타이밍 프레임 레이트들에 DSC가 적용되어 생성되는,
 소스 장치.

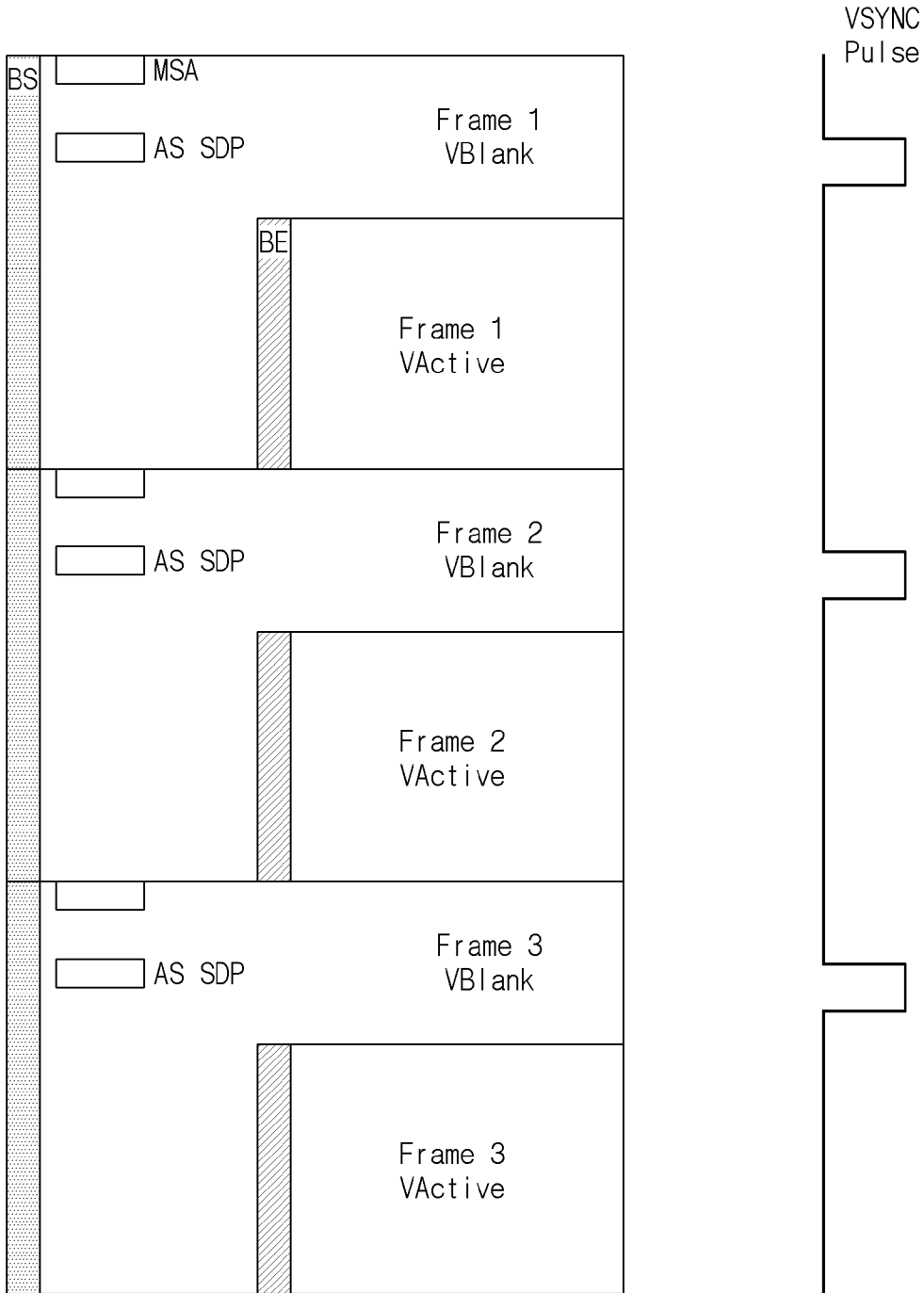
- [청구항 11] 제8 항에 있어서,
 상기 특정 적응형 동기화 프레임 레인지의 상기 최대 프레임 레이트는 상기 특정 비디오 타이밍 프레임 레이트와 동일한,
 소스 장치.
- [청구항 12] 제8 항에 있어서,
 상기 특정 비디오 타이밍 레이트는 상기 소스 장치에 대한 입력 정보 또는 상기 소스 장치에 의한 임의의 선택으로 결정되는,
 소스 장치.
- [청구항 13] 제8 항에 있어서,
 상기 특정 적응형 동기화 프레임 레인지는 상기 특정 비디오 타이밍에 기반하여 결정되는,
 소스 장치.
- [청구항 14] 제8 항에 있어서,
 상기 처리된 정보는 상기 특정 적응형 동기화 프레임 레인지에 대한 오버드라이브(Overdrive) 값의 튜닝에 기반하는,
 소스 장치.
- [청구항 15] 하나 이상의 명령어를 저장하는 하나 이상의 비일시적인(non-transitory) 컴퓨터 판독 가능 매체에 있어서,
 상기 하나 이상의 명령어는, 하나 이상의 프로세서에 의해 실행되는 것에 기반하여, 동작들을 수행하고,
 상기 동작들은,
 싱크(Sink) 장치로부터 HPD(hot plug detection) 신호를 수신하는 단계;
 상기 싱크 장치로부터 EDID(Extended Display Identification) 또는 DPID(DisplayID)와 관련된 제1 정보를 수신하는 단계;
 상기 싱크 장치의 상기 제1 정보에 포함되는 복수의 비디오 타이밍 프레임 레이트들(a plurality of Video Timing Frame Rates)에 기반하여 특정 비디오 타이밍 프레임 레이트를 결정하는 단계;
 상기 제1 정보에 포함되는 적응형 동기화 데이터 블록(Adaptive-Sync Data Block)이 복수의 적응형 동기화 프레임 레인지들(a plurality of Adaptive-Sync Frame Ranges)와 관련되는 경우, 상기 복수의 적응형 동기화 프레임 레인지들 중 최대 프레임 레이트가 상기 특정 비디오 타이밍 프레임 레이트에 대응하는 특정 적응형 동기화 프레임 레인지를 결정하는 단계;

상기 특정 적응형 동기화 프레임 레인지에 기반하여 처리된 정보를 상기 싱크 장치에게 전송하는 단계를 포함하는, 컴퓨터 판독 가능 매체.

[도1]

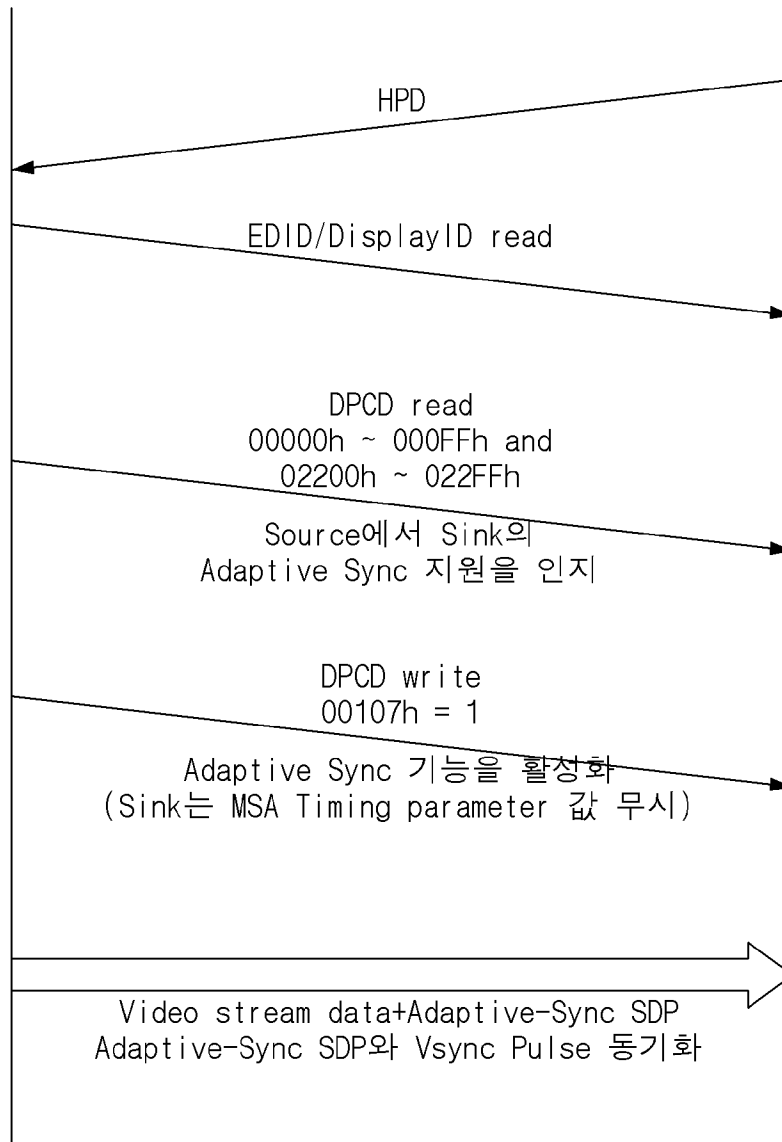


[도2]

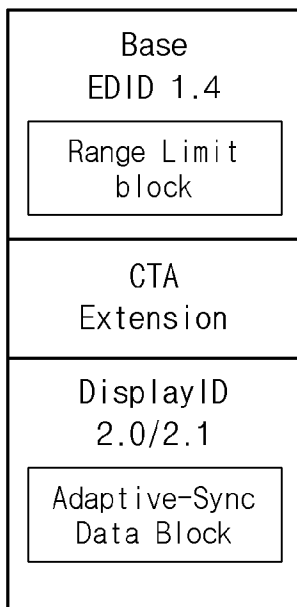


[도3]

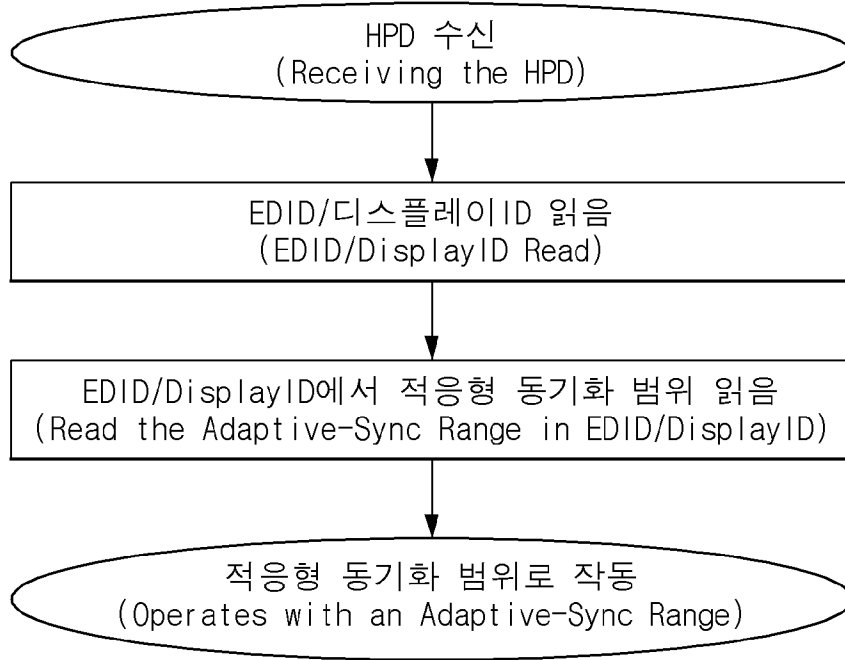
AUX Flow chart



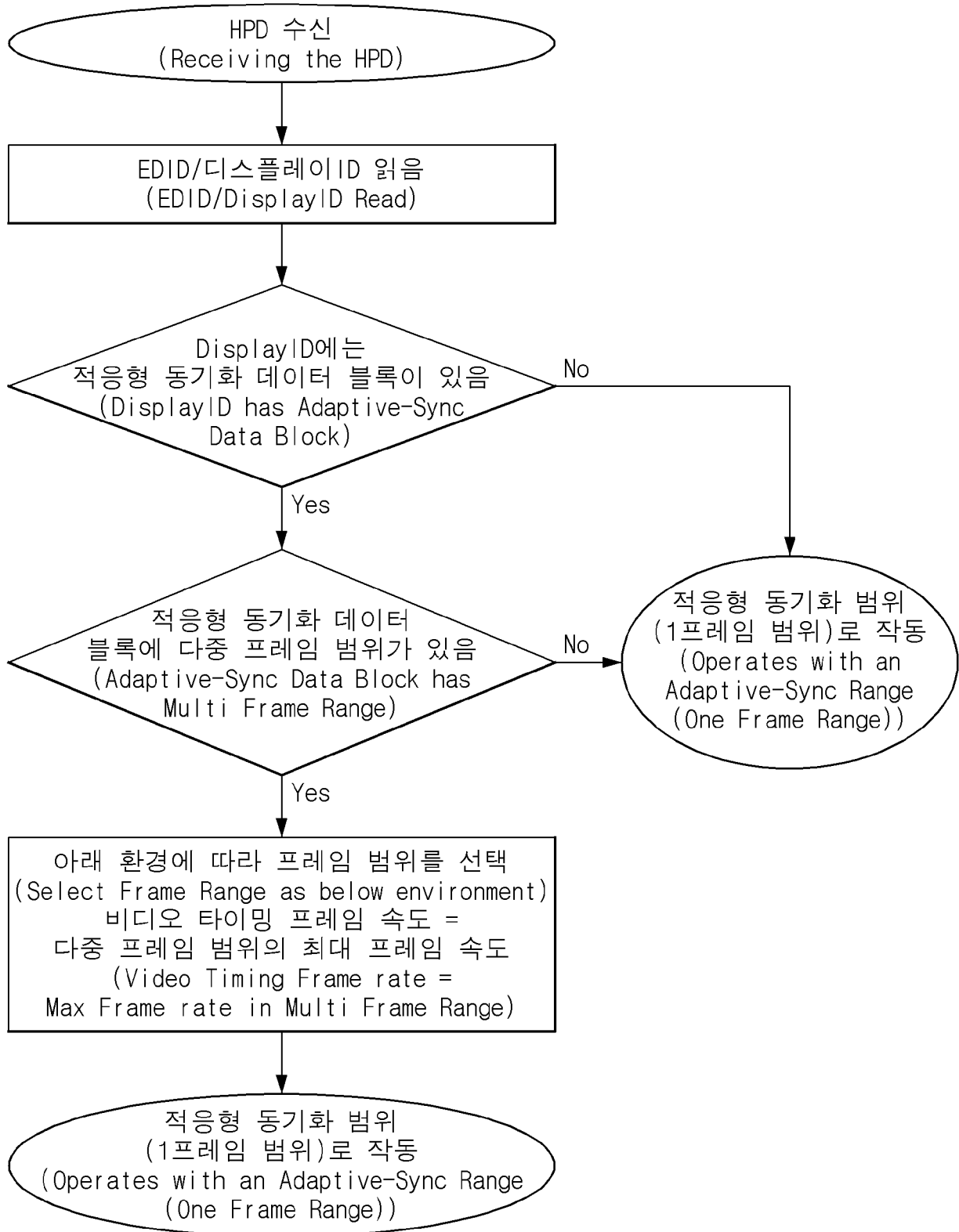
[도4]



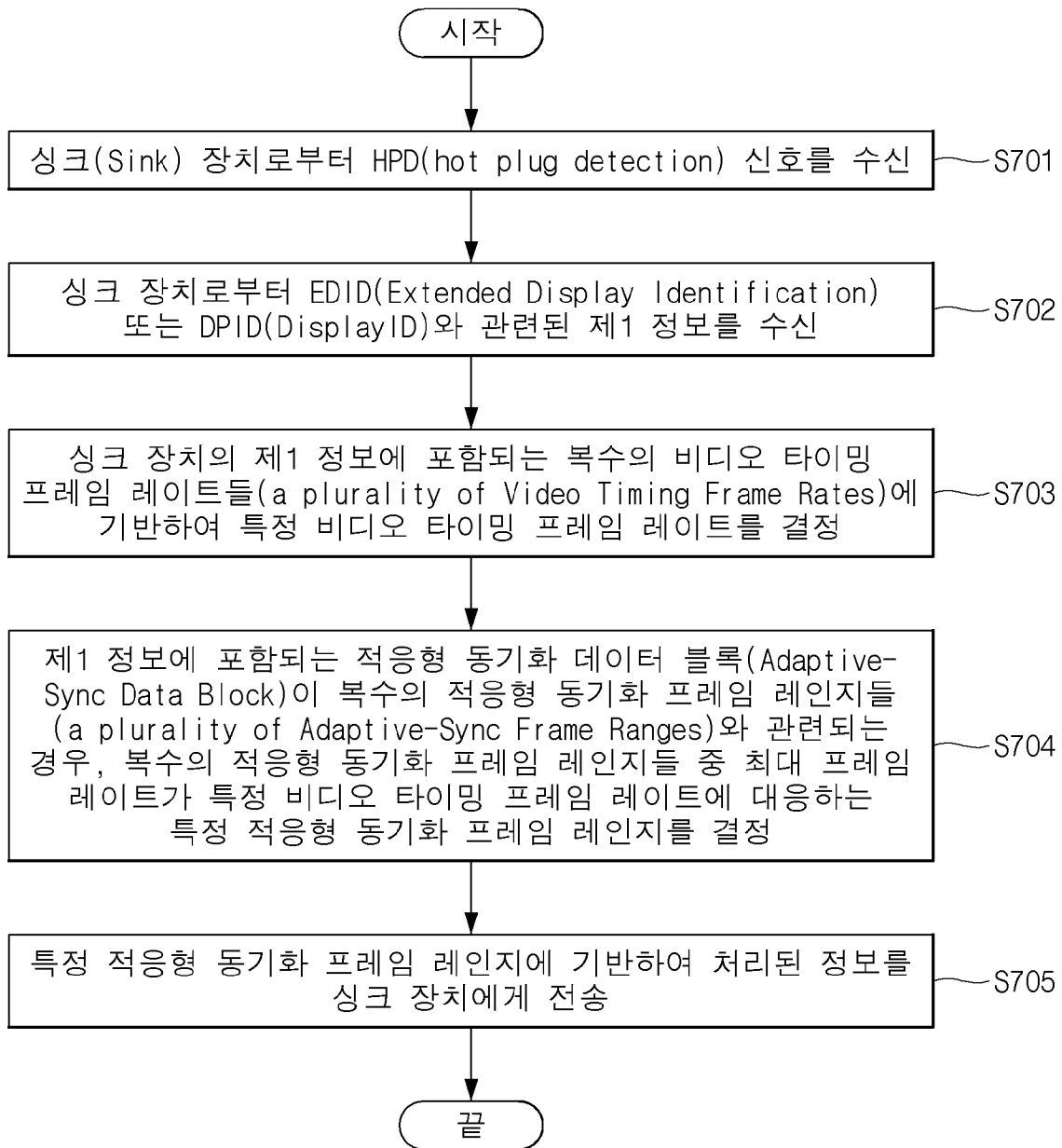
[도5]



[도6]



[도7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/005249

A. CLASSIFICATION OF SUBJECT MATTER		
G06F 3/14(2006.01)i; H04N 5/21(2006.01)i; G06T 1/20(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 3/14(2006.01); G06F 3/01(2006.01); G06K 9/00(2006.01); G06T 7/246(2017.01); H04N 21/236(2011.01); H04N 21/43(2011.01); H04N 21/462(2011.01); H04N 5/232(2006.01); H04N 5/235(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: HPD (hot plug detection), EDID (extended display identification), 적응 (adaptive), 싱크 (sync), 프레임 레이트 (frame rate)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2016-0131673 A (SAMSUNG ELECTRONICS CO., LTD.) 16 November 2016 (2016-11-16) See paragraphs [0083]-[0100].	1-15
A	US 2021-0141450 A1 (VARJO TECHNOLOGIES OY) 13 May 2021 (2021-05-13) See paragraphs [0036]-[0137].	1-15
A	KR 10-2021-0049786 A (SONY CORPORATION) 06 May 2021 (2021-05-06) See paragraphs [0030]-[0106].	1-15
A	US 2020-0366960 A1 (QUADER, Niamul et al.) 19 November 2020 (2020-11-19) See claims 1-14.	1-15
A	US 2019-0387168 A1 (MAGIC LEAP, INC.) 19 December 2019 (2019-12-19) See claims 1-21.	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 August 2024		Date of mailing of the international search report 13 August 2024
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/005249

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2016-0131673	A	16 November 2016	US	2016-0329030	A1	10 November 2016
				US	9996893	B2	12 June 2018
US	2021-0141450	A1	13 May 2021	US	11023041	B1	01 June 2021
KR	10-2021-0049786	A	06 May 2021	CN	112585982	A	30 March 2021
				CN	112585982	B	16 April 2024
				EP	3833039	A1	09 June 2021
				EP	3833039	A4	09 June 2021
				JP	7439758	B2	28 February 2024
				TW	202015375	A	16 April 2020
				TW	I802739	B	21 May 2023
				US	11991473	B2	21 May 2024
				US	2021-0297627	A1	23 September 2021
				WO	2020-045044	A1	05 March 2020
				US	2020-0366960	A1	19 November 2020
US	11669743	B2	06 June 2023				
WO	2020-228811	A1	19 November 2020				
US	2019-0387168	A1	19 December 2019	CN	112567287	A	26 March 2021
				EP	3807710	A2	21 April 2021
				EP	3807710	A4	09 March 2022
				EP	3807710	B1	17 January 2024
				JP	2021-527998	A	14 October 2021
				JP	7378431	B2	13 November 2023
				US	10986270	B2	20 April 2021
				US	2021-0385379	A1	09 December 2021
				WO	2019-246129	A2	26 December 2019
WO	2019-246129	A3	13 August 2020				

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G06F 3/14(2006.01)i; H04N 5/21(2006.01)i; G06T 1/20(2006.01)i		
B. 조사된 분야		
조사된 최소문헌(국제특허분류를 기재) G06F 3/14(2006.01); G06F 3/01(2006.01); G06K 9/00(2006.01); G06T 7/246(2017.01); H04N 21/236(2011.01); H04N 21/43(2011.01); H04N 21/462(2011.01); H04N 5/232(2006.01); H04N 5/235(2006.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: HPD(hot plug detection), EDID(extended display identification), 적응(adaptive), 싱크(sync), 프레임 레이트(frame rate)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2016-0131673 A (삼성전자주식회사) 2016.11.16 단락 [0083]-[0100]	1-15
A	US 2021-0141450 A1 (VARJO TECHNOLOGIES OY) 2021.05.13 단락 [0036]-[0137]	1-15
A	KR 10-2021-0049786 A (소니 주식회사) 2021.05.06 단락 [0030]-[0106]	1-15
A	US 2020-0366960 A1 (NIAMUL QUADER 등) 2020.11.19 청구항 1-14	1-15
A	US 2019-0387168 A1 (MAGIC LEAP, INC.) 2019.12.19 청구항 1-21	1-15
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2024년08월13일(13.08.2024)	국제조사보고서 발송일 2024년08월13일(13.08.2024)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 양정록 전화번호 +82-42-481-5709	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2016-0131673 A	2016/11/16	US 2016-0329030 A1	2016/11/10
		US 9996893 B2	2018/06/12
-----	-----	-----	-----
US 2021-0141450 A1	2021/05/13	US 11023041 B1	2021/06/01
KR 10-2021-0049786 A	2021/05/06	CN 112585982 A	2021/03/30
		CN 112585982 B	2024/04/16
		EP 3833039 A1	2021/06/09
		EP 3833039 A4	2021/06/09
		JP 7439758 B2	2024/02/28
		TW 202015375 A	2020/04/16
		TW I802739 B	2023/05/21
		US 11991473 B2	2024/05/21
		US 2021-0297627 A1	2021/09/23
		WO 2020-045044 A1	2020/03/05
		-----	-----
US 2020-0366960 A1	2020/11/19	CN 113853612 A	2021/12/28
		US 11669743 B2	2023/06/06
		WO 2020-228811 A1	2020/11/19
-----	-----	-----	-----
US 2019-0387168 A1	2019/12/19	CN 112567287 A	2021/03/26
		EP 3807710 A2	2021/04/21
		EP 3807710 A4	2022/03/09
		EP 3807710 B1	2024/01/17
		JP 2021-527998 A	2021/10/14
		JP 7378431 B2	2023/11/13
		US 10986270 B2	2021/04/20
		US 2021-0385379 A1	2021/12/09
		WO 2019-246129 A2	2019/12/26
WO 2019-246129 A3	2020/08/13		
-----	-----	-----	-----