

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-525771  
(P2007-525771A)

(43) 公表日 平成19年9月6日(2007.9.6)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G06F 3/08 (2006.01)</b>	G06F 3/08 H	5B018
<b>G06F 12/16 (2006.01)</b>	G06F 12/16 340Q	5B065
<b>G06F 3/06 (2006.01)</b>	G06F 3/06 304P	
	G06F 3/06 304F	

審査請求 未請求 予備審査請求 未請求 (全 53 頁)

(21) 出願番号 特願2007-500989 (P2007-500989)  
 (86) (22) 出願日 平成17年2月25日 (2005. 2. 25)  
 (85) 翻訳文提出日 平成18年9月25日 (2006. 9. 25)  
 (86) 国際出願番号 PCT/US2005/006008  
 (87) 国際公開番号 W02005/084218  
 (87) 国際公開日 平成17年9月15日 (2005. 9. 15)  
 (31) 優先権主張番号 60/548, 110  
 (32) 優先日 平成16年2月27日 (2004. 2. 27)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 505097789  
 ティギ・コーポレーション  
 アメリカ合衆国、バージニア州 2218  
 2、ピエナ、スイート ジー - 100  
 、チェーン・ブリッジ・ロード 2070  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100075672  
 弁理士 峰 隆司

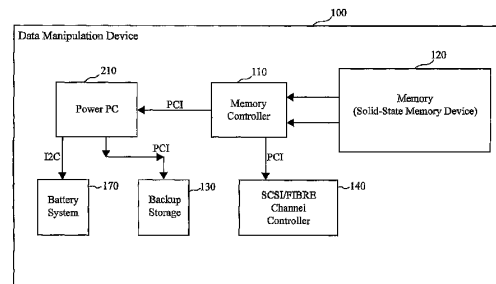
最終頁に続く

(54) 【発明の名称】 データ操作のためのシステム及び方法

(57) 【要約】

低プロファイルのフォームファクタハウジングに配置されているデータ操作装置のための配置が与えられる。データ操作装置は、データの記憶を行うために構成されるメモリと、メモリがバックアップされる時、バックアップスペースを提供するために構成されるバックアップ記憶装置とを含んでいる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

低プロフィールフォームファクタのハウジングと、  
前記ハウジング中に配置され、データの記憶を行うように構成されているメモリと、  
前記ハウジング中に配置され、前記メモリを制御するように構成されているメモリ制御装置と、

前記ハウジング中に配置され、前記メモリ制御装置に接続され、データリクエストを受信して、そのデータリクエストに応答する情報を返送するインターフェースを提供するように構成されているチャンネル制御装置と、

前記ハウジング中に配置され、前記チャンネル制御装置に接続され、前記メモリをバックアップするための記憶スペースを提供するように構成されているバックアップ記憶装置とを具備しているデータ操作装置。

10

## 【請求項 2】

前記メモリは固体ディスクメモリである請求項 1 記載のデータ操作装置。

## 【請求項 3】

前記バックアップ記憶装置はエラー記録メッセージを記憶するために使用される請求項 2 記載のデータ操作装置。

## 【請求項 4】

前記バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中のメモリスペースとして使用される請求項 2 記載のデータ操作装置。

20

## 【請求項 5】

前記メモリは 1 以上の L U N 構造を有し、各 L U N 構造は異なるブロックサイズを有するデータを記憶するために使用されることができる請求項 1 記載のデータ操作装置。

## 【請求項 6】

前記メモリは複数のメモリ部分に分割され、各メモリ部分はスリープモード、ウェイクアップモードのうちの 1 つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である請求項 1 記載のデータ操作装置。

## 【請求項 7】

前記チャンネル制御装置は S C S I チャンネル制御装置またはファイバ制御装置のうちの 1 つである請求項 2 記載のデータ操作装置。

30

## 【請求項 8】

前記 S C S I チャンネル制御装置と前記ファイバチャンネル制御装置は共通の駆動装置に対応している請求項 7 記載のデータ操作装置。

## 【請求項 9】

前記メモリ制御装置は、  
前記チャンネル制御装置に接続され、メモリアクセスを制御するように構成されているプロセッサと、

このプロセッサに接続されている同期ダイナミックランダムアクセスメモリ ( S D R A M ) と、

前記メモリに接続され、メモリに直接アクセスすることのできるダイナミックランダムアクセスメモリ ( D R A M ) 制御装置とを具備している請求項 1 記載のデータ操作装置。

40

## 【請求項 10】

前記 D R A M 制御装置は前記プロセッサに接続され、前記プロセッサの制御下で前記メモリにアクセスする請求項 9 記載のデータ操作装置。

## 【請求項 11】

前記メモリ制御装置はさらに、

前記プロセッサに接続されているブートフラッシュメモリと、

実時間クロック信号を前記プロセッサに提供するように構成される実時間クロックと、

前記 D R A M 制御装置とメモリとの間に情報コンジットを提供するように構成されるダ

50

イナミックランダムアクセスメモリ ( D R A M ) コネクタとを具備している請求項 9 記載のデータ操作装置。

【請求項 1 2】

前記プロセッサは汎用目的のプロセッサである請求項 9 記載のデータ操作装置。

【請求項 1 3】

前記汎用目的のプロセッサは市場で入手可能である請求項 1 2 記載のデータ操作装置。

【請求項 1 4】

オペレーティングシステムが前記プロセッサに配備され、前記プロセッサにおいて動作することができる請求項 9 記載のデータ操作装置。

【請求項 1 5】

前記オペレーティングシステムは商用のオペレーティングシステムである請求項 1 4 記載のデータ操作装置。

【請求項 1 6】

前記商用のオペレーティングシステムは L i n u x ( 登録商標 ) である請求項 1 5 記載のデータ操作装置。

【請求項 1 7】

前記プロセッサは、

前記チャンネル制御装置とインターフェースするように構成されているバスインターフェースと、

データのリクエストを処理するために前記バスインターフェースと通信するデータアクセスリクエストハンドラと、

メモリのロードを行うように構成されているメモリロードハンドラと、

データをメモリから前記バックアップ記憶装置へ移動するように構成されているメモリバックアップハンドラとを具備している請求項 9 記載のデータ操作装置。

【請求項 1 8】

前記データアクセスリクエストハンドラは、

データ操作装置の現在のシステム状態を決定するように構成されているシステム状態決定装置と、

データリクエストがメモリから処理されるべきか否かを決定するように構成されている動作装置決定装置と、

前記動作装置決定装置が、読取リクエストにしたがって読取られるデータがメモリから読取られることを決定するとき、メモリ読取動作を行うように構成されているメモリ読取ハンドラと、

前記動作装置決定装置が、書込みリクエストにしたがって書込まれるデータがメモリへ書込まれることを決定するとき、メモリ書込みを行うように構成されているメモリ書込みハンドラと、

前記動作装置決定装置が、読取リクエストにしたがって読取られるデータがバックアップ記憶装置から読取られることを決定するとき、バックアップ記憶装置からの読取動作を行うように構成されているバックアップ記憶装置の読取ハンドラと、

前記動作装置決定装置が、書込みリクエストにしたがって書込まれるデータがバックアップ記憶装置へ書込まれることを決定するとき、バックアップ記憶装置における書込み動作を行うように構成されているバックアップ記憶装置の書込みハンドラとを具備している請求項 1 7 記載のデータ操作装置。

【請求項 1 9】

前記システム状態決定装置は、少なくとも 1 つのフラグに基づいて、システム状態を決定する請求項 1 8 記載のデータ操作装置。

【請求項 2 0】

前記少なくとも 1 つのフラグは、進行中のメモリロードプロセスを示す回復フラグと、メモリからバックアップ記憶装置へ移動しているデータを示すバックアップフラグとを含んでいる請求項 1 9 記載のデータ操作装置。

10

20

30

40

50

## 【請求項 2 1】

メモリロードプロセスが開始するとき、メモリロードフラグはメモリロードハンドラによって設定され、メモリロードプロセスが終了されるとき、リセットされる請求項 2 0 記載のデータ操作装置。

## 【請求項 2 2】

メモリバックアップが開始するとき、バックアップフラグはメモリバックアップハンドラにより設定され、メモリバックアップが終了されるとき、リセットされる請求項 2 0 記載のデータ操作装置。

## 【請求項 2 3】

前記データアクセスリクエストハンドラはさらに、データリクエストを複数の L U N 構造のうちの一つにマップするように構成されている L U N マッピング機構を具備し、マップされた L U N 構造のブロックサイズはデータリクエストにより要求されるブロックサイズに一致する請求項 1 8 記載のデータ操作装置。 10

## 【請求項 2 4】

前記データアクセスリクエストハンドラはさらに、データ操作装置が初期化されるとき、均一のブロックサイズを有する複数の L U N 構造を初期化するように構成されている L U N 初期化装置を具備している請求項 2 3 記載のデータ操作装置。

## 【請求項 2 5】

前記プロセッサはさらに、  
診断ルーチンを行うように構成されている診断機構と、  
前記診断機構により発生されるエラー情報をバックアップ記憶装置へ書込むように構成されているエラー記録機構とを具備している請求項 1 7 記載のデータ操作装置。 20

## 【請求項 2 6】

診断機構は、外部の手作業の付勢により、および/またはプロセッサで稼動するオペレーティングシステムにより付勢される請求項 2 5 記載のデータ操作装置。

## 【請求項 2 7】

診断機構は局地的および/または遠隔操作で付勢されることができ請求項 2 5 記載のデータ操作装置。

## 【請求項 2 8】

前記プロセッサはさらに、メモリ中の異なるメモリ部分のモードを制御するように構成されているメモリ状態制御装置を具備する請求項 1 7 記載のデータ操作装置。 30

## 【請求項 2 9】

前記メモリは、メモリは二倍のデータ率の同期ダイナミックランダムアクセス ( D D R D R A M ) メモリの少なくとも一つのメモリボードを具備している請求項 1 記載のデータ操作装置。

## 【請求項 3 0】

メモリボードは、  
少なくとも一つのメモリバンクと、  
前記少なくとも一つのメモリバンクをクロックするための 1 以上の位相ロックループ ( P L L ) と、  
少なくとも一つの登録されたバッファとを具備している請求項 2 9 記載のデータ操作装置。 40

## 【請求項 3 1】

前記バックアップ記憶装置は、バックアップ記憶制御装置と、そのバックアップ記憶制御装置によって制御されるディスクとを具備している請求項 1 記載のデータ操作装置。

## 【請求項 3 2】

前記バックアップ記憶制御装置はチャンネル制御装置及びメモリ制御装置と通信する請求項 3 1 記載のデータ操作装置。

## 【請求項 3 3】

さらに、充電可能なバッテリーを介してデータ操作装置へ電力を供給するように構成され 50

ているバッテリーシステムを具備している請求項 1 記載のデータ操作装置。

【請求項 3 4】

前記バッテリーシステムは、  
再充電可能なバッテリーと、  
再充電可能なバッテリーの電力レベルを監視するように構成されているモニタと、  
バッテリーを充電するように構成されているバッテリー充電装置と、  
ある入力電圧を有する再充電可能なバッテリーから、データ操作装置により必要とされる  
複数の出力電力のうちの 1 つへ電力を変換するように構成されている DC - DC 変換器と  
を具備している請求項 3 3 記載のデータ操作装置。

【請求項 3 5】

前記再充電可能なバッテリーは自動的に放電を開始できるように構成されている請求項 3  
4 記載のデータ操作装置。

【請求項 3 6】

バッテリーは周期的に放電される請求項 3 5 記載のデータ操作装置。

【請求項 3 7】

バッテリーはバッテリーがフルパワーに到達したときに放電される請求項 3 5 記載のデータ  
操作装置。

【請求項 3 8】

バッテリーの放電は前記プロセッサによって制御される請求項 3 5 記載のデータ操作装置

。

【請求項 3 9】

データの記憶を行うように構成されたメモリと、  
前記メモリを制御するように構成されたメモリ制御装置と、  
前記メモリ制御装置に接続され、データリクエストを受信して、そのデータリクエスト  
に回答して情報を返送するためのインターフェースを提供するように構成されているチャ  
ンネル制御装置とを具備し、  
前記メモリは複数のメモリ部分を有し、各メモリ部分はスリープモード、ウェイクアッ  
プモードのうちの 1 つに設定されることが可能であり、スリープモード下では、メモリ部  
分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモ  
リ部分はアクセス可能であるデータ操作装置。

【請求項 4 0】

さらに、チャンネル制御装置に接続され、メモリをバックアップするための記憶スペー  
スを提供するように構成されているバックアップ記憶装置を具備している請求項 3 9 記載  
のデータ操作装置。

【請求項 4 1】

前記メモリは固体ディスクメモリである請求項 3 9 記載のデータ操作装置。

【請求項 4 2】

前記バックアップ記憶装置はエラー記録メッセージを記憶するために使用される請求項  
4 0 記載のデータ操作装置。

【請求項 4 3】

前記バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間  
中にメモリスペースとして使用される請求項 4 0 記載のデータ操作装置。

【請求項 4 4】

前記メモリは 1 以上の L U N 構造を有し、各 L U N 構造は異なるブロックサイズを有す  
るデータを記憶するために使用されることができる請求項 3 9 記載のデータ操作装置。

【請求項 4 5】

前記チャンネル制御装置は S C S I チャンネル制御装置またはファイバ制御装置のうち  
の一方である請求項 3 9 記載のデータ操作装置。

【請求項 4 6】

前記 S C S I チャンネル制御装置と前記ファイバチャンネル制御装置は共通の駆動装置

10

20

30

40

50

に対応している請求項 4 5 記載のデータ操作装置。

【請求項 4 7】

前記メモリ制御装置は、

前記チャンネル制御装置に接続され、メモリアクセスを制御するように構成されているプロセッサと、

このプロセッサに接続されている同期ダイナミックランダムアクセスメモリ ( S D R A M ) と、

前記メモリに接続され、メモリを直接アクセスすることができるダイナミックランダムアクセスメモリ ( D R A M ) 制御装置とを具備している請求項 3 9 記載のデータ操作装置

。

10

【請求項 4 8】

前記 D R A M 制御装置は前記プロセッサに接続され、プロセッサの制御下でメモリにアクセスする請求項 4 7 記載のデータ操作装置。

【請求項 4 9】

前記プロセッサは市場で入手可能な汎用目的のプロセッサである請求項 4 7 記載のデータ操作装置。

【請求項 5 0】

商用のオペレーティングシステムが前記プロセッサに配備され、プロセッサで動作する請求項 4 7 記載のデータ操作装置。

【請求項 5 1】

前記商用のオペレーティングシステムは L i n u x である請求項 5 0 記載のデータ操作装置。

20

【請求項 5 2】

前記プロセッサは、現在のシステム状態に基づいて、データリクエストがメモリまたはバックアップ記憶装置から処理されるか、或いはそれらの両者から処理される請求項 4 7 記載のデータ操作装置。

【請求項 5 3】

前記システム状態は、少なくとも 1 つのフラグに基づいて決定される請求項 5 2 記載のデータ操作装置。

【請求項 5 4】

前記少なくとも 1 つのフラグは、進行中のメモリロードプロセスを示す回復フラグと、メモリからバックアップ記憶装置へ移動しているデータを示すバックアップフラグとを含んでいる請求項 5 3 記載のデータ操作装置。

30

【請求項 5 5】

前記プロセッサはさらに、データリクエストを複数の L U N 構造のうちの 1 つにマップすることが可能であり、マップされた L U N 構造のブロックサイズはデータリクエストにより必要とされるブロックサイズに一致する請求項 5 4 記載のデータ操作装置。

【請求項 5 6】

前記プロセッサはさらに、

診断ルーチンを行うように構成されている診断機構と、

この診断機構により発生されるエラー情報をバックアップ記憶装置へ書込むように構成されているエラー記録機構とを具備している請求項 4 7 記載のデータ操作装置。

40

【請求項 5 7】

前記プロセッサはさらに、メモリ中の異なるメモリ部分のモードを制御するように構成されているメモリ状態制御装置を具備している請求項 4 7 記載のデータ操作装置。

【請求項 5 8】

さらに、充電可能なバッテリーを介してデータ操作装置へ電力を提供するように構成されているバッテリーシステムを具備しており、充電可能なバッテリーは自動的に放電を開始できるように構成されている請求項 3 9 記載のデータ操作装置。

【請求項 5 9】

50

バッテリーは周期的に放電される請求項 5 8 記載のデータ操作装置。

【請求項 6 0】

バッテリーはバッテリーがフルパワーに到達したときに放電される請求項 5 8 記載のデータ操作装置。

【請求項 6 1】

データの記憶を行うように構成されたメモリと、

このメモリを制御するように構成されたメモリ制御装置と、

前記メモリ制御装置に接続され、データリクエストを受信して、そのデータリクエストに対する応答として情報を返送するためのインターフェースを提供するように構成されているチャンネル制御装置とを具備し、

10

前記メモリは複数の L U N 構造として組織され、それぞれ少なくとも 2 つの異なるブロックサイズのデータを記憶することが可能にされているデータ走査装置。

【請求項 6 2】

前記メモリは固体ディスクメモリである請求項 6 1 記載のデータ操作装置。

【請求項 6 3】

さらに、前記チャンネル制御装置に接続され、メモリをバックアップするための記憶スペースを提供するように構成されるバックアップ記憶装置を具備している請求項 6 1 記載のデータ操作装置。

【請求項 6 4】

前記バックアップ記憶装置はエラー記録メッセージを記憶するために使用される請求項 6 3 記載のデータ操作装置。

20

【請求項 6 5】

前記バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中にメモリスペースとして使用される請求項 6 3 記載のデータ操作装置。

【請求項 6 6】

前記チャンネル制御装置は S C S I チャンネル制御装置またはファイバ制御装置のうちの一方である請求項 6 1 記載のデータ操作装置。

【請求項 6 7】

前記 S C S I チャンネル制御装置と前記ファイバチャンネル制御装置は共通の駆動装置に対応している請求項 6 6 記載のデータ操作装置。

30

【請求項 6 8】

前記メモリ制御装置は、

前記チャンネル制御装置に接続され、メモリアクセスを制御するように構成されるプロセッサと、

このプロセッサに接続されている同期ダイナミックランダムアクセスメモリ ( S D R A M ) と、

前記メモリに接続され、メモリに直接アクセスすることができるダイナミックランダムアクセスメモリ ( D R A M ) 制御装置とを具備している請求項 6 1 記載のデータ操作装置。

【請求項 6 9】

40

前記 D R A M 制御装置はプロセッサに接続され、プロセッサの制御下でメモリにアクセスする請求項 6 8 記載のデータ操作装置。

【請求項 7 0】

前記プロセッサは市場で入手可能な汎用目的のプロセッサである請求項 6 8 記載のデータ操作装置。

【請求項 7 1】

商用のオペレーティングシステムがプロセッサに配備され、プロセッサで動作している請求項 6 8 記載のデータ操作装置。

【請求項 7 2】

前記商用のオペレーティングシステムは L i n u x である請求項 7 1 記載のデータ操作

50

装置。

【請求項 7 3】

前記プロセッサは、現在のシステム状態に基づいて、データリクエストがメモリまたはバックアップ記憶装置から処理されるか、或いは両者から処理される請求項 6 8 記載のデータ操作装置。

【請求項 7 4】

システム状態は、少なくとも 1 つのフラグに基づいて決定される請求項 7 3 記載のデータ操作装置。

【請求項 7 5】

前記少なくとも 1 つのフラグは、進行中のメモリロードプロセスを示す回復フラグと、メモリからバックアップ記憶装置へ移動しているデータを示すバックアップフラグとを含んでいる請求項 7 4 記載のデータ操作装置。

10

【請求項 7 6】

前記プロセッサはさらに、データリクエストを複数の LUN 構造のうちの 1 つにマップすることが可能であり、マップされた LUN 構造のブロックサイズはデータリクエストにより必要とされるブロックサイズに一致している請求項 6 8 記載のデータ操作装置。

【請求項 7 7】

前記プロセッサはさらに、

診断ルーチンを行うように構成されている診断機構と、

この診断機構により発生されるエラー情報をバックアップ記憶装置へ書込むように構成されているエラー記録機構とを具備している請求項 6 8 記載のデータ操作装置。

20

【請求項 7 8】

前記プロセッサはさらに、メモリ中の異なるメモリ部分のモードを制御するように構成されているメモリ状態制御装置を具備している請求項 6 8 記載のデータ操作装置。

【請求項 7 9】

さらに、充電可能なバッテリーを介してデータ操作装置へ電力を提供するように構成されるバッテリーシステムを具備しており、充電可能なバッテリーは自動的に放電を開始できるように構成されている請求項 6 1 記載のデータ操作装置。

【請求項 8 0】

バッテリーは周期的に放電される請求項 7 9 記載のデータ操作装置。

30

【請求項 8 1】

バッテリーはバッテリーがフルパワーに到達したときに放電される請求項 7 9 記載のデータ操作装置。

【請求項 8 2】

低プロファイルのフォームファクタのハウジングと、

前記ハウジング中に配置され、データの記憶を行うように構成されている固体ディスクメモリと、

前記ハウジング中に配置され、固体ディスクメモリを制御するように構成されているメモリ制御装置と、

前記ハウジング中に配置され、前記メモリ制御装置に接続され、データリクエストを受信して、そのデータリクエストに対する応答として情報を返送するためのインターフェースを提供するように構成されているチャンネル制御装置と、

40

前記ハウジング中に配置され、前記チャンネル制御装置に接続され、固体ディスクメモリをバックアップするための記憶スペースを提供するように構成されるバックアップ記憶装置とを具備しているデータ操作装置。

【請求項 8 3】

前記固体ディスクメモリは複数のメモリ部分を有し、各メモリ部分はスリープモード、ウェイクアップモードのうちの 1 つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である請求項 8 2 記載のデータ操作装置。

50



## 【請求項 8 4】

前記バックアップ記憶装置はエラー記録メッセージを記憶するために使用される請求項 8 2 記載のデータ操作装置。

## 【請求項 8 5】

前記バックアップ記憶装置は、バックアップ記憶装置から固体ディスクメモリへのメモリロード期間中にメモリスペースとして使用される請求項 8 2 記載のデータ操作装置。

## 【請求項 8 6】

前記固体ディスクメモリは 1 以上の L U N 構造に組織化され、各 L U N 構造は異なるブロックサイズを有するデータを記憶するために使用されることができ請求項 8 2 記載のデータ操作装置。

10

## 【請求項 8 7】

前記チャンネル制御装置は S C S I チャンネル制御装置またはファイバ制御装置のうち的一方である請求項 8 2 記載のデータ操作装置。

## 【請求項 8 8】

前記 S C S I チャンネル制御装置と前記ファイバチャンネル制御装置は共通の駆動装置に対応している請求項 8 7 記載のデータ操作装置。

## 【請求項 8 9】

前記メモリ制御装置は、

前記チャンネル制御装置に接続され、メモリアクセスを制御するように構成されているプロセッサと、

20

このプロセッサに接続されている同期ダイナミックランダムアクセスメモリ ( S D R A M ) と、

前記固体ディスクメモリに接続され、固体ディスクメモリに直接アクセスすることができるダイナミックランダムアクセスメモリ ( D R A M ) 制御装置とを具備している請求項 8 2 記載のデータ操作装置。

## 【請求項 9 0】

前記 D R A M 制御装置はプロセッサに接続され、前記プロセッサの制御下で固体ディスクメモリにアクセスする請求項 8 9 記載のデータ操作装置。

## 【請求項 9 1】

前記プロセッサは市場で入手可能な汎用目的のプロセッサである請求項 8 9 記載のデータ操作装置。

30

## 【請求項 9 2】

商用のオペレーティングシステムがプロセッサに配備され、プロセッサで動作される請求項 8 9 記載のデータ操作装置。

## 【請求項 9 3】

前記商用のオペレーティングシステムは L i n u x である請求項 9 2 記載のデータ操作装置。

## 【請求項 9 4】

前記プロセッサは、現在のシステム状態に基づいて、データリクエストが固体ディスクメモリまたはバックアップ記憶装置から処理されるか、或いは両者から処理される請求項 8 9 記載のデータ操作装置。

40

## 【請求項 9 5】

システム状態は、少なくとも 1 つのフラグに基づいて決定される請求項 9 4 記載のデータ操作装置。

## 【請求項 9 6】

前記少なくとも 1 つのフラグは、進行中のメモリロードプロセスを示す回復フラグと、固体ディスクメモリからバックアップ記憶装置へ移動しているデータを示すバックアップフラグとを含んでいる請求項 9 6 記載のデータ操作装置。

## 【請求項 9 7】

前記プロセッサはさらに、データリクエストを複数の L U N 構造のうちの 1 つにマップ

50

することが可能に構成され、マップされたLUN構造のブロックサイズはデータリクエストにより必要とされるブロックサイズに一致している請求項96記載のデータ操作装置。

【請求項98】

前記プロセッサはさらに、

診断ルーチンを行うように構成されている診断機構と、

診断機構により発生されるエラー情報を前記バックアップ記憶装置へ書込むように構成されているエラー記録機構とを具備している請求項89記載のデータ操作装置。

【請求項99】

前記プロセッサはさらに、固体ディスクメモリ中の異なるメモリ部分のモードを制御するように構成されているメモリ状態制御装置を具備している請求項89記載のデータ操作装置。

10

【請求項100】

さらに、充電可能なバッテリーを介してデータ操作装置へ電力を提供するように構成されているバッテリーシステムを具備しており、充電可能なバッテリーは自動的に放電を開始できるように構成されている請求項82記載のデータ操作装置。

【請求項101】

バッテリーは周期的に放電される請求項100記載のデータ操作装置。

【請求項102】

バッテリーはバッテリーがフルパワーに到達したときに放電される請求項100記載のデータ操作装置。

20

【請求項103】

高速度のデータ記憶及びアクセスを行うように構成されているデータ操作装置と、

前記データ操作装置と通信し、データリクエストを送信し、データ操作装置から応答を受信する1以上のホストシステムとを具備し、

前記データ操作装置は、データ記憶を行うように構成されているメモリと、このメモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置とを有している記憶システム。

【請求項104】

高速度のデータ記憶及びアクセスを行うように構成されるデータ操作装置と、

このデータ操作装置と通信し、データリクエストを送信し、データ操作装置から応答を受信する1以上のホストシステムとを具備し、

データ操作装置は、データ記憶を行うように構成されているメモリと、このメモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置とを有しており、

データリクエストは、データ操作装置のシステム状態にしたがって、メモリおよび/またはバックアップ記憶装置から処理される記憶システム。

30

【請求項105】

高速度のデータ記憶及びアクセスを行うように構成されているデータ操作装置と、

このデータ操作装置と通信し、データリクエストを送信し、データ操作装置から応答を受信する1以上のホストシステムとを具備し、

前記データ操作装置は、データ記憶を行うように構成されているメモリと、メモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置と、商用のオペレーティングシステムと共に配備されている汎用目的のプロセッサを使用して構成されているメモリ制御装置とを具備している記憶システム。

40

【請求項106】

高速度のデータ記憶及びアクセスを行うように構成されているデータ操作装置と、

このデータ操作装置と通信し、データリクエストを送信し、データ操作装置から応答を受信する1以上のホストシステムとを具備し、

前記データ操作装置は、データ記憶を行うように構成されているメモリと、メモリをバックアップするためのバックアップスペースを提供するように構成されているバックアッ

50

ブ記憶装置と、商用のオペレーティングシステムと共に配備される汎用目的のプロセッサを使用して構成されているメモリ制御装置と、チャンネル制御装置とを具備し、このチャンネル制御装置はSCSIチャンネル制御装置またはファイバチャンネル制御装置の一方であり、SCSIチャンネル制御装置とファイバチャンネル制御装置は共通の駆動装置に対応している記憶システム。

【請求項107】

前記メモリは固体ディスクメモリである請求項106記載の記憶装置。

【請求項108】

前記データ操作装置は、低プロファイルフォームファクタである請求項106記載の記憶システム。

【請求項109】

前記データ操作装置は、診断ルーチンを実行するために付勢されることのできる診断機構を含み、付勢は内部および/または外部でトリガーされることが可能である請求項117記載の記憶システム。

【請求項110】

前記診断ルーチン期間中に発生されたエラーメッセージはバックアップ記憶装置中に記録される請求項109記載の記憶システム。

【請求項111】

前記データ操作装置はさらに、充電可能なバッテリーを介してデータ操作装置へ電力を提供するように構成されているバッテリーシステムを具備しており、充電可能なバッテリーは自動的に放電を開始できるように構成されている請求項109記載の記憶システム。

【請求項112】

高速度のデータ記憶及びアクセスを行うように構成されているデータ操作装置と、このデータ操作装置と通信し、データリクエストを送信し、データ操作装置から応答を受信する1以上のホストシステムとを具備し、

前記データ操作装置は、データ記憶を行うように構成されているメモリを具備し、そのメモリはそれぞれ異なるブロックサイズのデータを記憶することができる複数のLUN構造に組織されている記憶システム。

【請求項113】

高速度のデータ記憶及びアクセスを行うように構成されているデータ操作装置と、このデータ操作装置と通信し、データリクエストを送信し、データ操作装置から応答を受信する1以上のホストシステムとを具備し、

前記データ操作装置は、データ記憶を行うように構成されるメモリを有し、メモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードとのうちの一方に設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である記憶システム。

【請求項114】

サービスを提供するように構成されているマスターサーバと、このマスターサーバと通信する1以上のスレーブのデータ操作装置とを具備し、前記各データ操作装置はマスターサーバにより割当てられたタスクを実行し、応答をサーバに返送するように構成され、

前記各データ操作装置は低プロファイルフォームファクタであり、データ記憶を行うように構成されているメモリと、そのメモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置とを有しているマスター-スレーブ構造。

【請求項115】

サービスを提供するように構成されているマスターサーバと、このマスターサーバと通信する1以上のスレーブのデータ操作装置とを具備し、前記各データ操作装置はマスターサーバにより割当てられたタスクを実行し、応答をサ

10

20

30

40

50

サーバに返送するように構成され、

前記各データ操作装置は低プロファイルフォームファクタであり、データ記憶を行うように構成されているメモリと、メモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置とを有しているマスター-スレーブ構造。

【請求項 1 1 6】

サービスを提供するように構成されているマスターサーバと、

このマスターサーバと通信する 1 以上のスレーブのデータ操作装置とを具備し、

前記各データ操作装置はマスターサーバにより割当てられたタスクを実行し、応答をサーバに返送するように構成され、

前記各データ操作装置は低プロファイルフォームファクタであり、データ記憶を行うように構成されているメモリと、そのメモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置と、商用のオペレーティングシステムと共に配備されている汎用目的のプロセッサを使用して構成されているメモリ制御装置とを有しているマスター-スレーブシステム。

【請求項 1 1 7】

サービスを提供するように構成されるマスターサーバと、

このマスターサーバと通信する 1 以上のスレーブのデータ操作装置とを具備し、

前記各データ操作装置はマスターサーバにより割当てられたタスクを実行し、応答をサーバに返送するように構成され、

前記各データ操作装置は低プロファイルフォームファクタであり、データ記憶を行うように構成されているメモリと、そのメモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置と、商用のオペレーティングシステムと共に配備されている汎用目的のプロセッサを使用して構成されるメモリ制御装置と、チャンネル制御装置とを具備し、そのチャンネル制御装置は SCSI チャンネル制御装置またはファイバチャンネル制御装置のいずれか一方であり、SCSI チャンネル制御装置とファイバチャンネル制御装置は共通の駆動装置に対応しているマスター-スレーブシステム。

【請求項 1 1 8】

メモリは固体ディスクメモリである請求項 1 1 7 記載のマスター-スレーブシステム。

【請求項 1 1 9】

前記データ操作装置は、診断ルーチンを実行するために付勢されることのできる診断機構を含み、その付勢は内部および/または外部でトリガーされることが可能である請求項 1 1 7 記載のマスター-スレーブ構造。

【請求項 1 2 0】

診断ルーチン期間中に発生されたエラーメッセージはバックアップ記憶装置に記録される請求項 1 1 9 記載のマスター-スレーブ構造。

【請求項 1 2 1】

前記データ操作装置はさらに、充電可能なバッテリーを介してデータ操作装置へ電力を提供するために構成されているバッテリーシステムを具備しており、充電可能なバッテリーは自動的に放電を開始できるように構成されている請求項 1 1 7 記載のマスター-スレーブ構造。

【請求項 1 2 2】

サービスを提供するように構成されているマスターサーバと、

このマスターサーバと通信する 1 以上のスレーブのデータ操作装置とを具備し、

前記各データ操作装置はサーバにより割当てられたタスクを実行し、応答をサーバに返送するように構成され、

前記各データ操作装置は低プロファイルフォームファクタであり、データ記憶を行うように構成されているメモリとを具備し、

そのメモリはそれぞれ異なるブロックサイズのデータを記憶することができる複数の L

10

20

30

40

50

UN構造に組織化されているマスター - スレーブシステム。

【請求項 1 2 3】

サービスを提供するように構成されているマスターサーバと、  
このマスターサーバと通信する 1 以上のスレーブのデータ操作装置とを具備し、  
前記各データ操作装置はサーバにより割当てられたタスクを実行し、応答をサーバに返送するように構成され、

前記各データ操作装置は低プロファイルフォームファクタであり、データ記憶を行うように構成されるメモリを有し、

前記メモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの一方に設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能であるマスター - スレーブシステム。

【請求項 1 2 4】

データ操作装置を初期化し、

データリクエストを受信し、

データ操作装置のシステム状態を決定し、

決定されたシステム状態に基づいて、データリクエストを処理するステップを含んでおり、

前記データ操作装置は、データ記憶のためのメモリと、データ操作装置がメモリをバックアップするときのバックアップスペースのためのバックアップ記憶装置を提供し、

前記データリクエストは、システム状態に基づいて、メモリと、バックアップ記憶装置の一方から処理されるか、或いは両方から処理されるデータ操作装置の処理方法。

【請求項 1 2 5】

前記初期化は、

前記データ操作装置に配備されているオペレーティングシステムをブートし、

1 以上のメモリ部分を有するメモリを初期化し、

バックアップ記憶装置を駆動するバックアップディスク駆動装置を初期化し、

共通の駆動装置に対応する S C S I / ファイバ駆動装置を初期化し、

初期化状態に基づいてシステム状態を設定するステップを含んでいる請求項 1 2 4 記載の方法。

【請求項 1 2 6】

前記受信は、

データリクエストを S C S I / ファイバインターフェースを介して獲得し、

データリクエストを翻訳し、

翻訳されたデータリクエストを、システム状態に基づいて、バックアップディスク駆動装置と、メモリを駆動するメモリ駆動装置の少なくとも一方へ転送するステップを含んでいる請求項 1 2 4 記載の方法。

【請求項 1 2 7】

前記決定は、以下の複数のシステム状態の 1 つを決定し、複数のシステム状態は、

ブートシステム状態と、

サービス中のシステム状態と、

回復システム状態と、

バックアップシステム状態と、

サービス中 - バックアップ係属状態と、

サービス中 - バックアップ状態と、

回復 - バックアップ係属状態と、

アイドルシステム状態と、

オフシステム状態とを含んでいる請求項 1 2 4 記載の方法。

【請求項 1 2 8】

前記処理は、

決定されたシステム状態が、バックアップシステム状態、アイドルシステム状態、オフシステム状態のうちの一つに対応しないならば、データリクエストに基づいてデータアクセスを実行し、

システム状態が、バックアップシステム状態、アイドルシステム状態、オフシステム状態のうちの一つに対応するならば、データリクエストの処理を拒否するステップを含んでいる請求項 1 2 4 記載の方法。

【請求項 1 2 9】

前記実行は、

システム状態が、サービス中システム状態およびサービス中 - バックアップ係属システム状態の一方に対応するならば、メモリからのデータリクエストに基づいて、データアクセスを実行し、

システム状態が、回復システム状態、サービス - バックアップシステム状態、回復 - バックアップ係属システム状態のうちの一つに対応するならば、メモリまたはバックアップ記憶装置のいずれか一方からのデータリクエストにしたがって、データアクセスを実行するステップを含んでいる請求項 1 2 8 記載の方法。

【請求項 1 3 0】

前記メモリからのデータアクセスの実行は、

データリクエストにより要求されるブロックサイズに一致するブロックサイズに対応するメモリ中の複数の L U N 構造のうちの一つにデータリクエストをマップし、

データリクエストが読取りリクエストであるならば、メモリ中のマップされた L U N 構造からデータを読取り、

データリクエストが書込みリクエストであるならば、メモリ中のマップされた L U N 構造へデータを書込むステップを含んでいる請求項 1 2 9 記載の方法。

【請求項 1 3 1】

さらに、前記読取り後、メモリから読取られたデータを受信し、

前記書込み後、メモリからの確認を受信するステップを含んでいる請求項 1 3 0 記載の方法。

【請求項 1 3 2】

メモリまたはバックアップ記憶装置のいずれか一方からのデータアクセスの前記実行は、

データリクエストが読取りリクエストであり、読取られるデータがメモリに存在しないならば、バックアップ記憶装置からデータを読取り、

データリクエストが読取りリクエストであり、読取られるデータがメモリに存在するならば、メモリからデータを読取り、

データリクエストが書込みリクエストであるならば、メモリおよびバックアップ記憶装置の両者へデータを書込むステップを含んでいる請求項 1 2 9 記載の方法。

【請求項 1 3 3】

メモリおよびバックアップ記憶装置の両者へのデータの前記書込みは、

データリクエストにより要求されるブロックサイズに対応するブロックサイズを有する複数の L U N 構造のうちの一つに書込みリクエストをマップし、

バックアップ記憶装置およびメモリ中のマップされた L U N 構造へデータを書込み、

前記データの書込み後、バックアップ記憶装置から書込み確認を受信するステップを含んでいる請求項 1 3 2 記載の方法。

【請求項 1 3 4】

さらに、バックアップ動作を行うステップを含んでいる請求項 1 2 8 記載の方法。

【請求項 1 3 5】

さらに、診断動作を行うステップを含んでいる請求項 1 2 8 記載の方法。

【請求項 1 3 6】

前記診断の実行は、ある時間間隔にしたがって、手作業のコマンドおよび実時間クロックプリセットの少なくとも一方により付勢される請求項 1 3 5 記載の方法。

10

20

30

40

50

## 【請求項 1 3 7】

前記診断の実行は、  
試験されているコンポーネントに信号を送信し、  
その信号を受信した後、コンポーネントに関して測定された結果を予想された結果と比較し、

コンポーネントからの結果が予想された結果と一致しない場合には、バックアップ記憶装置中にエラーメッセージを記録するステップを含んでいる請求項 1 3 5 記載の方法。

## 【請求項 1 3 8】

さらに、データリクエストに対する応答として、前記処理の結果に関連する情報を送信するステップを含んでいる請求項 1 2 4 記載の方法。

10

## 【請求項 1 3 9】

前記メモリは固体ディスクメモリである請求項 1 2 4 記載の方法。

## 【請求項 1 4 0】

前記メモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの一方に設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である請求項 1 2 4 記載の方法。

## 【請求項 1 4 1】

データリクエストを、ホストシステムから、データ操作装置へ送信し、

そのデータ操作装置によって、データリクエストを受信し、

前記データ操作装置の現在のシステム状態にしたがって、前記データ操作装置によりデータリクエストを処理し、

前記データ操作装置によって、データリクエストに対する応答としての結果を、前記ホストシステムへ送信するステップを含み、

前記データ操作装置はデータ記憶のためのメモリと、メモリのバックアップのためのバックアップ記憶装置を備えており、

メモリとバックアップ記憶装置の両者は低プロファイルフォームファクタのハウジング中に配置されている記憶方法。

20

## 【請求項 1 4 2】

バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中に、一時的なメモリとして使用されることができ、請求項 1 4 1 記載の方法。

30

## 【請求項 1 4 3】

前記データ操作装置は S C S I およびファイバインターフェースの一つを介して、データリクエストを受信し、S C S I およびファイバインターフェースは共通の駆動装置を共有する請求項 1 4 1 記載の方法。

## 【請求項 1 4 4】

前記メモリは固体ディスクメモリである請求項 1 4 1 記載の方法。

## 【請求項 1 4 5】

前記メモリは複数の L U N 構造を有し、それぞれ少なくとも 2 つの異なるブロックサイズのデータを記憶することが可能である請求項 1 4 1 記載の方法。

40

## 【請求項 1 4 6】

メモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの 1 つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である請求項 1 4 1 記載の方法。

## 【請求項 1 4 7】

前記データ操作装置は、条件が満たされるとき、そのバッテリーの電力を自動的に放電することができる請求項 1 4 1 記載の方法。

## 【請求項 1 4 8】

データ操作装置は、診断ルーチンを実行することができる請求項 1 4 1 記載の方法。

50

## 【請求項 1 4 9】

診断ルーチン期間中に発生されるエラーメッセージは、バックアップ記憶装置に書込まれる請求項 1 4 8 記載の方法。

## 【請求項 1 5 0】

前記データ操作装置は汎用目的のプロセッサを使用し、商用のオペレーティングシステムは汎用目的のプロセッサで動作される請求項 1 4 1 記載の方法。

## 【請求項 1 5 1】

データリクエストを、ホストシステムから、データ操作装置へ送信し、  
そのデータ操作装置によって、そのデータリクエストを受信し、  
データ操作装置の現在のシステム状態にしたがって、データ操作装置によってデータリクエストを処理し、  
データ操作装置によって、データリクエストに対する応答としての結果を、ホストシステムへ送信するステップを含み、  
データ操作装置はデータ記憶のためのメモリと、メモリのバックアップのためのバックアップ記憶装置を備え、  
前記メモリは複数の L U N 構造を有し、それぞれ少なくとも 2 つの異なるブロックサイズのデータを記憶することが可能である記憶方法。

## 【請求項 1 5 2】

前記バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中に一時的なメモリとして使用されることができ請求項 1 5 1 記載の方法。

## 【請求項 1 5 3】

データ操作装置は S C S I とファイバインターフェースの一方を介して、データリクエストを受信し、S C S I とファイバインターフェースは共通の駆動装置を共有している請求項 1 5 1 記載の方法。

## 【請求項 1 5 4】

前記メモリは固体ディスクメモリである請求項 1 5 1 記載の方法。

## 【請求項 1 5 5】

前記メモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの 1 つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である請求項 1 5 1 記載の方法。

## 【請求項 1 5 6】

データ操作装置は、条件が満たされるとき、そのバッテリーの電力を自動的に放電することができる請求項 1 5 1 記載の方法。

## 【請求項 1 5 7】

前記データ操作装置は、診断ルーチンを実行することができる請求項 1 5 1 記載の方法。

## 【請求項 1 5 8】

診断ルーチン期間中に発生されるエラーメッセージは、バックアップ記憶装置に書込まれる請求項 1 5 7 記載の方法。

## 【請求項 1 5 9】

前記データ操作装置は汎用目的のプロセッサを使用している請求項 1 5 1 記載の方法。

## 【請求項 1 6 0】

商用のオペレーティングシステムが配備され、汎用目的のプロセッサで動作される請求項 1 5 9 記載の方法。

## 【請求項 1 6 1】

データリクエストを、ホストシステムから、データ操作装置へ送信し、  
そのデータ操作装置によって、データリクエストを受信し、  
データ操作装置の現在のシステム状態にしたがって、データ操作装置によりそのデータリクエストを処理し、



データ操作装置によって、データリクエストに対する応答としての結果を、ホストシステムへ送信するステップを含み、

データ操作装置はデータ記憶のためのメモリと、メモリのバックアップのためのバックアップ記憶装置とを備えており、

メモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの1つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である記憶方法。

【請求項162】

前記バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中に一時的なメモリとして使用されることができ、請求項161記載の方法。 10

【請求項163】

前記データ操作装置はSCSIとファイバインターフェースの一つを介して、データリクエストを受信し、SCSIとファイバインターフェースは共通の駆動装置を共有している請求項161記載の方法。

【請求項164】

前記メモリは固体ディスクメモリである請求項161記載の方法。

【請求項165】

前記メモリは複数のLUN構造を有し、それぞれ少なくとも2つの異なるブロックサイズのデータを記憶することが可能である請求項161記載の方法。 20

【請求項166】

前記データ操作装置は、条件が満たされるとき、そのバッテリーの電力を自動的に放電することができる請求項161記載の方法。

【請求項167】

前記データ操作装置は、診断ルーチンを実行することができる請求項161記載の方法。

【請求項168】

診断ルーチン期間中に発生されるエラーメッセージは、バックアップ記憶装置に書込まれる請求項167記載の方法。

【請求項169】 30

前記データ操作装置は汎用目的のプロセッサを使用する請求項161記載の方法。

【請求項170】

商用のオペレーティングシステムが配備され、汎用目的のプロセッサで動作される請求項169記載の方法。

【請求項171】

データリクエストを、ホストシステムから、データ操作装置へ送信し、

データ操作装置によって、そのデータリクエストを受信し、

データ操作装置の現在のシステム状態を決定し、

現在のシステム状態にしたがって、データ操作装置によってデータリクエストを処理し

、データ操作装置によって、データリクエストに対する応答としての結果を、ホストシステムへ送信するステップを含み、

前記データ操作装置はデータ記憶のための固体ディスクメモリと、固体ディスクメモリのバックアップのためのバックアップ記憶装置とを備えており、

固体ディスクメモリとバックアップ記憶装置の両者は、低プロファイルのフォームファクタのハウジング中に配置される記憶方法。

【請求項172】

前記バックアップ記憶装置は、バックアップ記憶装置から固体ディスクメモリへのメモリロード期間中に一時的なメモリとして使用されることができ、請求項171記載の方法。

。

## 【請求項 173】

前記データ操作装置は S C S I とファイバインターフェースの一方を介して、データリクエストを受信し、S C S I とファイバインターフェースは共通の駆動装置を共有している請求項 171 記載の方法。

## 【請求項 174】

前記メモリは複数の L U N 構造を有し、それぞれ少なくとも 2 つの異なるブロックサイズのデータを記憶することができる請求項 171 記載の方法。

## 【請求項 175】

前記メモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの 1 つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である請求項 171 記載の方法。

10

## 【請求項 176】

前記データ操作装置は、予め定められた条件が満たされるとき、そのバッテリーの電力を自動的に放電することができる請求項 171 記載の方法。

## 【請求項 177】

データ操作装置は、診断ルーチンを実行することができる請求項 171 記載の方法。

## 【請求項 178】

診断ルーチン期間中に発生されるエラーメッセージは、バックアップ記憶装置に書込まれる請求項 177 記載の方法。

20

## 【請求項 179】

前記データ操作装置は汎用目的のプロセッサを使用する請求項 171 記載の方法。

## 【請求項 180】

商用のオペレーティングシステムが配備され、汎用目的のプロセッサで動作される請求項 179 記載の方法。

## 【請求項 181】

マスターサーバをスレーブデータ操作装置と接続し、

マスターサーバによって、指定されたタスクを実行するようにスレーブデータ操作装置を付勢するステップを含み、

前記スレーブデータ操作装置は、低プロファイルのフォームファクタのハウジング中に配置され、記憶を行うように構成されているメモリと、そのメモリをバックアップするためのバックアップスペースを提供するように構成されるバックアップ記憶装置とを有しているマスター - スレーブ方法。

30

## 【請求項 182】

前記バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中に一時的なメモリとして使用されることができる請求項 181 記載の方法。

## 【請求項 183】

前記データ操作装置は S C S I とファイバインターフェースの一方を介してデータリクエストを受信し、S C S I とファイバインターフェースは共通の駆動装置を共有している請求項 181 記載の方法。

40

## 【請求項 184】

前記データ操作装置は、予め定められた条件が満たされるとき、そのバッテリーの電力を自動的に放電することができる請求項 181 記載の方法。

## 【請求項 185】

前記データ操作装置は、診断ルーチンを実行することができる請求項 181 記載の方法。

## 【請求項 186】

診断ルーチン期間中に発生されるエラーメッセージは、バックアップ記憶装置に書込まれる請求項 185 記載の方法。

## 【請求項 187】

50

前記データ操作装置は、商用のオペレーティングシステムを配備している汎用目的のプロセッサを使用する請求項 181 記載の方法。

【請求項 188】

マスターサーバをスレーブデータ操作装置と接続し、  
マスターサーバによって、指定されたタスクを実行するようにスレーブデータ操作装置を付勢するステップを含み、

前記スレーブデータ操作装置は、データの記憶を行うように構成されているメモリを有し、そのメモリは複数の LUN 構造を有し、それぞれ少なくとも 2 つの異なるブロックサイズのデータを記憶することができるマスター - スレーブ方法。

【請求項 189】

マスターサーバをスレーブデータ操作装置と接続し、  
マスターサーバによって、指定されたタスクを実行するようにスレーブデータ操作装置を付勢するステップを含み、

前記スレーブデータ操作装置は、データの記憶を行うように構成されているメモリを有し、そのメモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの 1 つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能であるマスター - スレーブ方法。

【請求項 190】

マスターサーバをスレーブデータ操作装置と接続し、  
マスターサーバによって、指定されたタスクを実行するようにスレーブデータ操作装置を付勢するステップを含み、

前記スレーブデータ操作装置は、低プロファイルフォームファクタのハウジング中に配置され、データ記憶を行うように構成されている固体ディスクメモリと、固体ディスクメモリをバックアップするためのバックアップスペースを提供するように構成されるバックアップ記憶装置とを有しているマスター - スレーブ方法。

【請求項 191】

データ操作装置によって、データを受信し、  
受信されたデータを処理し、  
前記解析および / またはデータからの結果をネットワークノードに送信するステップを含み、

前記データ操作装置は、低プロファイルフォームファクタのハウジング中に配置され、データ記憶を行うように構成されているメモリと、そのメモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置とを有している方法。

【請求項 192】

ネットワークノードはネットワークスイッチを含んでいる請求項 191 記載の方法。

【請求項 193】

ネットワークノードはルータを含んでいる請求項 191 記載の方法。

【請求項 194】

データ操作装置によって、データを受信し、  
受信されたデータを処理し、  
解析および / またはデータからの結果をネットワークノードに送信するステップを含み、

メモリはデータ記憶を行うように構成されているメモリを有し、そのメモリは複数の LUN 構造を有し、そのそれぞれは 2 以上の異なるブロックサイズのデータを記憶することができるように構成されている方法。

【請求項 195】

データ操作装置によって、データを受信し、  
受信されたデータを処理し、

10

20

30

40

50

前記解析および/またはデータからの結果をネットワークノードに送信するステップを含み、

データ操作装置はデータ記憶を行うように構成されているメモリを有し、そのメモリは複数のメモリ部分を有し、各メモリ部分はスリープモードと、ウェイクアップモードの1つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である方法。

【請求項196】

データ操作装置によって、データを受信し、

受信されたデータを処理し、

10

前記解析および/またはデータからの結果をネットワークノードに送信するステップを含み、

データ操作装置は、低プロファイルフォームファクタのハウジング中に配置され、データ記憶を行うように構成されている固体ディスクメモリと、固体ディスクメモリをバックアップするためのバックアップスペースを提供するように構成されているバックアップ記憶装置とを有している方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデータ操作のためのシステム及び方法と、データ操作装置を含むシステムに関する。

20

【背景技術】

【0002】

本出願は、その全体がここで参考文献として含まれる2004年2月27日出願の米国暫定特許出願第60/548,110号明細書に基づき、その優先権を得ている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明はデータ操作のためのシステム及び方法を提供することを目的としている。

【課題を解決するための手段】

30

【0004】

本発明のデータ操作装置は、低プロファイルフォームファクタのハウジングと、前記ハウジング中に配置され、データの記憶を行うように構成されているメモリと、前記ハウジング中に配置され、前記メモリを制御するように構成されているメモリ制御装置と、前記ハウジング中に配置され、前記メモリ制御装置に接続され、データリクエストを受信して、そのデータリクエストに応答する情報を返送するインターフェースを提供するように構成されているチャンネル制御装置と、前記ハウジング中に配置され、前記チャンネル制御装置に接続され、前記メモリをバックアップするための記憶スペースを提供するように構成されているバックアップ記憶装置とを具備していることを特徴としている。

【発明を実施するための最良の形態】

40

【0005】

ここで請求されている本発明は幾つかの実施形態で例示される。これらの例示的な実施形態は図面を参照にして詳細に説明される。これらの実施形態は図面に示されている例示的な実施形態だけに限定されない。同じ参照符号は図面全体を通して類似の部分を表している。

以下説明する処理は、適切にプログラムされた汎用目的コンピュータ単独で、または特別目的のコンピュータと接続して実行されることができ、このような処理は単一のプラットフォームによって、または分配された処理プラットフォームによって実行されることができ、さらに、このような処理及び機能は、特別目的のハードウェアの形態、または汎用目的またはネットワークのプロセッサによって稼動されるソフトウェアまたはファ

50

ムウェアの形態で実行されることができる。したがって、図面で示され以下説明される動作ブロックは、特別目的の回路であってもよく、或いはプロセッサで実行されるソフトウェアのセクションであってもよい。このような処理で扱われるデータ、または、このような処理の結果として生成されるデータは、技術では通常であるように任意のメモリに記憶されることができる。例示によって説明すると、このようなデータは所定のコンピュータシステムまたはサブシステムのRAMのような一時的なメモリに記憶されることができる。さらに、又はその代わりに、このようなデータは長期の記憶装置、例えば磁気ディスク、再書込み可能な光学ディスク等に記憶されることができる。ここでの説明のために、コンピュータの読取可能な媒体は、このような既存のメモリ技術と、このような構造及びこのようなデータを表すハードウェアまたは回路を含めた任意の形態のデータ記憶機構を含むことができる。

10

#### 【0006】

図1は、本発明の1実施形態によるデータ操作装置(DMD)100の高レベルの機能ブロック図を示している。DMD100は、SCSIチャンネル制御装置またはファイバチャンネル制御装置であることのできるチャンネル制御装置140と、技術内で利用可能な他のインターフェース制御装置上に、メモリ120のデータ記憶及びアクセスを制御するメモリ制御装置110と、バックアップ記憶システム130と、パワーPC(210)及びバッテリーシステムのような低電力CPU150を具備している。DMD100中のSCSI/ファイバ/インターフェースチャンネル制御装置140は外界とのインターフェースを行うためのものである。DMD100と外界との間の相互動作特性は、DMD100が配備される目的と、配備の文脈におけるDMD100の機能的役割にしたがうことができる。例えば、DMD100が高速度の固体ディスク記憶をエミュレートするために配備されるとき、SCSI/ファイバ(または技術内の他のインターフェース)チャンネル制御装置140は1以上のホストシステムとインターフェースすることができる。この場合、DMD100はSCSI/ファイバチャンネル制御装置140を通して、ホストシステムからデータリクエストを受信し、その後、リクエストされたことに基づいて、高速度でデータをアクセスする。DMD100が指定されたアプリケーションを実行するためのスレーブデータ操作装置として配備されるとき、これはSCSI/ファイバインターフェースチャンネル制御装置140を介して、マスターサーバとインターフェースすることができ、マスターサーバは例えばDMD100に記憶されているデータ中で大量の問い合わせ検索を行うためにDMD100を呼び出すことができる。

20

30

#### 【0007】

DMD100では、チャンネル制御装置140はSCSIまたはファイバチャンネル或いはデータバスへのその他のインターフェースにアクセスするための共通の駆動装置を提供できる。即ち、DMD100の各構成は同一の駆動装置を使用していずれかの任意の共通のインターフェース制御装置を配備できる。制御装置の配備は、配備されたDMDプロダクトが使用される位置および態様にしたがって決定されることができる。

#### 【0008】

共通の駆動装置はUltra320にしたがうことのできるSCSIインターフェースをサポートすることができ、Fat SCSI、Ultra SCSI、Ultra2 SCSI、Ultra160 SCSIとは後方の適合性を有する。16ビットの並列のSCSIバスは毎秒160メガの転送を行うことができ、これは320Mバイト/秒の同期データ転送レートを生成することができる。共通の駆動装置はまた二重の2Gビットファイバチャンネル(FC)インターフェースをサポートすることができ、1GビットのFCとの後方の適合性を提供する。DMD100はまた商用の回線インターフェース(CLI)用のRS-232インターフェース(図1には示されていない)を提供することができる。

40

#### 【0009】

チャンネル制御装置により受信されるデータリクエストはメモリ制御装置110に導かれ、メモリ制御装置110はその後、データリクエストを処理する。データリクエストは読取リクエストまたは書込みリクエストを含むことができ、これは例えば新しいデータのピー

50

スを書込むか、既存のデータのピースを更新することを含んでいる。データリクエストが受信されるときのシステム状態にしたがって、メモリ制御装置110は、適切な記憶装置からのデータリクエストを実行できる。例えば、メモリ制御装置110は、メモリ120から、バックアップ記憶装置130から、又はその両者からリクエストされたデータアクセスを直接実行することができる。

#### 【0010】

データリクエストが終了されるとき、DMD100は、チャンネル制御装置140を通して、応答を、基本をなすリクエストしたホストシステムへ返送する。応答には、リクエストまたは書き込み確認に基づいてDMD100から読取られたデータのピースを含むことができ、この応答はDMD100に書込まれるようにリクエストされたデータが、リクエストされたように書込まれたことを示す。読取リクエストに対する応答はまた、読取動作が成功したことを示す類似の確認を含むことができる。

10

#### 【0011】

DMD100は異なる目的で配備されることができる。例えば、これは標準的な低プロファイルの3.5"高密度ディスク(HDD)をエミュレートするために使用されることができる。この場合、これはSCSI/ファイババスを介して、このような標準的な装置としてそれ自体を外界に対して識別でき、それによって外界からの相互動作するパーティがDMD100と相互動作するための適切な標準及び広く利用可能な装置または駆動装置を呼び出すことができる。DMD100はその後、装置が固体ディスク(SSD)として使用されることを可能にするため、固体メモリ120を使用することができる。

20

#### 【0012】

メモリ制御装置110はメモリ120で実行される動作を制御する。通常の状態下では、ホストシステムからのデータリクエストはメモリ120に関して実行される。メモリロードがまだ終了されていないときのようなある状態では、データアクセス動作はメモリ120以外のどこかから実行される必要がある可能性がある。例えばDMD100が回復システム状態にあるとき、読取リクエストは一時的にバックアップ記憶装置130から実行されることができる。この場合、パワーPC(210)を通して、メモリ制御装置110はまたバックアップ記憶装置130で実行されるデータ動作を制御できる。メモリ制御装置110に関する詳細を図2及び3を参照して説明する。

#### 【0013】

バッテリー170と関連してバックアップ記憶装置130は自蔵されたおよび非揮発性バックアップ記憶装置をDMD100に提供する。このような記憶プロセスは、例えば、DMD100への電力が低いか中断しているとき、メモリ120に記憶されているデータをバックアップするために使用されることができる。バックアップ記憶装置130はまた診断手順の期間中に得られた診断情報の記憶または記録に使用されることができ、それによってこのような記録された診断情報は、これが例えばシステムの問題を決定するために必要とされるときオフラインで検索またはアクセスされることができる。このような記憶スペースはまたメモリロードがまだ終了していないときに転移メモリスペースとしても使用されることができる。この特徴に関する詳細を図4及び8を参照して説明する。

30

#### 【0014】

DMD100中のバッテリーシステム170はDMD100に対してオフライン電力を提供する。バッテリーシステムは、パワーが不変的に低いか遮断されているとき、メモリからバックアップ記憶装置130へのデータのバックアップを容易にするために重要である可能性がある。バッテリーシステムに関する詳細を図5を参照して説明する。

40

#### 【0015】

メモリ120は1以上のメモリボード上に組織化された複数のメモリバンクを具備することができる。各メモリバンクは固定したメモリ容量およびダイナミックランダムアクセス(DRAM)を提供できる。異なるメモリバンクはコヒーレントな方法でアドレスされることができる。メモリ120はまた複数の論理装置番号(LUN)構造に組織され、それぞれのこのような構造は可変のブロックサイズをサポートできる。メモリ割当ては種々の規

50

準にしたがってメモリ制御装置110により実行されることができる。メモリ組織に関する詳細を図5および7を参照して説明する。

【0016】

図2は本発明の1実施形態によるメモリ制御装置110の高レベルの機能ブロック図を示している。メモリ制御装置110はプロセッサ210、P C I Xバスインターフェース(I / F) 250、エラー補正回路(E C C) 270を有するD R A M制御装置260、D R A Mコネクタ280を備えている。プロセッサ210は市販の汎用目的の低電力中央処理装置(C P U)を使用して実現されることができる。例えばI B M社の4 0 0 M H zの3 2ビットパワーP C 405GPrマイクロ制御装置がプロセッサ210として使用されることができ、これは4 0 0 M H zのクロックレートで6 0 0 M I P Sが可能な実時間クロック240を有する。3 2ビット  
10  
パワーP C 405GPrマイクロ制御装置(プロセッサ210)はプロセッサローカルバス上に単一の装置を有し、これはある量(例えば3 2 M B)のS D R A M(220)に3 2ビットのバス幅を提供する。プロセッサ210はまたローカルバス上にその固有のブートフラッシュ装置(230)を有し、これはある量(例えば3 2 M B)の非揮発性フラッシュメモリに1 6ビットのバス幅を提供する。実時間クロックは、タイムスタンプエラーログ、バッテリ充電のための長い間隔のタイミング、電力損失濾波等のような異なる目的のために設けられることができる。

【0017】

P C I XバスI / F 250はP C I Xバスの転送レートおよびバースト長を、メモリ120に必要な転送レートおよびバースト長(例えば二重のデータレート同期ダイナミックランダムアクセス(D D R S D R A M))に適合するために使用されることができる。D R A M制御装置260はメモリアクセスに関する種々の機能を行うことができる。例えば、E C C回路270を通して、単一ビットエラー補正および二重ビットエラー検出を行い、メモリ120からの6 4ビットデータにわたって8ビットE C Cをサポートできる。D R A M制御装置260はメモリエラーを検出したときはいつでもプロセッサ210に対して中断信号を生成することもできる。さらに、リフレッシュサイクルおよびリフレッシュサイクルタイミングを提供することもできる。1実施形態では、D R A M制御装置はまた、メモリモードを制御するために信号をメモリバンクに送信することによって、プロセッサ210により制御される電力節約戦略を実行することができる。これについては図3を参照して詳細に説明する。D R A Mコネクタ280はメモリ制御装置110とメモリ120との間の物理的な接続を行う  
20  
30

【0018】

図3は本発明の1実施形態によるプロセッサ210の高レベルの機能ブロック図を示している。プロセッサ210は、そこにインストールされて稼動するオペレーティングシステム300と、初期化装置365と、P C I Xバスインターフェース330と、データアクセスリクエストハンドラ335と、メモリ状態制御装置340と、回復機構345と、メモリバックアップハンドラ350と、読取りクエストハンドラ355と、書込みリクエストハンドラ360とを使用する。プロセッサ210は種々の診断ルーチンを実行する診断機構305と、エラーメッセージをバックアップ記憶装置130に書込むためのエラー記録機構310も含むことができる。

【0019】

オペレーティングシステム300はL i n u x(登録商標)のような市販の製品であってもよい。システムのスタートアップ(またはリセット)時に、オペレーティングシステム300はバックアップ記憶装置130からロードされることができる。ブート時に、オペレーティングシステム300は種々の初期化を実行するために初期化装置365を呼び出すことができる。初期化装置365はメモリアレイ、バックアップ記憶装置、S C S I / ファイバ / 他のインターフェースシステムの初期化を行うことができる。これらの装置のブート画像は初期化期間中にそれぞれの装置にダウンロードされることができる。初期化された装置が適切に機能していることを確実にするために、初期化装置365はある診断ルーチンを実行するために診断機構305を呼び出すことができる。

【0020】

10

20

30

40

50

診断機構305は、幾つかの予め定められた診断構造(320)にしたがって診断ルーチンを実行できる。このような構造はアプリケーションの要求を満たすためにダイナミックに改訂されることができる。DMD100にコンポーネントが付加されるか、そこから除去されるとき、診断構造はそれに従って変更される必要がある。例えば、さらに多くのメモリロードが付加されるならば、診断の構造は付加的な装置を反映することができる。

#### 【0021】

診断機構305が診断ルーチンを実行するとき、試験されるように構成された装置に信号を送り、その後、試験されたコンポーネントからの応答を幾つかの予想された結果325と比較する。測定された結果が予想された結果と異なるならば、エラーメッセージが発生されることができ、エラー記録機構310は診断情報をバックアップ記憶装置130中に記録するために呼び出されることができる。幾つかの実施形態では、診断機構305はオペレーティングシステム300のシェルを介して手作業の付勢(302)によって呼び出されることもできる。

10

#### 【0022】

診断が適切に終了されたならば、初期化装置365は種々の駆動装置からの信号を受信するために登録でき、バックアップ記憶装置130からメモリ120へのデータのコピーを含めた復旧動作を行うために回復機構345を呼び出すことができる。復旧動作が終了されるとき、初期化装置365はその後、システム状態をデータアクセス動作に適切な状態に変化できる。

#### 【0023】

DMD100のシステム状態は複数のフラグ315を通して表明されることができる。例えば初期化装置365がシステム状態を回復へ変更するとき、システムがデータを復旧しているか、またはメモリロードが実行されていることを示す“回復”フラグ315-1を設定することができる。回復機構345がメモリの負荷(ロード)を終了するとき、メモリロードが終了されたことを示す同じフラグ315-1をリセットすることができる。同様に、システムがバックアップ動作を実行しているならば(例えばメモリ120からバックアップ記憶装置130へデータを移動するならば)、“バックアップ”フラグが設定されることができる。異なるシステム状態はデータが現在記憶されている場所を示すことができる。それ故、システム状態に応じて、データリクエストは異なって処理されることができる。

20

#### 【0024】

PCIバスインターフェース330は制御装置140、バックアップ記憶装置130、およびメモリアレイ120と通信するために使用される。制御装置140がホストシステムからメモリ制御装置110へデータリクエストを転送するとき、そのデータリクエストはPCI接続を介して制御装置140と、プロセッサ210のPCIバスインターフェース330との間で通信される。

30

#### 【0025】

データリクエストを受信するとき、PCIバスインターフェース330はデータリクエストをデータアクセスリクエストハンドラ335へ送信する。データアクセスリクエストハンドラ335はそのリクエストを解析し、その後、リクエストが読取リクエストであるならば、読取リクエストハンドラ355を付勢し、リクエストが書込みリクエストであるならば、書込みリクエストハンドラ360を付勢する。システム状態にしたがって、読取及び書込みリクエストハンドラ355、360は異なった動作を行うことができる。例えばデータ読取リクエストが回復動作(メモリロード)が終了される前に受信されるならば、読取リクエストハンドラ355は、読取命令をメモリ120へ送る代わりに、バックアップ記憶装置130へ導くことができる。データ書込みリクエストがメモリロードが終了される前に受信されるならば、書込みリクエストハンドラ360は、書込み命令をメモリ120とバックアップ記憶装置130の両者へ送り、その後、バックアップ記憶装置130からのみ確認を受信する。

40

#### 【0026】

メモリバックアップハンドラ350はメモリのバックアップ動作を実行する。このハンドラは、持続的な電力損失が検出されるとき、或いはバッテリーの電力があるレベルまで低下

50



したときのような、あるシナリオにおいて付勢される。これが付勢されるとき、システム状態がバックアップシステム状態に移転することを示す“バックアップ”フラグを設定することができる。このシステム状態下で、D M D 100はホストシステムから受信されたデータリクエストを拒否することができる。このシステム状態は、例えば定常の電力が戻ったことが検出されるまで変化できない。

#### 【0027】

メモリ状態制御装置340はメモリバンクの電力節約方式を実行できる。本発明の1実施形態では、電力消費およびしたがって熱発生を減少させるために、D M D 100は電力節約方式を使用し、その方式では、異なるメモリバンクが異なるモードに置かれ、そのうちのいくつかは低い電力消費をもたらす。電力節約方式の構成はシステム状態に応じている。10  
幾つかの実施形態では、システムが“標準”または“回復”モードであるとき、プロセッサ210はメモリ状態制御装置340を通して、1つのアクティブバンクを除く全てのメモリバンクを“休眠”または“パワーダウン”モードにする。D D R S D R A Mメモリにより、ウェイクアップ時間は(S D R S D R A Mの30マイクロ秒と比較して)約3マイクロ秒であることができる。このような非常に短いウェイクアップ時間はさらに高速度の記憶アクセスを容易にする。“休眠”モードにあるとき、インアクティブなメモリバンクは依然としてクロッキングを受信できる。電力節約方式はまた、標準的なサイズのD D Rチップフォームファクタのスペースにおける記憶容量密度を増加するために開発されている特別なD D Rメモリ120のチップにも適用される。この特別なD D Rメモリチップは、ダイが物理的に単一フォームファクタ内に位置されているが、各ダイが単一チップとしてアドレ 20  
スされることを可能にする方法で、多数のメモリダイのスタックにより開発される。

#### 【0028】

システムが“バックアップ”モードであるとき、プロセッサ210はさらに、インアクティブなメモリバンクへのクロッキングの送信を停止し、インアクティブなメモリバンクを“自己リフレッシュ”動作モードにすることによって電力消費を減少できる。“自己リフレッシュ”モードを出すために長い時間(約20マイクロ秒)がかかるが、このような長いウェイクアップ時間はバックアップ状態では許容可能である。

#### 【0029】

図4は、本発明の1実施形態によるバックアップ記憶装置130の機能ブロック図を示している。バックアップ記憶装置130はバックアップ記憶ディスク420およびバックアップディスク制御装置410を含んでいる。制御装置410はP C I Xバスに接続され、ディスク420との間のデータの記憶およびアクセスの制御を行う。ディスクは回転ディスクまたは高密度ディスク(H D D)として構成されることができる。ディスクの容量はアプリケーションの要求にしたがって決定されることができる。バックアップ記憶装置130はバックアップ目的だけではなく、メモリロードがまだ終了されていないときのメモリとして、記録診断情報またはエラーメッセージ、或いはD D R 120メモリに書込まれるミラーデータとして使用されるような他の目的でも使用されることができる。

#### 【0030】

通常システムでは、典型的な回復期間は単位ギガバイト当たり1乃至2分間の範囲である。回復期間中、システムは典型的に、任意のデータリクエストに回答することはできない。これは遅延を生じる。本発明の幾つかの実施形態では、バックアップ記憶装置130はメモリのロードが終了される前にメモリとして使用されるので、それは遅延を除去する。さらに、1実施形態では、D M D 100はその固有のS D R A Mを有するL i n u xオペレーティングシステム下で動作しており、これはさらにこの動作速度を改良する。例えばメモリの12ギガバイトでは、動作を終了するために約5分間かかる可能性がある。メモリのロードの終了前に、メモリとしてバックアップ記憶装置130を使用することに関する詳細を図8、15、19を参照して説明する。

#### 【0031】

バックアップ記憶装置130はまた、故障の場合のエラーメッセージ、診断ルーチンが実行されるときに得られる診断情報をログするために使用されることもできる。システムの 40

10

20

30

40

50

故障の場合、バックアップ記憶装置130中にログされているエラー情報は故障の原因を評価するために除去されることができる。

【0032】

図5は、本発明の1実施形態によるバッテリーシステム150の機能ブロック図を示している。バッテリーシステム150は組込みのガスゲージ540、DC-DC変換器510、モニタ530、バッテリー充電器520を具備している。モニタ530はガスゲージ540を通して、バッテリー500の状態を観察する。監視結果は、システム状態が変更されるのを必要とするか否かの決定に使用されることができる。例えばバッテリー電力が持続的に低下し、ある低いしきい値に到達すると、システム状態は“正常”状態から“バックアップ”状態へ変更されうることができる。

10

【0033】

バッテリー500は7.2vのようなある電圧を出力できる。バッテリー充電器520はこれが必要とされるとき、バッテリーの再充電を行う。DC-DC変換器510は例えば7.2vのバッテリー出力電圧または12vのSCSI電力を、システムで必要とされる異なる電圧に変換する。例えばDC-DC変換器510は7.2vまたは12vの入力電圧を採取して、1.2v、1.25v、1.8v、2.5v、3.0vまたは3.3vに変換できる。

【0034】

本発明の幾つかの実施形態では、バッテリーシステム150はメモリ制御装置110中の汎用目的のプロセッサ210により制御されることができる。監視方式はバッテリーの寿命を延長させる目的で、汎用目的のプロセッサ210の制御下で、実行されることができる。この方式下では、モニタ530はバッテリー500の電力レベルを監視する。観察された電力レベルは汎用目的のプロセッサ210へ送信される。電力レベルがあるレベル(例えばフルパワー)に到達するとき、汎用目的のプロセッサ210は電力がある低いレベル(例えば90%)に低下するまで、充電を停止できる。これによって、これが既に(バッテリー寿命を短くすることで知られる)フルパワーレベルであるとき、バッテリーの連続的な充電が阻止される。さらに、監視された電力レベルが低いしきい値に到達するとき、汎用目的のプロセッサ210は装置の運転を自動的に停止させることができる。

20

【0035】

図6は、本発明の1実施形態によるメモリ120の例示的な組織を示している。メモリ120は1以上のメモリボードを備えることができる。各メモリボードは複数のメモリバンクを含むことができる。例えば1つのメモリボードはメモリバンク610-1、610-2、610-3、620-1、620-2、620-3を含むことができる。別のメモリボードはメモリバンク630-1、630-2、630-3、640-1、640-2、640-3を含むことができる。

30

【0036】

各メモリボードはまた複数のレジスタおよび、位相ロックループ(PLL)クロックのようなクロックを含むことができる。したがって、1つのメモリボードはクロッキングを各メモリバンク610-1、610-2、610-3、620-1、620-2、620-3へ提供するためにチップ選択/クロック選択装置610と620を含んでいる。他のメモリボードはクロッキングを各メモリバンク630-1、630-2、630-3、640-1、640-2、640-3へ提供するためにチップ選択/クロック選択装置630と640を含んでいる。

40

【0037】

メモリ120は複数のLUN構造に論理的に組織化されることもできる。DMD100は、可変のブロックサイズを処理できる多数のLUN構造をサポートできる。異なるLUN構造は異なるブロックサイズを促すことができる。さらに、各LUN構造は異なるブロックサイズをサポートすることができる。このような能力によって、DMD100はそれぞれあるブロックサイズを備えている多数の記憶装置を有するように見えることができる。これによってDMD100は異なるブロックサイズを必要とするホストシステムとインターフェースすることが可能である。

【0038】

可変のブロックサイズがサポートされるとき、必要とされるブロックサイズを有するホ

50

ストシステムからのデータリクエストは、最初に、一致するブロックサイズを有するLUN構造にマップされることができる。図7は本発明の1実施形態による種々のフラグ315および多数のLUN構造700に関するデータアクセスリクエストハンドラ335の高レベルの機能ブロック図を示している。前述したように、データリクエストは(例えばメモリ120から、バックアップ記憶装置から、又はその両者から)の異なる内部記憶媒体中で処理されることができ、システム状態に基づいて決定が行われることができる。さらに、データリクエストが処理される場所に応じて、適切なLUN構造がしたがって識別されることができる。

#### 【0039】

図7に示されている例示的な実施形態では、メモリは例えばM個のLUN構造、即ちLUN1 700-1, LUN2 700-2, ..., LUNM 700-Mに組織化される。データアクセスリクエストハンドラ335は、システムフラグ検索装置710、LUN初期化装置720、システム状態決定装置730、LUNマッピング機構740、動作装置決定装置750、種々のデータアクセス演算子を具備し、種々のデータアクセス演算子は例えばメモリ読取演算子760-1、メモリ書込み演算子760-2、バックアップ記憶読取演算子770-1、バックアップ記憶書込み演算子770-2を含んでいる。

#### 【0040】

LUN初期化装置720は多数のLUN構造700を初期化することができる。例えば、システムが最初にセットアップされる時、全てのLUN構造は統一したまたは標準的なブロックサイズ(例えば512バイト)で設定されることができ、この初期ブロックサイズは異なるブロックサイズ値を有するデータリクエストを満足するために後に変更されることができる。例えば、幾つかのシステム(例えばUnisys製品)は180バイトのブロックサイズで動作することができ、幾つか(例えばTandem製品)は514バイトのブロックサイズで動作することができる。

#### 【0041】

データリクエストを受信するとき、データアクセスリクエストハンドラ335は最初に、システムフラグ検索装置710を介して、フラグ315にアクセスすることができ、これはシステムの動作状態を示している。システムフラグ検索装置710はその後、現在のシステム状態を識別するために、検索されたフラグ値をシステム状態決定装置730へ転送することができる。決定されたシステム状態に基づいて、動作装置決定装置750は、読取/書込み動作がどこの装置(例えばメモリ120またはバックアップ記憶装置130、或いはその両者)から/どこの装置へ行われるかを決定することができる。例えば、システムフラグが標準のシステム状態を示すとき、動作装置決定装置750は動作装置としてメモリ120を選択する可能性があり、即ち読取リクエストのいずれかまたは書込みリクエストであるデータリクエストはメモリ120から処理される。

#### 【0042】

メモリのロードがまだ終了されていないことを示すシステムフラグ“回復”が出される時、オペレーティングシステム決定装置750は読取及び書込みリクエストを異なって処理するように選択することができる。例えば、読取られるデータが依然としてバックアップ記憶装置130にある可能性があるため、読取リクエストはバックアップ記憶装置130から実行されることができる。書込みリクエストに関しては、システムは、データの統合性を確実にするために、同一のデータをメモリ120とバックアップ記憶装置130の両者に書込むことができる。システム状態決定装置730により決定されるシステム状態は、データリクエストを特定のLUN構造へマップするために、LUNマッピング機構740により使用されることもできる。

#### 【0043】

読取/書込み動作がどこから/どこへ実行されるかに関する決定に基づいて、動作装置決定装置750は適切なデータリクエスト演算子を呼び出すことができる。例えば、データ読取/書込みリクエストがメモリ120から処理されるとき、メモリ読取/書込み演算子760-1/760-2が付勢されることができる。データ読取/書込みリクエストがバックアップ記

10

20

30

40

50

憶装置130から処理されるとき、そのバックアップ読取/書込み演算子770-1/770-2が付勢されることができる。

【0044】

さらに、LUNマッピングの結果にしたがって、LUNマッピング機構740はまた、関連情報を、呼出された演算子へ供給することができる。例えば、LUNマッピング機構740は、マップされたLUN構造に関する情報を、付勢された演算子に転送することができる。

【0045】

付勢された演算子が幾つかのデータ動作命令を適切な装置へ送信し、データ動作が終了された後、その装置から応答を受信することができる。このような応答には、(例えばデータが読み取られるとき)データのピース、確認(例えば書込みの確認)、または(例えば読取動作または書込み動作からの)エラーメッセージの返信を含むことができる。応答は動作命令が送信されたそれぞれの装置から来る。例えば、対応する読取リクエストを満足させるためにデータのピースを読み取る時、読取演算子(メモリ読取演算子760-1またはバックアップ読取演算子770-1)は、(例えばLUNマッピング機構740により決定される特別なLUN構造内の)適切なアドレスと共に読取命令を、基本をなす動作装置へ送信することができる。読取が終了されるとき、読取演算子は幾つかの確認メッセージと共に、または確認メッセージなしに、動作装置から読取られたデータを受信できる。受信されたデータ及び確認は、それらが存在するならば、リクエストしているホストシステムへ転送されるように、PCIバスインターフェース330(図3参照)へ送信される。動作中にエラーが生じたとき、読取演算子もまたエラーメッセージを受信し転送することができる。

10

20

【0046】

書込み動作が呼び出されるとき、動作がメモリ120のみから(例えば正常のシステム状態において)、またはメモリ120とバックアップ記憶装置130の両者から(例えば回復システム状態において)処理されるかに応じて、書込み演算子は異なる動作をすることができる。正常のシステム状態ではメモリ書込み演算子760-2が書込み動作のために呼出される。メモリ書込み演算子760-2は最初に、書込まれるデータと共に書込み命令を送信し、その後、メモリ120から確認またはエラーメッセージを受信するのを待機する。応答を受信すると、メモリ書込み演算子760-2は、受信された情報をPCIバスインターフェース330へ転送する。

30

【0047】

(以下の図8を参照して説明する)幾つかの他のシステム状態では、書込み動作はメモリ120とバックアップ記憶装置130との両者で行われる。この場合、メモリ書込み演算子760-2とバックアップ書込み演算子770-2の両者が呼び出される。両方の書込み演算子は、書込み命令(例えば書込む場所)と共に、書込まれるデータをそれらのそれぞれの動作装置(即ち、メモリ120とバックアップ記憶装置130)へ送信する。メモリ120はバックアップ記憶装置130よりも非常に高速度で動作できるので、バックアップ書込み演算子770-2だけがバックアップ記憶装置130から受信された書込み確認またはエラーメッセージをPCIバスインターフェース330へ転送するように構成されることができるが、メモリ書込み演算子760-2もメモリ120からこのような情報を受信できる。

40

【0048】

図8は、本発明の1実施形態による、DMD100における異なる動作条件下の種々の例示的なシステム状態および転移を示している。状態転移表800は行及び列を含んでいる。行は現在のシステム状態810に対応し、列は現在の状態が異なる状態に転移するか同じシステム状態のままである事象または状態820に対応している。現在のシステム状態が行により表され、事象/状態が基本をなす列により表されるとすると、特定の行及び特定の列に対応する表800の各エントリは、次のシステム状態を表す。

【0049】

表800では、(1)と符号を付されたブート状態810-1、(2)と符号を付された回復状

50

態810-2、(3)と符号を付されたサービス中のバックアップ状態810-3、(4)と符号を付されたサービス中の状態810-4、(5)と符号を付されたサービス中のバックアップ係属状態810-5、(6)と符号を付された回復バックアップ係属状態810-6、(7)と符号を付されたバックアップ状態810-7、(8)と符号を付されたアイドル状態810-8、(9)と符号を付されたオフ状態810-9を含む9つの例示的なシステム状態が存在する。メモリアレイ故障820-1、バックアップ故障820-2、電力なし820-3、電力オン820-4、バッテリー出力低下/バックアップ820-5、バッテリー出力上昇/バックアップ820-6、電力損失820-7、持続的電力損失820-8、持続的電力帰還820-9を含む、システム状態の転移をトリガーできる種々の事象/状態が存在する。

#### 【0050】

各システム状態は特定のシステム動作状態を示している。例えば、ブート状態(1)はDM D 100が例えば電力オン、リセットによって、または幾つかのソフトウェア手段を介して、トリガーされるブートプロセスを受けていることを示す。回復状態(2)はDM D 100が、バックアップ記憶装置からメモリへデータを回復しているか、または単にメモリをロードしていることを示している。サービス中バックアップ状態(3)はメモリ120が(例えばメモリ故障、バックアップ用のバッテリーが不十分であるため)適切に機能しておらず、データリクエストがバックアップ記憶装置からサービスされていることを示している。サービス中状態(4)はDM D 100が正常の状態下で動作していることを示している。即ち全てのデータリクエストはメモリ120から処理される。

#### 【0051】

サービス中のバックアップ係属状態(5)はデータリクエストがサービスされているが係属バックアップを有する状態を示すことができる。即ちデータリクエストは依然として、メモリ120から処理されているが、監視され、近い将来にバックアップ手順をトリガーする可能性がある幾つかの状態(例えば電力の低下)が存在する。回復バックアップ係属状態(6)は、システムがメモリのロードを行っており(バックアップ記憶装置からメモリへデータを回復しており)、状態が持続的に悪いならば(例えば持続的な電力損失)、幾つかの既存の状態/事象(例えば電力の損失が)が近い将来にバックアップ手順をトリガーする可能性があることを示している。バックアップ状態(7)は単に、メモリ120からバックアップ記憶装置130へデータを移動することにより、バックアップ手順を実行していることを示している。アイドル状態(8)は、システムが現在アイドルであり、何等のデータリクエストも受取っていないことを示している。オフ状態(9)はDM D 100が現在オフであることを示している。

#### 【0052】

各システム状態は、データリクエストを処理する方法に関して、DM D 100に異なる動作をさせることができる。例えば、システム状態中のサービス中状態(4)およびサービス中のバックアップ係属状態(5)では、データリクエストは常にメモリ120からサービスされる。システム状態中の回復状態(2)、サービス中のバックアップ状態(3)、回復バックアップ係属状態(6)では、データリクエストはリクエストの性質および、リクエストされたデータの位置にしたがって、メモリ120、またはバックアップ記憶装置130、或いは両者からサービスされることができる。システム状態中のブート状態(1)、バックアップ状態(7)、アイドル状態(8)、オフ状態(9)では、データリクエストはサービスされない。

#### 【0053】

システム状態は、ある状態/トリガー事象下で変化する。固定された現在の状態では、DM D 100は、異なる事象が生じるとき、異なるシステム状態に転移できる。例えば、ブート状態(1)では、メモリの故障(820-1)が生じるならば、システム状態はブート状態(1)からサービス中のバックアップ状態(3)に転移する。即ち、全てのデータリクエストは、メモリアレイの故障のために、バックアップ記憶装置130から処理される。ブート期間中にバックアップ記憶装置130の故障(820-2)が生じるならば、ブートプロセスはバックアップ記憶装置130なしでは、さらに動作することができないので、システム状

10

20

30

40

50

態はブート状態(1)からアイドル状態(8)へ転移できる。現在のシステム状態が正常(サービス中状態(4))であり、電力損失(820-7)が検出されたならば、システム状態はサービス中のバックアップ係属状態(5)へ転移できる。この状態では、システムは依然としてサービス中であるが、可能な係属バックアップが存在する。この状態では、電力損失が持続している(820-8)ならば、システム状態はさらにバックアップ状態(7)に転移する。空欄のエントリを有しているあるセルが表800に存在しており、これは現在の状態では、列により表されている基本をなす事象が適用されないことを示している。例えば、システムがオフ状態であるとき、メモリアレイの故障820-1およびバックアップ記憶装置の故障820-2のような、ある事象はシステム状態に影響しない。

【0054】

図9は、本発明の1実施形態によるDMD100の異なるコンポーネントの例示的な組織的配置900を示している。例示的な組織的配置900はSCSI/ファイバ制御装置ボード(SCB)910、DRAM制御装置ボード(DCB)940、メモリボード(MB)950、バックアップ記憶スペースを提供する高密度ディスク930、バッテリー920を含む5つの別々の物理的部分を含んでいる。

【0055】

前述した同じ論理組織の幾つかのコンポーネントは異なるボード上でグループ化されることができる。例えば、バックアップ記憶ディスク制御装置410は、取付け(ATA)制御装置(7)を使用して実現されることができ、図9に示されている例示的な配置では、これは(例えば(9)として符号を付されている)東芝1.8" 20GBの高密度ディスクを使用して構成される)バックアップ記憶ディスク930から物理的に別々に配置されることができる。同様に、DC-DCコンバータ510(図5参照)、バッテリー充電器520、及びモニタ530は、バッテリー500およびガスゲージ540とは分離されてSCB910上に配置されてもよい。サイズ、熱消費、コンポーネントが容易に置換されることができる位置に配置される必要があるか否かのような、論理的または機能的な組織化の考察以外の要因に基づいて、例示的な配置が行われることができる。その代わりに、またはそれに加えて、物理的な組織的配置は、システム全体のコンパクトさに関する考察に基づいて設計されることができる。

【0056】

SCSI/ファイバ制御装置ボード(SCB)910はATA制御装置チップ7と、SCSI/ファイバ制御装置チップ6と、電力管理装置および変換器チップ3とを含んでおり、電力管理装置および変換器チップ3はDC-DC変換器、バッテリー充電器、モニタを含んでいる。DRAM制御装置(DCB)940は、汎用目的のプロセッサチップ(例えば32ビットの405GPr)12、SDRAMチップ16、ブートフラッシュメモリ17、実時間クロック18、フィールドプログラム可能なゲートアレイ(FPGA)チップ11を含んでおり、このフィールドプログラム可能なゲートアレイ(FPGA)チップ11はPCI-XバスI/F11-1およびECC回路11-2を有するDRAM制御装置の両者としてプログラムされている(図2を参照して説明)。

【0057】

各ボードはまた、異なるボード及びコンポーネント間での接続を容易にするための、ある異なる部分を含むことができる。例えばSCB910は、ATA制御装置チップ7とバックアップディスク9との間の接続を容易にするATAコネクタ8と、SCB910とDCB940との間のPCI-X接続を容易にするPCI-Xコネクタ10と、SCSI/ファイバ制御装置とSCSI/ファイババックプレーン(1)との間の物理的な接続を行うSCSI/ファイバコネクタ2と、SCB910をバッテリー5へ接続するバッテリーコネクタ4とを含んでいる。同様に、DCB940は、SCB910上のPCI-Xコネクタへの接続を容易にする対応するPCI-Xコネクタ10と、DRAM制御装置11-2とメモリボード950との間の接続を行うDRAMコネクタ19と、外部とDMD100との間に直列接続点を設けるRS232コネクタと、システム状態およびアクティビティを示す手段を与えるLED灯14と、外部からシステムをリセットする要求を満たすリセットボタン15とを含んでいる。

10

20

30

40

50

## 【 0 0 5 8 】

1実施形態にしたがって、FPGA11はPCI Xコネクタ10に直接接続されている。これによって、DMD100は汎用目的のプロセッサ12を通らずに高速度の記憶アクセスを実現するためにその搭載FPGAを通してデータ転送を行うことが可能である。さらに、PCI Xコネクタ10もまたSCSI制御装置6に接続されているので、FPGA11は、汎用目的のプロセッサ12を通らずに、直接、外部ソースとの間でデータを転送することができる。このことにより、記憶装置が高速度でアクセス可能であるだけでなく、共用もされることができる。さらに、汎用目的のプロセッサ12は、商用のオペレーティングシステム（例えばLinux）と共に配備される市販のCPUを使用して構成されることができ、DMD100は完全なコンピュータであり、これは通常の汎用コンピュータで通常動作する種々のアプリケーションをサポートできる。この場合、アプリケーションは汎用目的のプロセッサ12で動作でき、アプリケーションに必要なデータはプロセッサ12のSDRAMに転送されることができ、

10

## 【 0 0 5 9 】

図10乃至13は、本発明の1実施形態によるメモリボードとそれらの内部組織の例示的な配置を示している。1実施形態では、メモリ120は、それぞれ3または6つのメモリバンクを含むことができる1以上のメモリボードを具備することができる。1つのメモリボード内および異なるメモリボード内の異なるメモリバンクは、統一したアドレス及びクロッキングを行うために、ある方法で接続されることができ、図10は2つの例示的なメモリボード、即ちメモリボード0の1010とメモリボード1の1020がDCB940上のDRAM制御装置と接続される態様を示している。メモリボード0の1010は6つのメモリバンク、即ち、バンク0の1010-1、バンク1の1010-2、バンク2の1010-3、バンク3の1010-4、バンク4の1010-5、バンク5の1010-6を有している。6つのバンクは共に連結され、メモリボードコネクタ1005-1を通してDCB940に接続されている。同様に、メモリボード1の1020は6つのメモリバンク、即ち、バンク0の1020-1、バンク1の1020-2、バンク2の1020-3、バンク3の1020-4、バンク4の1020-5、バンク5の1020-6を有している。メモリボード1の1020上の6つのバンクは同様に共に連結され、メモリコネクタ1005-2を介してメモリボード0の1010に接続されることができ、メモリボード1の1020はメモリボード0の1010を通してDCB940に接続されている。

20

## 【 0 0 6 0 】

メモリボードコネクタ1005-1と1005-2は異なるタイプの信号通過を可能にする。例えばこれはデータの通過を可能にする。これはまた、アドレス情報の通過を可能にできる。さらに、これは制御信号の通過を可能にする。幾つかの実施形態では、メモリボードコネクタは、64ビットデータ及び8ビットECCと、データストロープと、データマスク信号とを有する72ビットデータバスを含んでいる。これらは類似した方法で経路を設定されることができる。メモリボードコネクタはまたアドレスバスと、制御信号用の付加的なバスも含んでいる。アドレス及び制御信号はレジスタバッファによって各ボードで終端されることができ、このレジスタバッファはボードに特有のクロックによりクロックされることができる。

30

## 【 0 0 6 1 】

図11は、本発明の1実施形態によるメモリボードのレジスタバッファの例示的な配置を示している。図11では、各メモリボードは1つのレジスタバッファを有する。メモリボード0 1010はレジスタバッファ1110を有し、メモリボード1 1020はレジスタバッファ1120を有する。それぞれ基本を成すメモリボードに指定されたアドレス及び制御信号を受信するために、異なってクロックされることができ、各メモリボードは異なるクロック（CK）、クロックエネーブル（CKE）信号、チップ選択（CS）信号を使用することができる。各メモリバンクは別々のCKEとCS信号を有することができる。各メモリボードは、位相ロックループ（PLL）クロックとして構成されることができ、1以上のクロックを有することができる。

40

## 【 0 0 6 2 】

50

図12は、本発明の1実施形態によるメモリボード中のPLLクロックの例示的な配置を示している。この例では、メモリボード1200は2つのPLLクロック1210と1220とを有し、それぞれ例えば3つのメモリバンクとして動作する。例示的な実施形態では、PLLクロック1210はクロッキングバンク3の1200-4と、バンク4の1200-5と、バンク5の1200-6との機能を行い、PLLクロック1220はクロッキングバンク0の1200-1と、バンク1の1200-2と、バンク2の1200-3の機能を行う。

【0063】

DCB-MB-MBを横切って通過する経路選択信号に適応するために、メモリボードはピンシフトを容易にするように設計されることができる。本発明の1実施形態による2個のメモリボード間の1つの例示的なピンシフト方式が図13に示されている。6個のメモリバンク(A、B、C、D、E、F)を有する2個のメモリボード間で信号を経路選択するために、各メモリボードは各側に28個のピンを有することができる。メモリボード0の1010をDCB940へ接続するために使用される28個のピンの中で、14個のピンがDCB940とメモリボード0の1010との間の信号の経路選択に使用され、他の14個のピンがDCB940とメモリボード1の1020との間の信号の経路選択に使用される。

【0064】

メモリボード0の1010への接続専用である第1のセットの14個のピンの中で、6個のピンは、6個のメモリバンク(CKE0A、CKE0B、CKE0C、CKE0D、CKE0E、CKE0F)のそれぞれのCKE信号用であり、6個のピンは、6個のメモリバンク(CS0A、CS0B、CS0C、CS0D、CS0E、CS0F)のそれぞれのCS信号用であり、2個のピンは2つのPLLクロックをクロッキングするためのものであり、ここで、PLL1310のクロッキング用のCLK0ABはバンクA、B、Cにตอบสนองし、PLL1320のクロッキング用のCLK0CDはバンクD、E、Fにตอบสนองする。これらのピンは(第1の位置として最も右側から開始する)(CKE0A-CKE0F用の)位置7-12と、(CKE0AとCKE0CD用の)位置15-16と、(CS0A-CS0F用の)位置17-22に位置される。

【0065】

残りの14個のピンはDCB940とメモリボード1の1020とを接続するためのものである。位置1-6の6個のピンは、メモリボード1の1020上の6個のバンクのクロックエネーブル信号CKE1A-CKE1F用のものであり、位置13-14の2個のピンは(メモリボード1の1020のそれぞれクロッキングバンクA、B、C、D、E、Fに対してตอบสนองする)2つのPLLクロック1330と1340のための2つのクロッキング信号CKE1AB-CKE1CD用のものであり、位置23-28の別の6個のピンは、第2のボード1020上の6個のバンクに対応するチップ選択信号CS1A-CS1F用のものである。第2のメモリボード1020に専用の信号は、対応する信号が第1のメモリボード1010へ経路選択される同じピン位置に到達するように、第1のメモリボード1010を通過して導かれる。即ち、クロックエネーブル信号CKE1A-CKE1Fは(CKE0A-CKE0Fの位置と同一の)位置7-12においてメモリボード1の1020へ経路設定され、クロッキング信号CLK/ABおよびCLK/CDは(CLK0ABおよびCLK0CDに対して同一の)位置15-16においてメモリボード1の1020へ経路設定され、チップ選択信号CS1A-CS1Fは(CS0A-CS0Fと同一の)位置17-22においてメモリボード1の1020へ経路設定される。

【0066】

図14aは、本発明の1実施形態によるSCSI制御装置ボードSCB1400の例示的な物理的レイアウトを示している。SCB1400は、456のピンを有する53C1030TのようなSCSI制御装置チップ1404、SCSI制御装置から熱を抽出するために、SCSI制御装置の近く(例えばSCSI制御装置の上部の)に置かれた随意選択的なヒートシンク1401、チップHP1371NのようなATA制御装置1406、東芝1.8" HDDディスクのようなバックアップ記憶ディスク1403、(HDDディスク1403の下の)ATAコネクタ1409、バッテリーモータ及び充電器を有するDC-DC電力変換器1402、ホストシステムがSCSI制御

10

20

30

40

50



装置と通信するためのホスト S C S I コネクタ 1408 (または S C S I バックプレーン)、S C S I バックプレーンを S C S I 制御装置へ接続する S C S I コネクタ 1408-1、1408-2、1408-3を含んでいるが、それらに限定されない複数のコンポーネントを有している。S C B 1400は発振器 1405、100個のピン 1407-1および 1407-2を有する2個の P C I X コネクタ P K 5 も含むことができる。種々のコンポーネントの例示的なサイズ及びそれらの動作電力レベルが図 1 4 a に示されている。

【0067】

図 1 4 b は、本発明の 1 実施形態による D R A M 制御装置ボードまたは D C B 1410 の例示的な物理的レイアウトを示している。D C B 1410 は、456個のピンを有する 405GPr のような汎用目的のプロセッサチップ 1418、S D R A M チップ 1411、フラッシュメモリチップ 1412、実時間クロックチップ 1413、P C I X バス I / F および D R A M 制御装置としてプログラムされている F P G A チップ 1414、R S 2 3 2 インターフェース 1415、D R A M コネクタ用の 2 つのスロット、即ち PAK5-140 スロット 1416-1 および PAK5-120 スロット 1416-2、S C B 1400 への P C I X コネクタ用の 2 つのスロット、即ち S C B 1400 上の対応部 1407-1 および 1407-2 に対応する P K 5 1417-1 および 1417-2 を物理的に構成している。同様に、D C B 1410 の異なるコンポーネントに対する例示的なサイズ及びそれらの動作電力レベルも示されている。

【0068】

図 1 4 c は、本発明の 1 実施形態によるメモリボード 1420 上のメモリチップの例示的な物理的レイアウトを示している。この例では、9 個のスタック (1421-1, ..., 1421-9, 1422-1, ..., 1422-9, 1426-1, ..., 1426-9, 1427-1, ..., 1427-9) を有する各行を備えた 4 個の別々の行 (1421、1422、1426、1427) にそれぞれ配置されている 3 チップの全体で 36 のメモリスタックが存在している。スタックの 4 つの行は物理ボードの各側に存在する 18 のスタックの 2 つのグループに集合される。2 つのグループの間には、2 つの P L L クロック 1424、レジスタバッファ 1423、D R A M コネクタ用の 2 つのスロット、即ち (D C B 1410 上の対応するコネクタ 1416-1 と 1416-2 に対応する) PAK5-140 1425-1 と PAK5-120 1425-2 が存在する。各コンポーネントの例示的な物理的サイズおよびそれらの動作電力レベルが示されている。各メモリスタックは、ある数のバイトのメモリ容量を表すことができる。前述したように、D M D 100 には多数のメモリボードが含まれている。

【0069】

図 1 4 d は、本発明の 1 実施形態によるコンパクトボックス 1430 中の D M D 100 の異なるボードの例示的な物理的配置を示している。熱の減少、コンポーネントの置換の容易さ、接続の効率について考慮して、コンパクトな方法で配置されたボード及びコンポーネントの複数の層が存在する。本発明の 1 実施形態によれば、D M D 100 の全てのコンポーネントは、任意の装置の任意の駆動ペイ中に配備可能である低プロファイルの 3.5" フォームファクタでパッケージされることができる。上部の 2 つの層は 2 つのメモリボード 1420-1 と 1420-2 を含んでおり、それぞれ図 1 4 c を参照して説明したような、メモリチップ配置を有している。2 つのメモリボード 1420-1 と 1420-2 は対応する D R A M コネクタ 1425-1 と 1425-2 または PAK5 140 と PAK5 120 コネクタを介して接続される。メモリボードの下には D B C 1410 が存在し、それは上方のメモリボード (1420-2) にその D R A M コネクタ 1416-1 と 1416-2 を介して、メモリボード 1420 上のそれらの対応部分、即ち 1425-1 と 1425-2 (図 1 4 c 参照) に接続している。

【0070】

D C B 1410 の下にはコンパクトボックス 1430 の底部に S C B 1400 が位置している。汎用目的のプロセッサチップ 405 GPr (1418) は D C B 1410 の底部に設置されている。内部バックアップディスク 1430 は、その下に A T A コネクタ 1409 を有する S C B 1400 の左側に存在する。S C S I 制御装置チップ 1404 は、上部にヒートシンク 1401 を有する S C B 1400 の右側に存在する。ホスト S C S I コネクタ 1408 はコンパクトボックス 1430 の右下に位置されている。S C S I コネクタ 1408-1、1408-2、1408-3 はホスト S C S I コネクタ 1408 を S C S I 制御装置チップ 1404 へ接続する。S C B 1400 は、両ボード上の対応部分 (1407-1 対

10

20

30

40

50

1417-1と1407-2対1417-2)として位置され整列されているP C I Xコネクタを介してD C B 1410と通信する。P C I Xコネクタの2つの対はS C S I制御装置チップ1404とヒートシンク1401の前方に整列されている。A T A制御装置1404はこれらのコネクタの後方にある。

【0071】

2つのメモリボード1420-1と1420-2およびD C B 1410はS C B 1400よりも狭く、コンパクトボックス1430の右側方向に設置されている。これらの小さいボードの左側にはバッテリー1431が存在し、これはS C B 1400の左上にある。

【0072】

図14eおよびhは、本発明の1実施形態によるD M D 100ボックスの異なる方向から見た構造図を示している。図14eでは、D M D ボックス1440は熱の散逸を助けるために分散して設けられた種々の穴を有する。この図では、バッテリー1431は右上にあり、2つのメモリボード1420-1と1420-2およびD C B 1410の近くであり、S C B 1400上のバックアップ記憶ディスク1403および(バックアップ記憶ディスク1403下の)そのA T Aコネクタ1409の上方に配置されている。ホストS C S Iコネクタ1408はS C B 1400上のバックアップ記憶ディスク1403と反対側に存在する。

10

【0073】

本発明の1実施形態では、D M D 100は低プロファイルの3.5"フォームファクタを有するボックス中に非常にコンパクトな方法でパッケージされている。前述したように、D M D 100は十分に完全なコンピュータである。これは低プロファイルの3.5"フォームファクタを有するコンパクトなパッケージングにより、任意の装置の任意の駆動ベイに配備可能にされ、以下さらに詳細に説明するように、種々のアプリケーションで使用されることができる。

20

【0074】

図14fは、図14eと比較して、90度回転されている図を示している。この図では、S C S I制御装置チップ1404はホストS C S Iコネクタ1408の近くにあり、S C S Iコネクタ1408-1、1408-2、1408-3(見えない)を介して、ホストS C S Iコネクタ1408に接続されていることが認められる。

【0075】

図14gは、図14fを畳んだ図である。ボードが設置され、コンパクトボックス1430が閉じられるとき、ボックスのバックプレーンから見られるのは、ホストS C S Iコネクタ1408であり、それはS C B 1400と同じ層に位置され、D C B 1410と2つのメモリボード1420-1と1420-2の下にある。

30

【0076】

図14hは、ボードが設置されるとき、コンパクトボックス1430の反対側を示している。バッテリー1431はボックスのエッジにあり、これは3つの小さいボードと、メモリボード1420-1と1420-2の近くであり、S C B 1400上のバックアップ記憶ディスク1403とそのA T Aコネクタ1409の上にある。

【0077】

前述したようにD M D 100は低プロファイルの3.5"フォームファクタのデータプロセッサであり、任意の装置の任意のドライブベイ中に配備可能である。図15の(a)および(b)は標準的な低プロファイルの3.5"高密度ディスク(H D D)のような高速度ディスク記憶エミュレータとして配備されているD M D 100を示している。D M D 100は非常に高速度のデータ移動を行うことができるので、記憶エミュレータとしてD M D 100を使用することによって、高速度の転送での大容量のデータ記憶のための効率的な手段を提供することができる。図15の(a)は、D M D 100が複数のホストシステム、即ちホストシステム1 1510とホストシステム2 1520, ..., ホストシステムK 1530に対する高速度ディスク記憶エミュレータとして配備されるとき例示的な構造を示している。この配備では、ホストシステムはデータリクエストを、S C S I / ファイバチャンネル制御装置140(図1参照)を介してD M D 100へ送信することができる。データリクエストを受信した

40

50

とき、D M D 100はそのデータリクエストを処理し、リクエストされたデータにアクセスし、その後、リクエストしているホストシステムへ応答を返送する。

【0078】

図15の(b)は、D M D 100が高速ディスク記憶エミュレータとして配備されるときに異なる例示的な構造を示している。この構造では、単一のホストシステム1540は複数のD M D、即ち大容量データ記憶用のD M D 1 1560、D M D 2 1570、...、D M D K 1580を配備することができる。多数のD M D間で調整するため、ディスパッチャ1550が配備され、ホストシステム1540からのデータリクエストを誘導し、D M Dからの応答をホストシステム1540へ転送するように構成されることができる。多数のD M Dに記憶されているデータは、決定された種々の規準にしたがって、例えばアプリケーションの要求にしたがって、分配されることができる。例えば、データベースの異なる論理部分が異なるD M Dに記憶されてもよく、分配マップが設定されることができ、ディスパッチャ1550によって、リクエストを誘導して応答を転送する方法を決定するために使用されることができる。幾つかのD M Dは故障を許容する目的で設けられることもできる。その代わりに、ディスパッチャはデータリクエストを特定のD M Dへ発送する前に、負荷の平衡を実行するように構成されることができる。

10

【0079】

図16は、本発明の1実施形態にしたがって、D M D 100が、(固体の高速ディスクをエミュレートする)高速ディスクエミュレータとして使用され、データリクエストを処理する例示的なプロセスのフローチャートである。そのシステムは最初にステップ1600で初期化される。初期化の終了時に、適切なシステム状態が設定される。初期化プロセスに関する詳細を図17を参照して説明する。初期化後、システムは1605で、ホストシステムからデータリクエストを受信する。データリクエストの受信に関する詳細を図18を参照して説明する。データリクエストがD M D 100に記憶されているあるデータをアクセス(即ち読取または書込み)するとき、(図9を参照して説明したように)汎用目的のプロセッサ12を通過せずに、F P G A 12を通過して直接データ転送が行われることができる。このようなデータリクエストをサービスするため、システムは現在のシステム状態を決定する。それぞれ1610および1650で決定されたシステム状態がサービス中(状態(4))であるか、サービス中バックアップ係属(システム状態(5))であるならば、データリクエストはしたがって1615で、メモリ120から処理される。メモリ120からのデータリクエストの処理プロセスを図19を参照して説明する。

20

30

【0080】

システム状態が、それぞれ1650、1665、1670で決定されたサービス中バックアップ(システム状態(3))、回復バックアップ係属状態(システム状態(6))、又は回復(システム状態(2))であるならば、データリクエストは、したがって1660で、リクエストされた位置にしたがって、メモリ120またはバックアップ記憶装置130からのデータが処理される。メモリ120またはバックアップ記憶装置130から処理されるデータリクエストに関する詳細を図20を参照して説明する。システム状態が、それぞれ1675、1685、1690で決定されたバックアップ状態(システム状態(7))、アイドル状態(システム状態(8))、オフ状態(システム状態(9))のうちの1つであるならば、システムは1680で、データリクエストのサービスを拒否する。

40

【0081】

データリクエストが処理された(1615または1660でサービスされた)後、システムは1620において、バックアップが実行される必要があるか否かをチェックする。バックアッププロセスが初期化される必要がある状態については、図8(システム状態の転移)を参照して説明される。バックアップが必要とされるならば、D M D 100は1625で、バックアッププロセスを呼び出す。バックアップ(または回復)プロセス期間中、あるフラグは正しいシステム状態の転移を可能にするために適時に設定されることができる。例えば、バックアッププロセスが開始されるとき、システムはそれがバックアッププロセスの終了前の全ての次のデータリクエストを拒否するようにバックアップフラグを設定することができ

50

る。終了時、フラグはシステム状態の転移が初期化されることができるよう、適切にリセットされることが出来る。

【0082】

システムはまた、ある診断ルーチンが実行される必要があるか否かを、1630でチェックできる。診断ルーチンを実行する場合に関する例示的な規準は前述したとおりである。例えば、このようなルーチンが規則的に実行されるように、規則的な間隔が設定されることが出来る。診断ルーチンはまた、ある事象の検出時に幾つかのソフトウェアアプリケーションによりトリガーされることが出来る。責任者がこれらを外部で付勢することも出来る。診断ルーチンはステップ1635で実行される。診断期間中に、1640で検出されたエラーが存在することが決定されたならば、ステップ1645で、バックアップ記憶装置130にエラーメッセージが書込まれるか記録される。

10

【0083】

システムは1646で、回復プロセス(メモリのロード)が初期化される必要があるか否かをチェックされる。メモリのロードプロセスが初期化される例示的な状態について図8(システム状態の転移)を参照して説明する。回復が必要とされるならば、プロセスは1647で実行される。このプロセス期間中、データがバックアップ記憶装置130からメモリ120へ移動されることを示すためにあるフラグが設定されることができ、それによってこのようなシステム状態の下で受信されたデータリクエストは適切に処理されることが出来る。回復プロセスの終了時に、フラグはシステム状態が適切に変更されることが出来るようにリセットされる。

20

【0084】

図17は、本発明の1実施形態による、DM D 100が初期化される例示的なプロセスのフローチャートである。オペレーティングシステム(OS)は最初に、1710でブートされる。OSのブートが終了すると、プロセッサ210は、1720においてメモリ120を、1730においてバックアップ記憶駆動装置を、また1740においてSCSI/ファイバ駆動装置を含む種々の駆動装置を初期化する。初期化の状態に基づいて、システムはその後、1750で適切なシステム状態を設定する。

【0085】

図18は、本発明の1実施形態による、プロセッサ210がデータリクエストを受信し、そのリクエストを適切な駆動装置へ転送する例示的なプロセスのフローチャートである。プロセッサ210が1810で、そのPCIインターフェースを介してデータリクエストを受信するとき、これは最初に、1820でデータリクエストを翻訳する。データリクエストを適切な駆動装置へ転送する前に、プロセッサ210は1830で、現在のシステム状態を決定する。現在のシステム状態およびデータリクエストの特性に基づいて、プロセッサ210は1840で、データリクエストを処理する適切なオペレーティング装置を決定し、それに続いて1850で、データリクエストを、このように決定されたオペレーティング装置へ転送する。

30

【0086】

図19は、本発明の1実施形態にしたがって、データリクエストがメモリ120から処理される例示的なプロセスのフローチャートである。データリクエストを受信するとき、DM D 100は最初に、1900で、例えば必要とされるブロックサイズに基づいて、データリクエストを適切なLUN構造へマップする。データリクエストの性質がその後1910で解析される。データリクエストが読取りリクエストであるならば、読取りリクエストは1915で、メモリ120へ送信される。そのデータはその後、1920で読取られる。メモリ120から読取られたデータが1925で受信されるとき、これは1930でデータリクエストを行ったホストシステムへ戻される。データリクエストが書込みリクエストであるならば、書込みリクエストは書込まれるデータと共に1935でメモリ120へ送信される。そのデータは1940でメモリ120へ書込まれる。データ書込みが終了されるとき、確認が1945でメモリ120から受信され、その後、1950でデータリクエストを行ったホストシステムへ転送される。

40

【0087】

図20は、本発明の1実施形態によって、データリクエストがメモリ120またはバック

50

アップ記憶装置130から処理される例示的なプロセスのフローチャートである。前述したように、システム状態がサービス中バックアップ（システム状態（3））、回復バックアップ係属状態（システム状態（6））、又は回復（システム状態（2））であるならば、データリクエストは、データがリクエストされた位置にしたがって、メモリ120またはバックアップ記憶装置130から処理される。このような状態でデータリクエストを処理するために、DMD100は最初に、2000でデータリクエストが読取りリクエストであるかまたは書込みリクエストであるかを決定する。

**【0088】**

データリクエストが読取りリクエストであるならば、読取られるデータの位置は2005で決定される。読取られるデータがバックアップ記憶装置130に位置されているならば、読取りリクエストが2015でバックアップ記憶装置130へ送信される前に、適切なLUN構造がデータリクエストにしたがって、2010でマップされる。データが2020で、バックアップ記憶装置130から読取られた後、そのデータは、2025でバックアップ記憶装置130から受信され、その後、2030で読取りリクエストを行ったホストシステムへ転送される。

10

**【0089】**

読取られるデータがメモリ120に位置されているならば、データリクエストが2040でメモリ120へ送信される前に、2035で適切なLUN構造へマップされる。データが2045でメモリ120から読取られた後、データは2050で受信され、その後、2030でリクエストを行ったホストシステムへ転送される。

**【0090】**

データリクエストが書込みリクエストであることが2000で決定されたならば、DMD100はメモリ120とバックアップ記憶装置130との両方で書込み動作を行うことができる。この場合、書込みリクエストは最初に、2055でメモリ120とバックアップ記憶装置130との両者の適切なLUN構造にマップされる。マッピングは必要とされるブロックサイズにしたがって行われることができる。マップされたLUN構造に基づいて、書込み命令と、書込まれるデータが、2060でメモリ120とバックアップ記憶装置130との両者に送られ、2065で、データはその後、両者の記憶スペースに書込まれる。書込み確認が2070で、バックアップ記憶装置130から受信されたとき、DMD100はその確認を書込みリクエストを行ったホストシステムへ転送する。

20

**【0091】**

図21は、本発明の1実施形態による、診断が行われ、エラーメッセージがバックアップ記憶装置130に記録される例示的なプロセスのフローチャートである。この例示的な実施形態では、診断は一時に1つのコンポーネントで実行される。DMD100のコンポーネントを試験するために、信号が最初に2110でプロセッサ210からコンポーネントへ送信される。プロセッサ210はその後、2120でコンポーネントが信号を受信した後の結果を測定する。測定された結果は、その後2130で予め記憶されている予想された結果と比較される。測定された結果が予想された結果と一致しないことが2140で決定されたならば、それはそのコンポーネントが故障していることを示している可能性がある。この場合、試験に関するエラーメッセージが、2150でバックアップ記憶装置130に書き込まれる。診断プロセスは、2160で試験される全てのコンポーネントが試験されたことが決定されるまで継続される。診断プロセスは2170で終了する。

30

40

**【0092】**

ここで説明されたDMD100はさらに他の目的で配備されることができる。例えばDMDはデータオフロードエンジンまたは装置として配備されることができる。このような応用では、サーバはそのI/O集約的なタスクをDMDへオフロードすることができる。このようなDMDはDMDとサーバ中のプロセッサとの間でデータを共有するために必要とされる可能性がある。データはDMDとサーバとの両者にアクセス可能な位置に配置される必要がある可能性がある。このように配備されたDMDは、DMD中のデータ転送/移動が汎用目的のプロセッサを通らずにFPGAによって直接的に実行されることができるので、指定されたタスクの要求にしたがって、高速度のデータ操作を行うことができる。

50

ここで説明される D M D がオープンアーキテクチャであり、小さい寸法であるので、このようなアプリケーションは実行可能である。それ故、これは任意の特別な装置またはソフトウェア接続を必要とせずに、サーバに容易に埋設または接続されることが可能である。

【 0 0 9 3 】

図 2 2 は、1 以上のスレーブ D M D がデータオフロードエンジンまたは装置としてマスター装置により配備される例示的な構造を示している。この実施形態では、複数の D M D (例えば D M D 1 2230、D M D 2 2240, ..., D M D k 2250) が 1 以上のクライアント (例えばクライアント 2210) に接続されたサーバ 2220 により配備される。クライアント 2210 がサービスリクエストをサーバ 2220 に送信するとき、リクエストの特性にしたがって、サーバ 2220 は幾つかの処理を 1 つの D M D へ指令できる。ここで説明される D M D は十分に完全なコンピュータ装置であるので、これはデータの操作と処理を非常に高速度で実行することができる。例えばリクエストが大容量データベース中の検索に基づいた回答を求める問合せであるならば、サーバが検索自体を実行するならば、そのコンピュータ処理パワーは停止し、したがってサーバの性能が劣化する可能性がある。代わりに、例示された方法では、スレーブ D M D がデータベースの異なる部分を記憶し、データベースのアプリケーションを実行するように構成されているならば、マスターサーバ 2220 は (そこに記憶されているデータベースのデータの適切な部分を有する可能性がある) スレーブ装置 D M D の 1 つに、必要な大容量検索を高速度で実行するように命令することができる。

【 0 0 9 4 】

図 2 3 は、D M D 100 の別の応用を示している。この例では、D M D はネットワーク制御機構として配備されている。この構造では、ネットワークノード i 2310 は、1 以上のネットワークスイッチにより決定されたダイナミックネットワークパスを介して、別のネットワークノード j 2350 へ接続されている。これを行うため、D M D 2340 は高速度のデータ操作能力を 1 以上のネットワークスイッチ (例えばネットワークスイッチ m の 2330-1, ..., ネットワークスイッチ n の 2330-2) へ提供するために配備されることができ。このようなデータ操作タスクは、セキュリティ及び監視等のこのようなトラフィック制御およびネットワーク管理を行う種々のネットワーク制御決定を含んでいる。ネットワーク化において、スイッチはしばしば、トラフィックロードおよびネットワークの健全さに関する情報に基づいて、トラフィックをダイナミックに指令するように要求される。このようなダイナミックなネットワーク情報はしばしば、ネットワークトラフィックの現在の状態を効率的に反映するために、迅速な速度で解析され、その後フラッシュアウトされる。さらに、情報はしばしば、異なるスイッチ間で共用され、非常に高速度で操作されることを必要とされる。ここで説明された D M D 100 はこれらの要求を満足するのに適している。このような設定で配備される D M D は例えばソフトウェアまたはファームウェアの形態で必要なトラフィック制御および / または管理特性を有していてもよい。F P G A はそこに記憶されているデータをアクセスするパスを指令し、D M D が非常に高速度でデータ操作タスクを実行することを許容する。

【 0 0 9 5 】

図 2 4 は、D M D 100 の別の例示的な応用を示している。この実施形態では、D M D はデータの送信及び受信のための高速度のデータ操作作用として配備されることができ。これはデータ送信が、光ファイバネットワークのような高速度ネットワーク接続におけるマルチメディアまたはビデオ情報のような高帯域幅のチャンネルにわたる大容量のデータに関連するとき特に適している。この応用では、送信者 2410 は受信者 2450 によって、送信機サイトに記憶されたあるデータを送信するようにリクエストされることができ。例えばビデオ・オン・デマンド (V o D) アプリケーションでは、ユーザはケーブルネットワークを介して映画を送信するようにサービスプロバイダにリクエストできる。このようなデータの容量が大きく、送信時間がしばしば重要であるので、送信者 2410 は 1 以上の D M D (例えば D M D 2420) を、データ記憶のためだけでなく、高速度送信のために配備することができる。即ち、配備された D M D 2420 は高速度接続 2440 (例えばケーブルネットワーク) に直接接続されることができ、データ送信の前に行われる種々のデータ動作を行う。

例えばリクエストされたデータは送信前に暗号化される必要がある可能性がある。DMD自体は受動的記憶装置ではなく、完全なコンピュータ装置であるので、この設定で配備されるDMDには必要な暗号化アプリケーションが設けられることができる。さらに、汎用目的のプロセッサおよび説明したその他の特徴（例えば代替りのメモリモード方式）を通らずに、データのアクセスを指令するためのFPGAパスによって、DMDは非常に高速度で、データをメモリへ、及びメモリから転送することができ、これはマルチメディア及びビデオ応用でしばしば必要である。

【0096】

同様に、受信サイトで、別のDMD 2460が高速度受信及び記憶を行うために配備されることができ、さらに、DMD 2460はデータの暗号解読を行うように構成されることもでき、これは受信されたデータをDMD 2460へ保存する前に、または記憶されたデータがDMDの記憶装置から受信装置によって検索されるときに行われることができる。例えばユーザはビデオ・オン・デマンドサービスを介して映画をリクエストすることができ、受信された映画は最初にその暗号化された形態で受信機サイトに記憶され、後で視聴のため検索され、解読されることができる。

10

【0097】

前述した実施例は単なる例示である。ここで説明したDMD 100は、小型でコンパクトなオープンアーキテクチャ、商用のCPUおよびOSを使用するための通常のデータ処理能力、プロセッサ及び変わりのメモリモード方式によらない直接的なFPGAのメモリアクセス、自蔵された機上バックアップ記憶装置を含むが、それらに限定されない種々の特有の特徴を有している。これらの特徴によってDMD 100は種々の異なる応用シナリオで配備され、またモジュール化された大きい固体ディスクシステムの核として使用される。このような高度にモジュール化されたシステムは、単一の装置内の多数のファイル構造、効率的なデータ統合構造、故障隔離、迅速なバックアップ及び回復、及び故障許容度を処理することができる。

20

【0098】

本発明をある例示された実施形態を参照して説明したが、ここで使用した用語は、限定の用語ではなく、説明の用語である。本発明の技術的範囲を逸脱せずに、特許請求の範囲内で、変更を行うことができる。本発明は特定の構造、作用、材料を参照してここで説明したが、本発明は説明した特定の要項に限定されるものではなく、広範囲の形態で実施されることができ、そのうちの幾つかは説明した実施形態のものとはかなり異なる可能性があり、特許請求の技術的範囲内であるような全ての等価の構造、動作、材料に及んでいる。

30

【図面の簡単な説明】

【0099】

【図1】本発明の1実施形態によるデータ操作装置の高レベルの機能ブロック図。

【図2】本発明の1実施形態によるメモリにおけるデータ記憶及びアクセスを制御するためのメモリ制御装置の高レベルの機能ブロック図。

【図3】本発明の1実施形態によるデータ操作装置に配備されたプロセッサの高レベルの機能ブロック図。

40

【図4】本発明の1実施形態によるデータ操作装置におけるバックアップ記憶装置の機能ブロック図。

【図5】本発明の1実施形態によるデータ操作装置のバッテリーシステムの機能ブロック図。

【図6】本発明の1実施形態によるメモリの例示的な組織を示す図。

【図7】本発明の1実施形態による種々のフラグおよびLUN構造に関するデータアクセスリクエストハンドラの高レベルの機能ブロック図。

【図8】本発明の1実施形態による異なる動作条件下での例示的なシステム状態および転移を示す図。

【図9】本発明の1実施形態によるデータ操作装置の異なるコンポーネントの例示的な配

50

置図。

【図10】本発明の1実施形態によるメモリボードとその内部組織の例示的な配置図。

【図11】本発明の1実施形態によるメモリボード上の登録されたバッファの例示的な配置図。

【図12】本発明の1実施形態によるメモリボード上の位相ロックループクロックの例示的な配置図。

【図13】本発明の1実施形態による2つの異なるメモリボード間の例示的なピンシフト配置図。

【図14a】本発明の1実施形態によるSCSI制御装置ボードSCBの例示的な物理的なレイアウト図。

【図14b】本発明の1実施形態によるDRAM制御装置ボードまたはDCBの例示的な物理的なレイアウト図。

【図14c】本発明の1実施形態によるメモリボード上のメモリチップの例示的な物理的なレイアウト図。

【図14d】本発明の1実施形態によるコンパクトボックス中のデータ操作装置の異なるボードの例示的な物理的な配置図。

【図14e】本発明の1実施形態によるデータ操作装置の異なるボード及びコンポーネントの例示的な物理的なアセンブリの異なる分解斜視図。

【図14f】本発明の1実施形態によるデータ操作装置の異なるボード及びコンポーネントの例示的な物理的なアセンブリの異なる分解斜視図。

【図14g】本発明の1実施形態による異なる接続ポートを有するデータ操作装置を収納している例示的なボックスの異なる斜視図。

【図14h】本発明の1実施形態による異なる接続ポートを有するデータ操作装置を収納している例示的なボックスの異なる斜視図。

【図15】本発明の1実施形態にしたがって、1以上のデータ操作装置が高速ディスク記憶エミュレータとして使用されている記憶システムについての異なる例示的な実施形態を示す図。

【図16】本発明の1実施形態にしたがって、データ操作装置が、データ記憶およびアクセス用の高速ディスクをエミュレートするために使用される例示的なプロセスのフローチャート。

【図17】本発明の1実施形態にしたがって、データ操作装置が初期化される例示的なプロセスのフローチャート。

【図18】本発明の1実施形態にしたがって、データ操作装置のプロセッサがデータアクセスリクエストを受信し、そのリクエストを適切な装置へ転送する例示的なプロセスのフローチャート。

【図19】本発明の1実施形態にしたがって、データリクエストがメモリから処理される例示的なプロセスのフローチャート。

【図20】本発明の1実施形態にしたがって、データリクエストがメモリまたはバックアップ記憶装置から処理される例示的なプロセスのフローチャート。

【図21】本発明の1実施形態にしたがって、診断が行われ、エラーメッセージがバックアップ記憶装置に記録される例示的なプロセスのフローチャート。

【図22】本発明の1実施形態にしたがって、1以上のデータ操作装置が高速データオフロードタスクを実行するためのスレーブ処理装置として配備されている例示的な配備構造を示す図。

【図23】本発明の1実施形態にしたがって、データ操作装置が高速トラフィック制御およびネットワーク管理処理を実行するためネットワークスイッチを補助するために配備されている例示的な配備構造を示す図。

【図24】本発明の1実施形態にしたがって、データ操作装置が高速ネットワーク接続上で高帯域幅のデータ送信を処理するために配備されている例示的な配備構造を示す図。

10

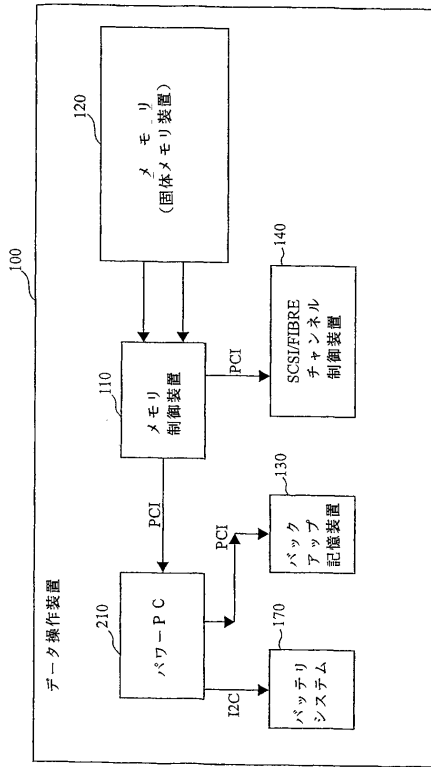
20

30

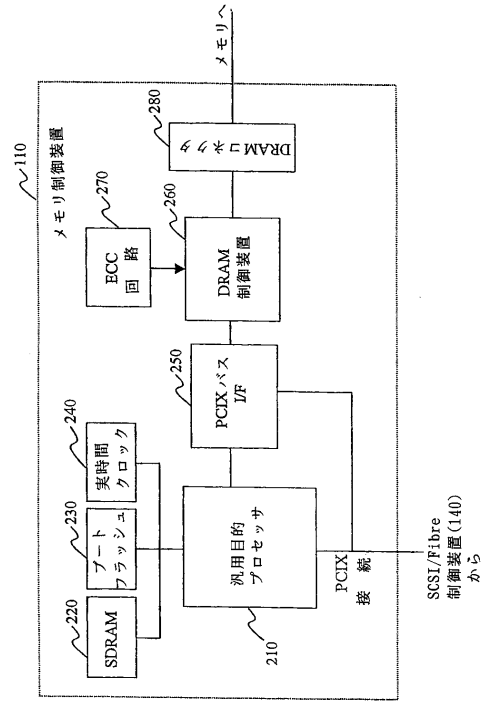
40



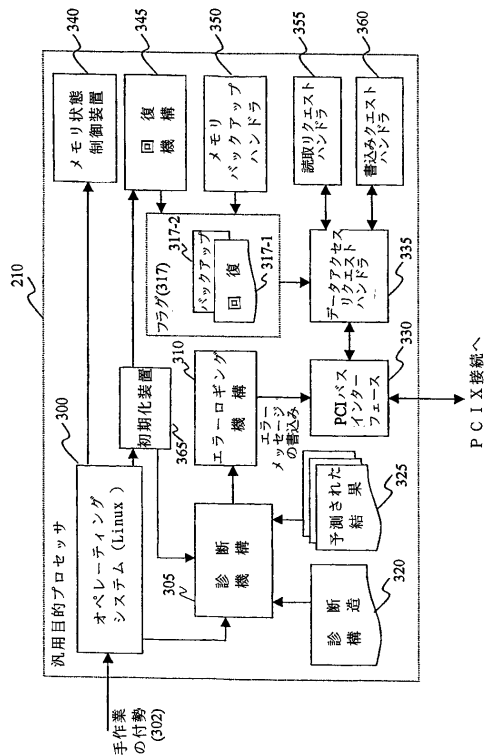
【 図 1 】



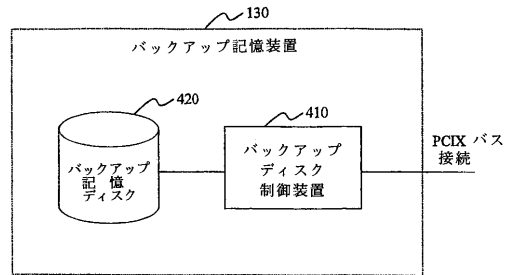
【 図 2 】



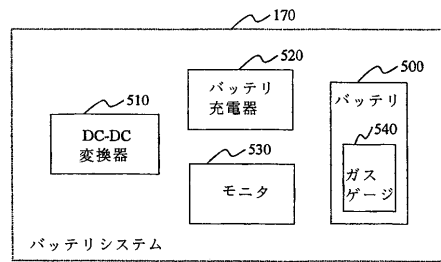
【 図 3 】



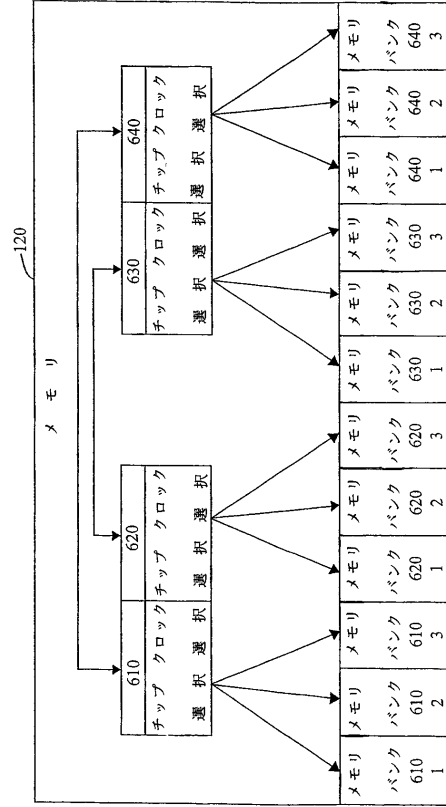
【 図 4 】



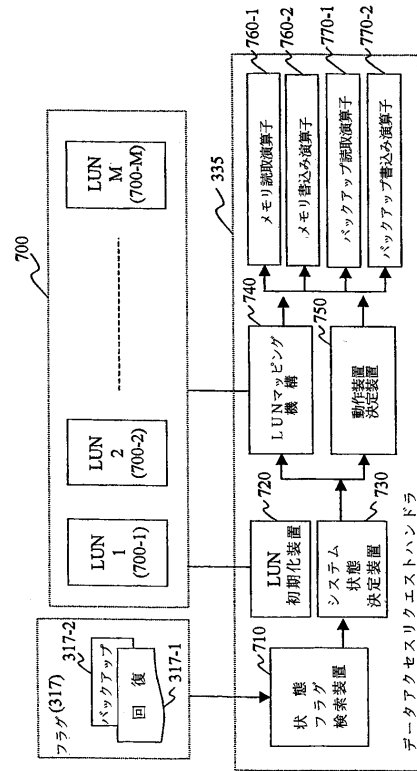
【 図 5 】



【 図 6 】



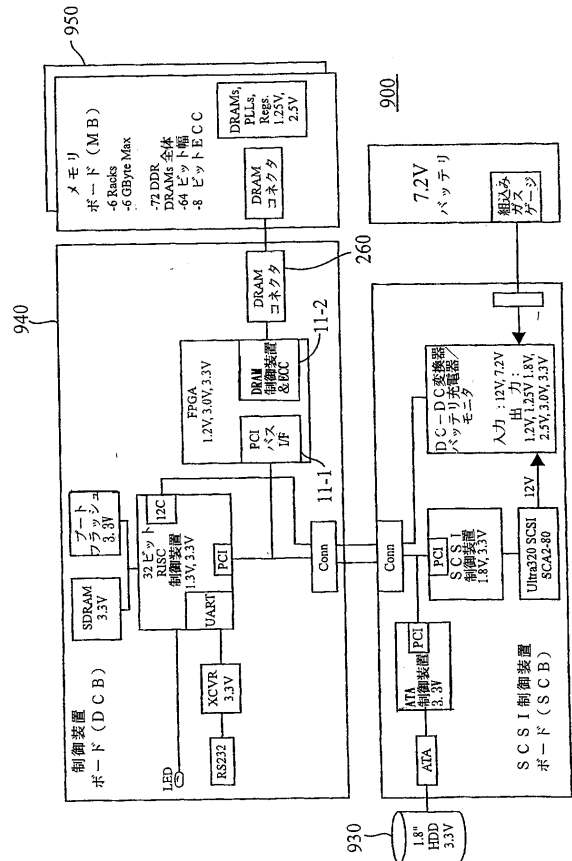
【 図 7 】



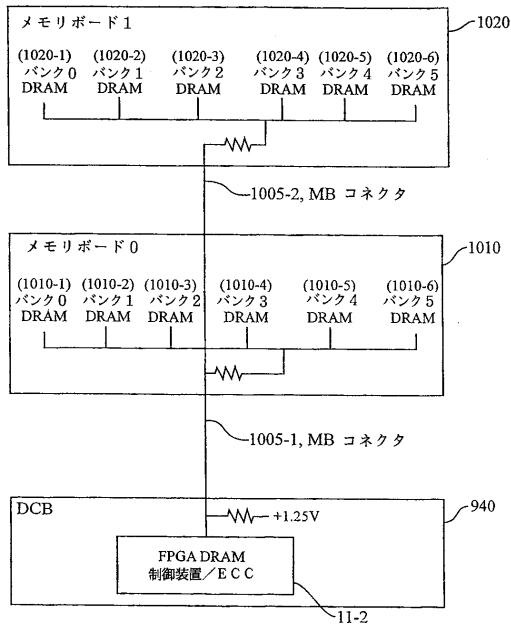
【 図 8 】

現在の状態 (810)	付勢事象/次の状態 (820)								
	820-1	820-2	820-3	820-4	820-5	820-6	820-7	820-8	820-9
810-1	メモリ/レイアウト/故障	バックアップ/故障	電力/なし	電源/オン	バックアップ/出力低下/バックアップ	メモリ/出力低下/バックアップ	電力/損失	持続的電力/損失	持続的電力/消費
810-2	ブート(1)	(8)	(1)/(8)	(1)	(3)	(1)	(1)	(9)	(1)
810-3	回復(2)	(3)	(1)/(8)	(1)	(7)/(3)	(2)	(6)	(9)	(2)
810-4	サービス中/バックアップ(3)	(3)	(1)/(8)	(1)	(3)	(2)/(4)	(3)	(9)	(3)
810-5	サービス中(4)	(8)	(1)/(8)	(1)	(7)/(3)	(4)	(5)	(7)	(4)
810-6	サービス中のバックアップ(5)	(8)	(1)/(8)	(1)	(7)	(7)	(6)	(7)	(2)
810-7	バックアップ(6)	(8)	(1)/(8)	(1)	(7)	(7)	(7)	(7)	(4)
810-8	バックアップ(7)	(8)	(1)/(8)	(1)	(8)	(8)	(7)	(9)	(9)
810-9	アイドル(8)	(8)	(1)/(8)	(1)	(8)	(8)	(8)	(9)	(1)
810-9	オフ(9)	(8)	(1)/(8)	(1)	(9)	(9)	(9)	(9)	(1)

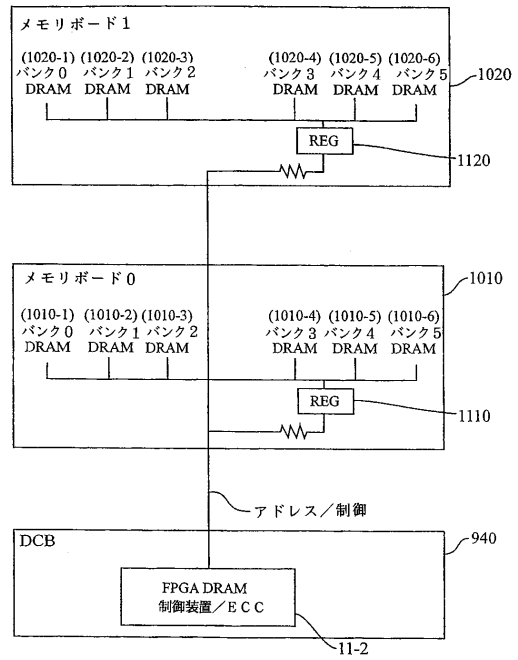
【 図 9 】



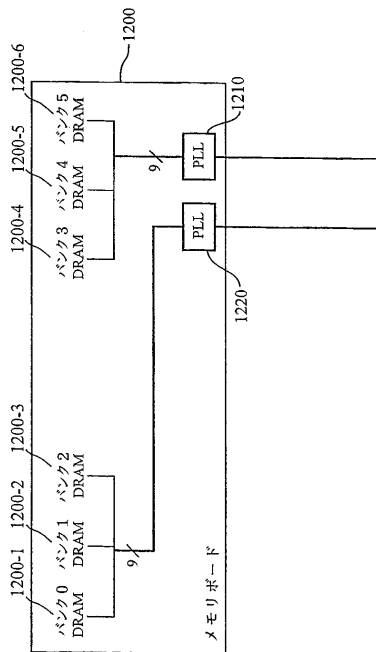
【図10】



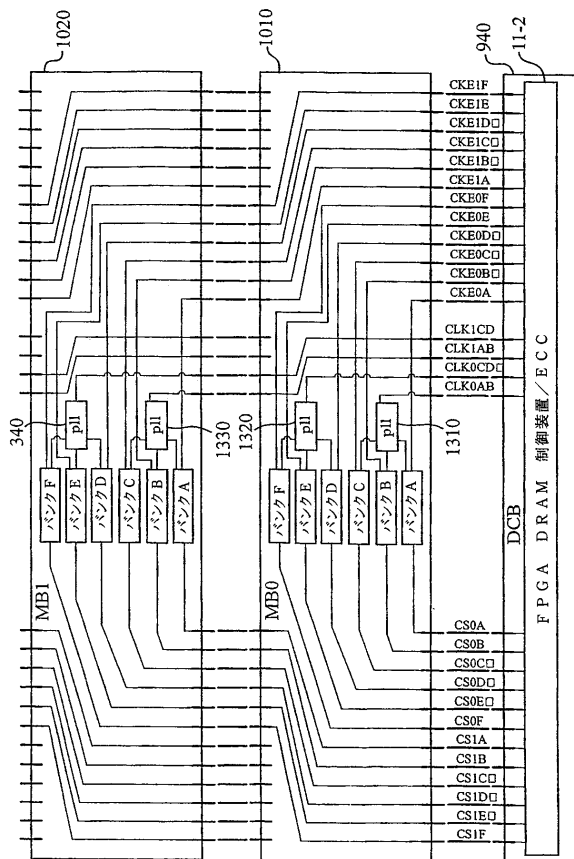
【図11】



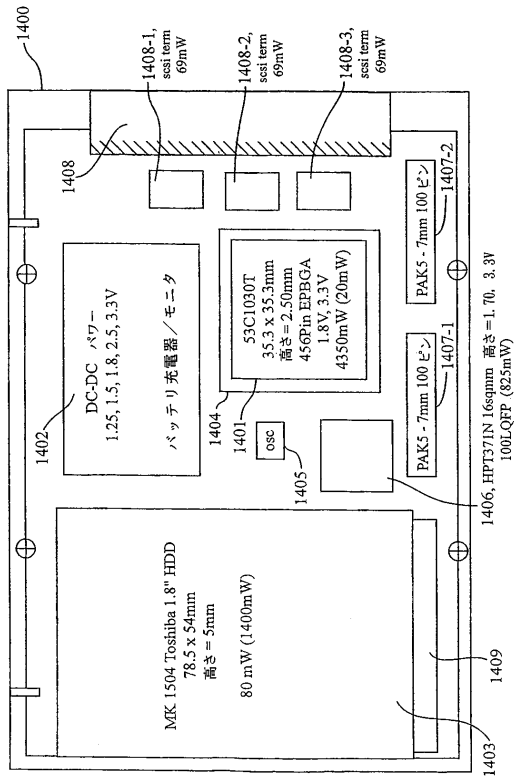
【図12】



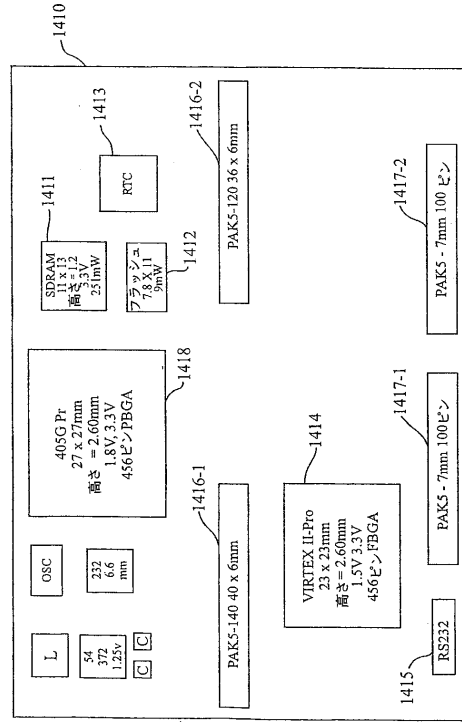
【図13】



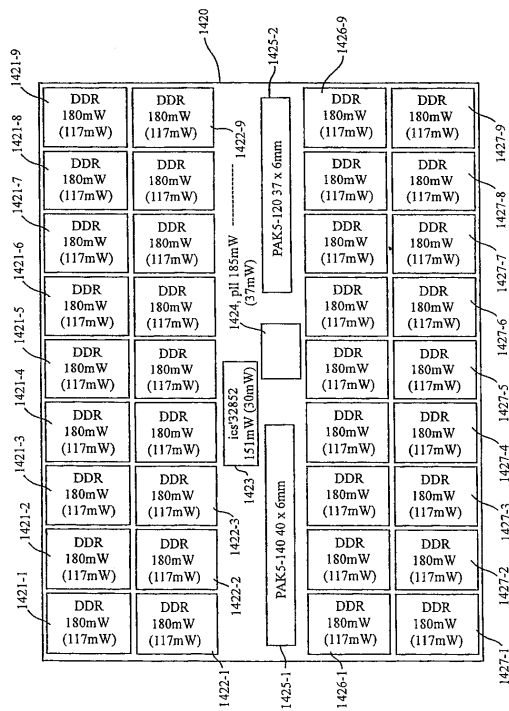
【図14a】



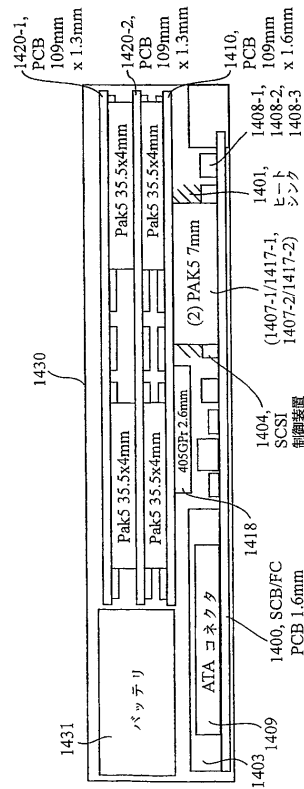
【図14b】



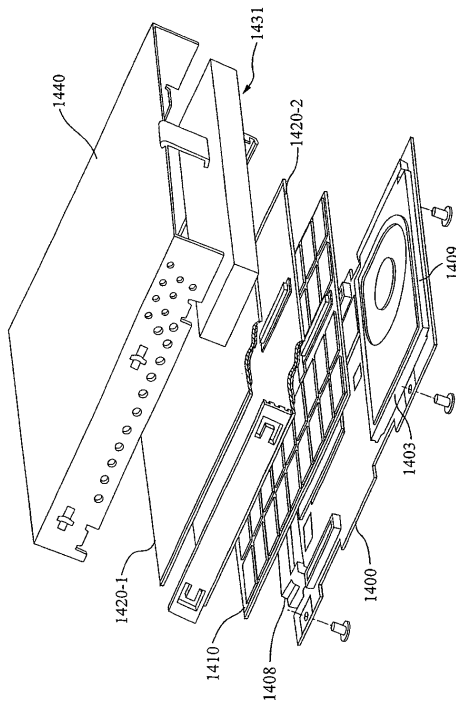
【図14c】



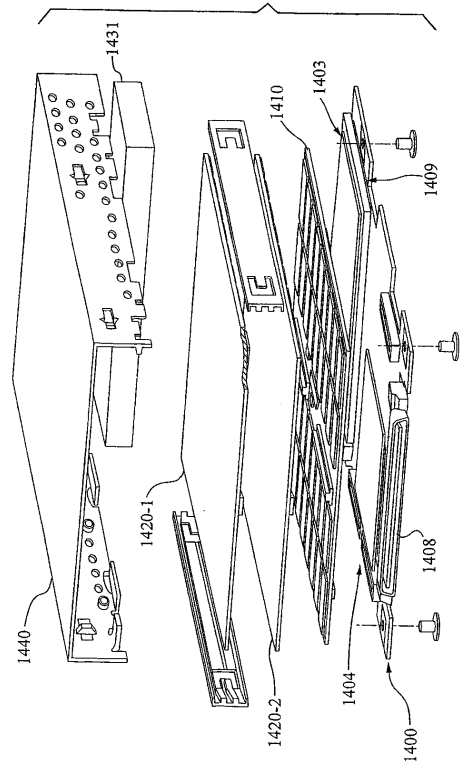
【図14d】



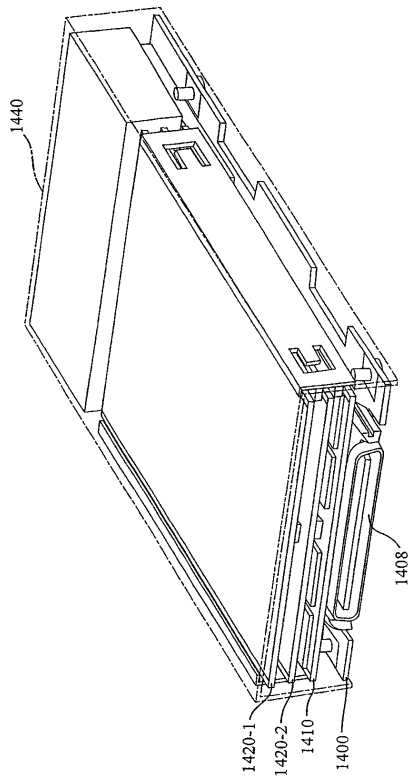
【 図 1 4 e 】



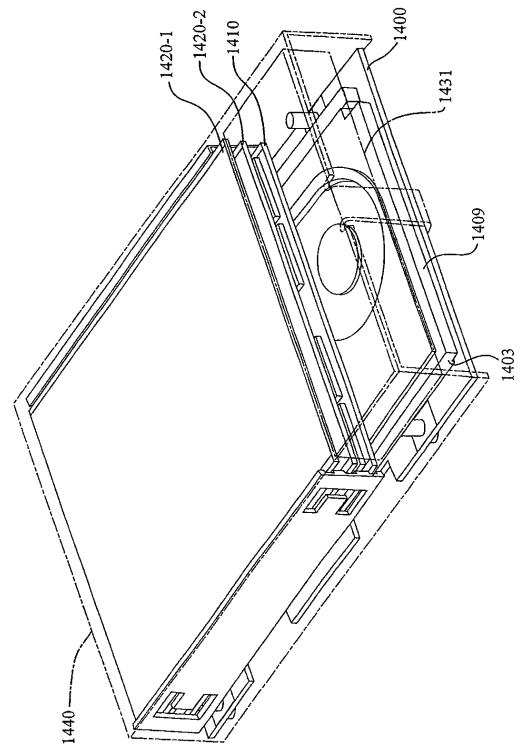
【 図 1 4 f 】



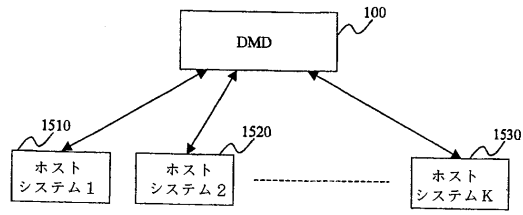
【 図 1 4 g 】



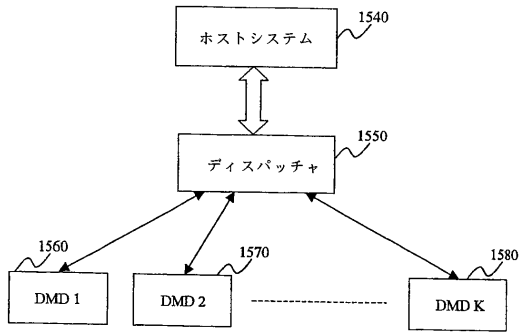
【 図 1 4 h 】



【 図 15 】

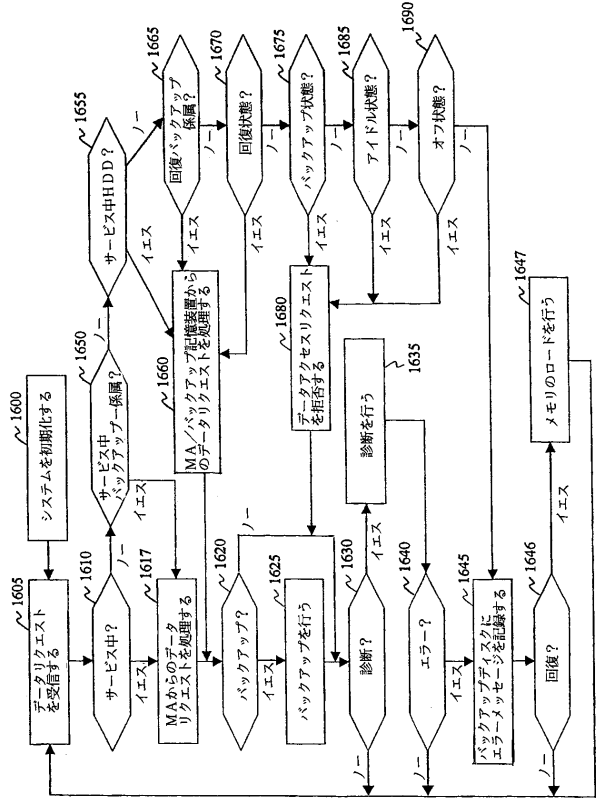


( a )

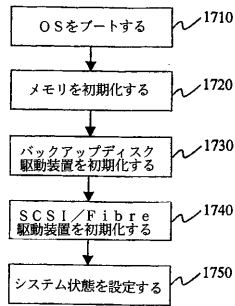


( b )

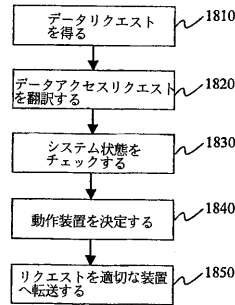
【 図 16 】



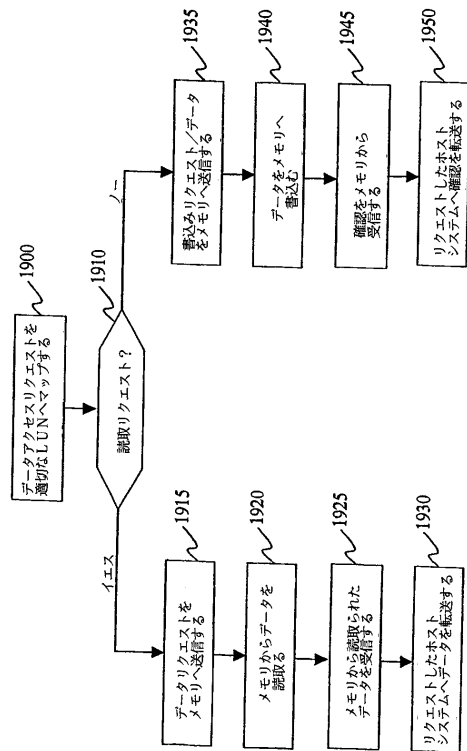
【 図 17 】



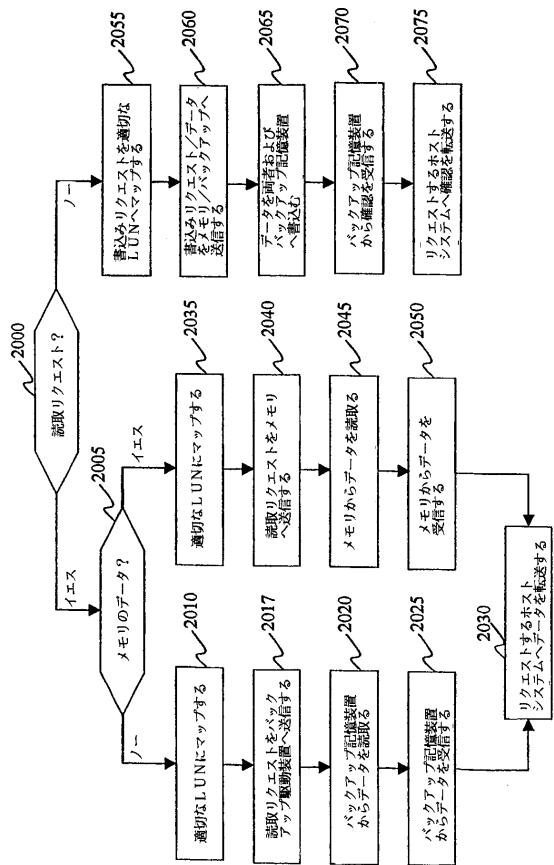
【 図 18 】



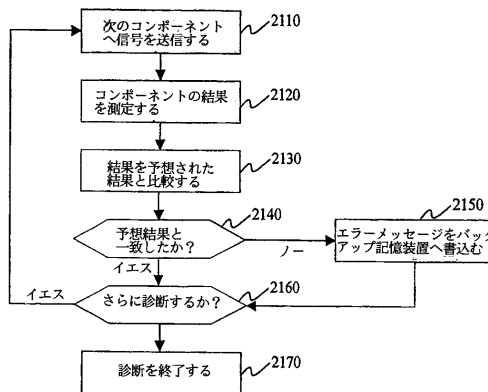
【 図 19 】



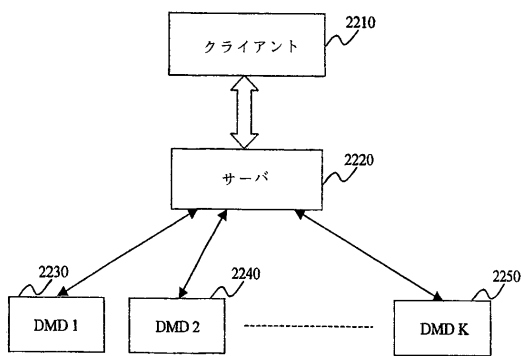
【図 20】



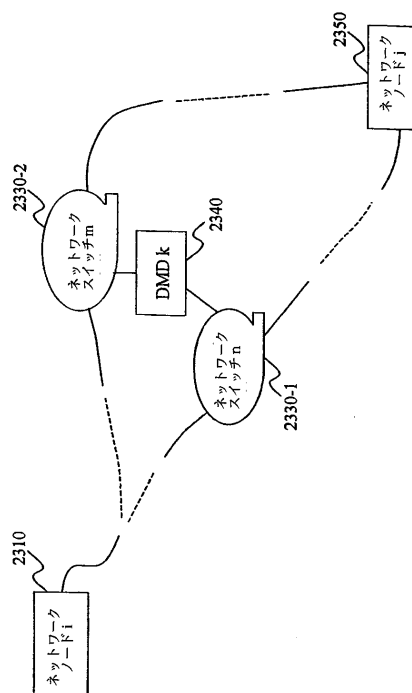
【図 21】



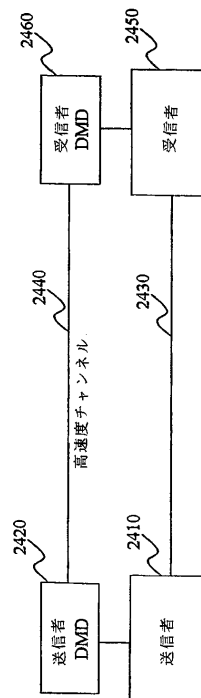
【図 22】



【図 23】



【 図 2 4 】



## 【 手続補正書 】

【 提出日 】平成18年10月26日(2006.10.26)

## 【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

## 【 請求項 1 】

低プロフィールフォームファクタのハウジングと、  
 前記ハウジング中に配置され、データの記憶を行うように構成されているメモリと、  
 前記ハウジング中に配置され、前記メモリを制御するように構成されているメモリ制御装置と、

前記ハウジング中に配置され、前記メモリ制御装置に接続され、データリクエストを受信して、そのデータリクエストに回答する情報を返送するインターフェースを提供するように構成されているチャンネル制御装置と、

前記ハウジング中に配置され、前記チャンネル制御装置に接続され、前記メモリをバックアップするための記憶スペースを提供するように構成されているバックアップ記憶装置とを具備しているデータ操作装置。

## 【 請求項 2 】

前記メモリは固体ディスクメモリである請求項 1 記載のデータ操作装置。

## 【 請求項 3 】

前記バックアップ記憶装置はエラー記録メッセージを記憶するために使用される請求項 2 記載のデータ操作装置。

## 【 請求項 4 】



前記バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中のメモリスペースとして使用される請求項 2 記載のデータ操作装置。

【請求項 5】

前記メモリは 1 以上の L U N 構造を有し、各 L U N 構造は異なるブロックサイズを有するデータを記憶するために使用されることができる請求項 1 記載のデータ操作装置。

【請求項 6】

前記メモリは複数のメモリ部分に分割され、各メモリ部分はスリープモードと、ウェイクアップモードの 1 つに独立して設定されることができ、スリープモード下では、メモリ部分は低電力消費状態であり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能である請求項 1 記載のデータ操作装置。

【請求項 7】

前記チャンネル制御装置は S C S I チャンネル制御装置またはファイバ制御装置のうちの 1 つである請求項 2 記載のデータ操作装置。

【請求項 8】

前記 S C S I チャンネル制御装置と前記ファイバチャンネル制御装置は共通の駆動装置に対応している請求項 7 記載のデータ操作装置。

【請求項 9】

前記メモリ制御装置は、

前記チャンネル制御装置に接続され、メモリアクセスを制御するように構成されているプロセッサと、

このプロセッサに接続されている同期ダイナミックランダムアクセスメモリ ( S D R A M ) と、

前記メモリに接続され、メモリに直接アクセスすることのできるダイナミックランダムアクセスメモリ ( D R A M ) 制御装置とを具備している請求項 1 記載のデータ操作装置。

【請求項 10】

前記プロセッサは汎用目的のプロセッサである請求項 9 記載のデータ操作装置。

【請求項 11】

前記汎用目的のプロセッサは市場で入手可能である請求項 10 記載のデータ操作装置。

【請求項 12】

オペレーティングシステムが前記プロセッサに配備され、前記プロセッサにおいて動作することができる請求項 9 記載のデータ操作装置。

【請求項 13】

前記オペレーティングシステムは商用のオペレーティングシステムである請求項 12 記載のデータ操作装置。

【請求項 14】

前記プロセッサは、

前記チャンネル制御装置とインターフェースするように構成されているバスインターフェースと、

データのリクエストを処理するために前記バスインターフェースと通信するデータアクセスリクエストハンドラと、

メモリのロードを行うように構成されているメモリロードハンドラと、

データをメモリから前記バックアップ記憶装置へ移動するように構成されているメモリバックアップハンドラとを具備している請求項 9 記載のデータ操作装置。

【請求項 15】

前記プロセッサはさらに、

診断ルーチンを行うように構成されている診断機構と、

前記診断機構により発生されるエラー情報をバックアップ記憶装置へ書込むように構成されているエラー記録機構とを具備している請求項 14 記載のデータ操作装置。

【請求項 16】

診断機構は、外部の手作業の付勢により、および/またはプロセッサで稼動するオペレ

ーディングシステムにより付勢される請求項 1 5 記載のデータ操作装置。

【請求項 1 7】

診断機構は局地的および / または遠隔操作で付勢されることができ、請求項 1 5 記載のデータ操作装置。

【請求項 1 8】

前記プロセッサはさらに、メモリ中の異なるメモリ部分のモードを制御するように構成されているメモリ状態制御装置を具備している請求項 1 4 記載のデータ操作装置。

【請求項 1 9】

さらに、充電可能なバッテリーを介してデータ操作装置へ電力を供給するように構成されているバッテリーシステムを具備している請求項 1 記載のデータ操作装置。

【請求項 2 0】

前記バッテリーシステムは、  
再充電可能なバッテリーと、  
再充電可能なバッテリーの電力レベルを監視するように構成されているモニタと、  
バッテリーを充電するように構成されているバッテリー充電装置と、  
ある入力電圧を有する再充電可能なバッテリーから、データ操作装置により必要とされる複数の出力電圧のうちの 1 つへ電力を変換するように構成されている DC - DC 変換器とを具備している請求項 1 9 記載のデータ操作装置。

【請求項 2 1】

前記再充電可能なバッテリーは自動的に放電を開始できるように構成されている請求項 2 0 記載のデータ操作装置。

【請求項 2 2】

バッテリーは周期的に放電される請求項 2 1 記載のデータ操作装置。

【請求項 2 3】

バッテリーはバッテリーがフルパワーに到達したときに放電される請求項 2 1 記載のデータ操作装置。

【請求項 2 4】

バッテリーの放電は、前記プロセッサによって制御される請求項 2 1 記載のデータ操作装置。

【請求項 2 5】

メモリは、前記ハウジング中に配置され、データの記憶を行うように構成されている固体ディスクメモリを含んでいる請求項 1 記載のデータ操作装置。

【請求項 2 6】

さらに、前記データ操作装置と通信し、データリクエストを送信し、データ操作装置から応答を受信する 1 以上のホストシステムを具備している請求項 1 記載のデータ操作装置。

【請求項 2 7】

さらに、サービスを提供するように構成されているマスターサーバと、  
このマスターサーバと通信するスレーブのデータ操作装置として動作する 1 以上のデータ操作装置とを具備している請求項 1 記載のデータ操作装置。

【請求項 2 8】

データリクエストを、ホストシステムから、データ操作装置へ送信し、前記データ操作装置はデータ記憶のためのメモリと、メモリのバックアップのためのバックアップ記憶装置を備えており、メモリは複数のメモリ部分を含み、各メモリ部分はスリープモードと、ウェイクアップモードの 1 つに設定されることができ、スリープモード下では、メモリ部分は低電力消費状態にあり、アクセス可能ではなく、ウェイクアップモード下では、メモリ部分はアクセス可能であり、

そのデータ操作装置によって、データリクエストを受信し、

前記データ操作装置の現在のシステム状態にしたがって、前記データ操作装置によりデータリクエストを処理し、

前記データ操作装置によって、データリクエストに対する応答としての結果を、前記ホストシステムへ送信し、

アクセスされる少なくとも1つのメモリ部分をウェイクアップモードに設定し、残りの前記メモリ部分はスリープモードに設定し、

アクセス後、前記少なくとも1つのメモリ部分をスリープモードに設定するステップを含んでいる記憶方法。

【請求項29】

バックアップ記憶装置は、バックアップ記憶装置からメモリへのメモリロード期間中に、一時的なメモリとして使用されることができる請求項28記載の方法。

【請求項30】

前記データ操作装置はS C S Iおよびファイバインターフェースの一つを介して、データリクエストを受信し、S C S Iおよびファイバインターフェースは共通の駆動装置を共有している請求項28記載の方法。

【請求項31】

前記メモリは固体ディスクメモリである請求項28記載の方法。

【請求項32】

前記メモリは複数のL U N構造を有し、それぞれ少なくとも2つの異なるブロックサイズのデータを記憶することが可能である請求項28記載の方法。

【請求項33】

前記データ操作装置は、条件が満たされるとき、そのバッテリーの電力を自動的に放電可能に構成されている請求項28記載の方法。

【請求項34】

データ操作装置は、診断ルーチンを実行可能に構成されている請求項28記載の方法。

【請求項35】

診断ルーチン期間中に発生されるエラーメッセージは、バックアップ記憶装置に書込まれる請求項34記載の方法。

【請求項36】

前記データ操作装置は汎用目的のプロセッサを使用している請求項28記載の方法。

【請求項37】

商用のオペレーティングシステムが配備され、汎用目的のプロセッサで動作される請求項36記載の方法。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/06008
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(7) : G06F 12/16, 15/16, 15/177, 1/24/ 1/26 US CL : 711/102, 162, 166; 709/208; 713/1, 323; 714/5 <u>According to International Patent Classification (IPC) or to both national classification and IPC</u>		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 711/102, 162, 166; 709/208; 713/1, 323; 714/5 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WEST (PGPUBS, US Patents, JPOABS, EPOABS, DERWENT, IBM Tech. Disc.)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/0225966 A1 (FRANSEN) 04 December 2003 (04.12.03), entire document.	1-196
Y	US 2004/0002958 A1 (SESHADRI et al.) 01 January 2004 (01.01.04), entire document.	1-196
Y	US 2002/0051629 A1 (ENDO) 02 May 2002 (02.05.02), entire document.	1-196
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" documents of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 15 September 2005 (15.09.2005)		Date of mailing of the international search report 28 APR 2006
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer <i>B. James Feikari</i> B. James Feikari Telephone No. (703) 305-9000

## フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100109830  
弁理士 福原 淑弘

(74) 代理人 100095441  
弁理士 白根 俊郎

(74) 代理人 100084618  
弁理士 村松 貞男

(74) 代理人 100103034  
弁理士 野河 信久

(74) 代理人 100140176  
弁理士 砂川 克

(74) 代理人 100092196  
弁理士 橋本 良郎

(74) 代理人 100100952  
弁理士 風間 鉄也

(72) 発明者 ハンド、レロイ・シー .  
アメリカ合衆国、バージニア州 22182、ピエナ、スイート 100、タワーズ・クレセント  
・ドライブ 8000

(72) 発明者 アンダーソン、アーノルド・エー .  
アメリカ合衆国、バージニア州 22182、ピエナ、スイート 100、タワーズ・クレセント  
・ドライブ 8000

Fターム(参考) 5B018 GA04 NA02 QA05  
5B065 BA01 BA05 CC03 CC08 CE01 EA35 EK05