



(12)发明专利

(10)授权公告号 CN 110379799 B

(45)授权公告日 2020.04.03

(21)申请号 201910651652.4

H01L 21/98(2006.01)

(22)申请日 2019.07.18

H01L 21/762(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 110379799 A

(43)申请公布日 2019.10.25

(73)专利权人 武汉新芯集成电路制造有限公司

地址 430205 湖北省武汉市东湖开发区高新四路18号

(72)发明人 易洪昇 叶国梁 王嘉绮

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 党丽

(56)对比文件

- CN 109148415 A, 2019.01.04,
- CN 105280611 A, 2016.01.27,
- CN 105529341 A, 2016.04.27,
- CN 101840925 A, 2010.09.22,
- CN 102751234 A, 2012.10.24,
- US 2014042299 A1, 2014.02.13,
- US 2004014308 A1, 2004.01.22,
- US 2011133339 A1, 2011.06.09,

审查员 李元

(51) Int. Cl.

H01L 25/065(2006.01)

H01L 23/528(2006.01)

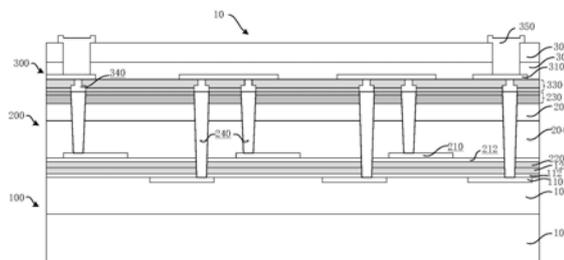
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种芯片结构、晶圆结构及其制造方法

(57)摘要

本发明提供一种芯片结构、晶圆结构及制造方法,第一芯片和第二芯片之间通过介质材料的键合层实现键合,并从键合后的芯片背面通过通孔将其中的顶层连线层引出,该通孔为键合用通孔,该通孔周围覆盖有键合层,第三芯片的顶层连线层通过键合垫引出,该键合垫形成于键合层中,将通孔与键合垫对准键合,从而实现这芯片的键合,并从第三芯片的背面通过引出衬垫将其中的顶层连线层引出。该堆叠结构中,第一和第二芯片键合后通过通孔引出,进而通过与第三芯片上的键合垫对准键合,并从第三芯片背面将第三芯片的连线层引出,实现堆叠式芯片的互连结构,该互连结构简单且长度短,有效提升器件传输效率,提高器件的性能。



1. 一种芯片结构,其特征在于,包括:

第一芯片和第二芯片,所述第一芯片的正面和所述第二芯片的正面分别覆盖有介质材料的第一键合层和第二键合层,且所述第一键合层键合至所述第二键合层;

覆盖所述第二芯片背面的介质材料的第三键合层;

从所述第三键合层分别贯穿至所述第一芯片中第一顶层连线层和贯穿至所述第二芯片中第二顶层连线层的键合通孔;

第三芯片,所述第三芯片包括第三顶层连线层、位于所述第三顶层连线层上且覆盖所述第三芯片正面的介质材料的第四键合层、贯穿所述第四键合层且与所述第三顶层连线层连接的键合垫,所述第三键合层与所述第四键合层键合且所述键合通孔与所述键合垫键合;

从所述第三芯片的背面贯穿至所述第三顶层连线层的引出衬垫。

2. 根据权利要求1所述的芯片结构,其特征在于,所述第一芯片中的第一器件、所述第二芯片中的第二器件或所述第三芯片中的第三器件包括存储器件、传感器件或逻辑器件中的一种或多种。

3. 根据权利要求1所述的芯片结构,其特征在于,所述第一键合层、第二键合层、第三键合层或第四键合层的材料包括:氧化硅、氮化硅或NDC中的一种或多种。

4. 根据权利要求1所述的芯片结构,其特征在于,所述键合垫包括接线孔以及接线孔上的过孔。

5. 根据权利要求4所述的芯片结构,其特征在于,所述键合垫的材料为铜,所述键合通孔的材料为铜。

6. 根据权利要求1所述的芯片结构,其特征在于,所述引出衬垫的材料为铝。

7. 一种晶圆结构,其特征在于,包括晶圆键合结构,所述晶圆键合结构包括依次层叠的第一晶圆、第二晶圆和第三晶圆,所述晶圆键合结构上阵列排布有如权利要求1-6中任一项所述的芯片结构。

8. 一种键合结构的制造方法,其特征在于,包括:

提供第一晶圆和第二晶圆,所述第一晶圆的正面覆盖有介质材料的第一键合层,所述第二晶圆的正面覆盖有介质材料的第二键合层;

利用所述第一键合层和所述第二键合层将所述第二晶圆键合至所述第一晶圆;

在所述第二晶圆的背面覆盖介质材料的第三键合层,从所述第三键合层分别形成贯穿至所述第一晶圆中第一顶层连线层以及贯穿至所述第二晶圆中第二顶层连线层的键合通孔;

提供第三晶圆,所述第三晶圆包括第三顶层连线层、位于所述第三顶层连线层上且覆盖所述第三晶圆正面的介质材料的第四键合层、贯穿所述第四键合层且连接所述第三顶层连线层的键合垫;

利用所述第三键合层和所述第四键合层将所述第三晶圆键合至所述第二晶圆,且所述键合通孔与所述键合垫键合;

从所述第三晶圆的背面形成贯穿至所述第三顶层连线层的引出衬垫,以获得晶圆键合结构。

9. 根据权利要求8所述的制造方法,其特征在于,所述第一晶圆中的第一器件、所述第

二晶圆中的第二器件或所述第三晶圆中的第三器件包括存储器件、传感器件或逻辑器件中的一种或多种。

10. 根据权利要求8所述的制造方法,其特征在于,还包括:
进行所述晶圆键合结构的切割,以获得独立的芯片结构。

一种芯片结构、晶圆结构及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造领域,特别涉及一种芯片结构、晶圆结构及其制造方法。

背景技术

[0002] 随着半导体技术的不断发展,3D-IC(三维集成电路)技术得到了广泛的应用,其是利用晶圆级封装技术将不同的晶圆堆叠键合在一起,该技术具有高性能、低成本且高集成度的优点。在晶圆级封装技术的实现中,连线结构的实现是关键,同时对器件的速度以及性能都有影响。

发明内容

[0003] 有鉴于此,本发明的目的在于提供一种芯片结构、晶圆结构及其制造方法,互连结构简单且长度短,提高器件的性能。

[0004] 为实现上述目的,本发明有如下技术方案:

[0005] 一种芯片结构,包括:

[0006] 第一芯片和第二芯片,所述第一芯片的正面和所述第二芯片的正面分别覆盖有介质材料的第一键合层和第二键合层,且所述第一键合层键合至所述第二键合层;

[0007] 覆盖所述第二芯片背面的介质材料的第三键合层;

[0008] 从所述第三键合层分别贯穿至所述第一芯片中第一顶层连线层和贯穿至所述第二芯片中第二顶层连线层的键合通孔;

[0009] 第三芯片,所述第三芯片包括第三顶层连线层、位于所述第三顶层连线层上且覆盖所述第三芯片正面的介质材料的第四键合层、贯穿所述第四键合层且与所述第三顶层连线层连接的键合垫,所述第三键合层与所述第四键合层键合且所述键合通孔与所述键合垫键合;

[0010] 从所述第三芯片的背面贯穿至所述第三顶层连线层的引出衬垫。

[0011] 可选地,所述第一芯片中的第一器件、所述第二芯片中的第二器件或所述第三芯片中的第三器件包括存储器件、传感器件或逻辑器件中的一种或多种。

[0012] 可选地,所述第一键合层、第二键合层、第三键合层或第四键合层的材料包括:氧化硅、氮化硅或NDC中的一种或多种。

[0013] 可选地,所述键合垫包括接线孔以及接线孔上的过孔。

[0014] 可选地,所述键合垫的材料为铜,所述键合通孔的材料为铜。

[0015] 可选地,所述引出衬垫的材料为铝。

[0016] 一种晶圆结构,其特征在于,包括晶圆键合结构,所述晶圆键合结构包括依次层叠的第一晶圆、第二晶圆和第三晶圆,所述晶圆键合结构上阵列排布有上述任一项所述的芯片结构。

[0017] 一种键合结构的制造方法,包括:

[0018] 提供第一晶圆和第二晶圆,所述第一晶圆的正面覆盖有介质材料的第一键合层,所述第二晶圆的正面覆盖有介质材料的第二键合层;

[0019] 利用所述第一键合层和所述第二键合层将所述第二晶圆键合至所述第一晶圆;

[0020] 在所述第二晶圆的背面覆盖介质材料的第三键合层,从所述第三键合层分别形成贯穿至所述第一晶圆中第一顶层连线层以及贯穿至所述第二晶圆中第二顶层连线层的键合通孔;

[0021] 提供第三晶圆,所述第三晶圆包括第三顶层连线层、位于所述第三顶层连线层上且覆盖所述第三晶圆正面的介质材料的第四键合层、贯穿所述第四键合层且连接所述第三顶层连线层的键合垫;

[0022] 利用所述第三键合层和所述第四键合层将所述第三晶圆键合至所述第二晶圆,且所述键合通孔与所述键合垫键合;

[0023] 从所述第三晶圆的背面形成贯穿至所述第三顶层连线层的引出衬垫,以获得晶圆键合结构。

[0024] 可选地,所述第一晶圆中的第一器件、所述第二晶圆中的第二器件或所述第三晶圆中的第三器件包括存储器件、传感器件或逻辑器件中的一种或多种。

[0025] 可选地,还包括:

[0026] 进行所述晶圆键合结构的切割,以获得独立的芯片结构。

[0027] 本发明实施例提供的芯片结构、晶圆结构及其制造方法,采用堆叠式结构,堆叠式结构中包括三片芯片第一芯片和第二芯片之间通过介质材料的键合层实现键合,并从键合后的芯片背面通过通孔将其中的顶层连线层引出,该通孔为键合用通孔,该通孔周围覆盖有键合层,第三芯片的顶层连线层通过键合垫引出,该键合垫形成于键合层中,将通孔与键合垫对准键合,从而实现这三片芯片的键合,并从第三芯片的背面通过引出衬垫将其中的顶层连线层引出。该堆叠结构中,第一和第二芯片键合后通过通孔引出,进而通过与第三芯片上的键合垫对准键合,并从第三芯片背面将第三芯片的连线层引出,实现堆叠式芯片的互连结构,该互连结构简单且长度短,有效提升器件传输效率,提高器件的性能。

附图说明

[0028] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0029] 图1示出了根据本发明实施例的芯片结构的剖面结构示意图;

[0030] 图2示出了根据本发明实施例的晶圆结构中晶圆的俯视结构示意图;

[0031] 图3-8示出了根据本发明实施例的制造方法形成晶圆结构过程中的局部剖面结构示意图。

具体实施方式

[0032] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0033] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其它不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施例的限制。

[0034] 其次,本发明结合示意图进行详细描述,在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0035] 正如背景技术中的描述,在晶圆级封装技术的实现中,连线结构的实现是关键,同时对器件的速度以及性能都有影响。为此,本申请提出一种芯片结构及晶圆结构及其制造方法,简化连线结构,采用堆叠式结构,堆叠式结构中包括三片芯片,该堆叠式结构中,第一和第二芯片键合后通过通孔引出,进而通过与第三芯片上的键合垫对准键合,并从第三芯片背面将第三芯片的连线层引出,实现堆叠式芯片的互连结构,该互连结构简单且长度短,有效提升器件传输效率,提高器件的性能。

[0036] 参考图1所示,本申请提供了一种芯片结构10,包括:

[0037] 第一芯片100和第二芯片200,所述第一芯片100的正面和所述第二芯片200的正面分别覆盖有介质材料的第一键合层120和第二键合层220,且所述第一键合层120键合至所述第二键合层220;

[0038] 覆盖所述第二芯片200背面的介质材料的第三键合层230;

[0039] 从所述第三键合层230分别贯穿至所述第一芯片100中第一顶层连线层110和贯穿至所述第二芯片200中第二顶层连线层210的键合通孔240;

[0040] 第三芯片300,所述第三芯片300包括第三顶层连线层310、位于所述第三顶层连线层310上且覆盖所述第三芯片300正面的介质材料的第四键合层330、贯穿所述第四键合层330且与所述第三顶层连线层310连接的键合垫340,所述第三键合层230与所述第四键合层330键合且所述键合通孔240与所述键合垫340键合;

[0041] 从所述第三芯片300的背面贯穿至所述第三顶层连线层310的引出衬垫350。

[0042] 其中,第一芯片100、第二芯片200和第三芯片300都已形成有器件以及与器件电连接的互连结构,器件结构形成于衬底上,在本申请实施例中,器件可以包括MOS器件、传感器件、存储器件和/或其他无源器件,存储器件可以包括非易失性存储器或随机存储器等,非易失性存储器例如可以包括NOR型闪存、NAND型闪存等浮栅场效应晶体管或者铁电存储器、相变存储器等,器件结构可以为平面型器件或立体器件,立体器件例如可以为FIN-FET(鳍式场效应晶体管)、三维存储器等,传感器件例如可以为感光器件等,无源器件例如可以为电阻、电容等。器件可以由介质材料覆盖,该介质材料可以为叠层结构,可以包括层间介质层、金属间介质层等,互连结构形成于介质材料中,互连结构可以包括层包括接触塞、过孔及连线层,连线层可以包括一层或多层,互连结构可以为金属材料,例如可以为钨、铝、铜等。衬底可以为半导体衬底,例如可以为Si衬底、Ge衬底、SiGe衬底、SOI(绝缘体上硅,Silicon On Insulator)或GOI(绝缘体上锗,Germanium On Insulator)等。

[0043] 具体的,第一芯片100可以包括第一衬底102以及第一衬底102上形成的第一器件、第一互连结构,第一器件由介质材料的第一覆盖层104覆盖,第一互连结构形成于第一覆盖层104中,其中,第一顶层连线层110为第一互连结构的最顶层连线层。

[0044] 第二芯片200包括第二衬底202以及第二衬底202上形成的第二器件、第二互连结

构,第二器件由介质材料的第二覆盖层204覆盖,第二互连结构形成于第二覆盖层204中,其中,第二顶层连线层210为第二互连结构的最上层的连线层。

[0045] 第三芯片300包括第三衬底302以及第三衬底302上形成的第三器件、第二互连结构,第三器件由介质材料的第三覆盖层304覆盖,第三互连结构形成于第三覆盖层304中,其中,第三顶层连线层310为第三互连结构的最上层的连线层。

[0046] 在本申请实施例中,各芯片上可以包括一种或多种不同的器件,各芯片上可以具有相同或不同的器件,不同的器件可以是不同类型的器件或者具有不同操作电压的同一类型的器件。在一个示例中,第一器件可以为存储器件,第二器件可以为存储器件,第三器件可以为MOS器件,这样,可以通过键合增大存储空间的同时,大大减小芯片表面积,提高芯片集成度。在另一个示例中,第一器件可以为存储器件,第二器件可以为传感器件,第三器件可以为MOS器件,可以以更小面积实现存储、传感及处理一体化的芯片结构,提高芯片集成度。

[0047] 需要说明的是,在本申请实施例对应的附图中,作为示意,在各芯片中并未示出具体的器件结构,互连结构中仅示出了顶层连线层。此外,为了便于描述,将芯片的两个表面分别描述为芯片正面和芯片背面,芯片正面为衬底上形成器件及互连结构的一侧,芯片背面则为该侧的相对侧,也即衬底的背面。

[0048] 第一芯片100和第二芯片200的正面上还分别形成有第一键合层120和第二键合层130,第一芯片100和第二芯片200通过这两个键合层键合在一起,第一键合层120和第二键合层220之间形成键合界面。第一键合层120和第二键合层220的材料为键合(bonding)介质材料,可以为单层或叠层结构,可以采用相同或不同的材料形成,例如可以包括氧化硅、氮化硅或NDC(Nitrogen doped Silicon Carbide,掺氮碳化硅)等键合介质材料中的一种或多种,在一个示例中,第一键合层120和第二键合层220都可以为氧化硅。

[0049] 在第一键合层120与第一顶层连线层110所在表面之间,还可以设置有第一扩散阻挡层112,在第二键合层220与第二顶层连线层210所在表面之间,还可以设置有第二扩散阻挡层212,这些扩散阻挡层用于阻挡顶层连线层中金属原子,例如铜的扩散。

[0050] 在第二芯片200的背面上还覆盖有介质材料的第三键合层230,该第三键合层230材料为键合介质材料,可以为单层或叠层结构,可以包括氧化硅、氮化硅或NDC等键合介质材料中的一种或多种。在一个示例中,第三键合层230可以包括依次层叠的键合用氧化硅层及NDC层,NDC具有更好的键合性能。

[0051] 在正面层叠的第一芯片100和第二芯片200中设置有分别贯穿至第一芯片100中的第一顶层连接层110以及第二芯片200中的第二顶层连线层210的键合通孔240,该通孔240为键合用通孔且为第一顶层连线层110、第二顶层连线层210的连接孔,该通孔240为贯通第二衬底202的通孔,在一个示例中,第二衬底202为硅衬底,该通孔240也称作硅通孔。

[0052] 键合通孔240的材料为键合用导电材料,例如可以为铜,该键合通孔240的侧壁上还形成有绝缘层(图未示出),以与第二衬底202隔离。在本申请实施例中,在第一顶层连线层110上的键合通孔240,从第三键合层230贯穿第二衬底202以及键合层120、220,直至第一顶层连线层110的表面,在第二顶层连线层210上的键合通孔240,从第三键合层230贯穿第二衬底202,直至第二顶层连线层210。

[0053] 在第三芯片300的正面第三顶层连线层310所在表面上,还设置有第四键合层330,

其材料为键合介质材料,可以为单层或叠层结构,可以包括氧化硅、氮化硅或NDC等键合介质材料中的一种或多种。在一个示例中,第四键合层330可以包括依次层叠的键合用氧化硅层及NDC层,NDC具有更好的键合性能。

[0054] 在第四键合层330中,还设置有键合垫(bonding pad) 340,该键合垫340材料为键合用导电材料,例如可以为铜。该键合垫340位于第三顶层连线层310上,通过该键合垫340与第三顶层连线层310接触连接,将第三芯片300中的互连结构引出至第三芯片300的正面。键合垫340为第三顶层连线层310的引出结构,本示例中,可以为大马士革结构,包括接线孔以及接线孔上的过孔,过孔较接线孔具有更大的孔径,接线孔与第三顶层连线层110接触连接,将第三顶层连线层310引出,过孔与接线孔接触连接,过孔具有更大的接触面,以便于进行键合。

[0055] 在本申请实施例中,第三芯片300的正面与第二芯片200的背面键合在一起,其中,键合垫340与键合通孔240对准键合,在键合垫340的周围为第三键合层230,键合通孔240的周围为第四键合层330,第三键合层230与第四键合层330也键合在一起,在第三键合层230与第四键合层330以及键合通孔240与键合垫340之间形成键合界面。

[0056] 在第三芯片300的背面设置有贯穿至第三顶层连线层310的引出衬垫350,该引出衬垫350与第三顶层连线层310接触连接,该引出衬垫350用于将该芯片结构10中的互连结构引出,引出衬垫350为导电材料,例如可以为铝材料。在第三芯片300的背面上可以设置有绝缘层,该引出衬垫350可以贯穿该绝缘层以及第三衬底302至第三顶层连线层310,引出衬垫350的侧壁也具有绝缘层,以与第三衬底303之间绝缘隔离。

[0057] 在正面层叠的第一芯片100和第二芯片200的键合结构中,通过键合通孔240分别与第一顶层连线层110和第二顶层连线层210接触连接,将第一芯片100和第二芯片200中的互连结构引出至第二芯片的背面,这样,可以通过键合垫340与键合通孔240的对准键合,可以实现第三芯片300中互连结构与第一芯片100和第二芯片200中互连结构的连接,进而,通过引出衬垫350与第三顶层连线层310接触连接,将第一芯片100、第二芯片200以及第三芯片300已连接在一起的互连结构从第三芯片300的背面引出,实现堆叠式芯片的互连,该互连结构简单且长度短,有效提升器件传输效率,提高器件的性能。

[0058] 以上对本申请实施例的芯片结构进行了详细的描述,此外,本申请实施例还提供了一种晶圆结构,该晶圆包括晶圆键合结构,该晶圆键合结构包括依次层叠的第一晶圆、第二晶圆和第三晶圆,该晶圆键合结构上阵列排布有上述的芯片结构10。参考图2和图1所示,图2为晶圆键合结构中各晶圆的俯视结构示意图,在第一晶圆1000上阵列排布有第一芯片100,在第二晶圆2000上阵列排布有第二芯片200,第三晶圆上阵列排布有第三芯片300,各晶圆1000/2000/3000键合之后形成的晶圆键合结构中,芯片结构10也呈阵列排布。

[0059] 此外,本申请还提供了上述晶圆结构以及芯片结构的制造方法,以下将结合附图2-8进行详细的说明,其中,图3-图8为晶圆结构中芯片结构的局部剖面示意图。

[0060] 在步骤S01,提供第一晶圆1000和第二晶圆2000,所述第一晶圆1000的正面覆盖有介质材料的第一键合层120,所述第二晶圆2000的正面覆盖有介质材料的第二键合层220,参考图3和图4所示。

[0061] 在本实施例中,第一晶圆1000和第二晶圆2000都已完成形成键合层之前的器件加工工艺,参考图3所示,第一晶圆1000的第一衬底102上已经形成有第一器件,第一器件上覆

盖有第一覆盖层104,以及第一覆盖层104中还形成有第一互连结构,其中,第一顶层连线层110为第一互连结构中的最上层连线层。参考图4所示,第二晶圆2000的第二衬底202上已经形成有第二器件,第二器件上覆盖有第二覆盖层204,以及第二覆盖层204中还形成有第二互连结构,其中,第二顶层连线层210为第二互连结构中的最上层连线层。

[0062] 第一晶圆1000和第二晶圆2000的器件加工工艺之后,在具体的实施例中,可以在第一晶圆1000的正面上依次沉积第一扩散阻挡层112和第一键合层120,在一个示例中,第一扩散阻挡层112可以为氮化硅,第一键合层120可以为氧化硅,以及在第二晶圆2000的正面上依次沉积第二扩散阻挡层212和第二键合层220,在一个示例中,第二扩散阻挡层212可以为氮化硅,第二键合层220可以为氧化硅,第一衬底和第二衬底可以为硅衬底。

[0063] 在步骤S02,利用所述第一键合层120和所述第二键合层220将所述第二晶圆2000键合至所述第一晶圆1000,参考图5所示。

[0064] 在具体的实施例中,可以将第二晶圆2000的第二键合层220朝向第一晶圆1000的第一键合层120并进行两片晶圆的对准,而后利用键合设备,实现第一晶圆1000和第二晶圆2000的正面键合,键合后在第一键合层120和第二键合层220之间形成俩晶圆的键合界面。

[0065] 在键合之后,可以从第二晶圆2000的背面进行第二衬底202的减薄,减薄工艺中可以采用多次工艺完成,在一个实施例中,可以先进行研磨工艺进行粗磨,而后通过化学机械平坦化或湿法腐蚀工艺,进一步进行减薄,直至目标厚度。

[0066] 在步骤S03,在所述第二晶圆2000的背面覆盖介质材料的第三键合层230,从所述第三键合层230分别形成贯穿至所述第一晶圆1000中第一顶层连线层110以及贯穿至所述第二晶圆2000中第二顶层连线层210的键合通孔240,参考图6所示。

[0067] 在具体的实施例中,可以依次沉积包括氧化硅层和NDC层的第三键合层230,并利用光刻技术在第三键合层230上形成掩膜层,而后,可以通过多次刻蚀工艺,分别在第一顶层连线层110上、第二顶层连线层210上形成硅通孔,而后,进行铜的电镀工艺,并进行铜的平坦化,从而在硅通孔中形成键合通孔240。

[0068] 在步骤S04,提供第三晶圆3000,所述第三晶圆3000包括第三顶层连线层310、位于所述第三顶层连线层310上且覆盖所述第三晶圆3000正面的介质材料的第四键合层330、贯穿所述第四键合层330且与所述第三顶层连线层310连接的键合垫340,参考图7所示。

[0069] 第三晶圆3000上已完成形成键合层之前的器件加工工艺,参考图7所示,第三晶圆1000的第三衬底302上已经形成有第三器件,第三器件上覆盖有第三覆盖层304,以及第三覆盖层304中还形成有第三互连结构,其中,第三顶层连线层310为第三互连结构中的最上层连线层。

[0070] 在第三晶圆3000上完成器件加工工艺之后,在具体的实施例中,可以继续第三晶圆3000的正面上依次沉积包括氧化硅层和NDC层的第四键合层330,还可以在第四键合层330上继续沉积氧化硅的保护层(图未示出),该保护层用于在后续键合垫的加工工艺中,保护第四键合层330的表面不受损伤。而后,可以通过刻蚀工艺,在第四键合层330中形成贯穿至第三顶层连线层310的过孔,过孔可以为大马士革结构的通孔,之后进行铜的电镀工艺,并进行铜的平坦化,直至去除保护层,从而,形成包括接线孔以及接线孔上的过孔的键合垫340,参考图7所示。

[0071] 在步骤S05,利用所述第三键合层230和所述第四键合层330将所述第三晶圆3000

键合至所述第二晶圆2000,且所述键合通孔240与所述键合垫340键合,参考图8所示。

[0072] 在具体的实施例中,可以将第三晶圆3000的第四键合层330朝向第二晶圆2000的第三键合层230并进行两片晶圆的对准,使得键合通孔240与键合垫340精确对准,而后利用键合设备,实现第三晶圆3000的正面与第二晶圆2000的反面键合,键合后在第三键合层230和第四键合层3300之间形成俩晶圆的键合界面。

[0073] 在键合之后,可以从第三晶圆3000的背面进行第三衬底302的减薄,减薄工艺中可以采用多次工艺完成。

[0074] 在步骤S06,从所述第三晶圆302的背面形成贯穿至所述第三顶层连线层310的引出衬垫350,以获得晶圆键合结构,参考图8所示。

[0075] 在具体的实施例中,可以先在第三晶圆302的背面上形成氧化硅的绝缘层,而后利用光刻工艺在该绝缘层上形成掩膜层,并进行刻蚀工艺,以形成贯穿至第三顶层连线层310的开口,而后,可以进行铝薄膜的沉积,并对该铝薄膜进行刻蚀,从而形成引出衬垫350。

[0076] 至此形成了本申请实施例的晶圆结构,而后,参考图2所示,可以沿切割道对该晶圆键合结构进行切割,从而,获得独立的芯片结构。

[0077] 本说明书中的各个实施例均采用递进的方式描述,各个实施例之间相同相似的部分互相参见即可,每个实施例重点说明的都是与其它实施例的不同之处。尤其,对于晶圆结构及其制造方法实施例而言,由于其与芯片结构的实施例具有相似的部分,所以描述得比较简单,相关之处参见芯片结构实施例的部分说明即可。

[0078] 以上所述仅是本发明的优选实施方式,虽然本发明已以较佳实施例披露如上,然而并非用以限定本发明。任何熟悉本领域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的方法和技术内容对本发明技术方案做出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何的简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

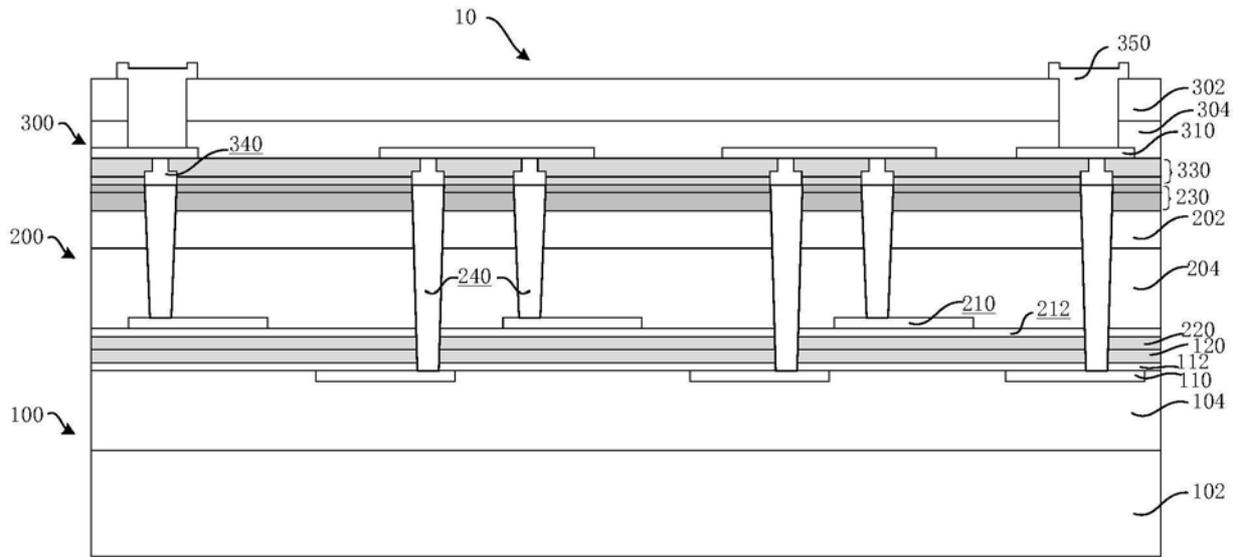


图1

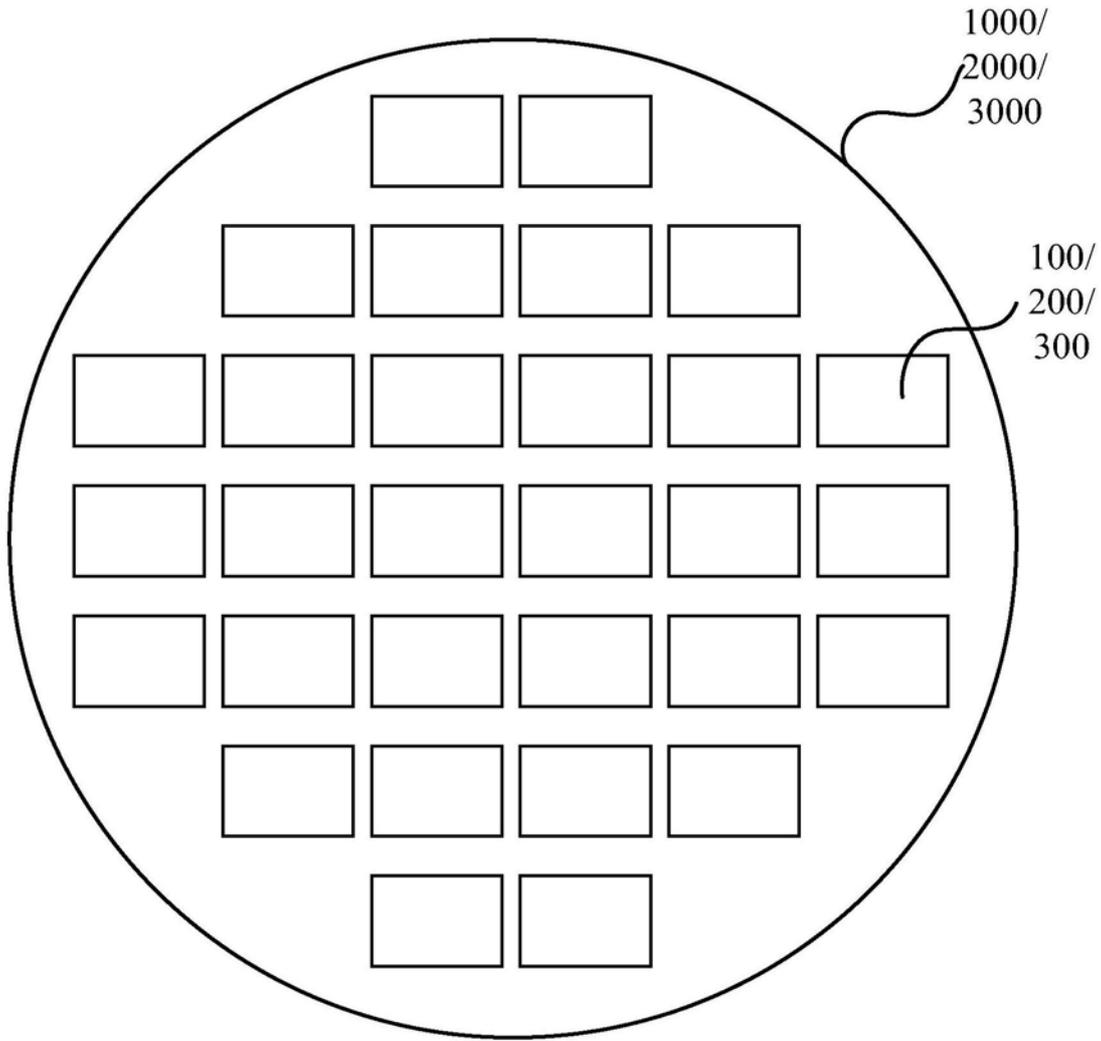


图2

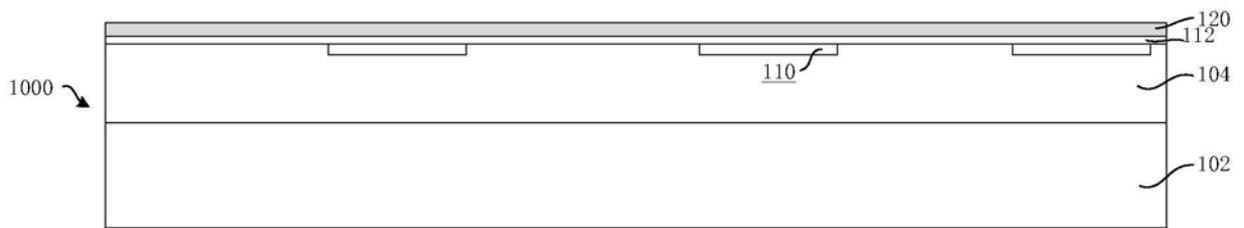


图3

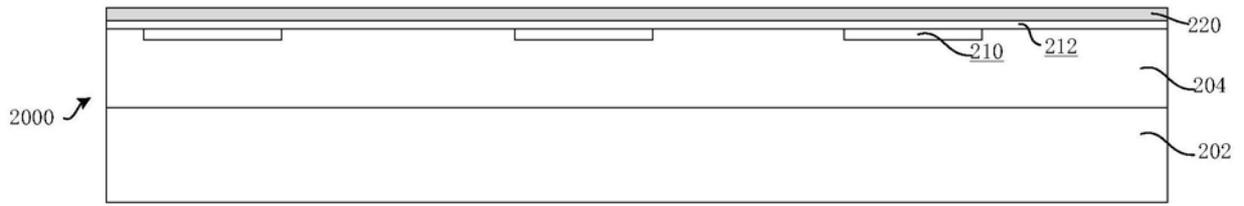


图4

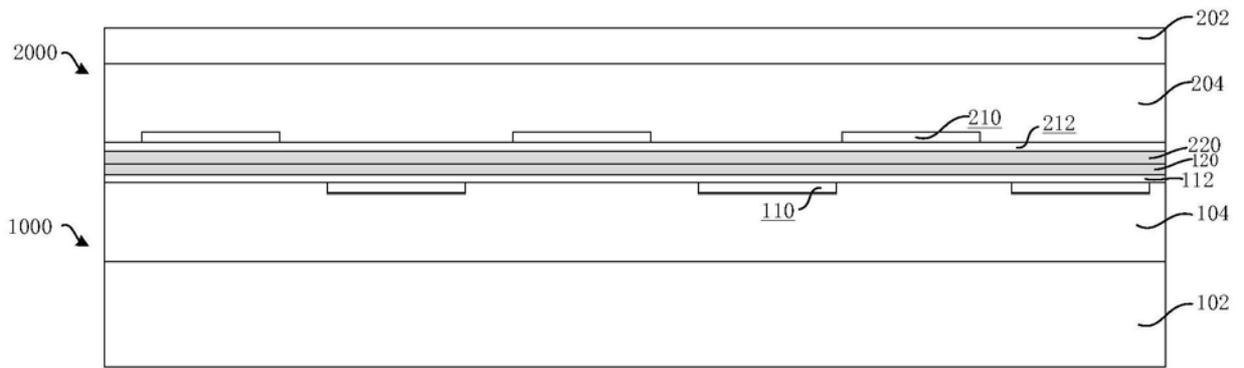


图5

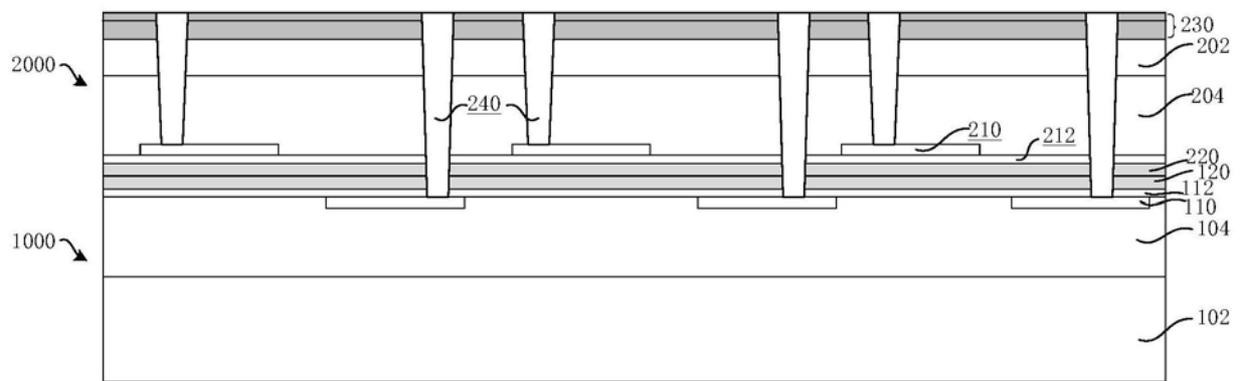


图6

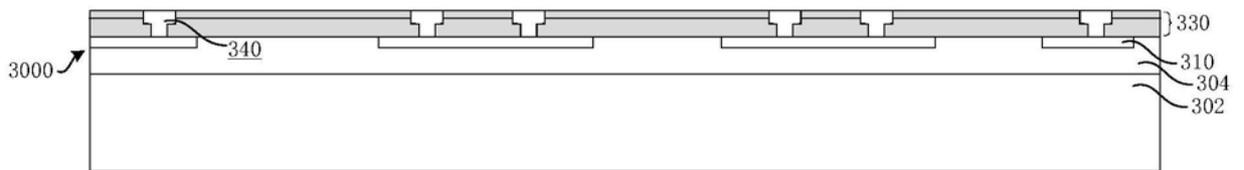


图7

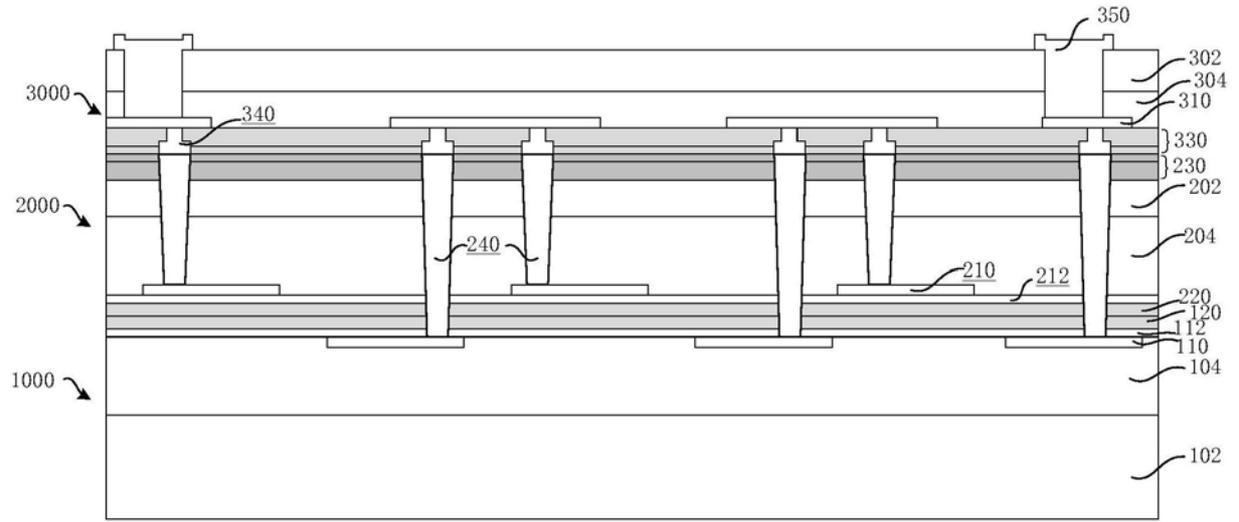


图8