

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：**94101037**

※ 申請日期：**94-1-13** ※IPC 分類：**H01L 29/28**

一、發明名稱：(中文/英文)

記憶體晶胞 / MEMORY CELL

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.

代表人：(中文/英文) 張忠謀/CHANG, CHUNGMOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, LI-HSIN RD.6, SCIENCE-BASED INDUSTRIAL PARK,
HSIN-CHU, TAIWAN 300, R.O.C.

國籍：(中文/英文) 中華民國 R.O.C.

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 季明華/ CHI, MINHWA

2. 江文銓/ CHIANG, WENCHUAN

3. 陳政谷/ CHEN, CHENGKU

國籍：(中文/英文)

1. 美國 U.S.A.

2. 中華民國 R.O.C.

3. 中華民國 R.O.C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2004/9/21、10/945,762

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種記憶體裝置，且特別是有關於一種動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM)。

【先前技術】

動態隨機存取記憶體 (DRAM) 是一種廣泛用於儲存電子資料的半導體記憶裝置。習知的 DRAM 主要包括標準型的 DRAM (Commodity DARM) 以及嵌入式 DRAM (Embedded DRAM, eDRAM)。

標準型的 DRAM 係為分離、獨立的記憶體裝置，此記憶體裝置經由系統匯流排與邏輯元件進行通訊。目前標準型 DRAM 的進展包括使用面積最佳化之單電晶體技術，其中 DRAM 的記憶體晶胞設有一個電晶體 (1T) 以及一電容器。習知的 DRAM 技術中，單電晶體 (1T) 式記憶晶胞之電容堆疊在電晶體上 (在形成內連線之前)，或是位於深溝渠之中 (在形成電晶體之前)，皆面臨日益提高的製程難度之挑戰。因為複雜的 DRAM 晶胞製程必須使用特殊的製程技術以及專用的設備，以致於與標準的 CMOS 製程不相容，特別是上述類型之晶胞容易產生此種問題。例如，2001 年 5-6 月出版的 "IEEE 之電腦系統設計與測試" (IEEE Design and Test of Computers) 刊物中第 7-15 頁，由 Doris Keitel-Schulz & Norbert When 等人提出的 "嵌入式 DRAM 的發展：技術、實體設計以及應用

之議題”(Embedded DRAM Development: Technology, Physical Design, and Application Issues)。

近年來，一直持續發展設有許多嵌入式記憶體區塊之單晶片，而促使 eDRAM 邏輯裝置之研發。舉例來說，這些邏輯裝置可為專用積體電路 (Application-Specific Integrated Circuits, ASIC) 以及系統單晶片 (System-on-Chip, SoC)。一般認為，將記憶體嵌入於邏輯裝置中可以消除因為系統匯流排造成的訊號傳送延遲。因此，為了符合日益提高的效能要求，例如增加系統的操作速度以及減少電源消耗之要求，故需要持續研發這些邏輯裝置。相較之下，由於 DRAM 的尺寸小於習知 SRAM 約一個尺寸等級，使得 eDRAM 是高密度嵌入式記憶體的較佳選擇。此外，將小容量 (例如 4~32 Mb) 的 eDRAM 整合至邏輯電路中，可有效改善系統的操作速度以及降低成本。然而，製造 eDRAM 並不是一件容易的事，如果只是將標準型 DRAM 的記憶體晶胞之製程直接與標準的 CMOS 製程結合，將導致 CMOS 邏輯元件與 DRAM 的效能變差 (因為承受額外的製程熱量、元件結構不相容且非最佳化的製程步驟)，並且大幅提高製程的成本。

因此，許多習知的製程方法致力於將 eDRAM 整合至邏輯元件中，而不希望改變 CMOS 邏輯元件的特性。一種方法是使用深溝渠電容晶胞，係於形成電晶體之前先形成此電容晶胞。此種方法中，DRAM 電容的熱量循環不會影響與 CMOS 電晶體有關的結構，例如 2002 年出版的“國際電子裝置會議”刊物中第 57-60 頁，由 Narutoshi Yanagiya 等人提出的“應用

於寬頻微處理器之高密度嵌入式記憶體之 65 奈米 CMOS (CMOS5)製程技術”(65nm CMOS Technology (CMOS5) with High Density Embedded Memories for Broadband Microprocessor Applications)。雖然上述方法可以縮小晶胞的尺寸並且提高記憶體的密度，但是會對有關聯的邏輯電路造成不良的效應，例如在 DRAM 區域附近形成的應力將導致不正常的摻質擴散效應及接面漏電流、低良率、低可靠度等問題。

一種方法是在形成邏輯電晶體之後形成具有金屬/絕緣體/金屬(MIM)之 DRAM 晶胞，而且 MIM 電容的製程溫度(低於 450°C)較低，以避免邏輯裝置的效能變差。此種晶胞的尺寸較小(只稍微大於深溝渠晶胞)並且與標準的 CMOS 製程相容，但是只適用於 90 奈米以上的製程技術。

另一種方法中，DRAM 晶胞具有 MOS 結構之平面電容(位於井區與多晶矽閘極之間)。例如，西元 2000 年第 13 屆 IEEE 國際 ASIC/SOC 年會刊物中第 32-36 頁所述，由 Wingyu Leung 等人提出之”理想的系統單晶片記憶體：具有單電晶體之靜態隨機存取記憶體”(The Ideal SoC Memory : 1T-SRAMTM)。此種方法在晶胞尺寸(大於溝渠晶胞尺寸約 10 倍)與電容值(每個晶胞的電容值約 5 fF)兩者之間採取折衷的方式，而不會超出使用標準 CMOS 製程所需要的費用。此種方法特別適合於特殊的 SOC 用途上，例如具有較少位元數的位元線、多記憶元件技術之 SRAM 輸出/輸入(I/O)裝置，以取代晶片上的 SRAM。然而此種方法的晶胞較大，並不適用

於較高容量的(例如大於 8 Mb)之記憶體。

【發明內容】

本發明提供一種用於嵌入式 DRAM 之 DRAM 記憶體晶胞結構。本發明之實施例可縮減元件的尺寸、增加電荷保存的期限、以及增加與標準製程步驟之間的相容性。然而本發明之實施例亦適用於嵌入式 DRAM 以外的 DRAM，而並非用以限定本發明。

在實施例中，記憶體晶胞包括作為浮動的多晶矽電容之多晶矽結構以及開關電晶體。開關電晶體設有閘極結構以及汲極接面。多晶矽結構位於溝渠中，例如淺溝渠隔離結構(STI)。主要是利用摻雜的側壁來定義一部分的溝渠，其中該摻雜的側壁環繞在多晶矽結構的周圍並且作為開關電晶體的源極接面。利用一介電層使多晶矽結構與溝渠的側壁彼此互相分離。當開關電晶體的閘極偏壓所產生的電場引發出累積狀態時，透過由溝渠側壁直接穿透介電層的方式將電荷傳送至多晶矽結構(電容元件)。由於多晶矽結構與溝渠側壁之間在空乏狀態下利用介電層互相隔離，使得電荷的保存期限得以增加，其中開關電晶體的閘極受到一負偏壓。藉由在側壁的表面所產生之 GIDL 電流來輔助訊號的讀取操作。

在其他的實施例中，揭露一對共用單一溝渠的鄰接 DRAM 記憶體晶胞，藉以有效縮減記憶體晶胞的尺寸。特別是在單一溝渠中形成每個記憶體晶胞的多晶矽結構，並且利用介電材質來隔離兩個多晶矽結構。

【實施方式】

參考第 1 圖，其繪示依據本發明的 DRAM 晶胞 100 之剖視圖。DRAM 晶胞 100 主要包括 NMOS 開關電晶體 102 以及儲存區域 104，開關電晶體 102 設有位於 p 型基材 110(例如具有 <100>結晶面向之 p 型矽晶圓)之摻雜 n 型通道 106 以及重摻雜 n⁺汲極接面 108。開關電晶體 102 亦包括覆蓋於基材 110 上之 n⁺多晶矽閘極結構 118 以及閘氧化層 120，電晶體 110 的源極設置於儲存區域 104 內，如下所述。

儲存區域 104 設有隔離區域 112，例如可為凹型的淺溝渠隔離結構(STI)。隔離區域 112 包括位於基材中之溝渠 114。p⁺多晶矽結構 122 位於溝渠 114 中的絕緣層 124 上，絕緣層 124 的材質例如可為氧化矽、氮化矽或是氮氧化矽。較佳實施例中，使用電漿輔助化學氣相沉積法(PECVD)形成絕緣層 124 的氧化矽。n 型佈植側壁 116 環繞在多晶矽結構 122 的周圍，但是使用介電層 125 來隔離佈植側壁 116 與多晶矽結構 122。佈植側壁 116 係作為電晶體 102 的源極接面，且佈植側壁 116 的內側面 126 鄰接於多晶矽結構 122 的側邊表面 128，用以定義溝渠 114。較佳實施例中，使用磷(P31)對側壁 116 進行佈植，以形成較佳的摻雜濃度，例如形成位於較大的斜角佈植汲極結構(Large-angle Tilt Implanted Drain, LATID)中汲極延伸部分所含的濃度準位值，該濃度準位值約介於 1×10^{16} 至 1×10^{20} atoms/cm³ 之間。

介電層 125 設置於多晶矽結構 122 與佈植側壁 116 之

間。介電層 125 係為厚度較薄(例如小於 15 埃)之穿隧氧化層(Tunnel Oxide)，以於寫入操作(將於下文中敘述)中形成較大的直接穿隧電流(Direct-tunneling Current)。此外，在讀取操作(將於下文中敘述)期間，利用 p^+ 多晶矽結構 122 的電位差，以於佈植側壁 116 的內側面 126 形成閘極引發汲極漏電流(Gate Induced Drain Leakage, GIDL)。

在一較佳實施例中，介電層 125 的材質例如可為二氧化矽，在另一實施例中，介電層 125 的材質可為高介電常數($k > 3.9$)之材質。較佳實施例中，高介電常數的材質為氮化矽(Si_3N_4)、氧化鋁(Al_2O_3)或是氧化鈦(HfO_2)，亦可為矽酸鈣(HfSiO_4)、氧化鋯(ZrO_2)、矽酸鋯(ZrSiO_2)、五氧化二鉭(Ta_2O_5)、氧化釷(La_2O_3)、氧化釷(Gd_3O_3)、氧化釷(Y_2O_3)以及鈦酸鋇(SrTiO_3)。

在一實施例中，以 90 奈米的設計規範以及製程參數來製造記憶體晶胞 100。舉例來說，閘氧化層 120 於 2.5 伏特(V)的操作電壓之厚度為 50 埃，於 1.8 伏特(V)的操作電壓之厚度為 36 埃，以及於 1.0 伏特(V)的操作電壓之厚度為 15 埃。基本上，以 90 奈米的製程技術而言，輸出/輸入電路以及類比電路係使用 2.5 V 以及 1.8 V 之電晶體，而邏輯電路使用 1.0 V 之電晶體。為便於說明起見，1.0 V、1.8 V 以及 2.5 V 分別以 V_{cc} 、 V_{dd1} 以及 V_{dd2} 表示之。此外， V_{cc} 、 V_{dd1} 可由外部的 V_{dd2} 電壓源產生。然而本發明之記憶體晶胞 100 亦可適用於 65 奈米的製程技術，且適用小於 V_{cc} 、 V_{dd1} 以及 V_{dd2} 之電壓。

第 2 圖顯示記憶體晶胞 100 的平面視圖。記憶體晶胞 100 的佈局設計包含面積為 $6.25 \lambda^2$ 之單位晶胞(習知的面積為 $8.0 \lambda^2$)，此處 λ 係為最小的微影尺寸(Lithography Dimension)。由於電晶體 102 的側壁 116 環繞在浮動的多晶矽結構 122 之周圍，使得晶胞的尺寸可以有效地縮減。

第 3A-3B 圖繪示記憶體晶胞 100 的寫入操作之圖式。進行寫入操作時，利用位元線電路(未圖示)施加高準位的 $1.8 \text{ V}(V_{dd1})$ 或是低準位的 1.0 V 之偏壓於電晶體 102 的 n^+ 汲極接面 108 上，或是分別施加負電壓之"1"或"0"邏輯狀態於 n^+ 汲極接面 108 上。藉由使閘極 118 偏壓至 $2.5 \text{ V}(V_{dd2})$ 來啟動開關電晶體 102，使得 n 型通道 106 累積足夠多的電子，而與 n^+ 汲極接面 108 形成短路。將閘極 118 偏壓至 -0.7 V 來關閉開關電晶體 102，使得 n 型通道 106 處於空乏狀態。如上所述，由於在通道區域 106 摻雜 n 型摻質，當閘極電壓處於"1"狀態下，使電晶體 102 成為"啟動"之增強模式元件。

第 3A 圖繪示記憶體晶胞 100 處於寫入狀態(邏輯狀態為"0")的能量帶示意圖。汲極接面(或是位元線)108 的偏壓值為 0 V 。多晶矽結構 122 的電位差降低至接近 0 V 左右，主要是使電子由側壁 116 的內表面 126 以及 n 型通道 106 穿過朝向 p^+ 多晶矽結構 122 的側邊表面 128 之導電帶，而且電洞由 p^+ 多晶矽結構 122 的側邊表面 128 穿過朝向側壁 116，但是電洞的穿透速率遠小於(至少小於 2 個等級)電子的穿透速率。

第 3B 圖繪示記憶體晶胞 100 處於寫入狀態(邏輯狀態為"1")的能量帶示意圖。汲極接面(位元線)108 的偏壓值為 1.8

V。多晶矽結構 122 的電位差被提高至接近 1.8 V 左右，主要是使電子由 p^+ 多晶矽結構 122 的側邊表面 128 之價帶 (Valence Band, VB) 直接穿過 (Direct-tunneling) n 型側壁 116 以及通道 106，側壁 116 的內表面 126 處於空乏狀態 (亦即由於 +2.5V 偏壓形成電場，所以不會產生電洞反轉的狀態)。因此當有電子由多晶矽結構 122 穿透至側壁 116 以及通道 106，可忽略由側壁 116 穿透至 p^+ 多晶矽結構 122 的電洞。

上述邏輯狀態 "0" 之寫入操作將使電子儲存在多晶矽結構 122 中。另外，上述邏輯狀態 "1" 之寫入操作將使多晶矽結構 122 處於空乏狀態。根據下列所述之讀取方式來感測多晶矽結構 122 的電子存在與否。

上述之寫入操作在大部分的應用實例中可於數奈秒 (例如小於 10 奈秒) 之內完成。習知的方法中，當介電層 125 的電位差介於 0.5 V-1.5 V 之間，導帶 (Conduction Band, CB) 的電流密度大於 10^2 - 10^4 A/cm²。例如 2001 年 IEEE TRANS. ELEC. DEVICES 刊物第 1366-1373 頁所述，由 Wen-Chin Lee 以及 Chenming Hu 等人提出的 "利用導帶以及價帶形成的電子與電洞穿透狀態來建立 CMOS 穿隧電流經過超薄閘氧化層之模型" (Modeling CMOS Tunneling Currents Through Ultrathin Gate Oxide Due to Conduction- and Valence-Band Electron and Hole Tunneling)。當多晶矽結構 122 的總電容值為 1 fF 等級，可使 0.5 V 的 "0" 邏輯狀態之寫入操作在 10 奈秒之內完成。由於介電層 125 的厚度小於 15 埃，使得來自導帶 (CB) 的直接穿隧電子之數量大於來自價帶 (VB) 的穿隧

電子高達 10 倍，所以寫入”0”狀態的速度大於寫入”1”狀態亦高達 10 倍。

第 4A-4B 圖繪示記憶體晶胞 100 的讀取操作之圖式。以閘極引發汲極漏電流(GIDL)來輔助記憶體晶胞 100 的讀取操作。將閘極 118 偏壓至 $2.5\text{ V}(V_{dd2})$ 來啟動開關電晶體 102，使得 n 型通道 106 累積足夠多的電子，而與 n^+ 汲極接面 108 形成短路。將 n^+ 汲極接面 108 偏壓至 1.2 V (亦即 $V_{dd2}/2$)，以利用多晶矽結構 122 的電位差來誘發及調變側壁 116 的內側面 126 所產生之電洞數量，並且以 GIDL 電流方式流入 p 型基材 100 中。由於費米能階差使介電層 125 形成遞增的電場，使得 p^+ 型多晶矽結構 122 (相對於 n^+ 型多晶矽結構而言) 在 n 型側壁 116 更能產生 GIDL 電流。因此當多晶矽結構 122 接近 0 V (亦即讀取”0”狀態之操作) 之低電壓準位時，GIDL 電流(電洞)變大。相反地，當多晶矽結構 122 接近 1.8 V (亦即讀取”1”狀態之操作) 之高電壓準位時，GIDL 電流可忽略之。讀取”0”狀態之操作為無效，多晶矽結構 122 的電位差提高至 $1.2\text{ V}(V_{dd2}/2)$ 。因此，需要有類似於習知 DRAM 晶胞之寫回”0”狀態之操作。另一方面，由於讀取”1”狀態之操作中並沒有任何狀態變化，所以讀取”1”狀態之操作並不需要寫回 (Write-back)。

參考第 4A 圖，在讀取”1”狀態的操作中，由於側壁 116 的內側面 126 以及多晶矽結構 122 的側邊表面 128 接近平帶 (Flat-band) 區域，所以可忽略橫跨於介電層 125 的直接穿透電子或是電洞。因此汲極接面 108 (或是未圖示之位元線) 可以

感測出極小的接面漏電流，此漏電流被視為”1”之邏輯狀態。

繼續參考第 4B 圖，在讀取”0”狀態之操作中，側壁 116 的內側面 126 以及多晶矽結構 122 的側邊表面 128 處於空乏狀態。多晶矽結構 122 的價帶電子受到激發，而直接穿透至 n 型側壁 116。而且形成 GDIL(電洞)電流並流向 p 型基材 110。因此汲極接面 108(或是未圖示之位元線)可以感測出較大的 GDIL 電流，此電流被視為”0”之邏輯狀態。

參考第 5A 及 5B 圖，其繪示依據本發明之第 1 圖的記憶體晶胞 100 處於電荷保存狀態之能量帶的示意圖。當記憶體晶胞 100 處於閒置狀態，電晶體 102 的閘極結構上之閘極偏壓或是閘極電位差的偏壓值為較小的負電壓值，例如可為 -0.7 V。應注意的是，可將汲極接面 108(或是未圖示之位元線)偏壓至 1.8 V，且負的閘極偏壓值侷限在 -0.7 V，使得橫跨厚度 50 埃的閘氧化層之電位差始終不超過 2.5 V。當 p⁺多晶矽結構 122 的電位差處於高準位狀態時，係為較差的情況(亦即為”1”之電荷保存狀態)。此種情況下，n 型通道區域 106 處於空乏狀態，但是可利用多晶矽結構 122 的正電位差使側壁 116 的內側面 126 變成至電子累積的狀態。因此當 n 型側壁 116 正在累積電子時，將會形成一些穿隧電子(如漏電流)。在這段期間，多晶矽結構 122 的電位差由 1.8 V 開始下降，直至側壁 116 由累積狀態(第 5A 圖所示)轉變成平帶狀態(如第 5B 圖)。當沒有在閘極 118 附近施加負偏壓(例如負閘極偏壓 V_g)時，與 n 型側壁 116 有關聯的 p⁺多晶矽結構 122 之平帶電壓(V_{fb0})接近 0.8 V。假如在閘極 118 附近施加負閘極偏

壓 V_g (例如 0.7 V)，側壁 116 的內側面 126 上的電子將被驅離。因此為了使側壁 116 的內側面 126 維持在平帶電壓的狀態，多晶矽結構 122 的電位差需要較高。因此，當在閘極 118 附近施加負閘極偏壓 V_g (例如 $0.8\text{ V} + 0.7\text{ V} = 1.5\text{ V}$)，有效的 V_{fb} 值較高。換言之，多晶矽結構 122 的電位差由原先的 1.8 V 降至 1.5 V，使得側壁 116 的內側面 126 形成平帶狀態。當與多晶矽結構 122 相關聯的 n 型側壁 116 轉變成平帶狀態之後，將可有效減小因為來自內側面 126 的穿隧電子所造成的漏電流，使得 p^+ 多晶矽結構 122 的電位差下降的非常慢，實際上停留在 1.5 V 一段時間(例如 10 秒)。由於 p^+ 多晶矽結構 122 的電位差進一步下降，側壁 116 的內側面 126 變成空乏狀態，用以消除來自側壁 116 的內側面 126 之電子穿隧電流。根據上述，利用長時效的電荷保存機制以及 GIDL 輔助讀取操作，晶胞的電容值不需要太大(例如小於 1 fF)，以使晶胞的結構最小化。

第 6A-6F 圖係繪示依據本發明所述之方法所製造的記憶體晶胞之剖視圖。第 6A 圖中，提供半導體基材 110，基材 110 例如可為晶圓，接著在基材 110 上形成墊氧化層，例如在 900°C 的環境下使用熱氧化法形成氧化層，並且利用低壓化學氣相沉積法(LPCVD)在墊氧化層上形成氮化矽層。為簡單說明起見，第 6A-6F 圖的墊氧化層以及氮化矽層係為單一材質層 L。然後在基材中形成深窄溝渠(例如是 STI 區域)114，並且利用習知的方法在溝渠中填入介電材質(其中一部分的介電材質將變成絕緣層 124)，習知的方法例如可為沉

積介電材質之後再進行化學機械研磨(CMP)製程。

接著在第 6B 圖中，形成光阻材質之罩幕層，並且曝露出溝渠 114，然後蝕刻介電材質，以於溝渠 114 中的介電材質形成深度約 1000 埃之凹型區域。第 6C 圖中，完成移除光阻層以及清潔步驟之後，利用側邊佈植製程形成側壁 116，例如使用劑量介於 1×10^{13} 至 1×10^{16} atoms/cm³ 的 n 型摻質以及 5 至 20 Kev 的能量功率，並且以介於 10° 至 45° 的佈植斜角將每片晶圓以一次轉動 90° 的方式轉動 4 次。應注意的是，在側邊佈植製程中轉動晶圓將形成環繞於多晶矽結構 122 的連續性側壁 116，如第 2 圖之上視圖所示。然後形成介電層(穿隧氧化層)125，接著沉積多晶矽層(用以形成多晶矽結構 122)並且進行佈植摻雜製程，如第 6D 圖所示。隨後進行回蝕步驟，如第 6E 圖所示，以形成多晶矽結構 122。最後利用標準的 CMOS 製程，例如長出閘氧化層、多晶矽閘極之圖案化製程，以完成記憶體晶胞 100 之結構，如第 6F 圖所示。

參考第 7 圖，其繪示依據本發明之第二實施例之記憶體晶胞的剖視圖。記憶體晶胞 200 的結構與記憶體晶胞 100 類似，主要不同之處在於記憶體晶胞 200 各元件的電性與記憶體晶胞 100 相反。記憶體晶胞 200 包括 PMOS 開關電晶體 202 以及儲存區域 204，開關電晶體 102 包括位於 n 型基材 210(例如 n 型矽晶圓或是 p 型矽晶圓中的 n 型井區)之摻雜 p 型通道 206 以及重摻雜 p⁺汲極接面 208。開關電晶體 202 亦包括 p⁺多晶矽閘極結構 218 以及閘氧化層 220。

儲存區域 204 設有隔離區域 212，其中隔離區域 212 包括位於基材中的溝渠 214。p⁺多晶矽結構 222 位於溝渠 214 中的絕緣層 224 上，絕緣層 224 的材質例如可為氧化矽、氮化矽或是氮氧化矽。p 型佈植側壁 216 環繞在多晶矽結構 222 的周圍，並且作為電晶體 202 的源極接面。佈植側壁 216 的內側面 226 鄰接於多晶矽結構 222 的側邊表面 228，用以定義一部分的溝渠 214。較佳實施例中，佈植側壁 216 具有足夠的摻雜濃度，例如以較大斜角佈植的汲極結構(Large-angle Tilt Implanted Drain, LATID)中汲極延伸部分所含的濃度準位值，該濃度準位值約介於 1×10^{16} 至 1×10^{20} atoms/cm³ 之間。在讀取操作期間，利用 n⁺多晶矽結構 222 的電位差，以於佈植側壁 216 的內側面 226 形成閘極引發汲極漏電流 (GIDL)。介電層 225 設置於多晶矽結構 222 與佈植側壁 216 之間。介電層 225 係為厚度較薄(約小於 15 埃)的穿隧氧化層 (Tunnel Oxide)，以於寫入操作中形成電洞之直接穿隧電流 (Direct-tunneling Current)。

如同使用記憶體晶胞 100 的製造方法，記憶體晶胞 200 適用於 90 奈米的設計規範以及製程參數。舉例來說，閘氧化層 220 於 2.5 伏特(V)的操作電壓之厚度為 50 埃，於 1.8 伏特(V)的操作電壓之厚度為 36 埃，以及於 1.0 伏特(V)的操作電壓之厚度為 15 埃。此外，記憶體晶胞 200 的製造方法與第 6A-6F 的記憶體晶胞 200 之製程類似，不同之處在於多晶矽結構 222 的摻雜型式以及開關電晶體 202 各元件的電性均與記憶體晶胞 100 相反。因此詳細的製程將不予贅述。

記憶體晶胞 200 的讀取、寫入以及電荷保存之操作方式類似於上述記憶體晶胞 100，其差異主要在於兩者的電性相反。因此，基材 210 為 n 型井區且被偏壓至最高的電位差(亦即 2.5 V)，當對閘極 218 施加低準位(-0.7 V)之偏壓時，開關電晶體為”開啟”狀態，而對閘極 218 施加高準位(2.5 V)之偏壓，開關電晶體為”關閉”狀態。在電荷保存期間，閘極為關閉狀態。當 n⁺多晶矽結構 222 之電位差為低準位時，形成電荷保存為”0”邏輯狀態之最差狀況。熟習此項技術者應知，所有施加於記憶體晶胞 200 的偏壓亦與記憶體晶胞 100 的電性相反，其細節將不予贅述。

接著參考第 8 圖，其繪示依據本發明之第三實施例之記憶體晶胞的剖視圖。第 8 圖顯示一對記憶體晶胞 300，每個晶胞的結構與記憶體晶胞 100 類似，最大不同之處在於每個晶胞 300 的多晶矽結構 322 共用一溝渠 114。應注意的是，鄰近晶胞之間的所有結構，例如多晶矽結構 322、側壁 116 以及電晶體 102 彼此之間互相分離且形成電性隔離。由於鄰近的晶胞 300 共用溝渠 114，所以可有效地縮減第三實施例所述的晶胞尺寸。此外，因為每個溝渠 114 中的多晶矽結構 322 之電容值較小，故可提高寫入操作的速度。

如第 1 圖之實施例所述，每個記憶體晶胞 300 包括一電晶體 102，電晶體 102 設有 n 型通道 106、n 型側壁 116、位於 p 型基材 110 中之 n⁺汲極極界面 108、閘氧化層 120 以及多晶矽閘極結構 118。

每個記憶體晶胞 300 亦包括一儲存區域 304，兩個記憶

體晶胞 300 使用一共用絕緣區域(例如具有部份凹陷的 STI 結構)312。絕緣區域 312 包括位於基材 110 中之溝渠 114，而且一對位於溝渠的 p^+ 多晶矽結構 322 覆蓋在絕緣層 124 上。利用氧化矽插塞 330 使這對多晶矽結構 322 互相分離，以形成電性隔離(詳述如下)。介電層 125 介於多晶矽結構 322 與鄰近的側壁 116 之間。介電層 125 係為厚度較薄(約小於 15 埃)之穿隧氧化層，以於寫入操作(將於下文中敘述)中形成較大的直接穿隧電流。

參考第 9 圖，其繪示依據本發明之第 8 圖的記憶體晶胞之平面視圖。記憶體晶胞 300 的佈局設計具有面積為 $4\lambda^2$ 之單位晶胞(約為習知面積 $8.0\lambda^2$ 的 50%)，此處 λ 係為最小的微影尺寸。由於鄰近的記憶體晶胞 300 共同使用溝渠 114，使得晶胞的尺寸得以縮減。

繼續參考第 10A-10Q 圖，其繪示依據本發明使用另一種方法來製造第 8 圖的記憶體晶胞之剖視圖。在第 10A 圖，提供半導體基材 110，其中基材 110 例如可為晶圓，接著在基材 110 上形成墊氧化層，例如在 900°C 使用熱氧化法形成氧化層，並且利用低壓化學氣相沉積法(LPCVD)在墊氧化層上形成氮化矽層。為簡單說明起見，第 10A-10O 圖的墊氧化層以及氮化矽層係為單一材質層 L。然後在基材中形成深窄溝渠(例如是 STI 區域)114，並且利用習知的方法在溝渠中填入介電材質(其中一部分介電材質將作為絕緣層 124)，例如沉積介電材質之後再進行化學機械研磨(CMP)製程。接著在第 10B 圖中，形成光阻材質之罩幕層並且曝露出溝渠 114，然

後蝕刻介電材質，以於溝渠 114 中的介電材質形成深度約 1000 埃之凹型區域。第 10C 圖中，完成移除光阻層以及清潔步驟之後，利用側邊佈植製程形成側壁 116，例如使用劑量介於 1×10^{13} 至 1×10^{16} atoms/cm³ 的 n 型摻質以及 5 至 20 Kev 的能量功率，並且以介於 10° 至 45° 的佈植斜角將每片晶圓一次轉動 180° 的方式轉動 2 次。應注意的是，在進行側邊佈植的製程中，轉動晶圓二次將可形成與多晶矽結構 322 相對的分離側壁 116，如第 8 圖之記憶體晶胞 300 所示。然後形成介電層(穿隧氧化層)125，接著沉積多晶矽層(以於後續製程形成多晶矽結構 322)，並且進行佈植摻雜製程，如第 10D 圖所示。隨後進行回蝕步驟，如第 10E 圖所示，而留下覆蓋於 NMOS 主動區域之墊氧化層/氮化矽層，並且曝露出多晶矽層 P。

接著在第 10F 圖中，沉積厚度介於 200 至 400 埃之氧化矽層，然後形成罩幕，如第 10G 及 10H 圖所示，以於溝渠 114 區域(STI)曝露出一部份的氧化矽層。第 10H 圖繪示在溝渠 114 區域中曝露出一部份的光阻層。應注意的是，光阻罩幕層曝露出來的溝渠區域 114 之 y 方向的尺寸較大，如第 10H 圖所示。接著蝕刻氧化矽層及主動區域之氮化矽層 L，直至曝露出溝渠 114 中多晶矽層 P 的表面，如第 10I 圖所示。然後形成厚度介於 200 至 400 埃之氮化矽層 N，以形成氮化矽間隙壁 NS，如第 10J 圖所示，並且進行蝕刻製程，以曝露出多晶矽層 P 的表面，如第 10K 圖所示。利用第 10H 圖所示之罩幕結構，使得氮化矽間隙壁 NS 在 x 方向覆蓋於多晶矽層 P

上，而在 y 方向覆蓋於氮化矽層 L 的表面(x 方向及 y 方向的定義如第 10H 圖所示)。氮化矽間隙壁 NS 係作為硬式罩幕，以蝕刻多晶矽層 P，以形成鄰接的記憶體晶胞 300 之多晶矽結構 322，如第 10L 圖所示。然後移除氮化矽間隙壁 NS 以及氧化矽層 OX，如第 10M 圖所示。

歷經第 10G-10M 圖的製程步驟之後，只沿著面對電晶體 102 的溝渠 114 之側邊(面對 x 方向)形成多晶矽結構 322，而在面對 y 方向的溝渠側邊並不會留下多晶矽層 P，以使多晶矽結構 322 之間形成電性隔離。因此，第 10H 圖的罩幕之 y 方向寬度(大於 x 方向之寬度)為氮化矽間隙壁 NS 寬度的兩倍。

接著利用 CVD 法沉積氧化矽，以填入溝渠 114 中，以形成氧化矽襯墊 OL，如第 10N 圖所示。隨後利用 CMP 法移除多餘的氧化矽，以形成氧化矽插塞 330，如第 10O 圖所示。之後在第 10P 圖中，利用熱磷酸之濕蝕刻法及或乾蝕刻法移除氮化矽層 L。最後利用標準的 CMOS 製程，例如長出閘氧化層、多晶矽閘極之圖案化製程，以完成記憶體晶胞 300 之結構。

本發明之另一實施例中，記憶體晶胞 300 可以 PMOS 電晶體來取代 NMOS 電晶體，此一實施例與上述之第三實施例並不相同，就像是上述之第二實施例與上述之第一實施例不相同的情況類似。

具有 n 型電晶體或是 p 型電晶體之記憶體晶胞 300 的讀取、寫入以及電荷保存之操作方式類似於記憶體晶胞 100 或

是記憶體晶胞 100，故不予贅述。

繼續參考第 1 圖，上述之第一實施例的多晶矽結構 122 可為其他的非絕緣材質，例如半導體材質或是導體材質。舉例來說，多晶矽結構 122 可為導電材質(而非半導體之多晶矽)，如導電金屬、矽化金屬或是氮化金屬。此外，介電層 125 的材質可為高介電常數材質，因為高介電常數的介電層 125 在相同的等效氧化矽厚度(Equivalent Oxide Thickness, EOT)之狀況下，可利用較小的穿隧能障(對於較快的寫入速度，如小於 1 ns)以及減少漏電流(長時效的電荷保存)，以大幅提高晶胞的操作效能。由於費米能階約處於矽的中階能隙(Mid-gap)狀態，例如 45 nm 之 CMOS 製程所使用的 $V_{dd2} \sim 1.8$ V、 $V_{dd1} \sim 1.2$ V、 $V_{cc} \sim 0.8$ V 之技術，使得具有導電特性的多晶矽結構 122 之記憶體晶胞可於較小的電壓下進行操作。如上所述，在第三實施例中，亦可以導電材質作為多晶矽結構 322 的材質，並且以高介電常數材質作為介電層 125 的材質。在此實施例中，導電材質可為矽化金屬，其中金屬例如可為鈷、鈦、鎳、鈮、鉑、鉻、鉬、釩以及鎢。另一實施例中，導電材質可為氮化矽金屬或是氮氧化矽金屬，其中金屬例如可為鈷、鈦、鎳、鈮、鉑、鉻、鉬、釩以及鎢。較佳實施例中，高介電常數的材質為氮化矽(Si_3N_4)、氧化鋁(Al_2O_3)或是氧化鈦(HfO_2)，或是依據熱穩定性的需求選用之材質，例如可為矽酸鈦(HfSiO_4)、氧化鋯(ZrO_2)、矽酸鋯(ZrSiO_2)、五氧化二釩(Ta_2O_5)、氧化釷(La_2O_3)、氧化釷(Gd_3O_3)、氧化釷(Y_2O_3)以及鈦酸鋇(SrTiO_3)。

本發明之記憶體晶胞亦可使用較厚(例如 80-100 埃 EOT)的介電層 125，以作為快閃記憶體晶胞。但是需要較高的操作電壓，例如 10-12 V，以利用 F-N 穿隧機制(而非使用較薄的介電層 125 之直接穿隧機制)進行寫入操作。另一方面，較厚的介電層 125 可減少漏電流，以增加電荷保存的時間，例如 10 年的保存時間。讀取的方式亦類似，亦即使用 GIDL 電流作為記憶體晶胞的電流。由於讀取操作為非破壞性，因此不需要寫回步驟。應注意的是，亦可對第三實施例作類似的修正。

雖然本發明已用較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，特舉較佳實施例，並配合所附圖式，作詳細說明如下：

第 1 圖係繪示依據本發明之第一實施例之 DRAM 晶胞的剖視圖。

第 2 圖係繪示依據本發明之第 1 圖的記憶體晶胞之平面視圖。

第 3A 及 3B 圖係繪示依據本發明之第 1 圖的記憶體晶胞處於寫入狀態之能量帶的示意圖。

第 4A 及 4B 圖係繪示依據本發明之第 1 圖的記憶體晶胞

處於讀取狀態之能量帶的示意圖。

第 5A 及 5B 圖係繪示依據本發明之第 1 圖的記憶體晶胞處於電荷保存狀態之能量帶的示意圖。

第 6A-6F 圖係繪示依據本發明所述之一種方法來製造第 1 圖的記憶體晶胞之剖視圖。

第 7 圖係繪示依據本發明之第二實施例之 DRAM 晶胞的剖視圖。

第 8 圖係繪示依據本發明之第三實施例之 DRAM 晶胞的剖視圖。

第 9 圖係繪示依據本發明之第 8 圖的記憶體晶胞之平面視圖。

第 10A-10Q 圖係繪示依據本發明所述之另一種方法來製造第 8 圖的記憶體晶胞之剖視圖。

【主要元件符號說明】

100 DRAM 晶胞	102 開關電晶體
104 儲存區域	106 通道
108 汲極接面	110 基材
112 隔離區域	114 溝渠
116 佈植側壁	118 閘極結構
120 閘氧化層	122 多晶矽結構
124 絕緣層	125 介電層
126 內側面	128 側邊表面
200 記憶體晶胞	202 開關電晶體

- | | | | |
|-----|-------|-----|---------|
| 204 | 儲存區域 | 206 | 通道 |
| 208 | 汲極界面 | 210 | 基材 |
| 212 | 隔離區域 | 214 | 溝渠 |
| 216 | 側壁 | 218 | 多晶矽閘極結構 |
| 220 | 閘氧化層 | 222 | 多晶矽結構 |
| 224 | 絕緣層 | 226 | 內側面 |
| 225 | 介電層 | 228 | 側邊表面 |
| 300 | 記憶體晶胞 | 304 | 儲存區域 |
| 312 | 絕緣區域 | 322 | 多晶矽結構 |
| 330 | 氧化矽插塞 | | |

五、中文發明摘要

記憶體晶胞

本發明提供一種記憶體晶胞，主要包括開關電晶體以及儲存區域。其中電晶體設有閘極以及汲極，儲存區域設有淺溝渠隔離區域(STI)之溝渠，而位於溝渠中的非絕緣結構之材質例如可為多晶矽或是金屬材質，以作為電容結構。利用摻雜的側壁來定義一部分的溝渠，其中該摻雜的側壁係為電晶體的源極，且以一介電層使多晶矽與溝渠的側壁彼此互相分離。進行寫入操作時，利用穿透介電層之穿隧機制，使電荷傳送至非絕緣結構中，並且利用溝渠側壁表面上所產生的閘極引發汲極漏電流(GIDL)電流來輔助訊號的讀取操作。本發明之實施例可縮減元件的尺寸、增加電荷保存的期限以及增加與標準製程步驟之間的相容性。

六、英文發明摘要

MEMORY CELL

Disclosed herein is a DRAM memory cell featuring a reduced size, increased retention time, and compatibility with standard logic manufacturing processes, making it well-suited for use as embedded DRAM. The memory cell disclosed herein includes a pass-gate transistor and a storage region. The transistor includes a gate and a drain. The storage region includes a trench, which is preferably a Shallow Trench Isolation (STI). A non-insulating structure, e.g., formed of polysilicon or metal, is located in the trench as serves as a capacitor node. The trench is partially defined by a doped sidewall that serves as a source for the transistor. The poly structure and the trench sidewall are separated by a dielectric layer. The write operation involves charge transport to the non-insulating structure by direct tunneling through the dielectric layer. The read operation is assisted by Gate Induced Drain Leakage (GIDL) current generated on the surface of the sidewall.

十、申請專利範圍：

1. 一種記憶體晶胞，至少包含：
 - 一半導體基材；
 - 一位於該半導體基材中之隔離區域，其中該隔離區域包括深入至該半導體基材中之溝渠；
 - 至少部分環繞該溝渠之側壁；
 - 至少一位於該隔離區域的該溝渠中之半導體結構；
 - 一位於該隔離區域的該溝渠中之介電層，且該介電層設置於該半導體結構與該側壁之間；以及
 - 一位於該半導體基材上方之閘極結構。
2. 如申請專利範圍第 1 項所述之記憶體晶胞，其中該閘極結構的材質至少包含金屬。
3. 如申請專利範圍第 1 項所述之記憶體晶胞，其中該閘極結構的材質至少包含多晶矽。
4. 如申請專利範圍第 1 項所述之記憶體晶胞，其中該半導體結構的材質至少包含摻雜的矽材質。
5. 如申請專利範圍第 4 項所述之記憶體晶胞，其中該摻雜矽材質係為第一導電型，且該閘極結構係為與該第一導電型的電性相反之第二導電型。

6. 如申請專利範圍第 5 項所述之記憶體晶胞，其中該第一導電型係為 p 型，且該第二導電型係為 n 型。

7. 如申請專利範圍第 5 項所述之記憶體晶胞，其中該第一導電型係為 n 型，且該第二導電型係為 p 型。

8. 如申請專利範圍第 1 項所述之記憶體晶胞，其中該介電層的厚度介於 5 至 50 埃之間。

9. 如申請專利範圍第 8 項所述之記憶體晶胞，其中該介電層的材質至少包含高介電常數材質，且該高介電常數材質係選自氮化矽、氧化鋁、氧化鉛、矽酸鉛、氧化鋇、矽酸鋇、五氧化二鉍、氧化釧、氧化釷、氧化鈮以及鈦酸鋇所組成的族群。

10. 如申請專利範圍第 8 項所述之記憶體晶胞，其中該介電層的材質至少包含氧化矽。

11. 如申請專利範圍第 1 項所述之記憶體晶胞，其中該半導體結構具有一第一上表面以及該半導體基材具有第二上表面，且該第一上表面低於該第二上表面。

12. 如申請專利範圍第 1 項所述之記憶體晶胞，其中該閘極結構由部分該半導體結構向上堆疊延伸。

13. 如申請專利範圍第 1 項所述之記憶體晶胞，其中該半導體結構係為導電結構。

14. 如申請專利範圍第 13 項所述之記憶體晶胞，其中該導電結構的材質至少包含金屬或是金屬合金。

15. 如申請專利範圍第 13 項所述之記憶體晶胞，其中該導電結構的材質至少包含矽化金屬。

16. 如申請專利範圍第 15 項所述之記憶體晶胞，其中該矽化金屬的金屬成分係選自鈷、鈦、鎳、鈮、鉑、鉻、鉬、鈹以及鎢所組成的族群。

17. 如申請專利範圍第 13 項所述之記憶體晶胞，其中該導電結構的材質係選自氮化金屬、矽化金屬以及氮氧化金屬所組成的族群。

18. 如申請專利範圍第 17 項所述之記憶體晶胞，其中該導電結構的成分係選自鈷、鈦、鎳、鈮、鉑、鉻、鉬、鈹以及鎢所組成的族群。

19. 一種製造記憶體晶胞的方法，至少包含下列步驟：
提供一半導體基材；

形成一溝渠；

形成一側壁；

形成一介電層；

於該溝渠中形成至少一半導體結構，且該半導體結構鄰接於該側壁，其中該介電層位於該半導體結構與該側壁之間；

形成一閘介電層於該半導體基材以及該半導體結構上；

形成一閘極結構於該閘介電層上；以及

形成一摻雜區域，以作為汲極接面。

20. 如申請專利範圍第 19 項所述之方法，其中該溝渠係為淺溝渠隔離結構。

21. 如申請專利範圍第 20 項所述之方法，其中形成該淺溝渠隔離結構的步驟至少包含下列步驟：

蝕刻該半導體基材，以形成該溝渠；

沉積氧化物於該溝渠中；以及

進行化學機械研磨製程，以移除一部分的該氧化物。

22. 如申請專利範圍第 19 項所述之方法，其中形成該半導體結構於該溝渠之步驟中，至少包含下列步驟：

沉積多晶矽材質；以及

回蝕一部分的該多晶矽材質。

23. 如申請專利範圍第 22 項所述之方法，其中該多晶矽材質至少包含摻雜多晶矽。

24. 如申請專利範圍第 22 項所述之方法，其中形成該摻雜區域的步驟中係於沉積該多晶矽材質的步驟之前，先對該側壁進行摻雜。

25. 如申請專利範圍第 24 項所述之方法，更包含對該多晶矽進行摻雜，使摻雜的該多晶矽之電性與該側壁的電性相反。

26. 如申請專利範圍第 19 項所述之方法，更包含形成一介電層，其中該介電層位於該半導體結構與該側壁之間。

27. 如申請專利範圍第 26 項所述之方法，其中該介電層的材質至少包含氧化矽。

28. 如申請專利範圍第 26 項所述之方法，其中該介電層的介電常數係為大於 3 之高介電常數材質。

29. 如申請專利範圍第 19 項所述之方法，其中該介電層的材質至少包含氧化矽。

30. 如申請專利範圍第 19 項所述之方法，其中該介電

層係為介電常數大於 3 之高介電常數材質。

31. 如申請專利範圍第 19 項所述之方法，其中該閘極結構以及該摻雜區域係為第一導電型，且該半導體結構係為與該第一導電型的電性相反之第二導電型。

32. 如申請專利範圍第 31 項所述之方法，其中該第一導電型係為 n 型，且該第二導電型係為 p 型。

33. 如申請專利範圍第 31 項所述之方法，其中該第一導電型係為 p 型，且該第二導電型係為 n 型。

34. 如申請專利範圍第 19 項所述之方法，其中形成該半導體結構至少包含下列步驟：

沉積一導電材質；以及

回蝕一部分的該導電材質。

35. 如申請專利範圍第 34 項所述之方法，其中該導電材質至少包含金屬。

36. 如申請專利範圍第 35 項所述之方法，其中該導電材質至少包含矽化金屬。

37. 如申請專利範圍第 36 項所述之方法，其中該矽化金

屬的金屬成分係選自鈷、鈦、鎳、鈮、鉑、鉻、鉬、鈹以及鎢所組成的族群。

38. 如申請專利範圍第 35 項所述之方法，其中該導電材質係選自氮化金屬、矽化金屬以及氮氧化金屬所組成的族群。

39. 如申請專利範圍第 38 項所述之方法，其中該導電材質的金屬成分係選自鈷、鈦、鎳、鈮、鉑、鉻、鉬、鈹以及鎢所組成的族群。

40. 一種操作 DRAM 晶胞的方法，至少包含下列步驟：
利用載子的累積以及空乏效應使一側壁形成偏壓；
藉由穿隧一介電層，使一非絕緣結構形成充電以及放電的狀態；

使電荷保存在該非絕緣結構上；以及
藉由感測一讀取電流，以讀取該晶胞的資料內容。

41. 如申請專利範圍第 40 項所述之操作方法，其中該穿隧步驟係為直接穿透該介電層之步驟。

42. 如申請專利範圍第 41 項所述之操作方法，其中該介電層的材質至少包含氧化矽。

43. 如申請專利範圍第 41 項所述之操作方法，其中該介電層的介電常數係為大於 3 之高介電常數材質。

44. 如申請專利範圍第 40 項所述之操作方法，在使電荷保存在該非絕緣結構上之步驟中，該非絕緣結構以及該側壁的能帶處於平帶狀態。

45. 如申請專利範圍第 40 項所述之操作方法，其中該讀取電流係為閘極引發汲極漏電流(GIDL)。

46. 如申請專利範圍第 45 項所述之操作方法，其中該閘極引發汲極漏電流(GIDL)係利用該非絕緣結構以及該側壁之間的電場來形成。

47. 一對鄰接的記憶體晶胞，至少包含：

一第一導電型之半導體基材，且該半導體基材具有一上表面；

一位於該半導體基材中之隔離區域，其中該隔離區域包括由該上表面深入至該半導體基材之溝渠、鄰接於該溝渠的第二導電型之第一側壁、以及鄰接於該溝渠的第二導電型之第二側壁；

一位於該隔離區域的該溝渠中之絕緣層；

一第一導電型之第一半導體結構，該第一半導體結構位於該隔離區域的該溝渠中，且該第一半導體結構的側邊鄰接

於該第一側壁以及該絕緣層上方之基底；

一第一導電型之第二半導體結構，該第二半導體結構位於該隔離區域的該溝渠中，且該第二半導體結構的側邊鄰接於該第二側壁以及該絕緣層上方之基底；

一位於該隔離區域的該溝渠中之第一介電層，且該第一介電層設置於該第一半導體結構的該側邊與該溝渠的該第一側壁之間；

一位於該隔離區域的該溝渠中之第二介電層，且該第二介電層設置於該第二半導體結構的該側邊與該溝渠的該第二側壁之間；

一位於該半導體基材中的第二導電型之第一汲極接面；

一位於該半導體基材中的第二導電型之第二汲極接面；

一第一通道，連接於該第一汲極接面以及該隔離區域的第一側壁；

一第二通道，連接於該第二汲極接面以及該隔離區域的第二側壁；

一位於該第一通道上方的第一閘氧化層；

一位於該第二通道上方的第二閘氧化層；

一位於該第一閘氧化層上方的第二導電型之第一閘極結構，其中該第一閘極結構堆疊在該第一通道以及一部份的該第一半導體基材上；以及

一位於該第二閘氧化層上方的第二導電型之第二閘極結構，其中該第二閘極結構堆疊在該第二通道以及一部份的該第二半導體基材上。

48. 一種動態隨機存取記憶體晶胞，至少包含：

一第一導電型之半導體基材，且該半導體基材具有一上表面；

一位於該半導體基材中之隔離區域，其中該隔離區域包括第二導電型之側壁，該側壁用以定義一部分由該上表面深入至該半導體基材之溝渠；

一位於該隔離區域的該溝渠中之絕緣層；

一第一導電型之非絕緣結構，該非絕緣結構位於該隔離區域的該溝渠中，且該非絕緣結構設有一側邊以及一基底，其中該基底位於該絕緣層上方；

一位於該隔離區域的該溝渠中之介電層，且該介電層介於該非絕緣結構與該溝渠的側壁之間；

一位於該半導體基材的第二導電型之汲極接面；

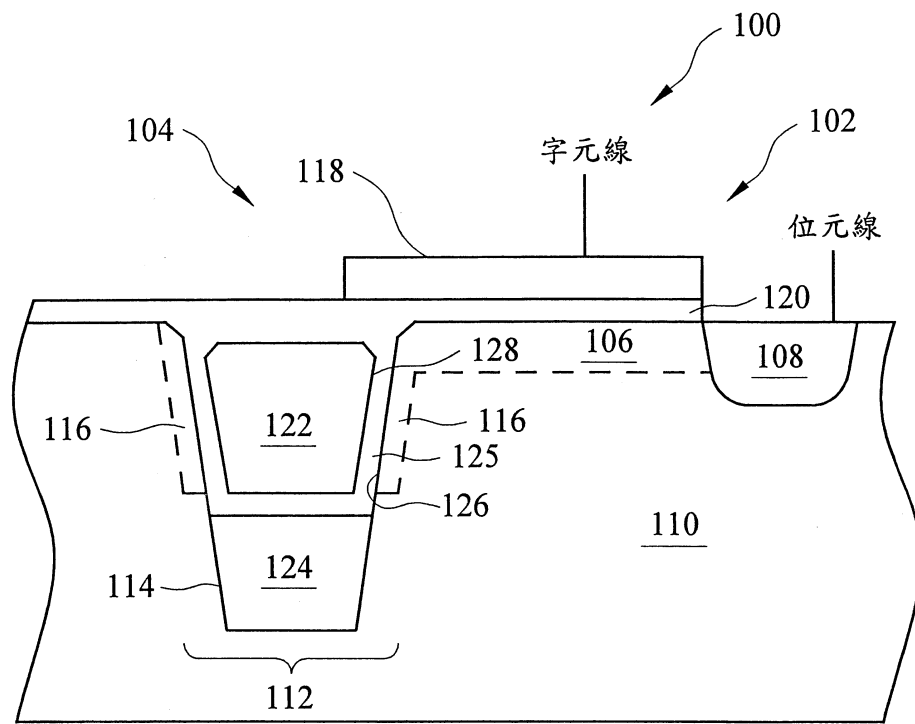
一通道，連接於該汲極接面以及該隔離區域的該側壁；

一位於該通道上方的閘氧化層；以及

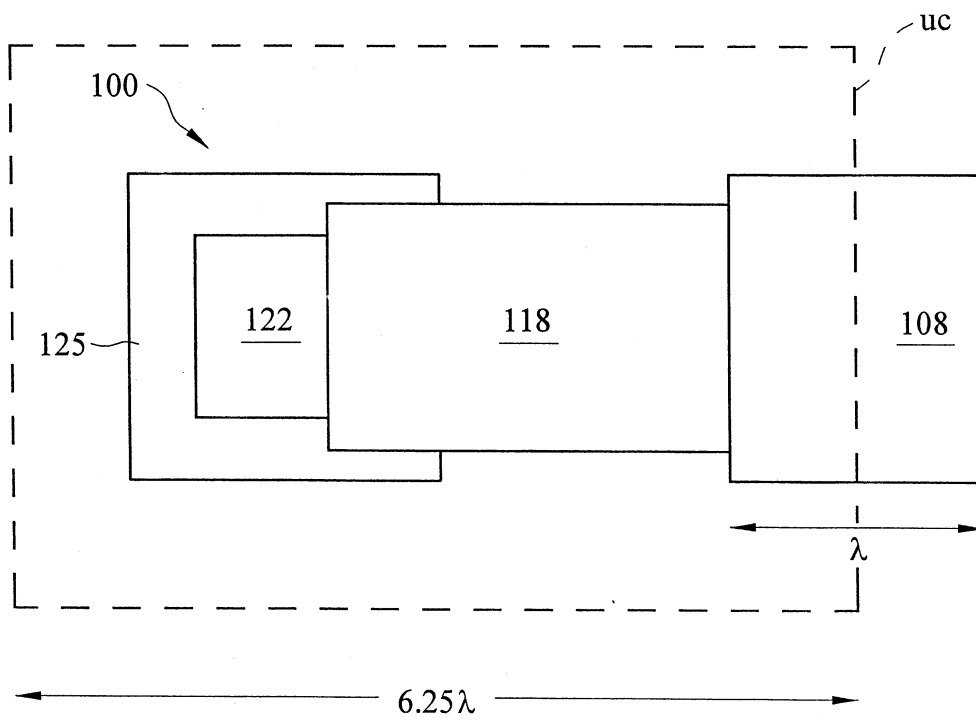
一位於該閘氧化層上方的第二導電型之閘極結構，其中該閘極結構堆疊在該通道以及一部份的該非絕緣結構上。

49. 如申請專利範圍第 48 項所述之動態隨機存取記憶體晶胞，其中該絕緣層至少包含以電漿製程所形成的氧化矽。

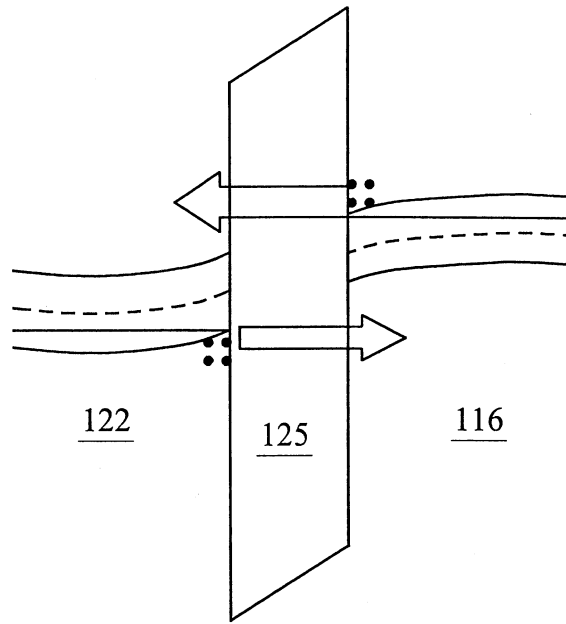
50. 如申請專利範圍第 48 項所述之動態隨機存取記憶體晶胞，其中該絕緣層至少包含氮化矽。



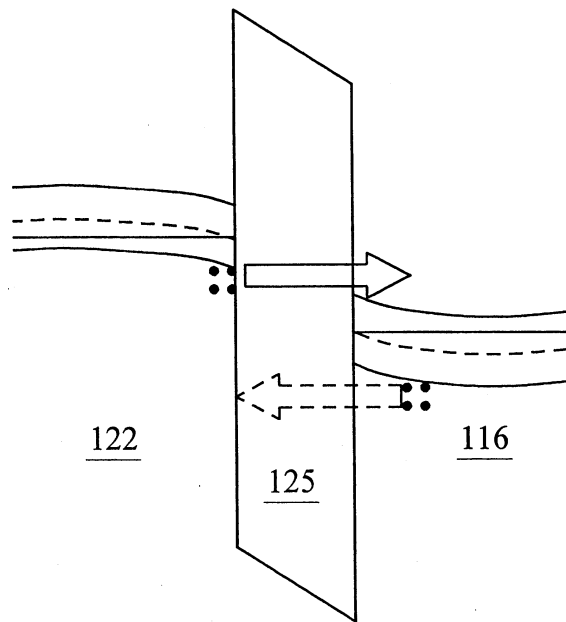
第 1 圖



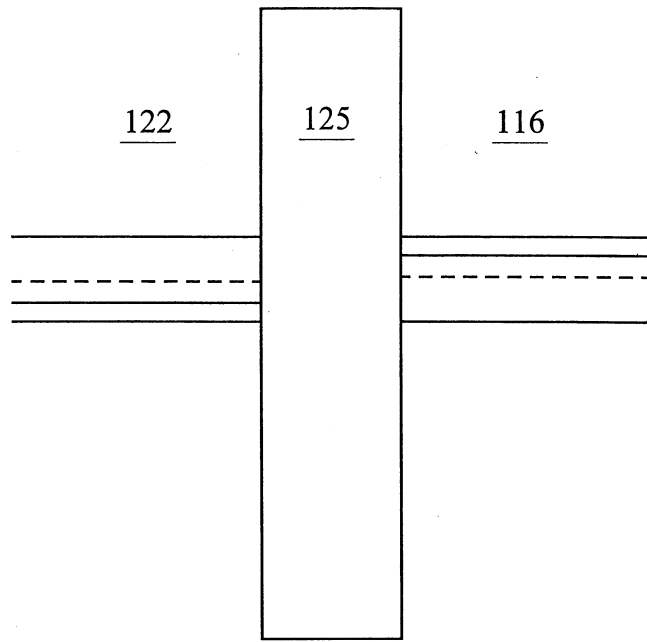
第 2 圖



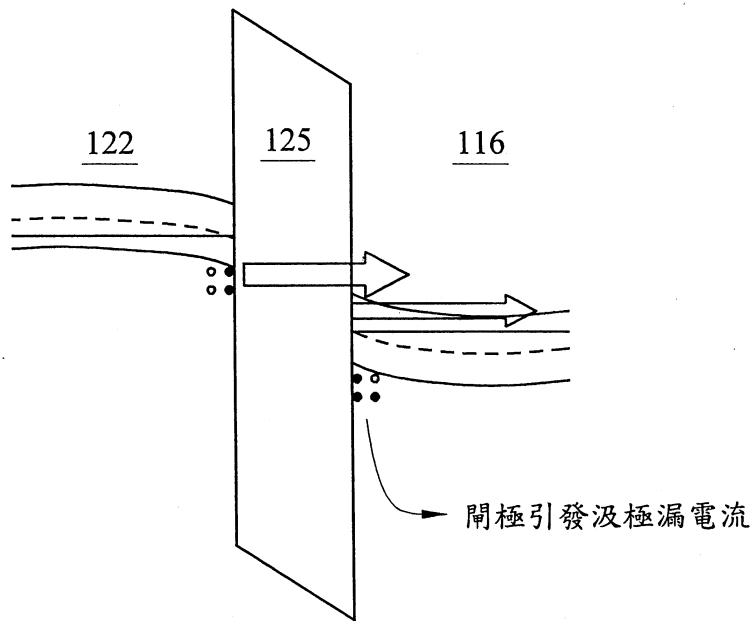
第3A圖



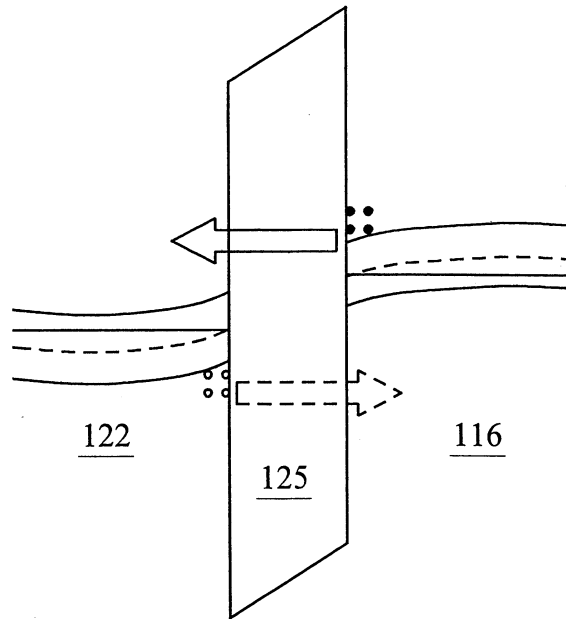
第3B圖



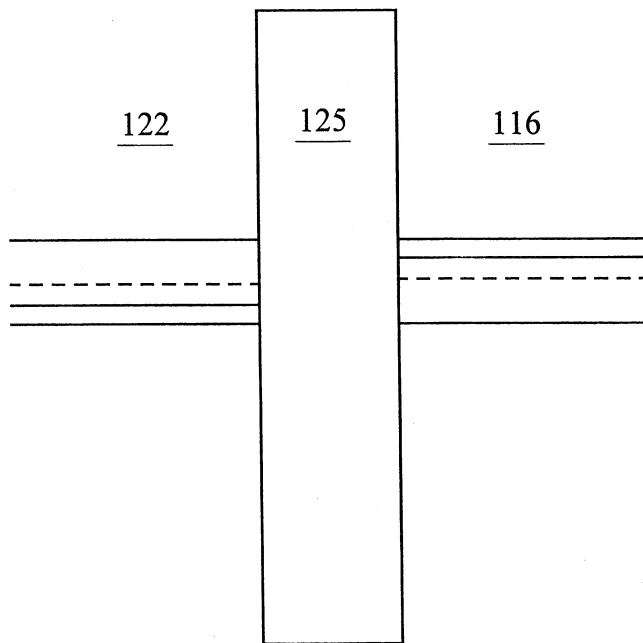
第4A圖



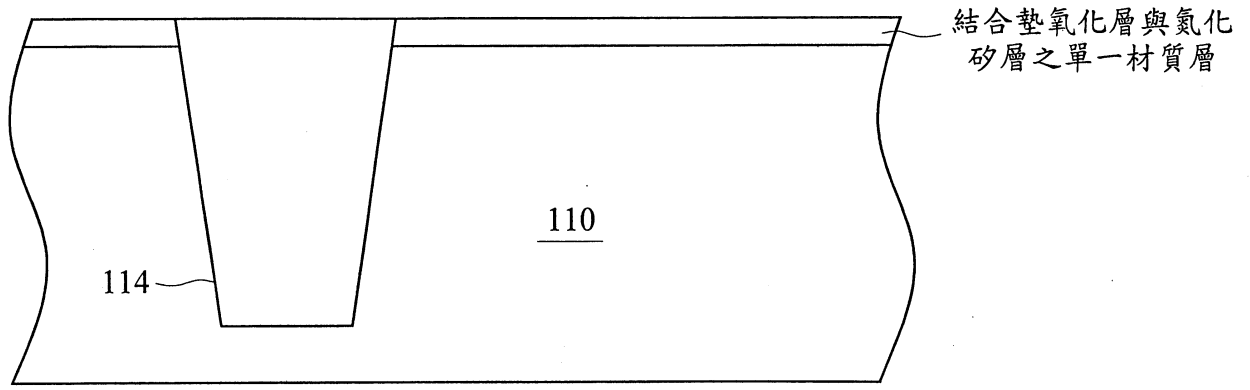
第4B圖



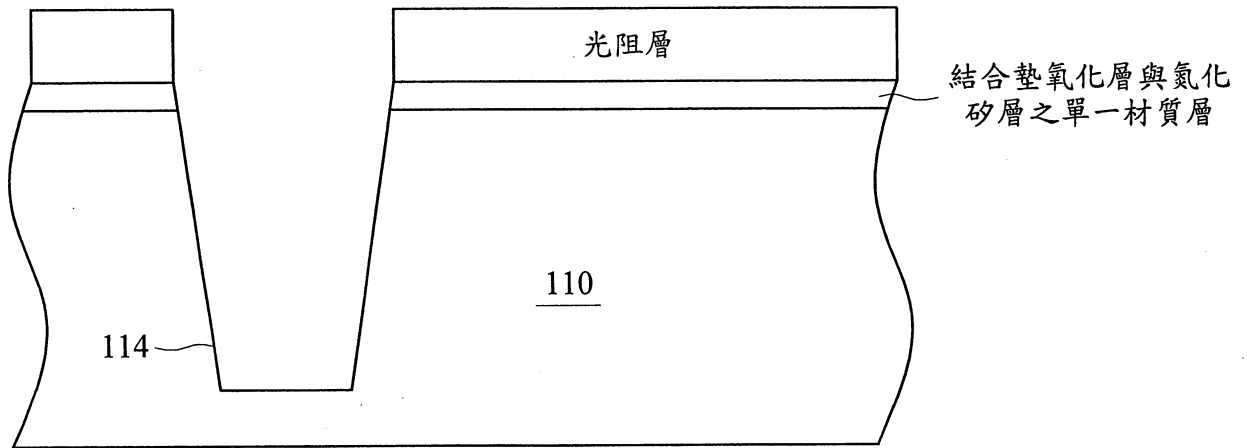
第5A圖



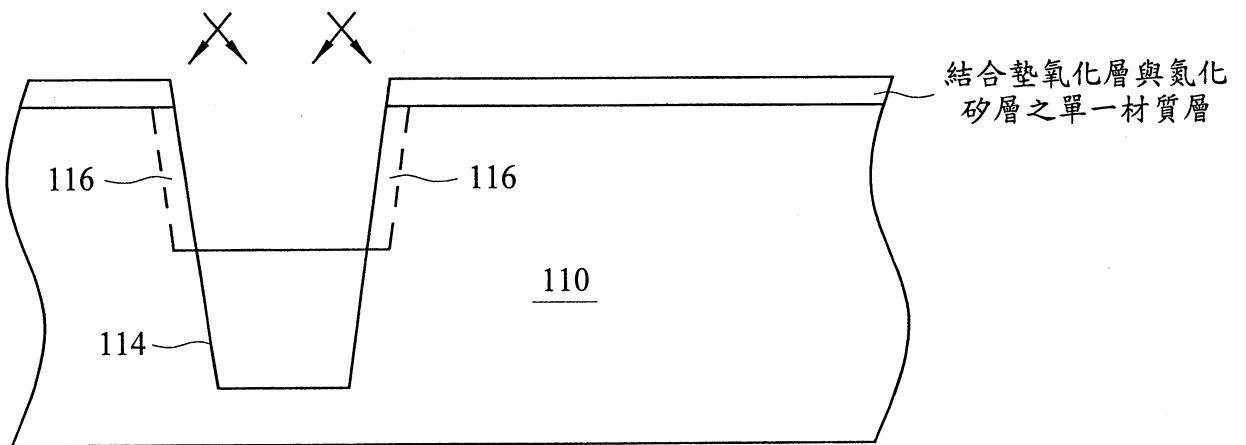
第5B圖



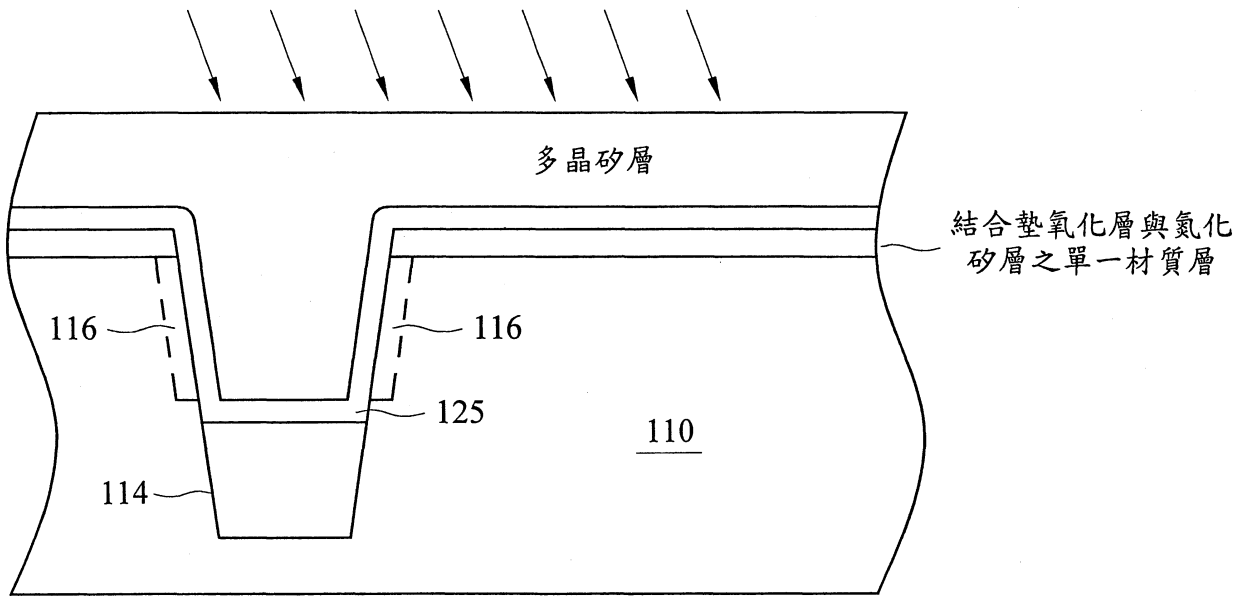
第 6A 圖



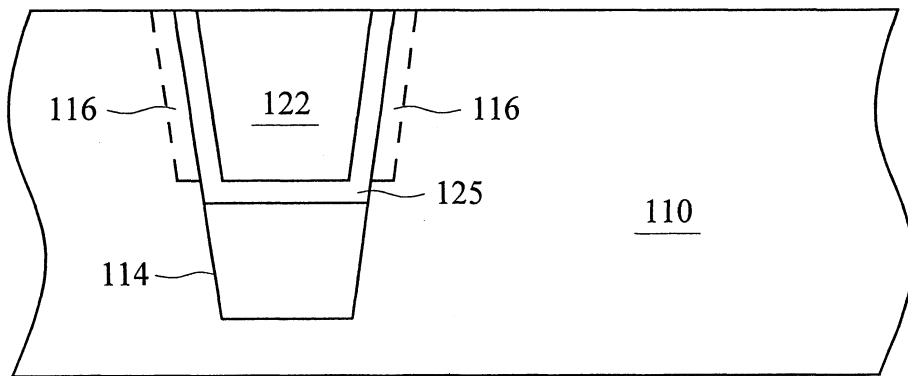
第 6B 圖



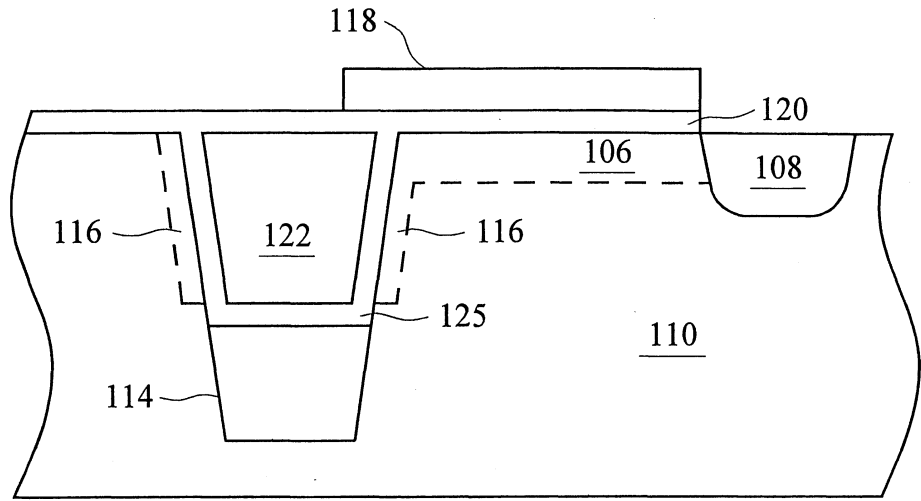
第 6C 圖



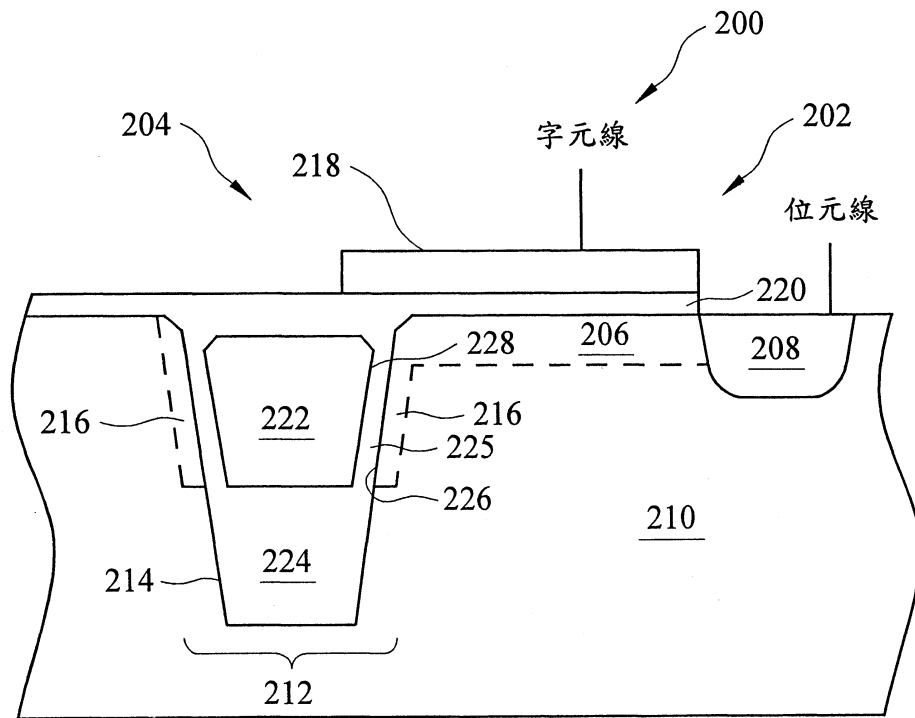
第 6D 圖



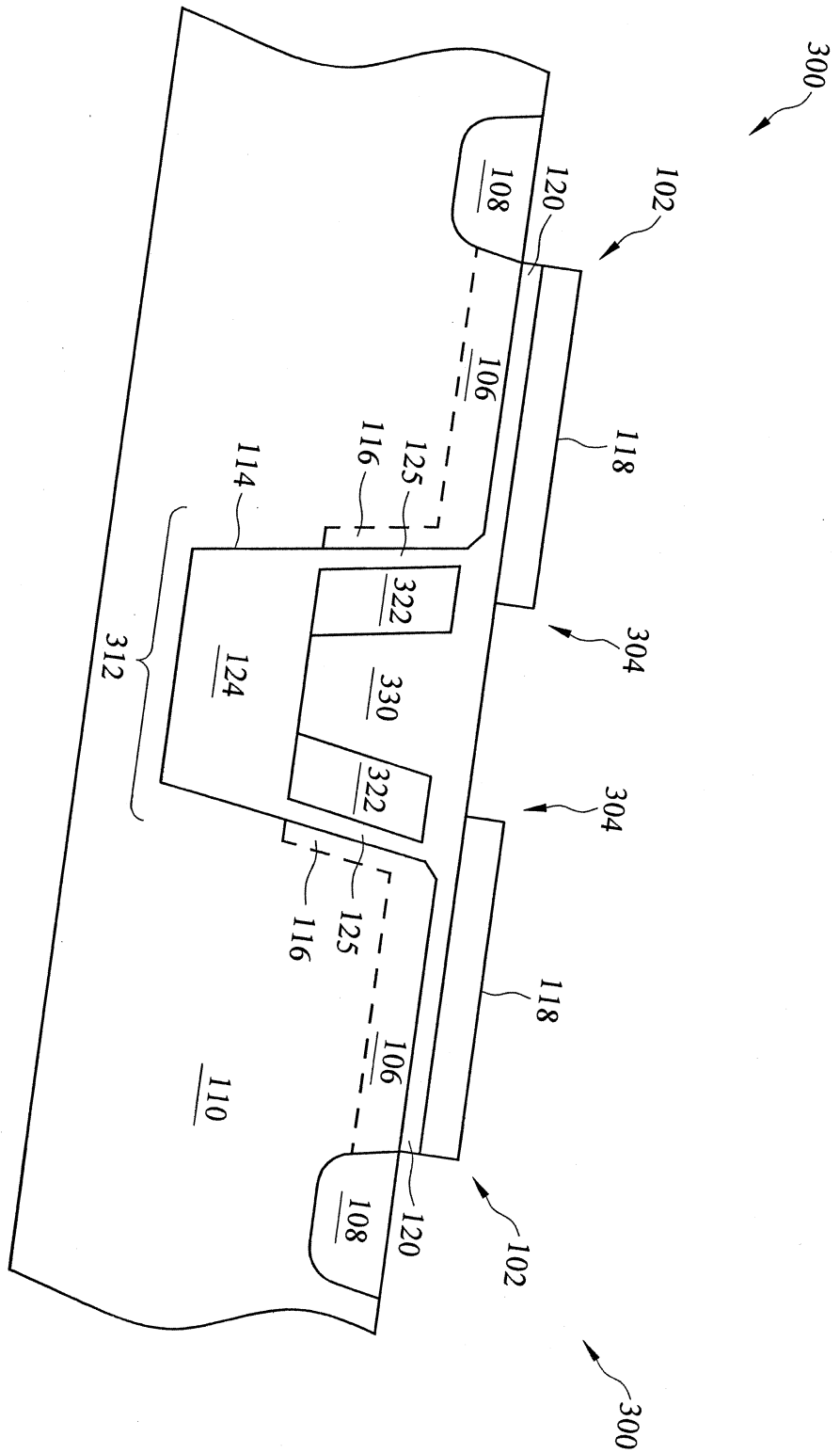
第 6E 圖



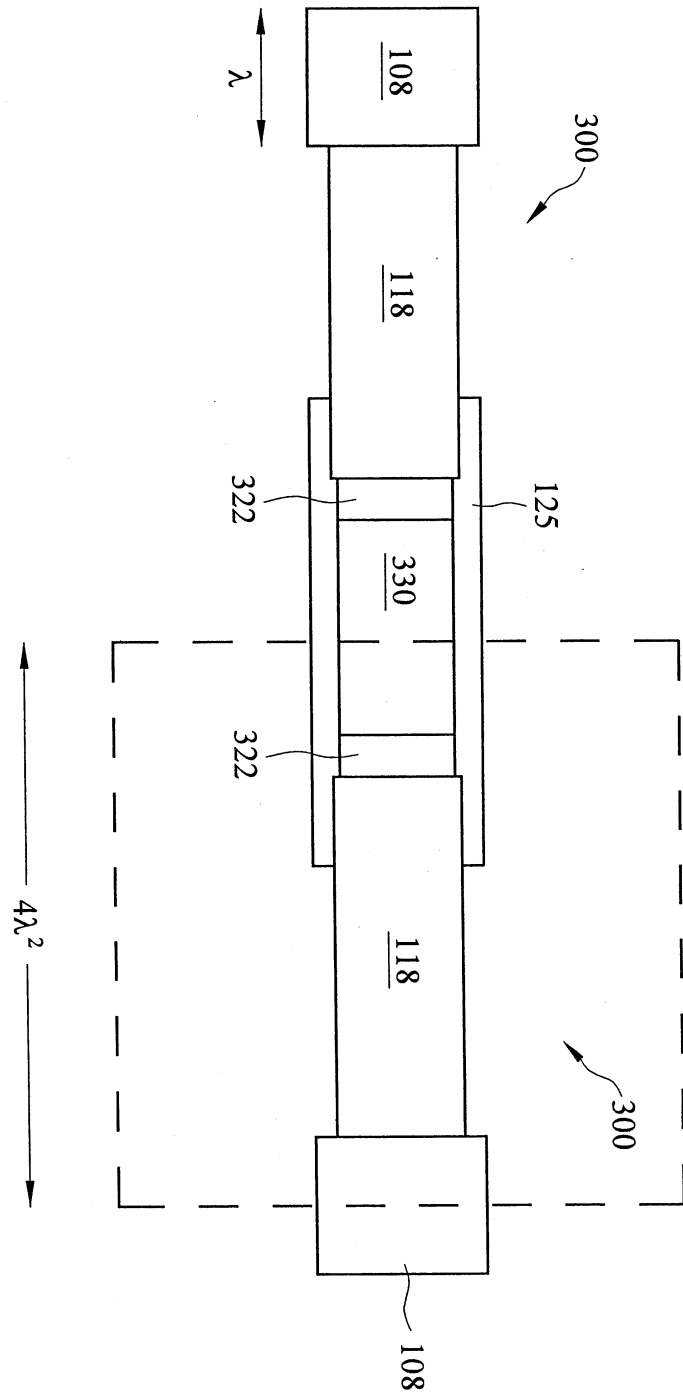
第 6F 圖



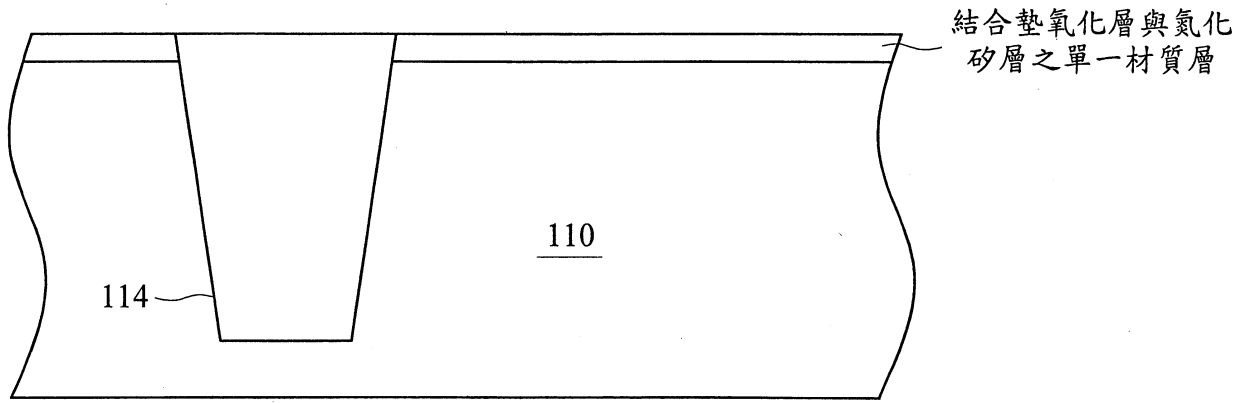
第 7 圖



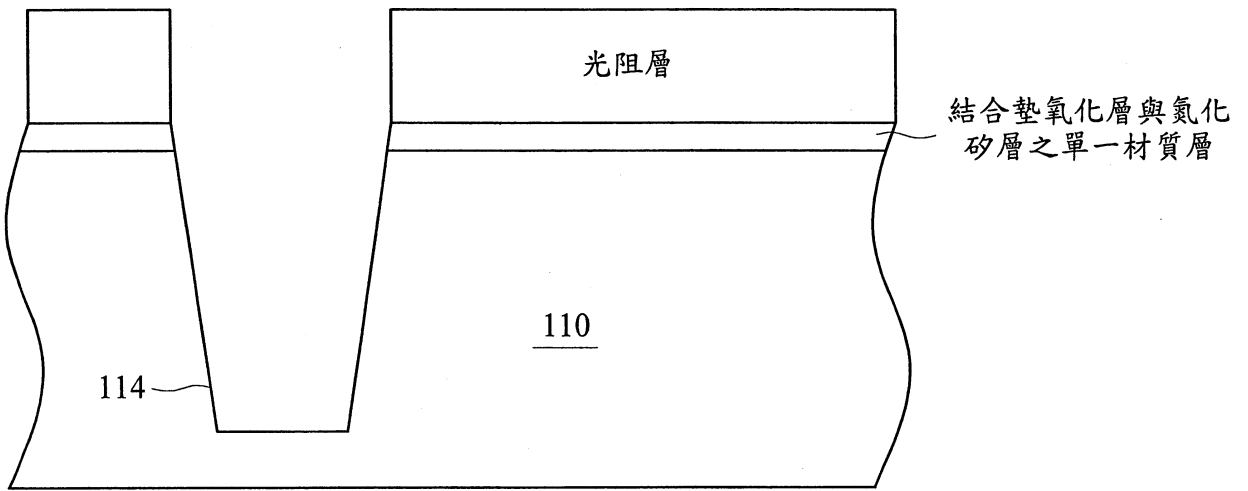
第 8 圖



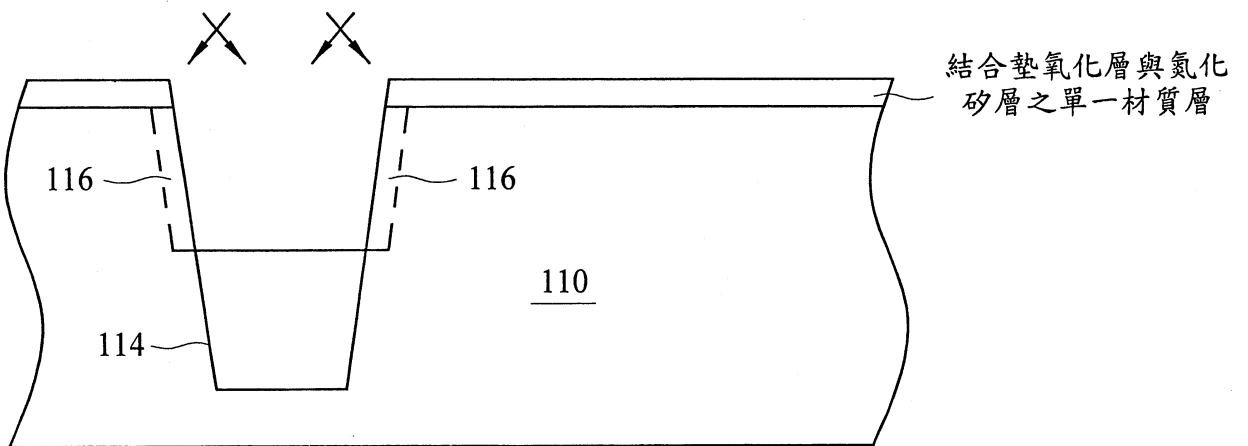
第 9 圖



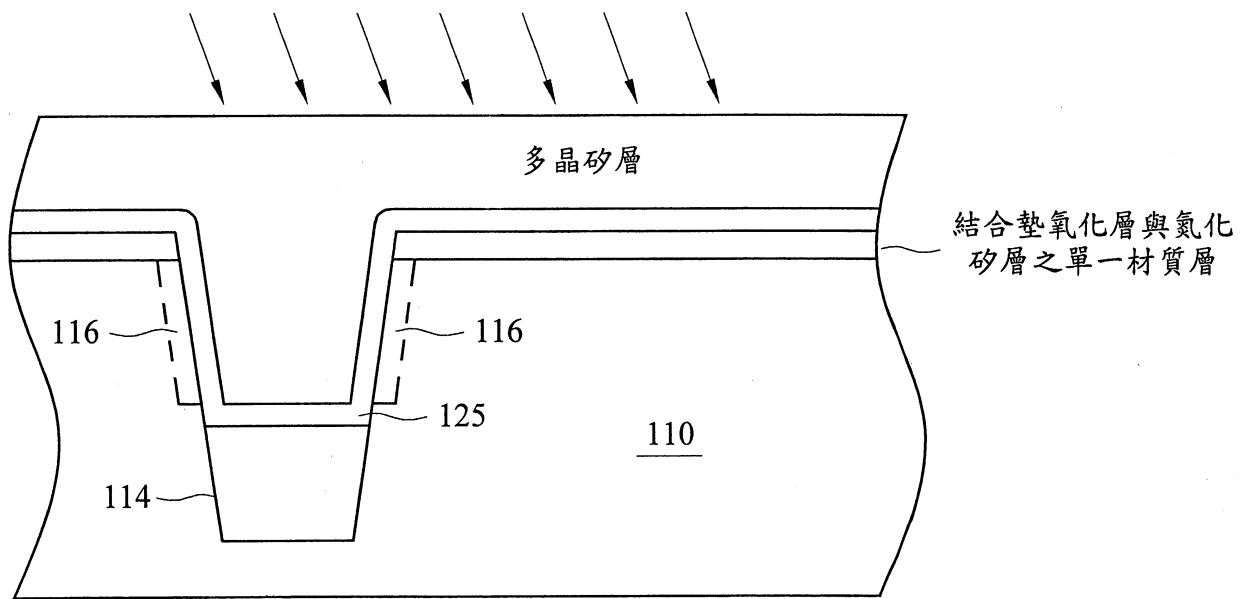
第 10A 圖



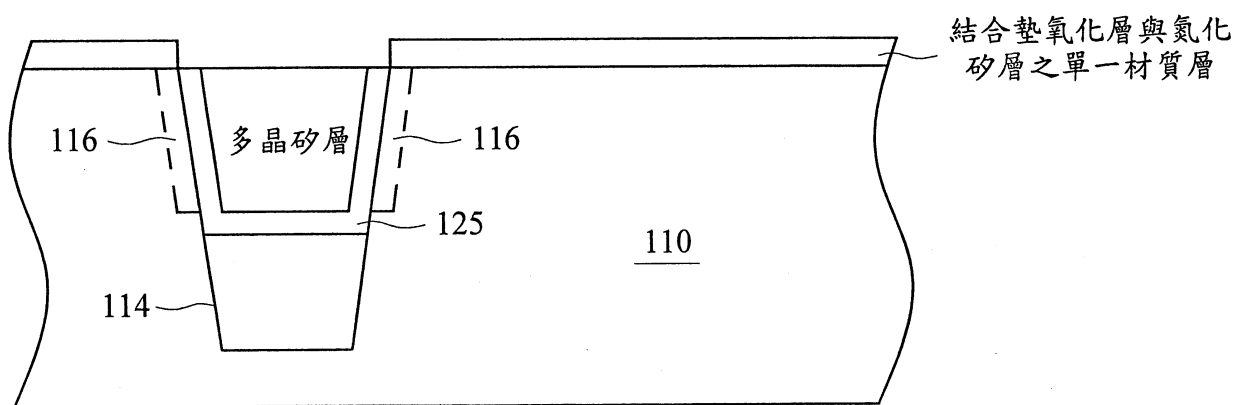
第 10B 圖



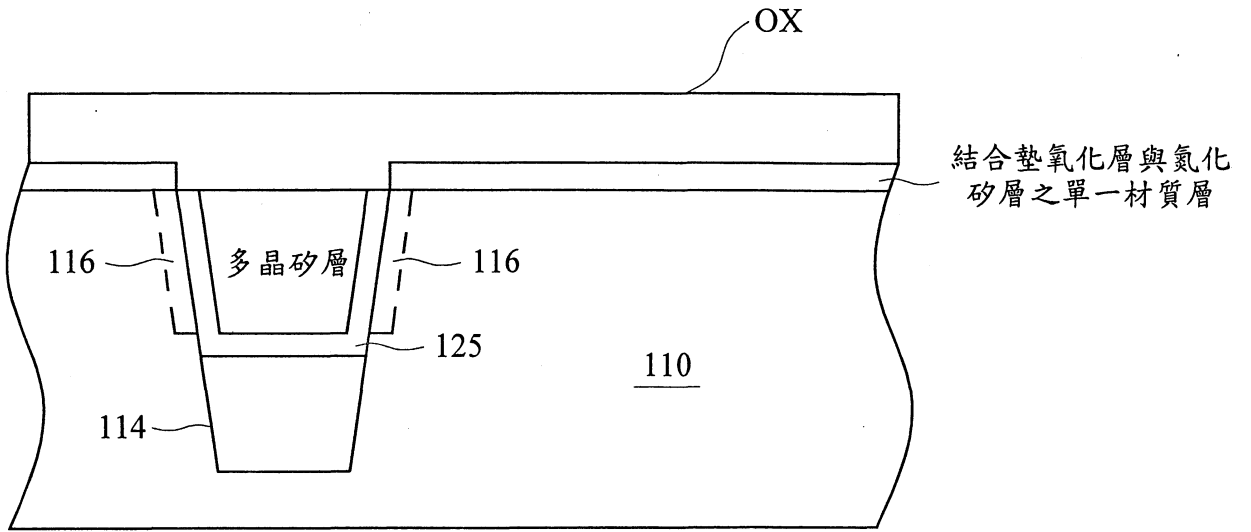
第 10C 圖



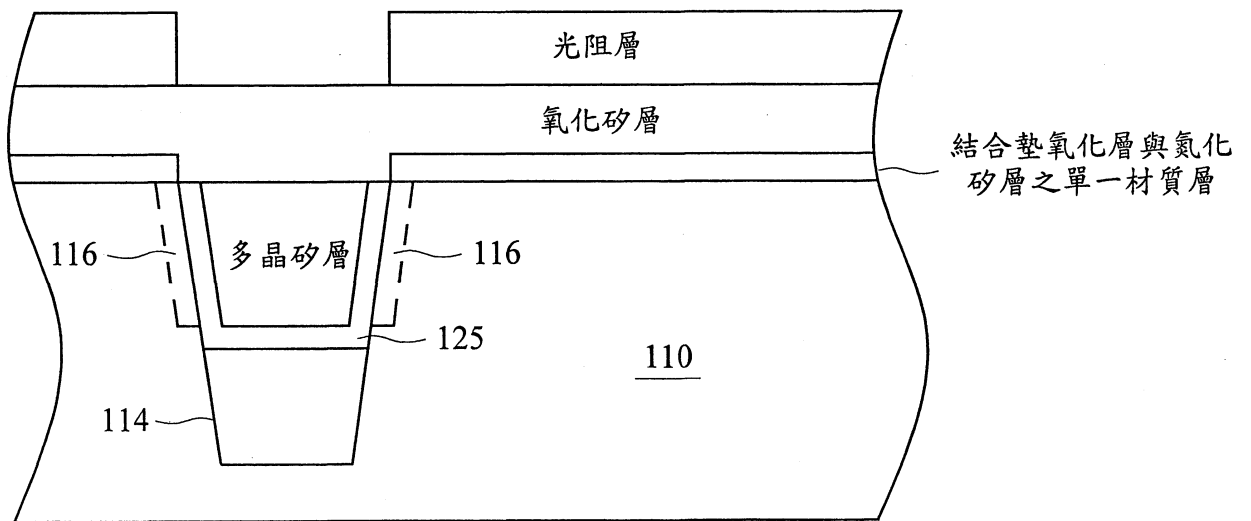
第 10D 圖



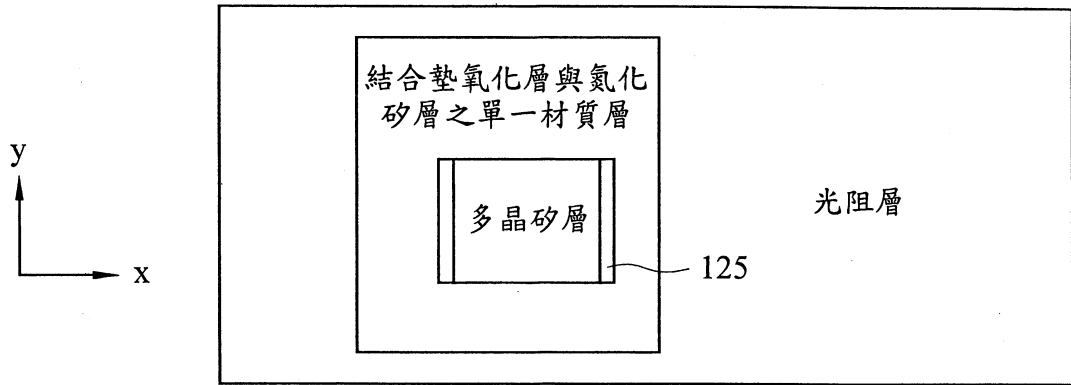
第 10E 圖



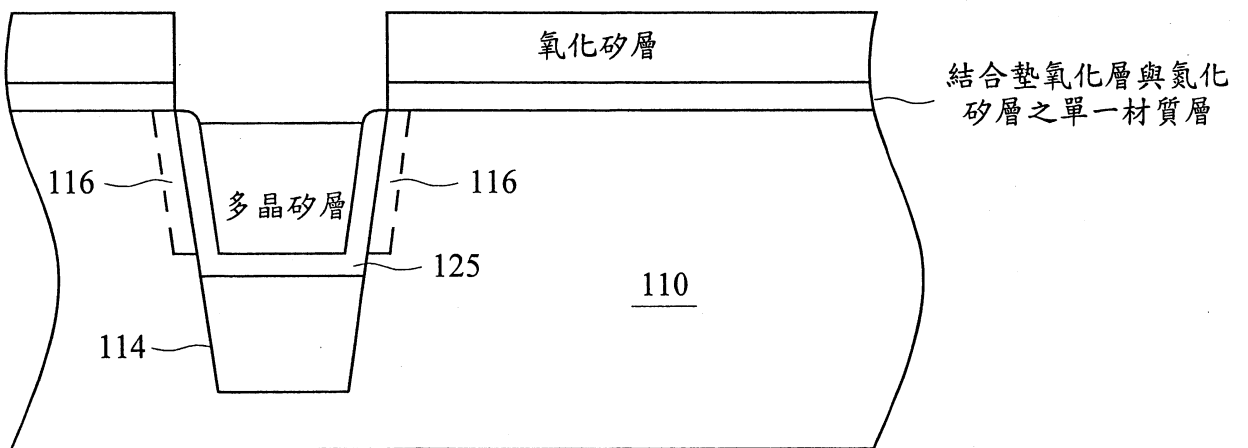
第 10F 圖



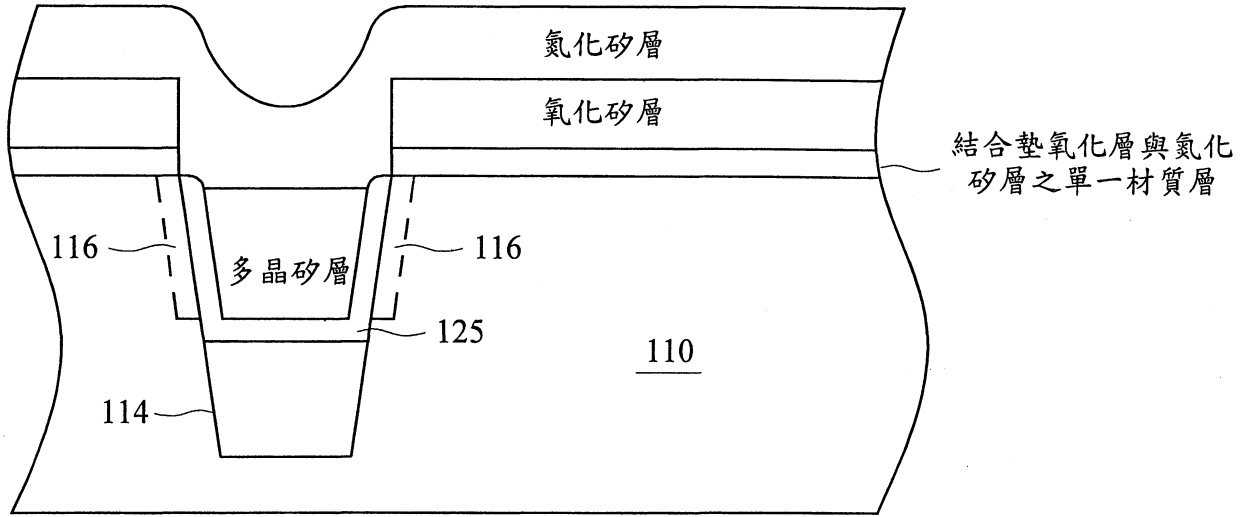
第 10G 圖



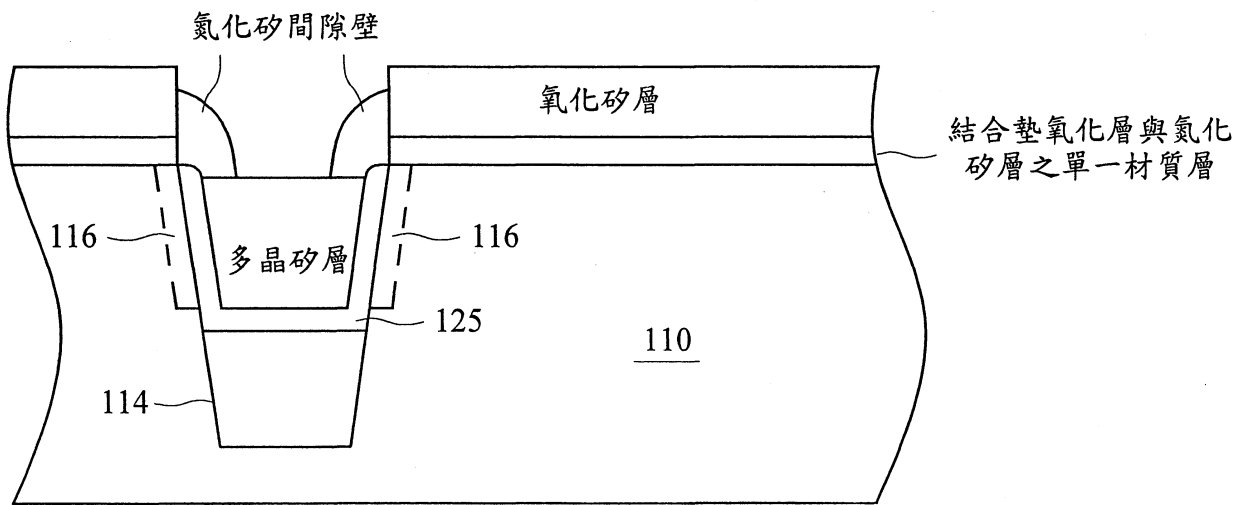
第 10H 圖



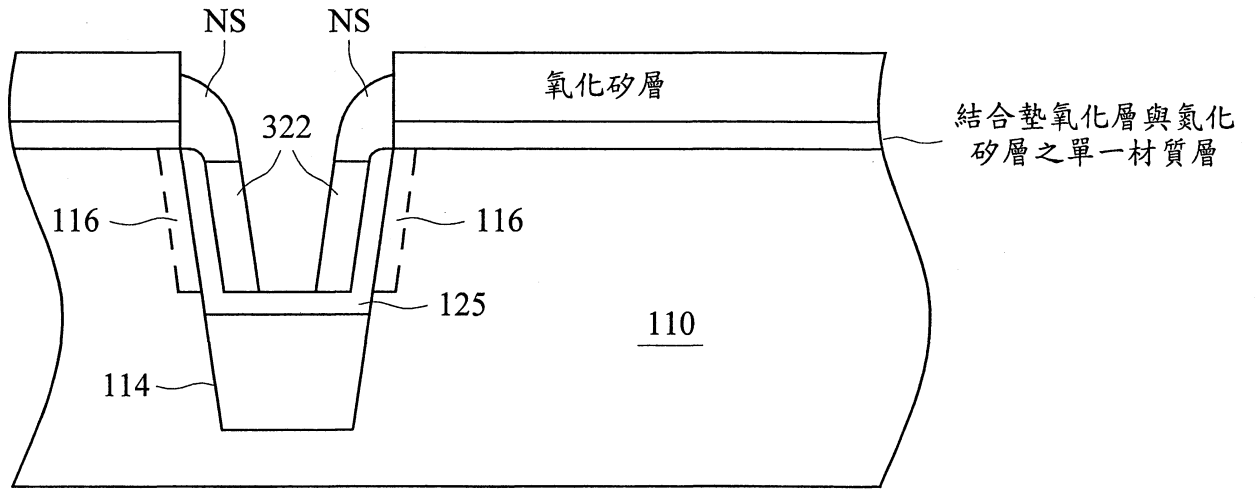
第 10I 圖



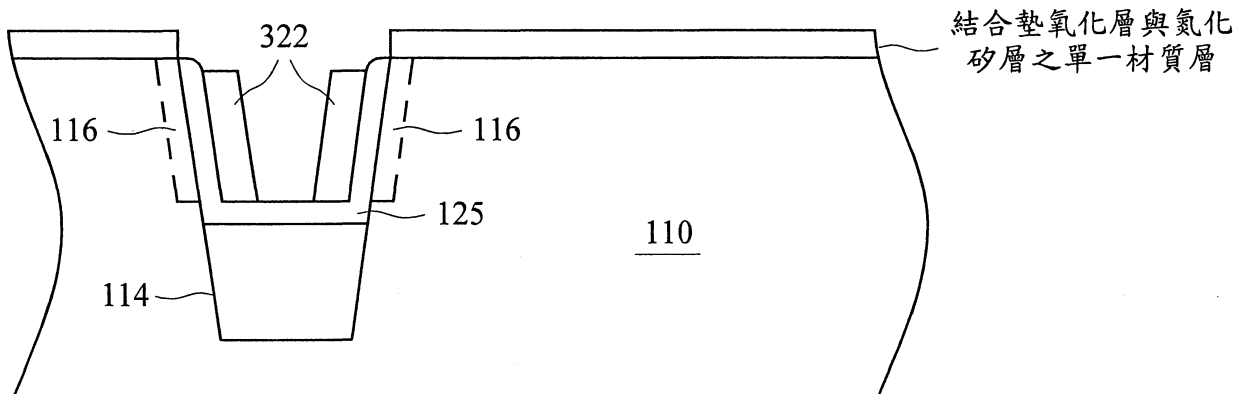
第 10J 圖



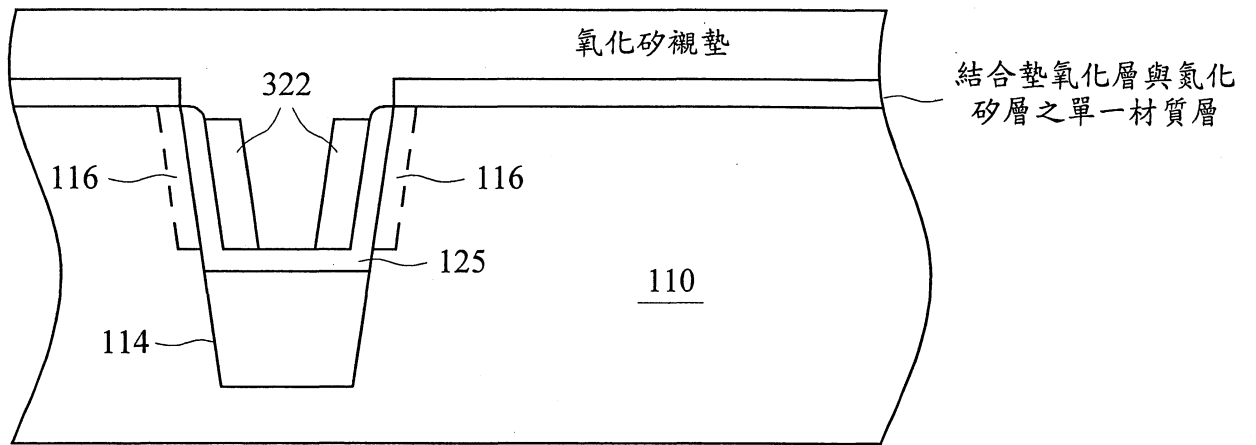
第 10K 圖



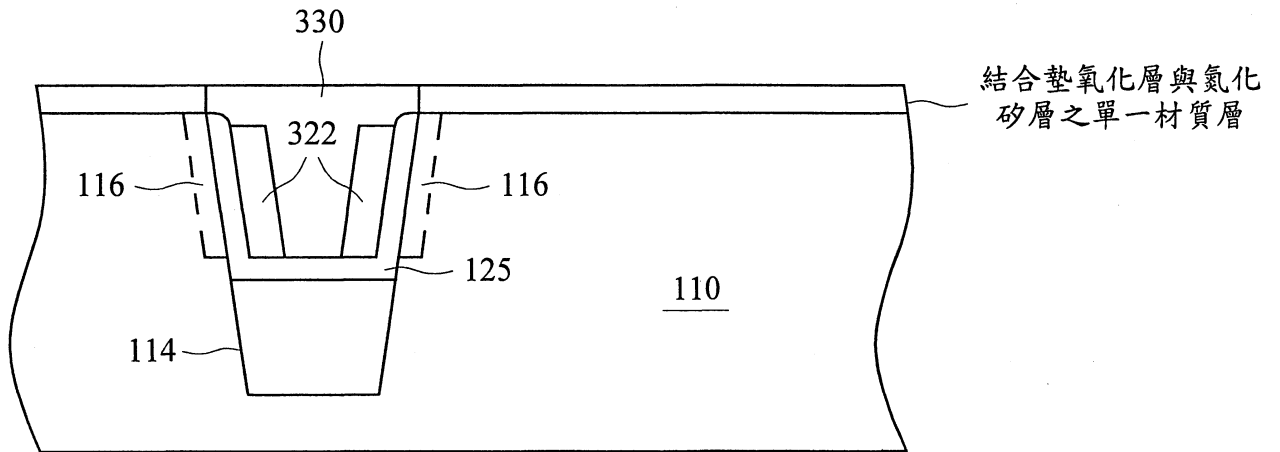
第 10L 圖



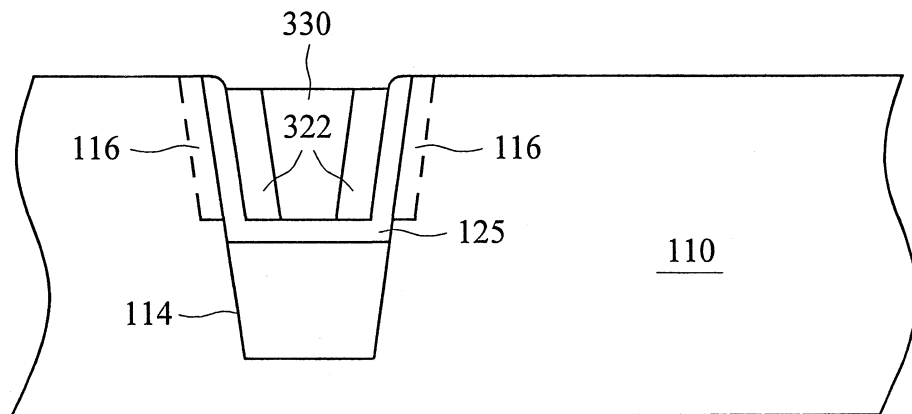
第 10M 圖



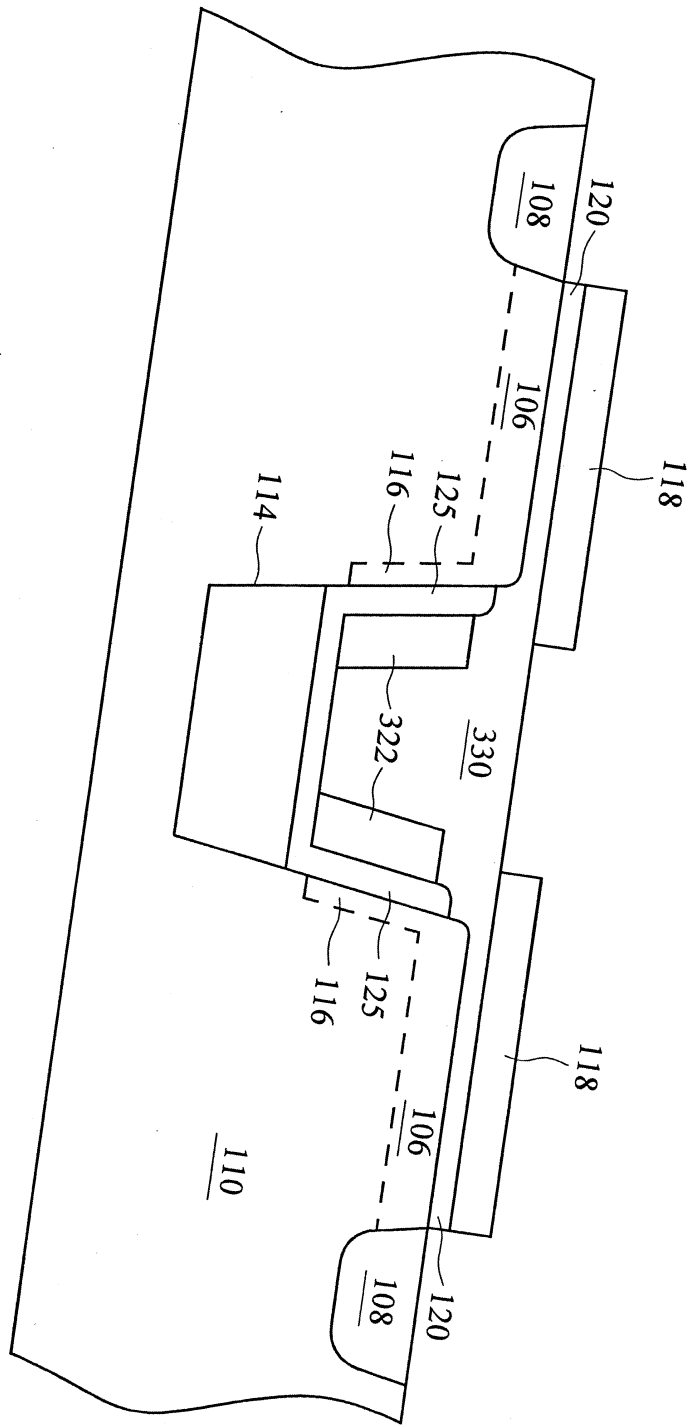
第10N圖



第10O圖



第10P圖



第10Q圖

七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖

(二)、本案代表圖之元件符號簡單說明：

100 DRAM 晶胞	102 開關電晶體
104 儲存區域	106 通道
108 汲極接面	110 基材
112 隔離區域	114 溝渠
116 佈植側壁	118 閘極結構
120 閘氧化層	122 多晶矽結構
124 絕緣層	125 介電層
126 內側面	128 側邊表面

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：