



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0066936
(43) 공개일자 2009년06월24일

(51) Int. Cl.

H01L 21/31 (2006.01)

(21) 출원번호 10-2007-0134681

(22) 출원일자 2007년12월20일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

노대호

전북 전주시 덕진구 덕진동1가 1121-19, 8/3

(74) 대리인

특허법인아주

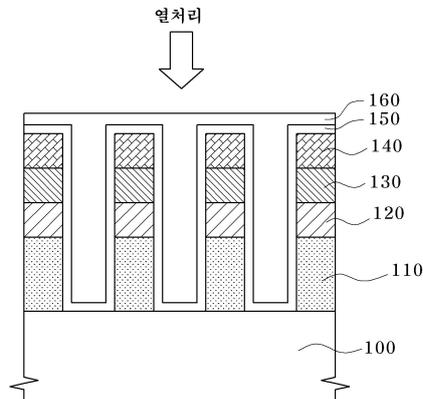
전체 청구항 수 : 총 7 항

(54) 반도체 소자의 절연막 형성방법

(57) 요약

본 발명은, 소정의 전극이 형성된 반도체기판 상에 액상 코팅법으로, 전극 사이를 채우도록 절연막을 형성하는 단계와, 전극 사이에 매립된 절연막에 부분 이온 주입 공정을 수행하는 단계를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

소정의 전극이 형성된 반도체기판 상에 액상 코팅법으로, 상기 전극 사이를 채우도록 절연막을 형성하는 단계; 및

상기 전극 사이에 매립된 절연막에 부분 이온 주입 공정을 수행하는 단계를 포함하는 반도체 소자의 절연막 형성방법.

청구항 2

제1항에 있어서,

상기 절연막을 100℃~200℃의 온도에서 형성하는 반도체 소자의 절연막 형성방법.

청구항 3

제1항에 있어서,

상기 절연막을 형성한 다음에 200℃~400℃에서 열처리를 수행하는 단계를 더 포함하는 반도체 소자의 절연막 형성방법.

청구항 4

제1항에 있어서,

절연막 형성-이온 주입의 공정을 반복적으로 수행하는 반도체 소자의 절연막 형성방법.

청구항 5

제1항에 있어서,

상기 이온 주입원소는 보론(B), 인(P), 질소(N), 세슘(Cs), 알세닉(As) 중 어느 하나 이상으로 수행하는 반도체 소자의 절연막 형성방법.

청구항 6

제1항에 있어서,

부분 이온 주입 후, 열처리를 수행하는 단계를 더 포함하는 반도체 소자의 절연막 형성방법.

청구항 7

제6항에 있어서,

상기 열처리는 300℃~400℃에서 수행하는 반도체 소자의 절연막 형성방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자의 절연막 형성방법으로서, 좀 더 구체적으로 전극 간의 절연막 형성방법에 관한 것이다.

배경기술

<2> 트랜지스터가 발명된 이후, 지난 20여 년간 반도체 메모리 소자의 디자인 룰(Rule)이 점차 축소됨에 따라, 한정된 면적 내에 수많은 메모리 소자를 구현할 수 있는 고도의 반도체 기술이 요구되고 있다.

<3> 반도체 제조를 위한 단위공정들은 적층 공정, 식각 공정, 이온 주입 공정, 포토리소그래피 공정 등을 포함한다.

이와 같은 단위공정들 중에서 이온 주입 공정은, 강한 전기장에 의해 보론(B), 알세닉(As) 및 인(P) 등과 같은 도펀트 이온들을 가속시켜 웨이퍼 표면을 통과시키는 공정기술로서, 이와 같은 이온 주입을 통해 물질의 전기적 인 특성을 변화시킬 수 있다.

- <4> 현재 90nm 내지 75nm 정도의 디램 디바이스 제조의 절연 공정에서 하부 전극의 절연막으로 보론과 인이 포함된 산화규소를 사용하고 있으며, 일반적으로 가장 많이 사용되고 있는 물질로는 비피에스지(Boron Phosphorus Silicate Glass; BPSG)가 있다.
- <5> 비피에스지(BPSG)의 경우 보론과 인의 농도를 조절하여 절연 공정을 수행하는데, 디바이스의 크기와 용도에 따라 일정한 전류특성을 유지할 수 있기 때문에, 깊이와 넓이가 각기 다른 전극 사이의 공극을 채울 수 있는 장점이 있다.
- <6> 종래에는 보론과 인이 포함된 산화 규소, 즉 BPSG를 형성한 후 고온에서 열처리를 수행하여 전극 사이에 공극을 감소시켰다. BPSG막은 현재 상압 또는 준압의 화학증착법(CVD)을 이용하여 증착하고 있으며, 후속으로 흐름성을 주기 위한 열처리 공정이 진행되고 있다.
- <7> 그런데, 보론과 인이 산화규소 증착시 동시에 주입되기 때문에 전체의 농도 구배 조절이 어려우며, 후속 열처리에 따라서 내부에 존재하는 보론과 인이 일정한 채널을 형성할 경우 전기적 손실이 발생할 수 있다. 이러한 전기적 손실을 유발할 수 있는 채널은 대부분 보론의 급격한 확산으로 발생할 수 있다.
- <8> 따라서 디바이스의 크기가 달라짐에 따라 산화규소의 유동성을 주는 보론과 경화성을 부여하는 인의 농도를 조절함으로써 각 디바이스의 홀의 깊이와 넓이에 맞는 적당한 비율의 조절이 필요하므로 많은 공정 조절이 이루어져야 한다. 그리고 보론과 인이 장비 내벽에 흡착되면서 일정한 농도 이상으로 유지되어 일정시간이 지난 후 박막 내 보론과 인의 농도가 변하게 되어 절연특성 조절에 어려움이 있다.

발명의 내용

- <9> 본 발명의 반도체 소자의 절연막 형성방법은, 소정의 전극이 형성된 반도체기판 상에 액상 코팅법으로, 상기 전극 사이를 채우도록 절연막을 형성하는 단계; 및 상기 전극 사이에 매립된 절연막에 부분 이온 주입 공정을 수행하는 단계를 포함한다.
- <10> 상기 절연막을 100℃~200℃의 온도에서 형성할 수 있다.
- <11> 상기 절연막을 형성한 다음에 200℃~400℃에서 열처리를 수행하는 단계를 더 포함할 수 있다.
- <12> 절연막 형성-이온 주입의 공정을 반복적으로 수행할 수 있다.
- <13> 상기 이온 주입 원소는 보론(B), 인(P), 질소(N), 세슘(Cs), 알세닉(As) 중 어느 하나 이상으로 수행할 수 있다.
- <14> 부분 이온 주입 후, 열처리를 수행하는 단계를 더 포함할 수 있다.
- <15> 상기 열처리는 300℃~400℃에서 수행할 수 있다.

발명의 실시를 위한 구체적인 내용

- <16> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명하고자 한다. 그러나 본 발명은 여러 가지 다양한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <17> 도1 내지 도 4는 본 발명의 실시예에 따른 게이트 전극 사이를 절연시키는 절연막 형성에 관한 방법을 설명하기 위하여 나타낸 도면들이다.
- <18> 도 1을 참조하면, 반도체기판(100) 상에 게이트 절연막(110), 게이트 도전층으로서의 폴리실리콘막(120), 저저항층으로서의 금속실리사이드막(130) 및 하드마스크(140)를 차례로 적층한다. 다음으로 선택적인 노광, 현상 및 식각 공정을 수행하여 게이트 스택(110~140)을 형성한다.
- <19> 다음, 실리콘을 포함하는 전구체, 예를 들면 실란(SiH₄) 또는 디클로로실란(SiH₂Cl₂; DCS) 전구체와 암모니아(NH₃) 반응가스를 유입시켜 게이트 스택(110~140)을 감싸는 캡핑막(150)을 형성한다. 캡핑막(150)은 게이트 패턴의 비정상적인 산화를 억제한다.
- <20> 도 2를 참조하면, 저온공정으로 이루어지는 액상 코팅법 또는 액상 증착법을 이용하여 상기 게이트 패턴이 형성

된 사이를 절연막(160)으로 매립한다.

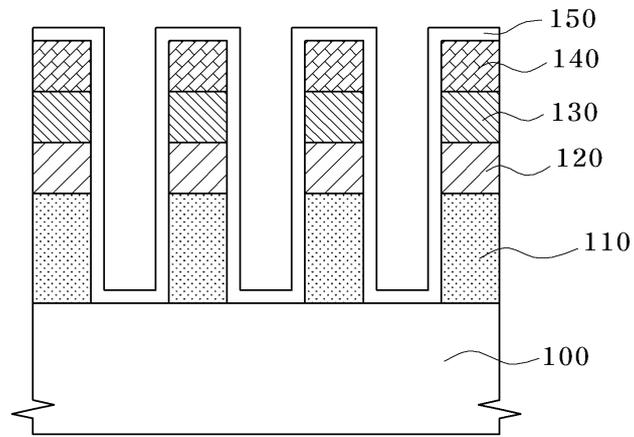
- <21> 액상 코팅법은, 잘 알려진 바와 같이, 100℃~200℃ 정도의 온도에서 반도체기판을 소정 속도로 회전시키면서 액상의 절연막을 코팅하는 방법이고, 액상 증착법은 반도체기판 상에 예를들면, 졸-겔 형태의 절연물질을 분사시켜 증착하는 방법이다.
- <22> 종래에는 보론과 인이 동시에 함유된 준압 증착법으로 실리콘막으로 절연막을 형성한다. 400℃~600℃의 온도에서 절연막을 증착하면서 동시에 보론 및 인이 주입되도록 하였다. 절연막을 증착한 다음에는, 박막의 치밀화를 위하여 500℃~800℃에서 후속 열처리를 수행하였다. 이때 절연막의 형성 및 후속 열처리 공정에서 주입된 불순물들의 확산이 이루어지므로 간헐적인 전류의 손실이 발생할 수 있고, 하부 층에 고온 공정으로 인한 영향을 줄 수 있다.
- <23> 반면에, 본 발명의 저온 액상 코팅법은 공정 온도 자체가 낮아서, 하부 층에 주는 영향을 감소시킬 수 있으며 불순물들의 확산을 최소화할 수 있다.
- <24> 도 3을 참조하면, 상기 절연막(160)에 절연막의 치밀화 및 공극의 발생을 억제하기 위하여 이온 주입공정을 수행한다. 이때, 상기 이온 주입은 게이트 패턴(150) 사이의 절연막에 부분적으로 수행한다.
- <25> 부분 이온 주입공정은 액상 코팅으로 형성된 박막의 물성을 조절하기 위하여 사용할 수 있다. 또한 부분 이온 주입시 이온의 농도를 조절함으로써 절연성을 높일 수 있다. 그리고 이온 주입 공정은 게이트 패턴 사이의 깊은 하단까지 이온을 전달시키기 위하여 높은 에너지를 가할 경우가 존재하므로 게이트 패턴 사이의 폭이 좁고 깊이가 깊은 경우 높은 이온에너지를 통하여 이온을 전달하도록 한다.
- <26> 이때 주입되는 이온의 양과 에너지는 게이트 패턴 사이의 간격과 깊이에 따라 달라진다. 상기 절연성을 높이기 위한 이온으로는, 질소(N), 세슘(Cs) 등의 이온이나 흐름성과 밀도를 조절하기 위한 다른 이온을 사용할 수 있다.
- <27> 또한 부분 이온주입시 에너지와 방향을 조절하여 게이트 패턴의 측면 쪽에는 인, 바닥 쪽에는 보론을 주입시킬 수 있으며, 이 경우 기존의 절연막보다 높은 절연성을 유지할 수 있다. 본 발명의 경우, 후속의 저온 열처리 공정에서의 불순물의 이동이 기존의 준압 증착법보다 적으므로 적당한 밀도를 유지하면서 우수한 절연성을 가질 수 있다.
- <28> 열처리 공정에서의 보론의 확산에 의한 전기적 손실을 막기 위하여, 국부적인 이온 주입시 인이 많은 층을 게이트 패턴 사이의 절연층 외벽에 형성시키면 보론의 확산이 상당부분 억제되고 이에 따라 전기적 손실을 미리 예방할 수 있다.
- <29> 또한 이온 주입에 의하여 얻을 수 있는 다른 효과는 표면 개질이다. 이온 주입 공정의 특성상 표면에 이온밀도가 증가하게 되는 부수적인 효과를 얻을 수 있다. 그리고 효과적인 이온 주입을 하기 위하여 증착 - 이온주입 - 증착 - 이온 주입의 공정을 여러 차례 반복 수행도 가능하다.
- <30> 도 4를 참조하면, 부분 이온 주입 공정이 수행된 절연막에 300℃~400℃에서 열처리를 수행하여 하부 전극 간의 절연막(160)을 완성한다.
- <31> 본 발명에 따르면, 기존의 공정에 비하여 낮은 온도로 공정을 수행할 수 있어, 하부구조의 손상을 최소화시킬 수 있다. 부분 이온 주입을 이용하여 기능성 있는 절연막을 형성할 수 있고, 기존의 준압 증착 공정에 비하여 우수한 절연 특성을 유지할 수 있다. 그리고 이온 주입 농도, 주입되는 이온의 종류를 변화시킴으로써, 다양한 특성의 절연막의 제조가 가능하고 다른 절연막 형성에도 응용이 가능하다.
- <32> 이상 본 발명은 게이트 스택의 절연막을 형성하는 공정에 적용한 것을 예를 들어 설명하였으나, 금속 배선의 매립공정, 캐패시터의 매립공정, 플래쉬, CMOS 등의 형성공정에도 본 발명을 유용하게 적용할 수 있다.

도면의 간단한 설명

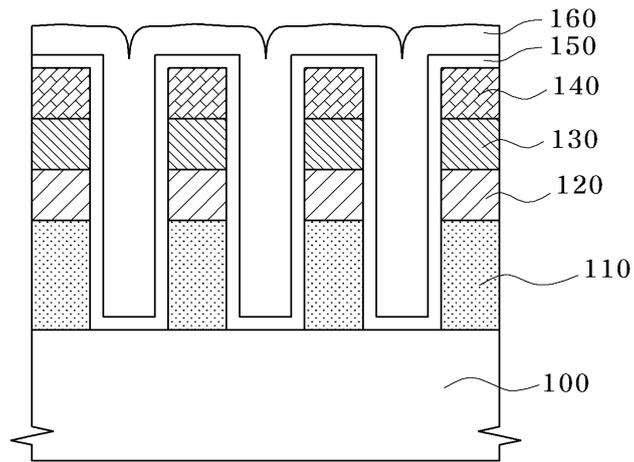
- <33> 도 1 내지 도 4는 본 발명에 따른 반도체 소자의 절연막 형성방법을 설명하기 위하여 나타낸 도면이다.

도면

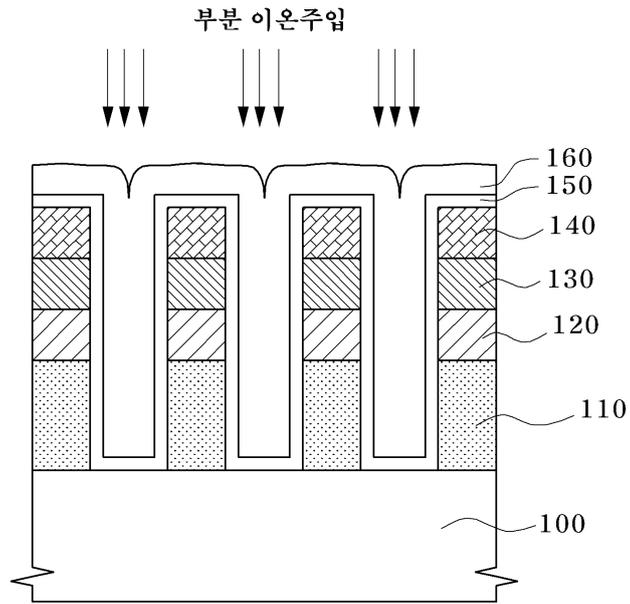
도면1



도면2



도면3



도면4

