



(12)发明专利申请

(10)申请公布号 CN 112310079 A

(43)申请公布日 2021.02.02

(21)申请号 201911256351.8

(22)申请日 2019.12.10

(30)优先权数据

10-2019-0090884 2019.07.26 KR

(71)申请人 爱思开海力士有限公司

地址 韩国京畿道

(72)发明人 李南宰

(74)专利代理机构 北京三友知识产权代理有限公司

11127

代理人 刘久亮 黄纶伟

(51)Int.Cl.

H01L 27/108(2006.01)

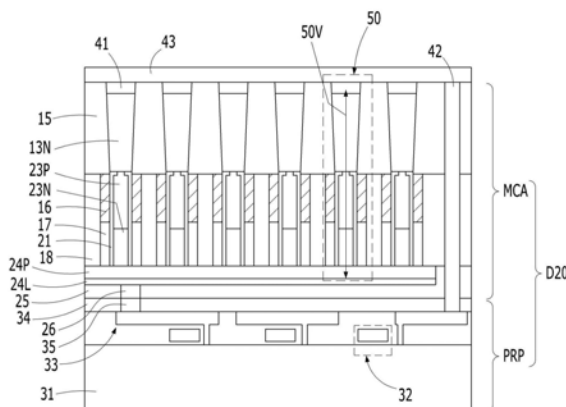
权利要求书4页 说明书15页 附图20页

(54)发明名称

垂直存储器装置及用于制造垂直存储器装置的方法

(57)摘要

垂直存储器装置及用于制造垂直存储器装置的方法。一种用于制造垂直存储器装置的方法包括：在第一基板上形成包括垂直晶闸管和字线的存储器单元阵列；在第二基板形成外围电路单元；将存储器单元阵列与外围电路单元接合；去除第一基板以露出垂直晶闸管的一侧；以及形成联接到垂直晶闸管的一侧和外围电路单元的位线。



1. 一种用于制造垂直存储器装置的方法,所述方法包括以下步骤:
在第一基板上方形形成包括垂直晶闸管和字线的存储器单元阵列;
形成包括第二基板的外围电路单元;
将所述存储器单元阵列与所述外围电路单元接合;
去除所述第一基板以露出所述垂直晶闸管的一侧;以及
形成联接到所述垂直晶闸管的所述一侧和所述外围电路单元的位线。
2. 根据权利要求1所述的方法,其中,所述存储器单元阵列位于所述外围电路单元上方。
3. 根据权利要求1所述的方法,其中,在形成所述存储器单元阵列时,
所述垂直晶闸管包括交替地掺杂有P型杂质和N型杂质的硅材料的层叠物。
4. 根据权利要求3所述的方法,其中,所述垂直晶闸管包括依次层叠有第一P型硅、第一N型硅、第二P型硅和第二N型硅的PNPN结构。
5. 根据权利要求1所述的方法,其中,在形成所述存储器单元阵列时,
所述垂直晶闸管包括线型硅材料和垂直布置在所述线型硅材料上方的多个柱型硅材料。
6. 根据权利要求5所述的方法,其中,在形成所述存储器单元阵列时,
通过沉积硅材料并蚀刻所述硅材料来形成所述线型硅材料,并且
通过外延生长工艺形成所述柱型硅材料。
7. 根据权利要求1所述的方法,其中,在形成所述存储器单元阵列时,
所述垂直晶闸管包括依次层叠有P型多晶硅、第一N型外延硅、P型外延硅和第二N型外延硅的PNPN结构。
8. 根据权利要求1所述的方法,其中,形成所述存储器单元阵列的步骤包括以下步骤:
制备所述第一基板;
在所述第一基板上方形形成多个第一半导体柱;
在所述多个第一半导体柱中的每个的上部中形成所述字线;
形成分别贯穿多条字线的多个垂直开口;
在所述多个垂直开口中的每个的侧壁上形成栅极电介质层;
在所述栅极电介质层上形成填充的所述多个垂直开口中的每个的第二半导体柱和第三半导体柱的层叠物;以及
在所述第三半导体柱上方形成源极线以将所述第三半导体柱彼此联接。
9. 根据权利要求8所述的方法,其中,在所述第一基板上方形形成所述第一半导体柱的步骤包括以下步骤:
在所述第一基板上方形外延生长N型硅材料;
蚀刻所述N型硅材料以形成所述第一半导体柱;以及
在所述第一半导体柱之间形成第一隔离层。
10. 根据权利要求8所述的方法,其中,形成所述第二半导体柱和所述第三半导体柱的层叠物的步骤包括以下步骤:
外延生长P型硅材料以填充所述多个垂直开口中的每个;以及
用N型杂质掺杂所述P型硅材料的上部区域,

其中,所述P型硅材料的下部区域成为所述第二半导体柱,并且通过掺杂所述N型杂质形成所述第三半导体柱。

11. 根据权利要求8所述的方法,其中,形成所述源极线的步骤包括以下步骤:
在所述第三半导体柱上方沉积P型多晶硅;以及
蚀刻所述P型多晶硅以形成所述源极线。

12. 根据权利要求8所述的方法,其中,形成所述字线的步骤包括以下步骤:
在所述第一基板上方形成导电材料;
在所述导电材料上方形成覆盖层;
通过依次蚀刻所述覆盖层和所述导电材料来形成所述导电材料的所述字线;以及
在所述字线之间形成第二隔离层。

13. 根据权利要求8所述的方法,其中,制备所述第一基板的步骤包括以下步骤:
制备牺牲基板;以及
通过用P型杂质掺杂所述牺牲基板的表面来形成牺牲掺杂区域,
其中,所述垂直晶闸管形成在所述牺牲掺杂区域上方。

14. 根据权利要求1所述的方法,其中,去除所述第一基板以露出所述垂直晶闸管的一侧的步骤包括以下步骤:

依次执行背侧研磨工艺、湿法蚀刻工艺和化学机械抛光CMP工艺。

15. 根据权利要求1所述的方法,其中,将所述存储器单元阵列与所述外围电路单元接合的步骤包括以下步骤:

在所述存储器单元阵列的上部中形成第一接合材料;
在所述外围电路单元的上部中形成第二接合材料;以及
执行将所述第一接合材料与所述第二接合材料接合的接合工艺。

16. 根据权利要求15所述的方法,其中,所述第一接合材料和所述第二接合材料中的每一个包括氧化物,并且所述接合工艺包括氧化物到氧化物接合。

17. 根据权利要求15所述的方法,所述方法还包括以下步骤:

形成各自包括金属基材料的接合焊盘,并且每个接合焊盘分别贯穿所述第一接合材料和所述第二接合材料中的每一个;

其中,所述接合工艺包括所述接合焊盘的金属到金属接合。

18. 根据权利要求1所述的方法,其中,在所述第二基板中形成所述外围电路单元的步骤包括以下步骤:

在所述第一基板上方形成至少一个控制电路;以及
形成联接到所述至少一个控制电路的至少一个互连结构。

19. 根据权利要求18所述的方法,其中,所述至少一个控制电路包括联接到所述位线的感测放大器、联接到所述字线的字线驱动器、或所述感测放大器和所述字线驱动器两者。

20. 根据权利要求1所述的方法,其中,形成联接到所述垂直晶闸管的所述一侧和所述外围电路单元的所述位线的步骤包括以下步骤:

通过贯穿所述存储器单元阵列的一部分形成联接至所述外围电路单元的通路;
在所述通路和所述垂直晶闸管的一侧上方形成导电材料;以及
蚀刻所述导电材料以形成所述位线。

21. 根据权利要求1所述的方法,其中,所述外围电路单元位于所述存储器单元阵列上方。

22. 一种垂直存储器装置,所述垂直存储器装置包括:

外围电路单元,所述外围电路单元包括至少一个控制电路;

存储器单元阵列,所述存储器单元阵列包括形成在所述外围电路单元上方的垂直晶闸管、字线和位线;

接合结构,所述接合结构形成于所述存储器单元阵列和所述外围电路单元之间;以及

导电贯通结构,所述导电贯通结构适于将所述外围电路单元和所述存储器单元阵列彼此电连接。

23. 根据权利要求22所述的垂直存储器装置,其中,所述垂直晶闸管包括:

线型源极线;

第一半导体柱,所述第一半导体柱在所述线型源极线上方;

第二半导体柱,所述第二半导体柱在所述第一半导体柱上方;以及

第三半导体柱,所述第三半导体柱在所述第二半导体柱上方。

24. 根据权利要求23所述的垂直存储器装置,其中,所述线型源极线和所述第二半导体柱掺杂有P型杂质,所述第一半导体柱和所述第三半导体柱掺杂有N型杂质,以及

其中,所述线型源极线、所述第一半导体柱、所述第二半导体柱和所述第三半导体柱垂直层叠以形成PNPN晶闸管。

25. 根据权利要求22所述的垂直存储器装置,其中,所述垂直晶闸管包括:

P型多晶硅,所述P型多晶硅具有线形状;

第一N型外延硅柱,所述第一N型外延硅柱在所述P型多晶硅上方;

P型外延硅柱,所述P型外延硅柱在所述第一N型外延硅柱上方;以及

第二N型外延硅柱,所述第二N型外延硅柱在所述P型外延硅柱上方。

26. 根据权利要求22所述的垂直存储器装置,其中,所述垂直晶闸管具有贯穿所述字线的形状。

27. 根据权利要求22所述的垂直存储器装置,其中,所述位线联接到所述垂直晶闸管的顶部。

28. 根据权利要求22所述的垂直存储器装置,其中,所述导电贯通结构包括将所述至少一个控制电路联接到所述位线的通路。

29. 根据权利要求22所述的垂直存储器装置,其中,所述至少一个控制电路包括感测放大器、字线驱动器、或者所述感测放大器和所述字线驱动器两者。

30. 根据权利要求22所述的垂直存储器装置,

其中,所述接合结构包括:

第一接合材料,所述第一接合材料包括氧化物并且位于所述存储器单元阵列的所述垂直晶闸管下方;以及

第二接合材料,所述第二接合材料包括氧化物并位于所述外围电路单元上方,并且

其中,所述存储器单元阵列和所述外围电路单元包括所述第一接合材料和所述第二接合材料的氧化物到氧化物接合。

31. 根据权利要求30所述的垂直存储器装置,

其中,所述接合结构包括:

第一接合焊盘,所述第一接合焊盘包括适于贯穿第一接合氧化物的金属基材料;以及
第二接合焊盘,所述第二接合焊盘包括适于贯穿第二接合氧化物的金属基材料,并且
其中,所述存储器单元阵列和所述外围电路单元包括所述第一接合焊盘和所述第二接
合焊盘的金属到金属接合。

32. 根据权利要求22所述的垂直存储器装置,所述垂直存储器装置还包括:
隔离层,所述隔离层位于垂直晶闸管之间。

垂直存储器装置及用于制造垂直存储器装置的方法

技术领域

[0001] 实施方式的示例总体上涉及半导体装置,并且更具体地,涉及垂直存储器装置及用于制造垂直存储器装置的方法。

背景技术

[0002] 存储器装置的单位单元包括至少一个晶体管 and 至少一个数据储存装置。例如,动态随机存取存储器 (DRAM) 的单位单元使用一个电容器作为数据储存装置。

[0003] 随着存储器装置的集成度增加,出现了各种技术问题。例如,随着单位单元的面积减小,变得难以确保足够的电容。为了解决这个问题,已经提出了垂直存储器单元。

发明内容

[0004] 根据实施方式,一种用于制造垂直存储器装置的方法包括:在第一基板上方形形成包括垂直晶闸管 (thyristor) 和字线的存储器单元阵列;形成包括第二基板的外围电路单元;将存储器单元阵列与外围电路单元接合;去除第一基板以露出垂直晶闸管的一侧;以及形成联接到垂直晶闸管的一侧和外围电路单元的位线。

[0005] 根据另一实施方式,一种垂直存储器装置包括:包括至少一个控制电路的外围电路单元;包括形成在外围电路单元上方的垂直晶闸管、字线和位线的存储器单元阵列;形成于存储器单元阵列和外围电路单元之间的接合结构;以及适于将外围电路单元和存储器单元阵列彼此电连接的导电贯通结构。

附图说明

[0006] 图1至图4例示了根据实施方式的存储器装置。

[0007] 图5A至图5C例示了根据变型例的栅极。

[0008] 图6至图23例示了根据实施方式的制造存储器装置的方法。

[0009] 图24至图33例示了根据另一实施方式的制造存储器装置的方法。

具体实施方式

[0010] 下面将参照附图描述实施方式的示例。然而,实施方式可以以不同的形式来实施,并且不应被解释为限于本文阐述的实施方式。相反,提供这些实施方式使得本公开将是透彻和完整的,并且将范围完全传达给本领域技术人员。在整个公开中,在各个附图和实施方式中,相似的附图标记指代相似的部件。

[0011] 附图并非必须按比例绘制,并且在某些情况下,可能已经夸大了比例以清楚地例示出实施方式的特征。当第一层被称为在第二层“上”或在基板“上”时,不仅指第一层直接形成在第二层或基板上的情况,而且还指在第一层与第二层或基板之间存在第三层的情况。

[0012] 以下将描述的实施方式提出了一种可以最小化易失性和功耗并克服集成度的限

制的无电容器的1T(1晶体管)动态随机存取存储器(DRAM)。无电容器的1T DRAM可以是基于晶闸管的随机存取存储器(RAM),该基于晶闸管的随机存取存储器(RAM)包括PNPN结构的晶闸管。通过垂直地形成PNPN结构的晶闸管可以使单元尺寸最小化。

[0013] 另外,以下实施方式示出了可以基于晶圆接合形成的三端子布线。

[0014] 实施方式可以涉及高度集成的垂直存储器装置及用于制造垂直存储器装置的方法。

[0015] 图1至图4例示了根据实施方式的存储器装置。

[0016] 图1是存储器装置的平面图,并且图2是沿图1所示的线A-A'截取的截面图。图3是沿图1所示的线B-B'截取的截面图,并且图4是例示了单位存储器单元与外围电路单元之间的连接关系的立体图。

[0017] 参照图1至图4,存储器装置100可以包括存储器单元阵列MCA和外围电路单元PRP。存储器单元阵列MCA可以位于比外围电路单元PRP更高的水平。存储器单元阵列MCA可以包括第一接合材料114和第一接合焊盘115,并且外围电路单元PRP可以包括第二接合材料104和第二接合焊盘105。存储器单元阵列MCA和外围电路单元PRP可以通过接合工艺彼此接合。例如,存储器单元阵列MCA和外围电路单元PRP可以通过第一接合材料114和第二接合材料104的接合工艺而接合。此外,存储器单元阵列MCA和外围电路单元PRP可以通过第一接合焊盘115和第二接合焊盘105的接合工艺而接合。这样,存储器单元阵列MCA和外围电路单元PRP可以通过混合接合工艺而接合。混合接合工艺可以是指第一接合材料114与第二接合材料104之间的接合工艺以及第一接合焊盘115与第二接合焊盘105之间的接合工艺。

[0018] 第一接合材料114和第二接合材料104之间的接合工艺可以包括氧化物到氧化物接合。第一接合焊盘115和第二接合焊盘105之间的接合工艺可以包括金属到金属的接合。在实施方式中,可以在存储器单元阵列MCA和外围电路单元PRP之间形成接合结构。在实施方式中,接合结构可以包括第一接合材料114和第二接合材料104。在实施方式中,接合结构可以包括第一接合焊盘115和第二接合焊盘105。

[0019] 根据另一实施方式,可以不使用第一接合材料114和第二接合材料104以及第二接合焊盘115和第二接合焊盘105,而直接接合存储器单元阵列PRP和外围电路单元MCA。

[0020] 如上所述,存储器单元阵列MCA和外围电路单元PRP可以不直接形成在绝缘体上硅(SOI)基板上,而是可以通过使用第一接合焊盘115和第二接合焊盘105、以及第一接合材料114和第二接合材料104的接合工艺形成。

[0021] 外围电路单元PRP可以包括用于驱动存储器单元阵列MCA的至少一个控制电路102。外围电路单元PRP的控制电路102可以包括N沟道晶体管、P沟道晶体管、CMOS电路或其组合。外围电路单元PRP可以包括地址解码器电路、读取电路、写入电路等。

[0022] 外围电路单元PRP可以包括半导体基板101和布置在半导体基板101的表面的控制电路102。半导体基板101可以是适于半导体处理的材料。半导体基板101可以由含硅材料形成。半导体基板101可以包括硅、单晶硅、多晶硅、非晶硅、硅锗、单晶硅锗、多晶硅锗、碳掺杂硅、其组合,或其多层。半导体基板101可以包括诸如锗之类的其它半导体材料。半导体基板101可以包括III/V族半导体基板,例如,诸如GaAs之类的化合物半导体基板。

[0023] 每个控制电路102可以包括至少一个晶体管。晶体管可以是平面沟道晶体管。除了平面沟道晶体管之外,控制电路102中的晶体管的结构可以包括凹陷沟道晶体管、掩埋栅晶

体管、鳍式沟道晶体管 (FinFET) 等。

[0024] 外围电路单元PRP还可以包括联接到控制电路102的多个互连结构103。互连结构103可以包括至少一条金属线。互连结构103可以包括多层金属线(MLM), 该多层金属线包括多个通路(via)和多条金属线。互连结构103可以形成在下层间电介质层106中。

[0025] 外围电路单元PRP还可以包括在互连结构103上方的第二接合材料104。第二接合材料104可以包括电介质材料。第二接合材料104可以包括氧化硅。第二接合材料104可以覆盖互连结构103和下层间电介质层106。第二接合材料104可以称为接合氧化物。

[0026] 外围电路单元PRP还可以包括第二接合焊盘105。第二接合焊盘105可以贯穿第二接合材料104并且联接至至少一个互连结构103。第二接合焊盘105可以包括金属基材料(metal-based materail)。第二接合焊盘105可以称为接合金属焊盘。

[0027] 存储器单元阵列MCA可以包括多个存储器单元100M、下层导线111和上层导线112。每个存储器单元100M可以包括字线121和垂直晶闸管100V。字线121可以位于垂直晶闸管100V的侧壁的一部分上。下层导线111可以联接至垂直晶闸管100V的一侧(或下端), 而上层导线112可以联接至垂直晶闸管100V的另一侧(或上端)。下层导线111可以用作源极线, 而上层导线112可以用作位线。字线121可以位于下层导线111上方, 并且上层导线112可以设置在字线121上方。

[0028] 存储器单元阵列MCA还可以包括第一接合材料114和第一接合焊盘115。第一接合材料114和第一接合焊盘115可以位于垂直晶闸管100V下面。第一接合材料114和第一接合焊盘115可以分别由与第二接合材料104和第二接合焊盘115相同的材料形成。第一接合材料114可以包括氧化硅, 并且第一接合焊盘115可以包括金属基材料。第一接合材料114可以被称为接合氧化物, 并且第一接合焊盘115可以被称为接合金属焊盘。

[0029] 存储器单元阵列MCA的下层导线111和上层导线112中的每个可以电连接到至少一个控制电路102。下层导线111和控制电路102可以通过互连结构103以及第一焊盘115和第二焊盘105彼此联接。上层导线112和控制电路102可以通过导电贯通结构127彼此联接。导电贯通结构127可以是金属基材料, 并且它可以称为通路。

[0030] 存储器单元阵列MCA可以位于外围电路单元PRP上方。因此, 存储器装置100可以具有单元下外围(PUC)结构。根据另一实施方式, 存储器装置100可以具有单元上外围(POC)结构, 其中外围电路单元PRP位于存储器单元阵列MCA上方。

[0031] 存储器单元100M可以形成在外围电路单元PRP上方。存储器单元100M可以包括形成在下层导线111和上层导线112之间的垂直晶闸管100V。垂直晶闸管100V可以包括源极线113和多个半导体柱P1、P2和P3。源极线113和半导体柱P1、P2和P3可以垂直地布置在下层导线111和上层导线112之间。垂直晶闸管100V的最下端可以是源极线113, 并且半导体柱P1、P2和P3可以垂直布置在源极线113上方。半导体柱P1、P2和P3可以包括第一半导体柱P1、第二半导体柱P2和第三半导体柱P3。第一半导体柱P1可以形成在源极线113上方, 并且第二半导体柱P2可以形成在第一半导体柱P1上方, 并且第三半导体柱P3可以形成在第二半导体柱P2上方。第三半导体柱P3可以与上层导线112接触。

[0032] 垂直晶闸管100V可以包括半导体材料的层叠物。垂直晶闸管100V可以包括硅材料、硅锗材料、砷化镓(GaAs)材料或氮化镓(GaN)材料。垂直晶闸管100V可以包括彼此垂直交叠的掺杂区域。例如, 彼此垂直交叠的第一半导体柱P1、第二半导体柱P2和第三半导体柱

P3可以掺杂有不同的杂质。在本文中,不同的杂质可以指不同的导电类型或不同的杂质浓度。

[0033] 在实施方式中,第一半导体柱P1、第二半导体柱P2和第三半导体柱P3可以由硅材料制成。因此,第一半导体柱P1、第二半导体柱P2和第三半导体柱P3可以分别被称为“第一硅柱、第二硅柱和第三硅柱”。第一半导体柱P1可以掺杂有第一杂质,第二半导体柱P2可以掺杂有第二杂质,并且第三半导体柱P3可以掺杂有第三杂质。第一杂质和第三杂质可以是相同导电类型的,并且第二杂质可以是与第一杂质和第三杂质的导电类型不同的导电类型的。例如,第一杂质和第三杂质可以是N型杂质,并且第二杂质可以是P型杂质。第一半导体柱P1可以掺杂有高浓度的第一杂质,并且第二半导体柱P2可以未掺杂有高浓度的第二杂质,并且第三半导体柱P3可以未掺杂有高浓度的第三杂质。在本文中,术语“掺杂有高浓度的杂质”可以表示杂质的浓度高于未以高浓度掺杂的杂质的浓度。因此,第一半导体柱P1的杂质浓度可以高于第二半导体柱P2和第三半导体柱P3的杂质浓度。

[0034] 第一半导体柱P1可以包括掺杂有高浓度的N型杂质的硅材料。第二半导体柱P2可以包括掺杂有P型杂质的硅材料。第三半导体柱P3可以包括掺杂有N型杂质的硅材料。因此,掺杂在第一半导体柱P1中的N型杂质的浓度可以高于掺杂在第二半导体柱P2中的P型杂质和掺杂在第三半导体柱P3中的N型杂质的浓度。

[0035] 如稍后将描述的,可以通过硅材料的外延生长来形成第一半导体柱P1、第二半导体柱P2和第三半导体柱P3。第一半导体柱P1、第二半导体柱P2和第三半导体柱P3中的每个可以是外延硅柱。

[0036] 与第一半导体柱P1、第二半导体柱P2、和第三半导体柱P3水平排列的结构相比,具有垂直排列的第一半导体柱P1、第二半导体柱P2、和第三半导体柱P3的垂直晶闸管100V可以具有大幅减小的面积。因此,可以减小垂直晶闸管100V在存储器单元100M中的占用面积。

[0037] 垂直晶闸管100V的源极线113可以掺杂有与第二半导体柱P2相同的杂质。源极线113可以包括掺杂有P型杂质的硅材料。掺杂在源极线113中的P型杂质的浓度可以高于掺杂在第二半导体柱P2中的P型杂质的浓度。

[0038] 如上所述,垂直晶闸管100V可以包括垂直布置在下层导线111和上层导线112之间的硅材料的层叠物。垂直晶闸管100V可以是交替掺杂有N型杂质和P型杂质的硅材料的层叠物。由于源极线113和第二半导体柱P2掺杂有P型杂质,并且第一半导体柱P1和第三半导体柱P3掺杂有N型杂质,因此垂直晶闸管100V可以具有PNPN结构的晶闸管。第二半导体柱P2可以是垂直晶闸管100V的P基区域,并且第三半导体柱P3可以是垂直晶闸管100V的N基区域。可以基于垂直晶闸管100V的高电阻特性和低电阻特性来存储数据。

[0039] 字线121可以包括导电材料。字线121可以包括钨基材料(tungsten-based material),例如,钨、氮化钨、硅化钨或其组合。栅极电介质层122可以位于字线121和垂直晶闸管100V之间。栅极电介质层122可以包括氧化硅、氮化硅、高介电材料或其组合。栅极电介质层122的上端可以弯曲。

[0040] 字线121可以位于垂直晶闸管100V的至少一个侧壁上。例如,字线121可以围绕垂直晶闸管100V的第二半导体柱P2的侧壁。根据另一实施方式,栅极电介质层122和字线121可以形成在第二半导体柱P2的一个侧壁上。根据另一实施方式,栅极电介质层122和字线121可以形成在第二半导体柱P2的面对的侧壁上。

[0041] 可以通过施加到字线121的偏置电压来操作垂直晶闸管100V。垂直晶闸管100V的第二半导体柱P2可以用作储存层。也就是说,数据可以存储在第二半导体柱P2中。如上所述,存储器单元100M可以使用第二半导体柱P2用作储存器,而没有电容器。

[0042] 垂直晶闸管100V的第一半导体柱P1可以被覆盖层123围绕。覆盖层123可以位于字线121下面。覆盖层123可以直接接触栅极电介质层122和源极线113。

[0043] 相邻的存储器单元100M可以通过单元隔离层124和125彼此间隔开。单元隔离层124和125可以包括电介质材料。单元隔离层124和125可以包括第一隔离层124和第二隔离层125。第一隔离层124可以将相邻的字线121彼此隔离。第二隔离层125可以将相邻的第三半导体柱P3彼此隔离。

[0044] 上层导线112可以联接到垂直晶闸管100V的顶部。在实施方式中,上层导线112可以电连接到垂直晶闸管100V的第三半导体柱P3。接触层126可以形成在上层导线112和第三半导体柱P3之间。接触层126可以包括N型杂质。可以通过在第三半导体柱P3的上部中掺杂N型杂质来形成接触层126。

[0045] 上层导线112可以通过导电贯通结构127联接到外围电路单元PRP的控制电路102。导电贯通结构127可以包括金属基材料。导电贯通结构127可以被称为通路。导电贯通结构127可以贯穿单元隔离层124和125,并且可以通过第一接合材料114和第二接合材料104联接到互连结构103。当上层导线112包括位线时,外围电路单元PRP的控制电路102可以包括感测放大器。

[0046] 字线121可以通过字线接触128联接到外围电路单元PRP的控制电路102。字线接触128可以包括金属基材料。字线接触128可以以与导电贯通结构127相同的方式被称为通路。字线接触128可以贯穿单元隔离层124和125,并且可以通过第一接合材料114和第二接合材料104联接到互连结构103。金属线112'可以联接到字线接触128。金属线112'可以位于与上层导线112相同的水平。外围电路单元PRP的通过字线接触128联接至字线121的控制电路102可以包括字线驱动器。

[0047] 上层导线112和字线121可以彼此垂直排列。从顶视图的角度来看,上层导线112和字线121可以彼此垂直交叉。源极线113、下层导线111和上层导线112可以在平行于外围电路单元PRP的上平面的第一方向D1上延伸。字线121可以在与第一方向D1交叉的第二方向D2上较长地延伸。垂直晶闸管100V可以在第三方向D3上垂直地形成。

[0048] 字线121可以比源极线113位于更高的水平,并且源极线113和字线121可以彼此垂直排列。从顶视图的角度来看,源极线113和字线121可以彼此垂直交叉,并且下层导线111、源极线113和上层导线112可以彼此交叠。下层导线111、源极线113和上层导线112可以在相同方向上延伸。

[0049] 根据另一实施方式,源极线113/下层导线111的层叠物的位置和上层导线112的位置可以彼此交换。例如,上层导线112可以位于更低的水平,并且源极线113/下层导线111的层叠物可以位于更高的水平。对此,可以参照图24至图33。

[0050] 图5A至图5C示出了栅极的变型。

[0051] 参照图5A,可以在每个垂直晶闸管100V的两个侧壁上形成栅极电介质层122A,并且栅极121A可以具有沿着多个垂直晶闸管100V的侧壁较长地延伸的线的形状。每个栅极121A可以具有位于垂直晶闸管100V的两个侧壁上的垂直双栅结构,并且双栅结构的一侧的

端部可以彼此联接。可以通过在形成垂直晶闸管100V之后沉积栅极材料并执行回蚀工艺来形成垂直双栅结构。垂直双栅结构可以具有沿垂直晶闸管100V的两个侧壁较长地延伸的间隔物的形状。

[0052] 参照图5B,可以在每个垂直晶闸管100V的两个侧壁上形成栅极电介质层122B,并且栅极121B可以具有沿着多个垂直晶闸管100V的侧壁较长地延伸的线的形状。栅极121B可以具有位于垂直晶闸管100V的两个侧壁上的双栅结构,并且双栅结构的两端可以彼此联接。栅极121B可以具有闭环的形状。

[0053] 参照图5C,栅极电介质层122C可以具有围绕每个垂直晶闸管100V'的形状,并且栅极121C可以在围绕垂直晶闸管100V'的同时在一个方向上延伸。垂直晶闸管100V'的截面可以是圆形形状。图5A和图5B中所示的垂直晶闸管100V的截面可以具有矩形形状。

[0054] 图6至图23例示了根据实施方式的制造存储器装置的方法。

[0055] 参照图6,可以制备第一基板11。第一基板11可以是适合于半导体处理的材料。第一基板11可以包括半导体基板。第一基板11可以由含硅材料形成。第一基板11可以包括硅、单晶硅、多晶硅、非晶硅、硅锗、单晶硅锗、多晶硅锗、碳掺杂硅、其组合,或其多层。第一基板11可以包括诸如锗之类的其它半导体材料。第一基板11可以包括III/V族半导体基板,例如,诸如GaAs之类的化合物半导体基板。第一基板11可以通过后续背侧研磨工艺被去除的牺牲基板。

[0056] 可以在第一基板11的表面上形成牺牲掺杂区域12。可以通过第一掺杂剂的掺杂工艺12I来形成牺牲掺杂区域12。第一掺杂剂的掺杂工艺12I可以包括离子注入工艺。牺牲掺杂区域12可以包括第一掺杂剂,并且第一掺杂剂可以包括N型掺杂剂、P型掺杂剂或其组合。根据实施方式,第一掺杂剂可以包括诸如硼之类的P型掺杂剂。可以通过P型掺杂剂的离子注入来形成牺牲掺杂区域12,因此牺牲掺杂区域12可以称为“P型掺杂区域”。牺牲掺杂区域12中掺杂的P型掺杂剂可以具有高浓度。例如,牺牲掺杂区域12中掺杂的P型掺杂剂可以具有大约 1×10^{19} 至 5×10^{20} 原子/cm³的高浓度。牺牲掺杂区域12可以称为“高掺杂P型掺杂区域”。牺牲掺杂区域12可以包括高掺杂P型硅材料,即,P⁺硅。牺牲掺杂区域12可以通过后续背侧研磨工艺被去除的牺牲掺杂区域。

[0057] 参照图7,可以在牺牲掺杂区域12上方形成初步柱区域13。可以通过外延生长工艺形成初步柱区域13。初步柱区域13可以包括第二掺杂剂。初步柱区域13可以包括诸如磷或砷之类的N型掺杂剂。初步柱区域13可以具有大约2000 Å的厚度。初步柱区域13可以称为“N型掺杂区域”。掺杂在初步柱区域13中的N型掺杂剂可以不具有高浓度。例如,掺杂在初步柱区域13中的N型掺杂剂可以具有低于大约 1×10^{19} 原子/cm³的浓度。初步柱区域13可以包括N型硅材料,即,N硅。

[0058] 参照图8,硬掩模层14可以形成在初步柱区域13上方。硬掩模层14可以包括相对于初步柱区域13具有蚀刻选择性的材料。硬掩模层14可以包括氧化硅、氮化硅、无定形碳或其组合。在实施方式中,硬掩模层14可以包括氧化硅。

[0059] 使用掩模(未示出),可以蚀刻硬掩模层14以露出初步柱区域13的顶表面。掩模可以包括光致抗蚀剂图案。从顶视图的角度来看,硬掩模层14可以具有多个柱形状。也就是说,硬掩模层14可以由柱形状的规则阵列形成。

[0060] 随后,可以形成第一半导体柱13N。可以通过使用硬掩模层14蚀刻初步柱区域13来

形成第一半导体柱13N。由于硬掩模层14具有多个柱阵列,因此初步柱区域13可以被蚀刻成第一半导体柱13N。第一半导体柱13N可以形成为柱形状的规则阵列。

[0061] 可以在相邻的第一半导体柱13N之间限定隔离沟槽13T。相邻的第一半导体柱13N可以通过隔离沟槽13T彼此间隔开。隔离沟槽13T的深度可以与第一半导体柱13N的高度相同。隔离沟槽13T的底表面可以延伸到牺牲掺杂区域12的顶表面。第一半导体柱13N的高度可以是大约2000 Å。隔离沟槽13T的深度可以与第一半导体柱13N的高度相同。隔离沟槽13T的深度可以是大约2000 Å。根据另一实施方式,隔离沟槽13T的深度可以大于第一半导体柱13N的高度。

[0062] 从顶视图的角度来看,第一半导体柱13N的截面可以具有矩形形状或圆形形状。在实施方式中,第一半导体柱13N的截面可以具有矩形形状。

[0063] 第一半导体柱13N可以是N型硅柱。

[0064] 参照图9,隔离沟槽13T可以填充有电介质材料15A。电介质材料15A可以没有空隙地填充隔离沟槽13T。电介质材料15A可以包括具有优异的间隙填充特性的材料。电介质材料15A可以包括氧化物、氮化物或其组合。在实施方式中,电介质材料15A可以包括氧化硅。

[0065] 电介质材料15A可以形成为在填充隔离沟槽13T的同时覆盖硬掩模层14。随后,电介质材料15A可以被平坦化以露出第一半导体柱13N的顶表面。可以通过化学机械抛光(CMP)工艺来平坦化电介质材料15A。可以通过电介质材料15A的平坦化来形成第一隔离层15。

[0066] 在电介质材料15A的平坦化工艺中,硬掩模层14也可以被平坦化并去除。因此,第一隔离层15的顶表面和第一半导体柱13N的顶表面可以位于相同的水平。换句话说,可以在第一隔离层15的顶表面和第一半导体柱13N的顶表面之间不形成台阶。第一隔离层15可以将相邻的第一半导体柱13N彼此隔离。

[0067] 参照图10,可以在第一隔离层15和第一半导体柱13N上方形成导电材料16A。导电材料16A可以具有小于第一半导体柱13N的高度的厚度。导电材料16A可以包括金属、金属氮化物、金属硅化物或其组合。导电材料16A可以包括钨、氮化钛、氮化钨、硅化钛、硅化钨或其组合。根据实施方式,导电材料16A可以包括硅化钨。

[0068] 覆盖材料17A可以形成在导电材料16A上方。覆盖材料17A可以包括电介质材料。覆盖材料17A可以包括氧化物。覆盖材料17A可以用作硬掩模。

[0069] 参照图11,可以形成多条字线16。为了形成字线16,可以通过使用线和空间图案的掩模层(未示出)来蚀刻覆盖材料17A和导电材料16A。可以在相邻的字线16之间形成栅极隔离沟槽16T。可以在字线16上形成覆盖层17。可以通过蚀刻覆盖材料17A来形成覆盖层17。

[0070] 字线16可以形成为分别对应于第一半导体柱13N。字线16也可以称为栅极。

[0071] 参照图12,第二隔离层18可以形成在字线16之间。第二隔离层18可以包括氧化硅。第二隔离层18可以填充栅极隔离沟槽16T并且可以被平坦化以露出字线16的顶表面。

[0072] 参照图13,可以形成掩模层19。掩模层19可以包括光致抗蚀剂图案。掩模层19可以包括多个开口19H。从顶视图的角度来看,开口19H的截面的形状可以是矩形或圆形,并且开口19H可以以规则阵列形成。

[0073] 随后,可以通过使用掩模层19依次蚀刻覆盖层17和字线16。结果,可以形成多个垂直开口20。垂直开口20可以具有贯穿覆盖层17和字线16的深度。从顶视图的角度来看,垂直

开口20的截面可以具有与掩模层19的开口19H相同的形状。垂直开口20的底表面可以露出第一半导体柱13N的顶表面。垂直开口20的宽度(或直径)可以大于第一半导体柱13N的宽度,因此,垂直开口20的底表面还可以露出第一隔离层15的表面的一部分。此外,第一半导体柱13N和字线16可以通过垂直开口20而不会彼此接触。垂直开口20可以具有垂直侧壁。垂直开口20可以具有不露出字线16的两个侧壁的大小。换句话说,垂直开口20可以不切开字线16。因此,在顶视图中,垂直开口20可以成形为被字线16围绕。

[0074] 参照图14,在去除掩模层19之后,可以在垂直开口20中形成栅极电介质层21。栅极电介质层21可以不完全填充垂直开口20。栅极电介质层21可以共形地形成覆盖垂直开口20的底部和侧壁。栅极电介质层21可以包括氧化硅、氮氧化硅、高电介质材料或其组合。栅极电介质层21的一部分可以与字线16和覆盖层17直接接触。栅极电介质层21可以将字线16与第一半导体柱13N隔离。

[0075] 牺牲层22可以形成在栅极电介质层21上方。牺牲层22可以共形地形成在栅极电介质层21上方。栅极电介质层21和牺牲层22可以不完全填充垂直开口20。牺牲层22可以相对于栅极电介质层21具有蚀刻选择性。牺牲层22可以包括氮化硅。

[0076] 随后,可以执行回蚀工艺。可以通过回蚀工艺来蚀刻牺牲层22的一部分和栅极电介质层21的一部分。例如,可以在垂直开口20的底部蚀刻牺牲层22的一部分和栅极电介质层21的一部分。

[0077] 第一半导体柱13N的顶表面可以通过回蚀工艺而露出。栅极电介质层21和牺牲层22的层叠物可以保留在垂直开口20的侧壁上。栅极电介质层21可以具有覆盖每个垂直开口20的侧壁的间隔物的形状。牺牲层22可以具有覆盖栅极电介质层21的侧壁的间隔物的形状。从顶视图的角度来看,栅极电介质层21可以是覆盖每个垂直开口20的侧壁的环形间隔物。牺牲层22可以是覆盖栅极电介质层21的侧壁的环形间隔物。

[0078] 在对牺牲层22执行回蚀工艺之后,第一半导体柱13N的顶表面可以通过垂直开口20的向下扩展而凹陷预定深度。例如,第一半导体柱13N的顶表面可以通过与牺牲层22的侧壁自对准而被蚀刻。

[0079] 参照图15,可以去除牺牲层22。当牺牲层22包括氮化硅时,可以通过使用磷酸的湿法蚀刻工艺来去除牺牲层22。

[0080] 在去除牺牲层22之后,栅极电介质层21可以保留在垂直开口20的侧壁上。

[0081] 垂直开口20可以形成为分别对应于第一半导体柱13N。

[0082] 参照图16,可以在垂直开口20中形成外延层23。外延层23可以没有空隙地填充垂直开口20。外延层23可以填充在第一半导体柱13N上方的垂直开口20,因此外延层23可以具有柱形状。外延层23可以包括第三掺杂剂。可以在外延层23生长的同时原位掺杂第三掺杂剂。第三掺杂剂可以包括与第二掺杂剂不同的材料。第三掺杂剂可以包括P型掺杂剂。外延层23可以包括P型外延硅。外延层23的P型掺杂剂可以不具有高浓度。例如,外延层23的P型掺杂剂可以具有低于 1×10^{19} 原子/cm³的浓度。

[0083] 参照图17,外延层23可以掺杂有第四掺杂剂。第四掺杂剂可以是与第三掺杂剂不同的材料。第四掺杂剂可以包括N型掺杂剂。可以以高浓度掺杂第四掺杂剂。可以通过离子注入工艺来掺杂N型掺杂剂。N型掺杂剂可以具有大约 1×10^{19} 至 5×10^{20} 原子/cm³的高浓度。

[0084] 当掺杂N型掺杂剂时,外延层23的上部区域可以被定义为第三半导体柱23N。外延

层23的下部区域可以包括初始外延层的掺杂剂。在下文中,外延层23的下部区域可以称为第二半导体柱23P。

[0085] 如上所述,随着掺杂N型掺杂剂,外延层23可以被划分为第二半导体柱23P和第三半导体柱23N。第二半导体柱23P可以形成在第一半导体柱13N上方,并且第三半导体柱23N可以形成在第二半导体柱23P上方。第三半导体柱23N的顶表面和覆盖层17的顶表面可以位于相同的水平。

[0086] 第二半导体柱23P的顶表面可以位于与字线16的顶表面相同的水平或可以位于比字线16的顶表面高。第三半导体柱23N的高度可以低于第二半导体柱22P的高度。第二半导体柱23P的下端可以直接接触第一半导体柱13N。

[0087] 第三半导体柱23N可以包括浓度高于第一半导体柱13N的浓度的N型掺杂剂。第二半导体柱23P可以包括浓度低于第三半导体柱23N的浓度的P型掺杂剂。换句话说,第三半导体柱23N可以包括高浓度N型掺杂剂,并且第二半导体柱23P可以包括浓度比高浓度N型掺杂剂的浓度低的P型掺杂剂。

[0088] 第二半导体柱23P可以是P型外延硅,并且第三半导体柱23N可以是高掺杂N型外延硅。

[0089] 由于第二半导体柱23P和第三半导体柱23N填充垂直开口20,因此垂直开口20可以填充有柱结构。第一半导体柱13N、第二半导体柱23P和第三半导体柱23N的层叠物可以形成垂直柱结构。第一半导体柱13N、第二半导体柱23P和第三半导体柱23N的层叠物可以是硅材料的层叠物。第一半导体柱13N、第二半导体柱23P和第三半导体柱23N的层叠物可以是外延硅的层叠物。

[0090] 参照图18,可以形成下层导线。下层导线可以包括源极线24P和第一导线24L的层叠物。源极线24P可以包括高浓度P型掺杂剂。源极线24P可以包括高浓度P型多晶硅。源极线24P可以联接相邻的第三半导体柱23N。为了形成源极线24P和第一导线24L,可以在沉积源极线材料和导电材料之后蚀刻导电材料和源极线材料。源极线24P和第一导线24L可以在与字线16交叉的方向上延伸。

[0091] 第一接合材料25可以形成在第一导线24L上方。第一接合材料25可以包括氧化硅。第一接合材料25的一部分可以覆盖第二隔离层18。

[0092] 可以通过贯穿第一接合材料25来形成联接到第一导线24L的第一接合焊盘26。第一接合焊盘26可以包括金属基材料。

[0093] 可以通过如上所述的一系列工艺来形成存储器单元阵列MCA'。

[0094] 参照图19,可以制备外围电路单元PRP。外围电路单元PRP可以包括第二基板31、形成在第二基板31上方的至少一个控制电路32、互连结构33和第二接合材料34。至少一个控制电路32可以包括晶体管。互连结构33可以包括至少一条金属线。互连结构33可以包括多层金属线(MLM)。互连结构33可以联接到控制电路32的一部分。

[0095] 互连结构33可以形成在层间电介质层(未示出,参见图2中的“106”)中,并且第二接合材料34可以形成在层间电介质层和互连结构33上方。第二接合材料34可以包括氧化硅。第一接合材料25和第二接合材料34可以是相同的材料。

[0096] 随后,可以通过贯穿第二接合材料34来形成联接到互连结构33的第二接合焊盘35。第二接合焊盘35可以包括金属基材料。第一接合焊盘26和第二接合焊盘35可以由相同

材料形成。

[0097] 参照图20,可以执行混合接合工艺以接合存储器单元阵列MCA'和外围电路单元PRP。

[0098] 混合接合工艺可以使外围电路部分PRP所形成于的第二基板31反转(或旋转),并将其与存储器单元阵列MCA'所形成于的第一基板11接合。结果,第一接合材料25和第二接合材料34可以接合,并且第一接合焊盘26和第二接合焊盘35可以接合。

[0099] 作为上述混合接合工艺的结果,可以形成初始基板层叠物D10,在初始基板层叠物D10中将存储器单元阵列MCA'所形成于的第一基板11和外围电路单元PRP所形成于的第二基板31相接合。

[0100] 根据另一实施方式,混合接合工艺可以使存储器单元阵列MCA'所形成于的第一基板11反转(或旋转),并且使反转的第一基板11与外围电路单元PRP所形成于的第二基板31接合。

[0101] 参照图21,初始基板层叠物D10的后表面可以形成为薄的。通过反转初始基板层叠物D10使得外围电路单元PRP位于下方,可以去除牺牲掺杂区域12和第一基板11(参见附图标记“WB”)。去除牺牲掺杂区域12和第一基板11的工艺可以包括依次执行的背侧研磨工艺、湿法蚀刻工艺和CMP工艺。背侧研磨工艺和湿法蚀刻工艺可以去除第一基板11和牺牲掺杂区域12,并且CMP工艺可以去除残留的材料。CMP工艺可以在第一隔离层15处停止。在去除牺牲掺杂区域12和第一基板11之后,可以露出第一半导体柱13N的一个表面。结果,可以形成比初始存储器单元阵列MCA'薄的存储器单元阵列MCA。

[0102] 在如上所述地去除牺牲掺杂区域12和第一基板11之后,可以形成用于存储器装置的基板层叠物D20。

[0103] 基板层叠物D20可以是外围电路单元PRP和存储器单元阵列MCA的层叠物。存储器单元阵列MCA可以位于比外围电路单元PRP高的水平。存储器单元阵列MCA可以包括多个存储器单元50,并且每个存储器单元50可以包括源极线24P、第三半导体柱23N、第二半导体柱23P和第一半导体柱13N的层叠物。第三半导体柱23N可以称为下半导体柱,第一半导体柱13N可以称为上半导体柱,并且第二半导体柱23P可以称为储存柱。源极线24P、第三半导体柱23N、第二半导体柱23P和第一半导体柱13N的层叠物可以是PNPN结构的硅材料的层叠物。在实施方式中,PNPN结构包括依次层叠的第一P型硅、第一N型硅、第二P型硅和第二N型硅。第三半导体柱23N可以对应于图2所示的第一半导体柱P1,并且第二半导体柱23P可以对应于图2所示的第二半导体柱P2,并且第一半导体柱13N可以对应于图2所示的第三半导体柱P3。

[0104] 因此,存储器单元阵列MCA的每个存储器单元50可以包括具有PNPN结构的垂直晶闸管50V。在实施方式中,垂直晶闸管50V包括依次层叠的源极线24P、第三半导体柱23N、第二半导体柱23P和第一半导体柱13N。源极线24P和第二半导体柱23P可以是P型硅材料。第三半导体柱23N和第一半导体柱13N可以是N型硅材料。源极线24P可以是线状硅材料。第三半导体柱23N、第二半导体柱23P和第一半导体柱13N可以是柱状硅材料。在存储器单元阵列MCA中,第二半导体柱23P可以用作储存层。存储器单元阵列MCA还可以包括字线16,并且字线16可以位于第二半导体柱23P的侧壁上。存储器单元阵列MCA中的每个存储器单元可以具有1T(一个晶体管)结构。换句话说,1T结构可以包括字线16、第三半导体柱23N、第二半导体

柱23P和第一半导体柱13N。第三半导体柱23N和第一半导体柱13N可以用作源极/漏极区。存储器单元阵列MCA可以是没有电容器的1T DRAM单元阵列。由于存储器单元阵列MCA没有电容器,因此不需要刷新操作。

[0105] 参照图22,可以形成接触层41。接触层41可以通过掺杂剂的离子注入来形成。接触层41可以形成在第一半导体柱13N的顶表面上。

[0106] 随后,可以形成联接到外围电路单元PRP的互连结构33的通路42。可以通过形成通路孔(未给出附图标记)以贯穿第一隔离层15、第二隔离层18、第一接合材料25和第二接合材料34然后用导电材料填充该通路孔来形成通路42。通路42可以由金属基材料形成。通路42可以对应于图1至图4的导电贯通结构127。

[0107] 参照图23,可以形成联接到通路42的上层导线。上层导线可以包括第二导线43。第二导线43可以直接接触接触层41和通路42。第二导线43可以具有在一个方向上延伸的线的形状。第二导线43可以包括金属基材料。第二导线43可以包括钨、氮化钨、硅化钨或其组合。例如,可以通过沉积硅化钨层并执行蚀刻工艺来形成第二导线43。第二导线43可以是存储器单元阵列MCA中所包括的组成元件。

[0108] 第二导线43和字线16可以沿彼此交叉的方向延伸。在存储器单元阵列MCA的操作期间,第二导线43可以用作位线。

[0109] 如上所述,基板层叠物D20可以包括存储器单元阵列MCA和外围电路单元PRP,并且存储器单元阵列MCA和外围电路单元PRP可以通过接合工艺彼此接合。通过该接合工艺,包括第一导线24L、第二导线43和字线16的三端子布线也是可以的。

[0110] 参照图6至图23,根据实施方式的制造存储器装置的方法可以包括:在第一基板11上方形成包括垂直晶闸管50V和字线16的存储器单元阵列MCA;在第二基板31中形成外围电路单元PRP,接合存储器单元阵列MCA和外围电路单元PRP,去除第一基板11以露出垂直晶闸管50V的一侧,以及形成联接至垂直晶闸管50V的一侧和外围电路单元PRP的第二导线43。第二导线43可以包括位线。

[0111] 图24至图33例示了根据另一实施方式的制造存储器装置的方法。

[0112] 参照图24,可以制备第一基板11。第一基板11可以是适合于半导体处理的材料。第一基板11可以包括半导体基板。第一基板11可以由含硅材料形成。第一基板11可以包括硅、单晶硅、多晶硅、非晶硅、硅锗、单晶硅锗、多晶硅锗、碳掺杂硅、其组合,或其多层。第一基板11可以包括诸如锗之类的其它半导体材料。第一基板11可以包括III/V族半导体基板,例如,诸如GaAs之类的化合物半导体基板。第一基板11可以通过后续背侧研磨工艺被去除的牺牲基板。第一基板11可以比图6所示的第一基板11厚。

[0113] 可以在第一基板11中形成初步柱区域13'。可以通过第一掺杂剂的掺杂工艺13I来形成初步柱区域13'。第一掺杂剂的掺杂工艺13I可以包括离子注入工艺。初步柱区域13'可以包括第一掺杂剂,并且第一掺杂剂可以包括N型掺杂剂、P型掺杂剂或其组合。根据实施方式,第一掺杂剂可以包括诸如磷或砷之类的N型掺杂剂。可以通过N型掺杂剂的离子注入工艺来形成初步柱区域13',因此初步柱区域13'可以称为“N型掺杂区域”。掺杂在初步柱区域13'中的N型掺杂剂可以具有高浓度。例如,掺杂在初步柱区域13'中的N型掺杂剂可以具有大约 1×10^{19} 至 5×10^{20} 原子/cm³的高浓度。掺杂区域12'可以包括高掺杂N型硅材料,即,N⁺硅。初步柱区域13'的深度可以为大约1000 Å到2000 Å。例如,初步柱区域13'的深度可以

是在深度方向上将第一基板11一分为二的深度。

[0114] 不同于通过外延生长工艺形成的图7的初步柱区域13,初步柱区域13'可以通过N型杂质的掺杂工艺13I来形成。

[0115] 参照图25,可以在初步柱区域13'上形成硬掩模层14。硬掩模层14可以包括相对于初步柱区域13'具有蚀刻选择性的材料。硬掩模层14可以包括氧化硅、氮化硅、无定形碳或其组合。根据实施方式,硬掩模层14可以包括氧化硅。

[0116] 可以通过使用掩模(未示出)来蚀刻硬掩模层14以露出初步柱区域13'的顶表面。掩模可以包括光致抗蚀剂图案。从顶视图的角度来看,硬掩模层14可以具有多个柱形状。换句话说,硬掩模层14可以由柱形状的规则阵列形成。

[0117] 随后,可以形成第一半导体柱13N。为了形成第一半导体柱13N,可以通过使用硬掩模层14来蚀刻初步柱区域13'。由于硬掩模层14具有多个柱阵列,因此初步柱区域13'可以蚀刻为第一半导体柱13N。第一半导体柱13N可以形成为柱形状的规则阵列。

[0118] 可以在相邻的第一半导体柱13N之间限定隔离沟槽13T。隔离沟槽13T可以使相邻的第一半导体柱13N彼此间隔开。隔离沟槽13T的深度可以与第一半导体柱13N的高度相同。第一半导体柱13N的高度可以是大约2000 Å。隔离沟槽13T的深度可以与第一半导体柱13N的高度相同。隔离沟槽13T的深度可以是大约2000 Å。根据另一实施方式,隔离沟槽13T的深度可以大于第一半导体柱13N的高度。

[0119] 从顶视图的角度来看,第一半导体柱13N的截面可以具有矩形形状或圆形形状。根据实施方式,第一半导体柱13N的截面可以具有矩形形状。

[0120] 第一半导体柱13N可以是N型硅柱。

[0121] 参照图26,隔离沟槽13T可以填充有电介质材料15A。电介质材料15A可以没有空隙地填充隔离沟槽13T。电介质材料15A可以包括具有优异的间隙填充特性的材料。电介质材料15A可以包括氧化物、氮化物或其组合。根据实施方式,电介质材料15A可以包括氧化硅。

[0122] 电介质材料15A可以形成为在填充隔离沟槽13T的同时覆盖硬掩模层14。随后,电介质材料15A可以被平坦化以露出硬掩模层14的顶表面。电介质材料15A的平坦化可以通过化学机械抛光(CMP)工艺来执行。可以通过电介质材料15A的平坦化来形成第一隔离层15。

[0123] 硬掩模层14可以在电介质材料15A的平坦化工艺中保留。因此,第一隔离层15的顶表面和硬掩模层14的顶表面可以位于相同的水平。换句话说,可以在第一隔离层15的顶表面和硬掩模层14的顶表面之间不形成台阶。第一隔离层15可以将相邻的第一半导体柱13N彼此隔离。

[0124] 参照图27,可以在第一隔离层15和硬掩模层14上方形成多条字线16。将参照图10和图11来描述用于形成字线16的方法。字线16可以形成为分别对应于第一半导体柱13N。

[0125] 随后,可以在字线16之间形成第二隔离层18。第二隔离层18可以包括氧化硅。第二隔离层18可以填充相邻字线16之间的空间,并且可以被平坦化以露出字线16的顶表面。

[0126] 参照图28,可以形成掩模层19。掩模层19可以包括光致抗蚀剂图案。掩模层19可以包括多个开口19H。从顶视图的角度来看,开口19H的截面可以是矩形形状或圆形形状,并且开口19H可以形成为规则阵列。

[0127] 随后,可以通过使用掩模层19依次地蚀刻覆盖层17和字线16。结果,可以形成多个垂直开口20。垂直开口20可以具有贯穿覆盖层17和字线16的深度。从顶视图的角度来看,垂

直开口20的截面可以具有与掩模层19的开口19H相同的形状。垂直开口20的底表面可以露出硬掩模层14的顶表面。垂直开口20可以具有垂直侧壁。垂直开口20可以具有不露出每条字线16的两个侧壁的大小。因此,垂直开口20可以成形为被字线16围绕。

[0128] 参照图29,在去除掩模层19之后,可以在垂直开口20中形成栅极电介质层21。将参照图14至图15描述用于形成栅极电介质层21的方法。

[0129] 随后,可以去除硬掩模层14。当硬掩模层14包括氮化硅时,可以通过使用磷酸的湿法蚀刻工艺来去除它。在去除硬掩模层14的同时,可以部分地去除栅极电介质层21的下端部分。

[0130] 在去除硬掩模层14之后,可以通过垂直开口20的向下扩展而露出第一半导体柱13N的顶表面。栅极电介质层21的下端可以与第一半导体柱13N的顶表面间隔开。可以在栅极电介质层21下方形成去除了硬掩模层14的空间,即,凹陷。

[0131] 参照图30,可以在垂直开口20中形成第二半导体柱23P和第三半导体柱23N的层叠物。将参照图16和图17描述用于形成第二半导体柱23P和第三半导体柱23N的层叠物的方法。

[0132] 第二半导体柱23P可以形成在第一半导体柱13N上方,并且第三半导体柱23N可以形成在第二半导体柱23P上方。第三半导体柱23N的顶表面和覆盖层17的顶表面可以位于相同的水平。

[0133] 第二半导体柱23P的顶表面可以位于与字线16的顶表面相同的水平或者可以位于比字线16的顶表面高。第三半导体柱23N的高度可以低于第二半导体柱22P的高度。第二半导体柱23P的下端可以直接接触第一半导体柱13N。

[0134] 第三半导体柱23N可以包括浓度高于第一半导体柱13N的浓度的N型掺杂剂。第二半导体柱23P可以包括浓度低于第三半导体柱23N的浓度的P型掺杂剂。换句话说,第三半导体柱23N可以包括高浓度N型掺杂剂,并且第二半导体柱23P可以包括浓度比高浓度N型掺杂剂的浓度低的P型掺杂剂。

[0135] 第二半导体柱23P可以是P型外延硅,并且第三半导体柱23N可以是高掺杂N型外延硅。

[0136] 由于第二半导体柱23P和第三半导体柱23N填充垂直开口20,因此垂直开口20可以填充有柱结构。第一半导体柱13N、第二半导体柱23P、和第三半导体柱23N的层叠物可以形成垂直柱结构。第一半导体柱13N、第二半导体柱23P、和第三半导体柱23N的层叠物可以是硅材料的层叠物。第一半导体柱13N、第二半导体柱23P、和第三半导体柱23N的层叠物可以是外延硅的层叠物。

[0137] 参照图31,可以形成下层导线。下层导线可以包括第二导线43。第二导线43可以具有在一个方向上延伸的线的形状。第二导线43可以包括金属基材料。第二导线43可以包括钨、氮化钨、硅化钨或其组合。例如,可以通过沉积硅化钨层并执行蚀刻工艺来形成第二导线43。第二导线43可以将相邻的第三半导体柱23N彼此联接。

[0138] 第二导线43可以是存储器单元阵列MCA'中所包括的组成元件。第二导线43和字线16可以沿彼此交叉的方向延伸。在存储器单元阵列MCA'操作期间,第二导线43可以用作位线。

[0139] 如上所述,根据实施方式,可以在形成源极线之前形成第二导线43。图18至图24示

出了在首先形成源极线之后形成第二导线。

[0140] 第一接合材料25可以形成在第二导线43上方。第一接合材料25可以包括氧化硅。第一接合材料25的一部分可以覆盖第二隔离层18。

[0141] 可以通过贯穿第一接合材料25来形成联接到第二导线43的第一接合焊盘26。第一接合焊盘26可以包括金属基材料。

[0142] 可以通过上述一系列工艺来形成存储器单元阵列MCA'。

[0143] 随后,可以执行图19至图21所示的一系列工艺。结果,可以形成用于存储器装置的基板层叠物D20,如图32所示。基板层叠物D20可以是外围电路单元PRP和存储器单元阵列MCA的层叠物。存储器单元阵列MCA可以位于比外围电路单元PRP更高的水平。存储器单元阵列MCA可以包括多个存储器单元50,并且每个存储器单元50可以包括第三半导体柱23N、第二半导体柱23P和第一半导体柱13N的层叠物。第三半导体柱23N可以称为下半导体柱,并且第一半导体柱13N可以称为上半导体柱,而第二半导体柱23P可以称为储存柱。第三半导体柱23N、第二半导体柱23P和第一半导体柱13N的层叠物可以是具有NPN结构的硅材料的层叠物。存储器单元阵列MCA还可以包括字线16,并且字线16可以位于第二半导体柱23P的侧壁上。存储器单元阵列MCA中的每个存储器单元可以具有1T(一个晶体管)结构。换句话说,1T结构可以包括字线16、第三半导体柱23N、第二半导体柱23P和第一半导体柱13N。第三半导体柱23N和第一半导体柱13N可以用作源极/漏极区。存储器单元阵列MCA可以是没有电容器的1T DRAM单元阵列。由于存储器单元阵列MCA不具有电容器,因此不需要刷新操作。

[0144] 在基板层叠物D20中,存储器单元阵列MCA可以接合到外围电路单元PRP。外围电路单元PRP可以包括第二基板31、形成在第二基板31上方的至少一个控制电路32、互连结构33和第二接合材料34。至少一个控制电路32可以包括晶体管。互连结构33可以包括至少一条金属线。互连结构33可以包括多层金属线(MLM)。互连结构33可以联接到控制电路32的一部分。可以在互连结构33上方形成第二接合材料34。第二接合材料34可以包括氧化硅。第一接合材料25和第二接合材料34可以是相同材料的。可以通过贯穿第二接合材料34来形成联接到互连结构33的第二接合焊盘35。第二接合焊盘35可以包括金属基材料。第一接合焊盘26和第二接合焊盘35可以由相同材料形成。第一接合材料25和第二接合材料34可以彼此接合。同样地,第一接合焊盘26和第二接合焊盘35可以彼此接合。

[0145] 参照图33,可以形成联接到外围电路单元PRP的互连结构33的通路42。可以通过形成通路孔(未给出附图标记)以贯穿第一隔离层15、第二隔离层18、第一接合材料25和第二接合材料34然后用导电材料填充该通路孔来形成通路42。通路42可以由金属基材料形成。

[0146] 随后,可以形成联接到通路42的上层导线。上层导线可以包括源极线24P和第一导线24L的层叠物。源极线24P可以包括高浓度P型掺杂剂。源极线24P可以包括高浓度P型多晶硅。源极线24P可以将相邻的第三半导体柱23N彼此联接。源极线24P和第一导线24L可以通过沉积源极线材料和导电材料然后蚀刻导电材料和源极线材料来形成。源极线24P和第一导线24L可以在与字线16交叉的方向上延伸。第一导线24L可以包括硅化钨。

[0147] 参照图24至图33,根据实施方式的另一示例的用于制造存储器装置的方法可以包括:在第一基板11上方形成包括垂直晶闸管50V、字线16和位线的存储器单元阵列MCA,在第二基板31中形成外围电路单元PRP,接合存储器单元阵列MCA和外围电路单元PRP,去除第一基板11以露出垂直晶闸管50V的一侧,以及形成联接至垂直晶闸管50V的一侧和外围电路单

元PRP的源极线24P。位线可以对应于第二导线43。

[0148] 图24至图33的存储器装置制造方法可以与图6至图23的存储器装置制造方法大致相同。然而,形成源极线24P/第一导线24L的层叠物和形成第二导线43的顺序可以彼此不同。

[0149] 根据实施方式,可以实现系统友好的存储器装置,该存储器装置通过消除电容器能够执行存储器操作而无需执行刷新操作。

[0150] 根据实施方式,通过使用垂直晶闸管并实现 $4F^2$,可以实现高集成度的存储器装置。

[0151] 根据实施方式,可以通过制造无电容器的存储器装置来简化工艺。

[0152] 虽然已经针对特定实施方式描述了本文实施方式,但是对于本领域技术人员将显而易见的是,在不脱离如所附权利要求书所限定的本公开的精神和范围的情况下,可以进行各种变型和修改。

[0153] 相关申请的交叉引用

[0154] 本申请要求于2019年7月26日提交的韩国专利申请No.10-2019-0090884的优先权,其全部内容通过引用合并于此。

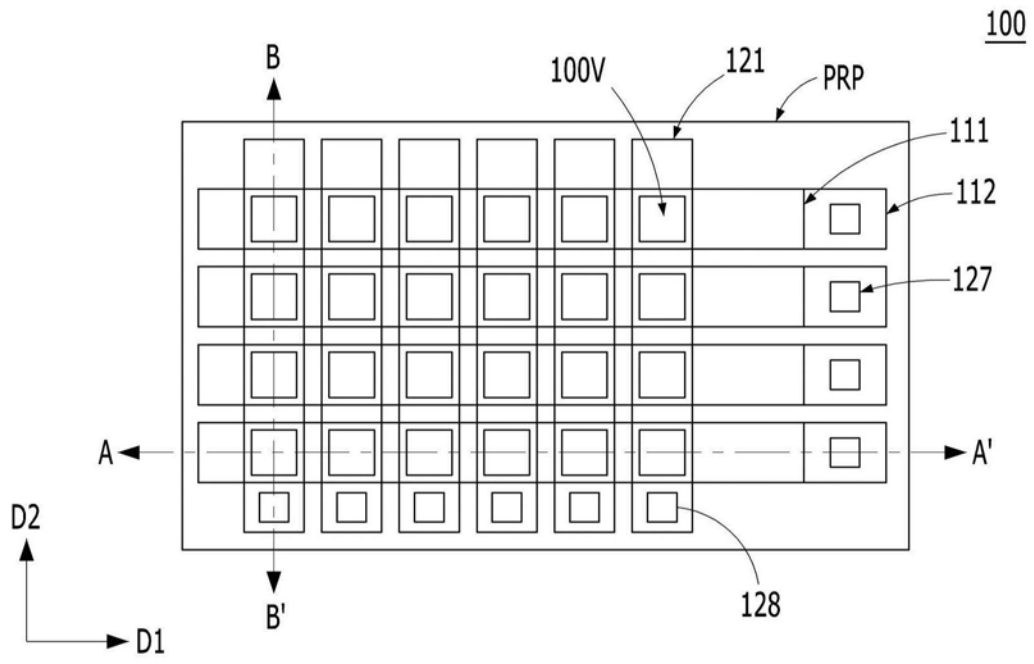


图1

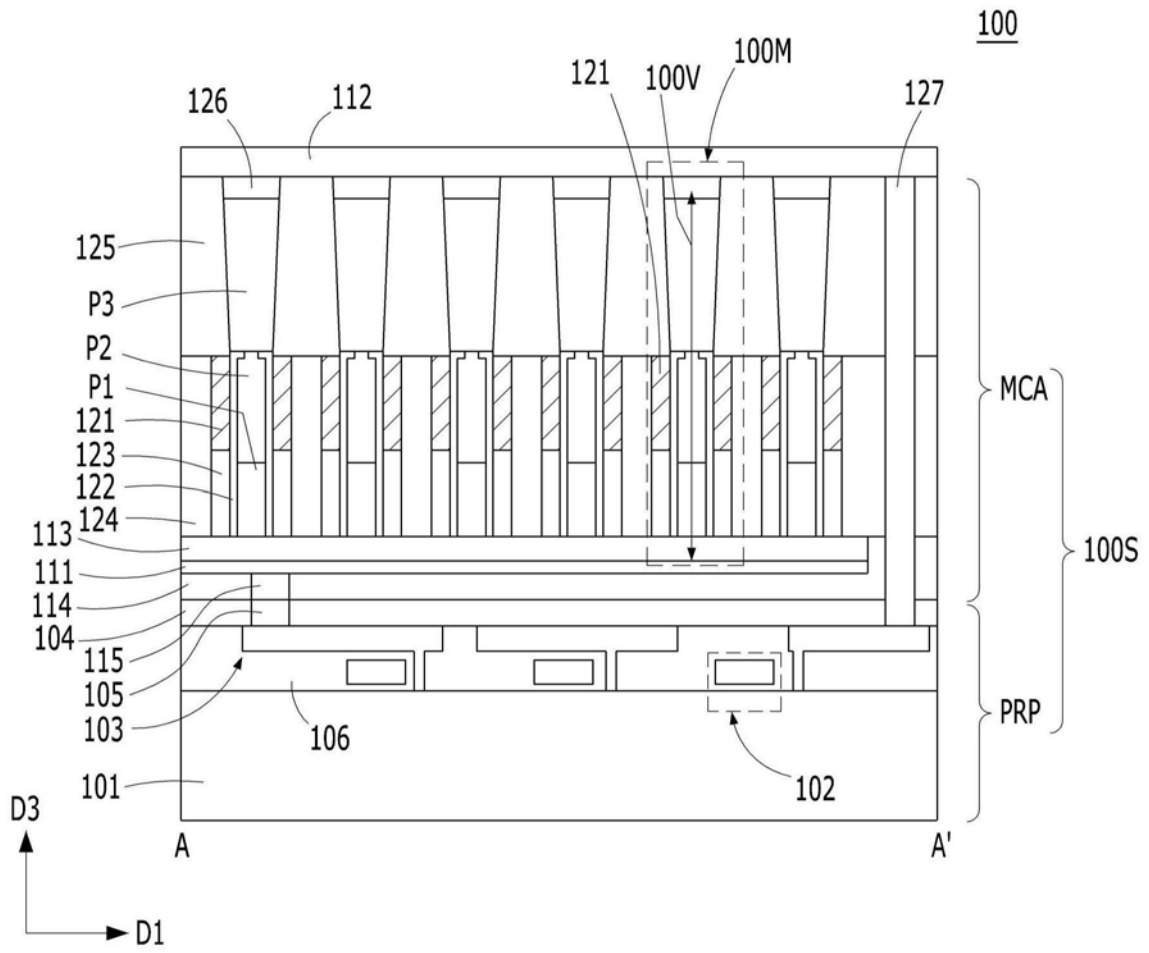


图2

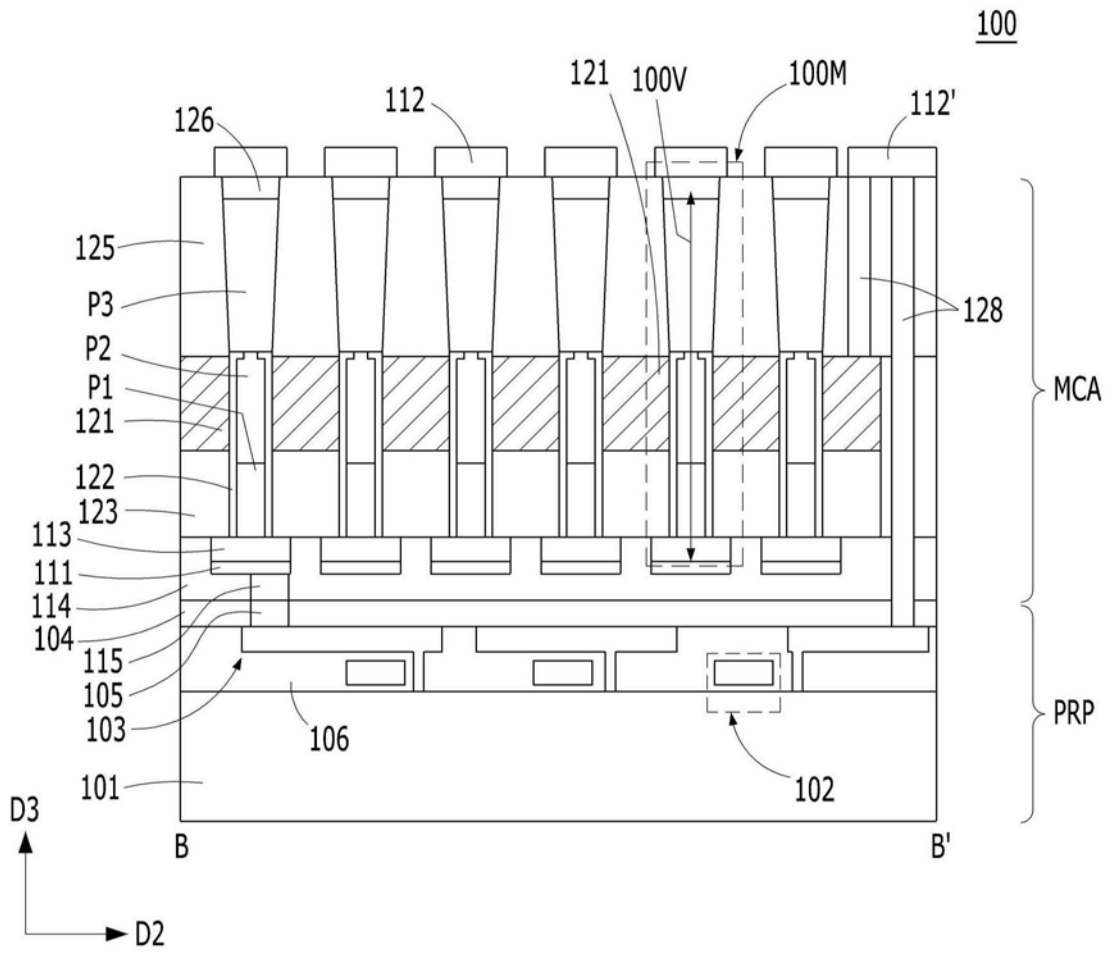


图3

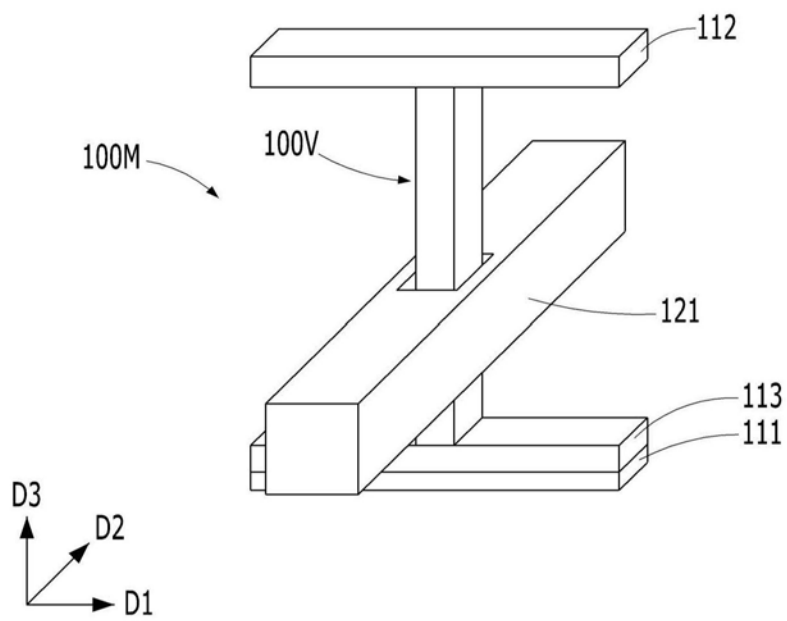


图4

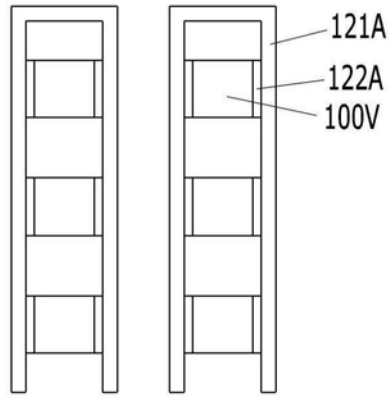


图5A

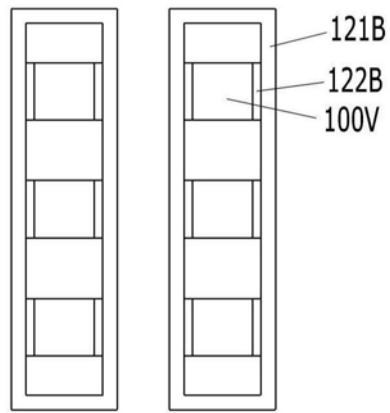


图5B

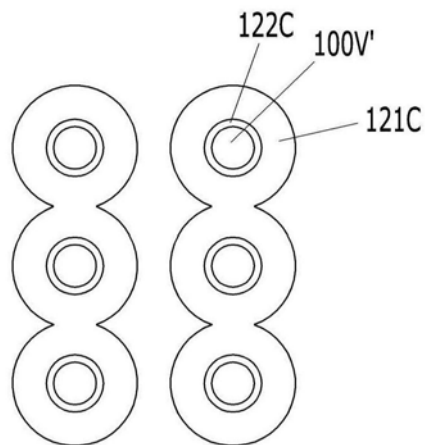


图5C

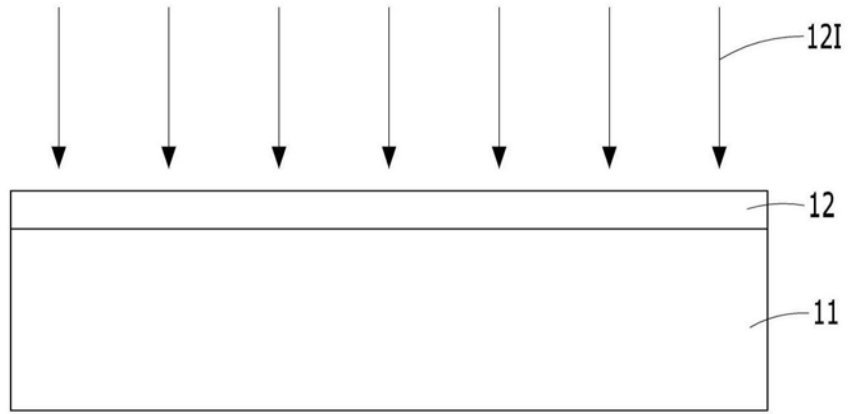


图6

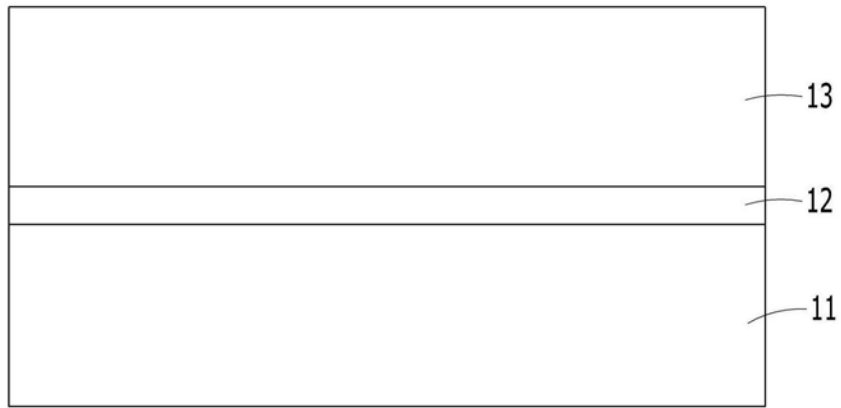


图7

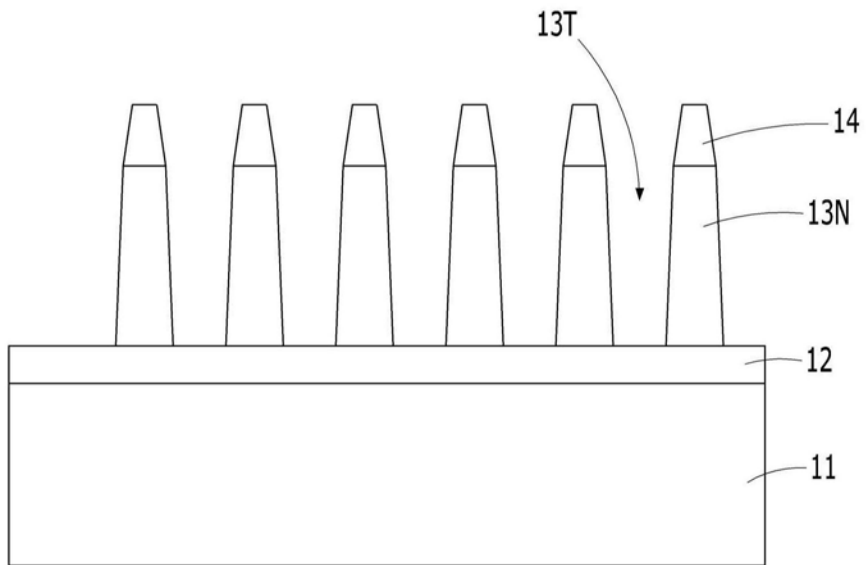


图8

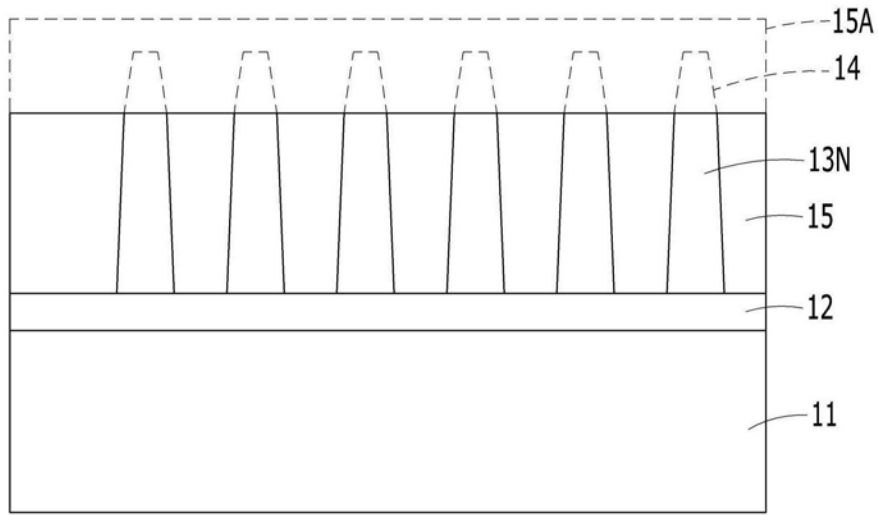


图9

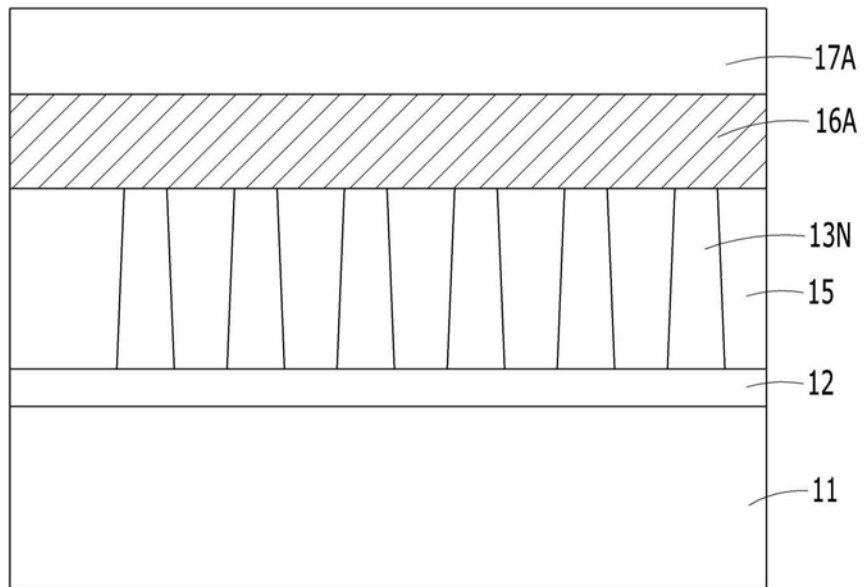


图10

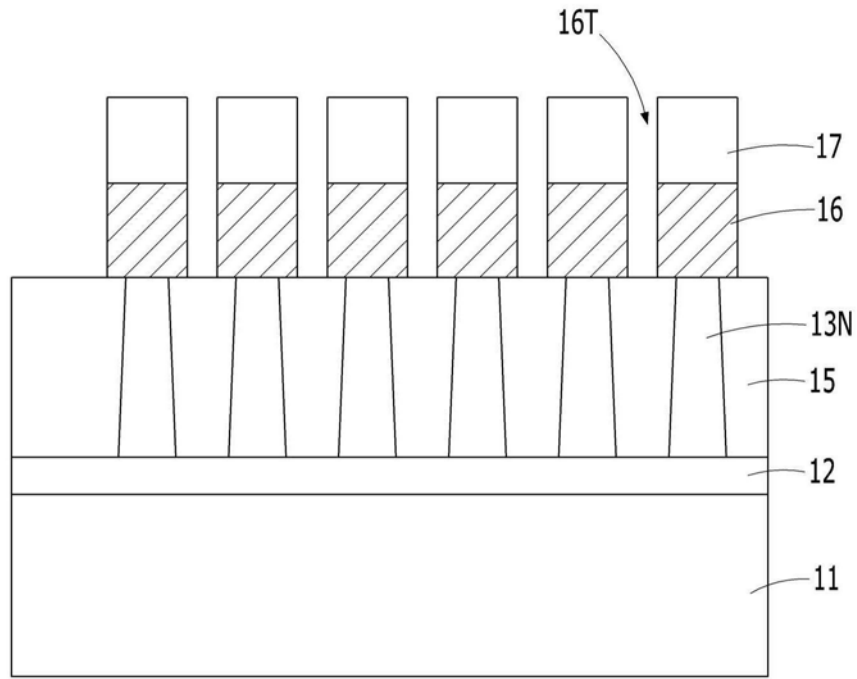


图11

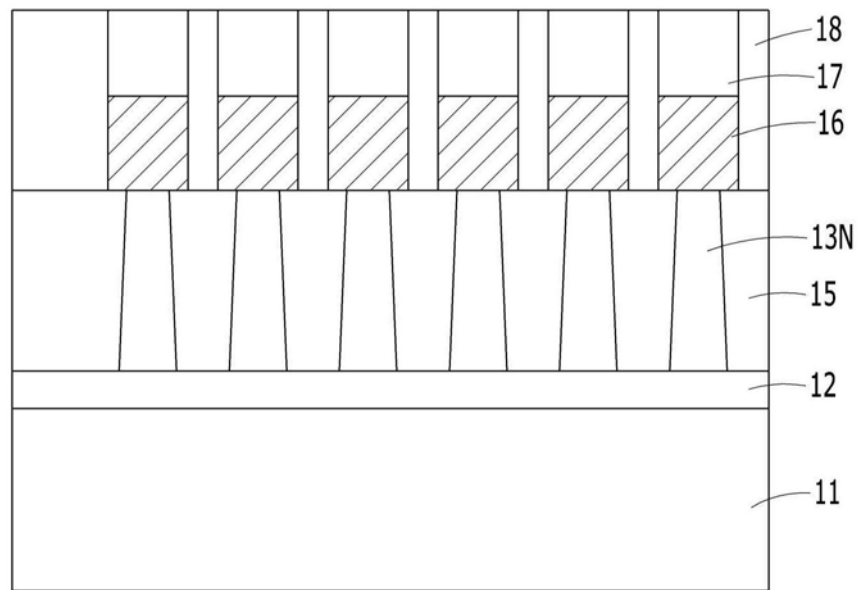


图12

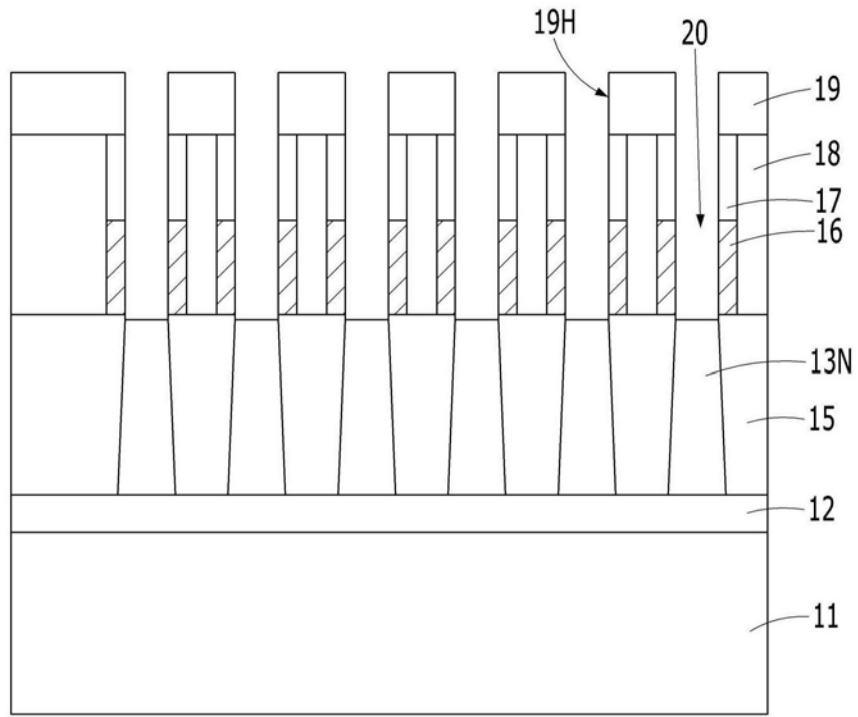


图13

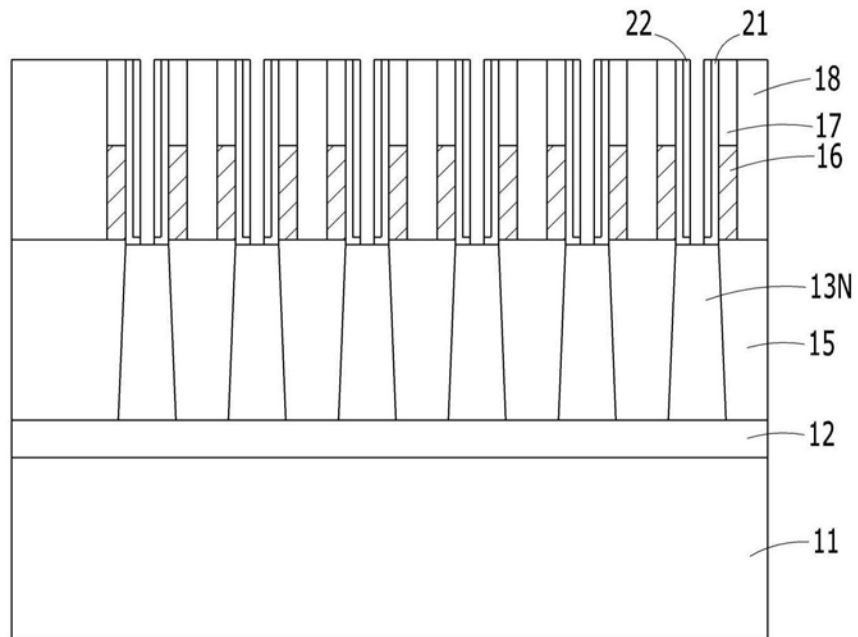


图14

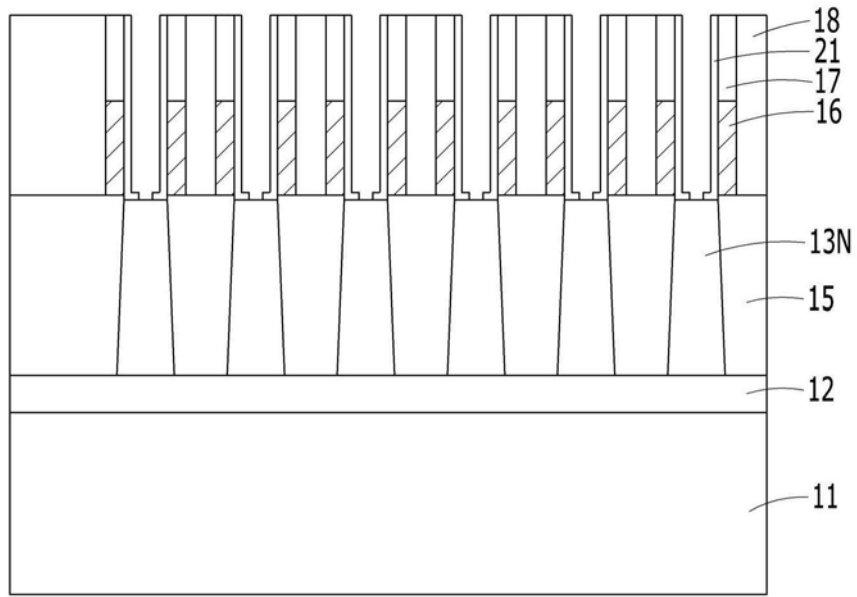


图15

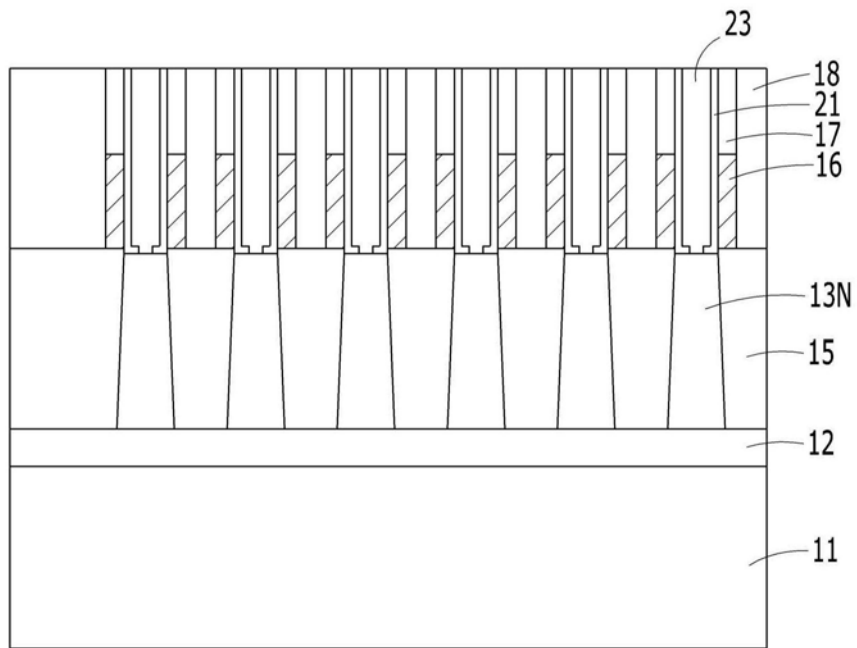


图16

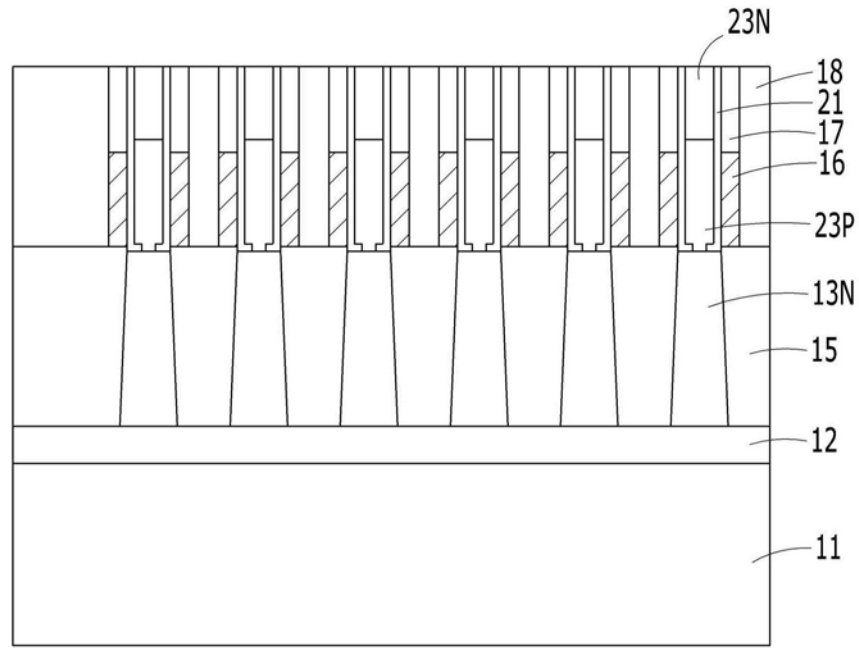


图17

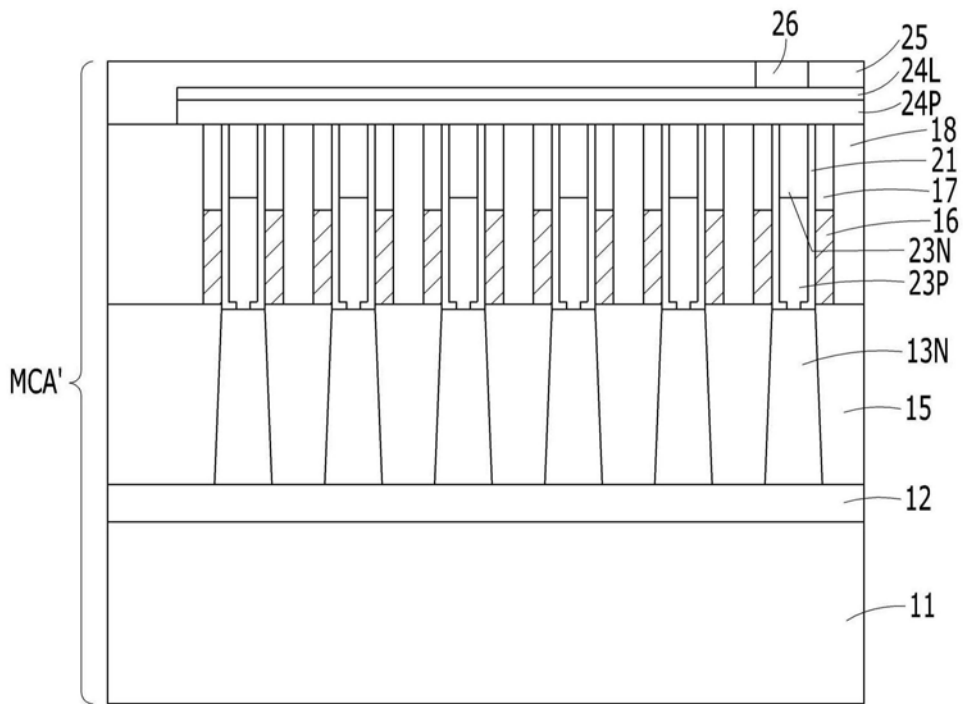


图18

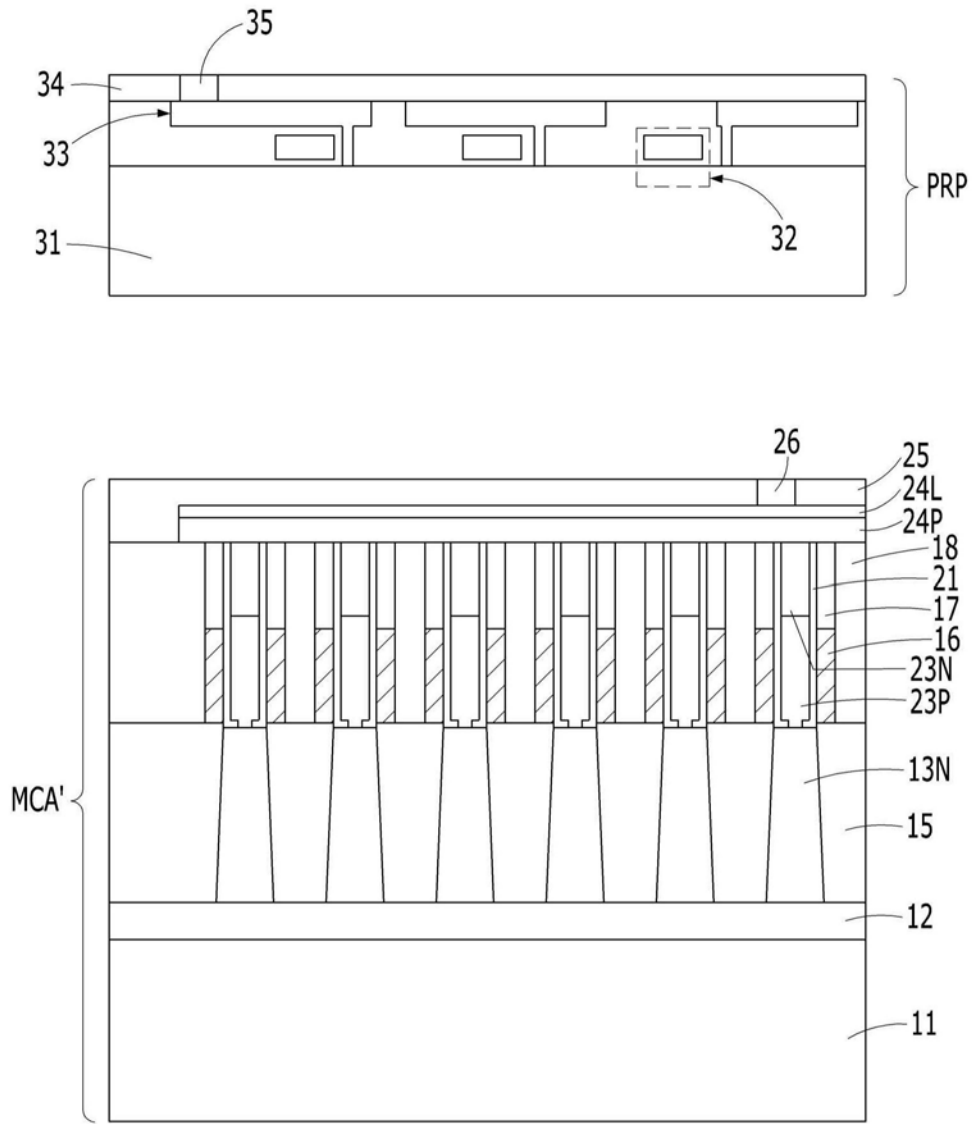


图19

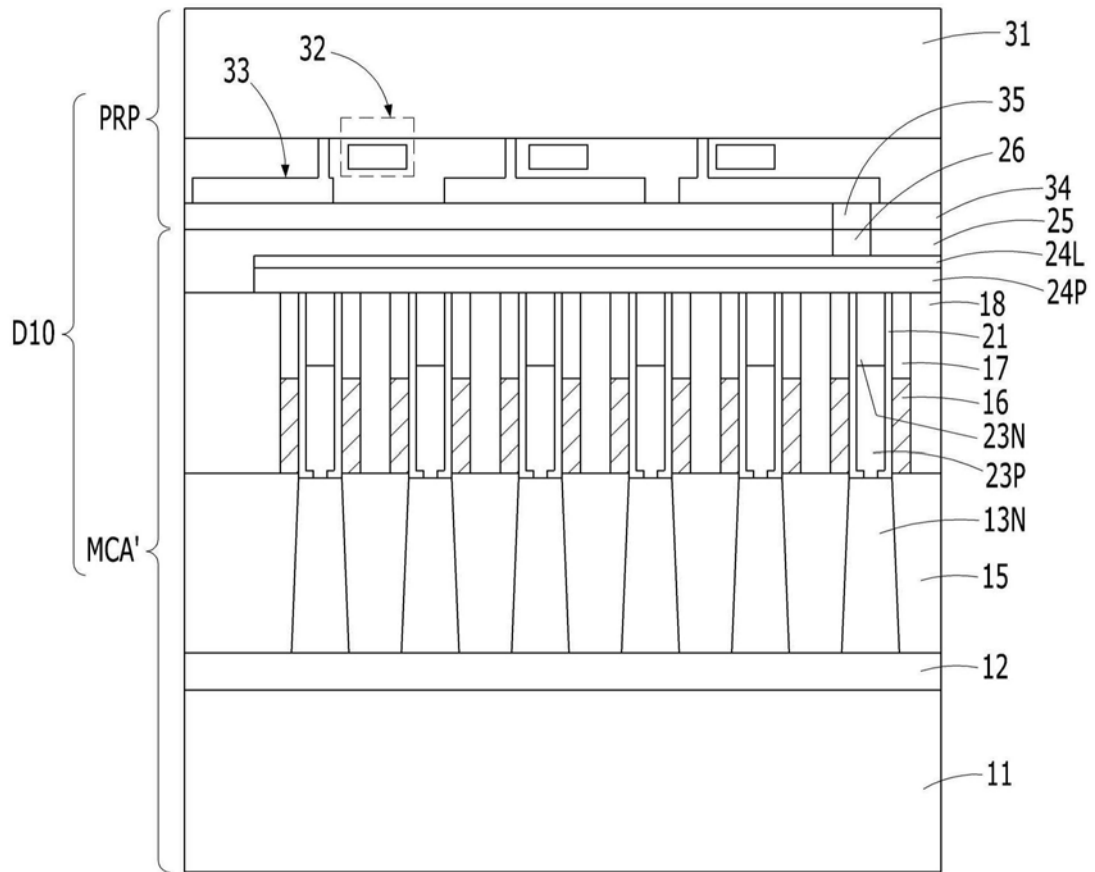


图20

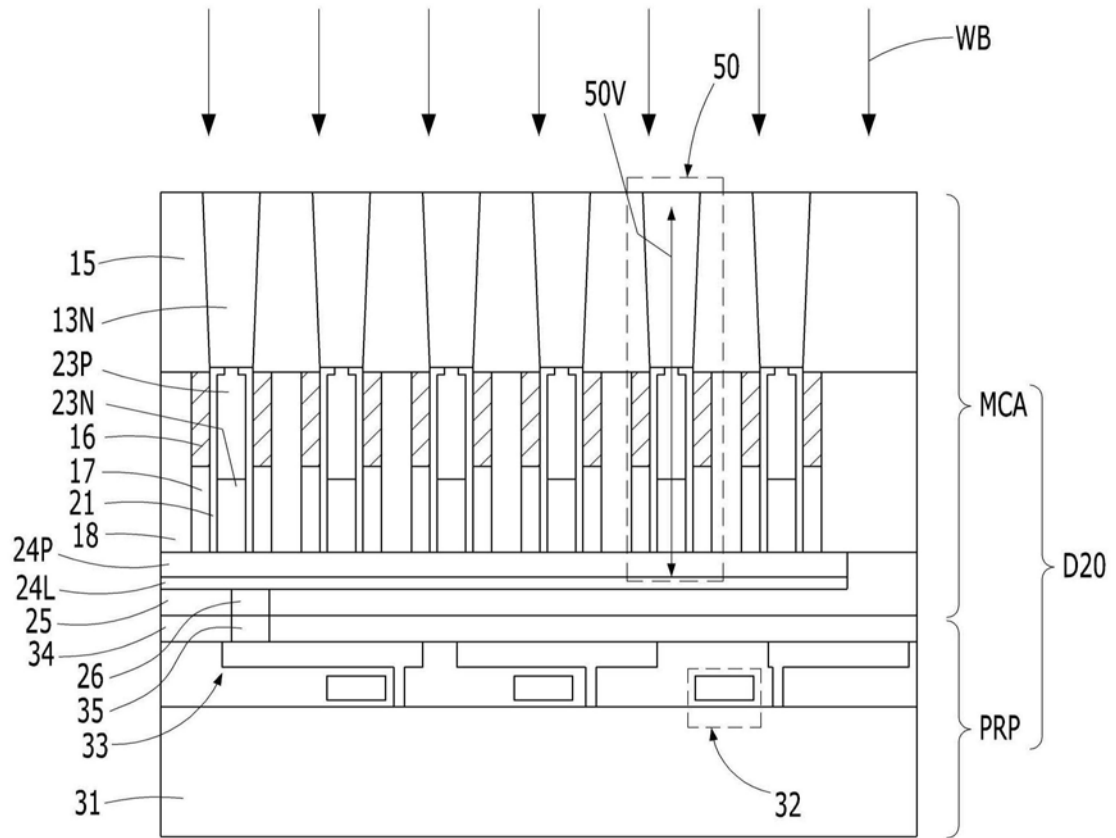


图21

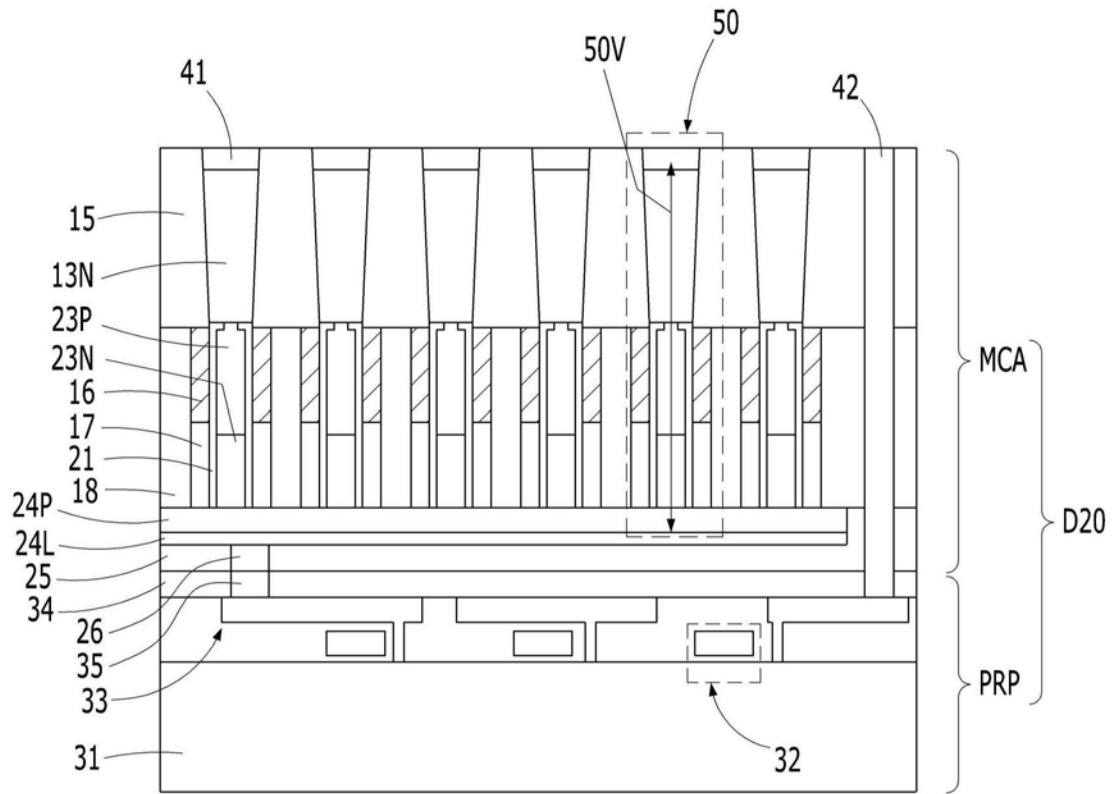


图22

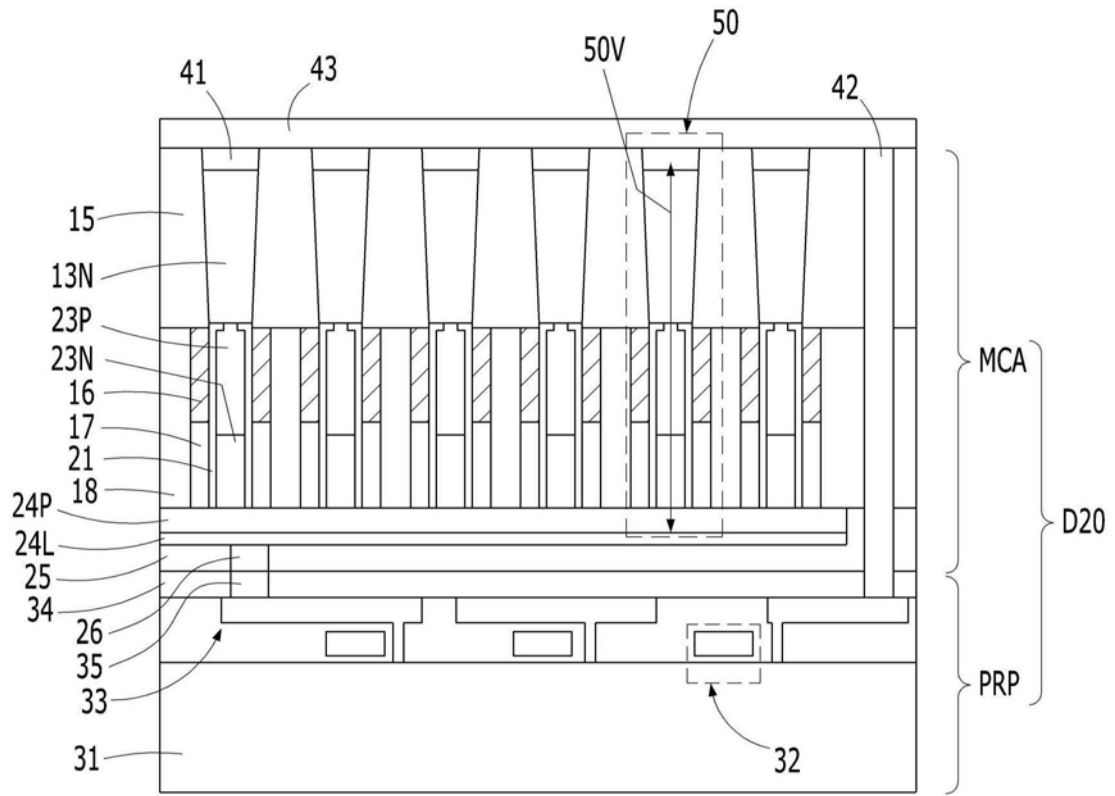


图23

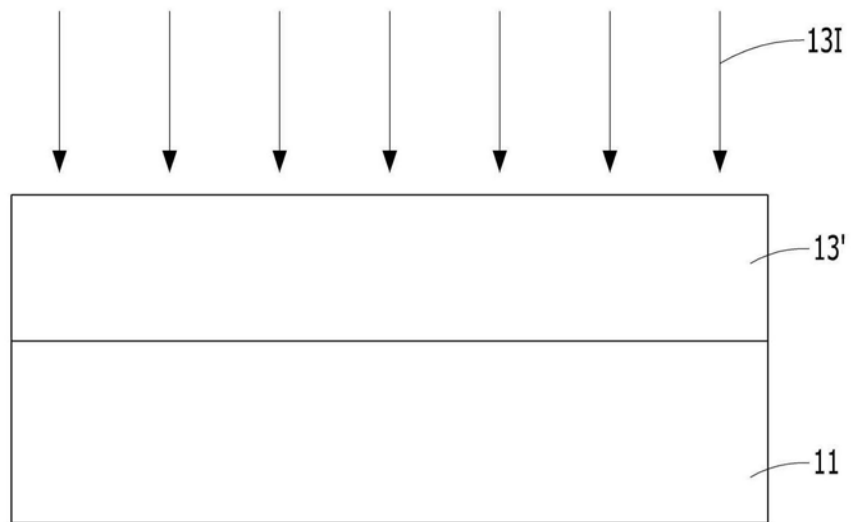


图24

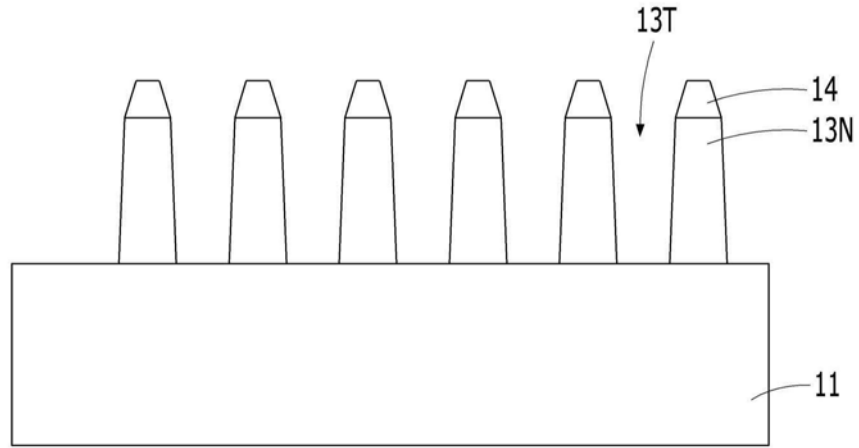


图25

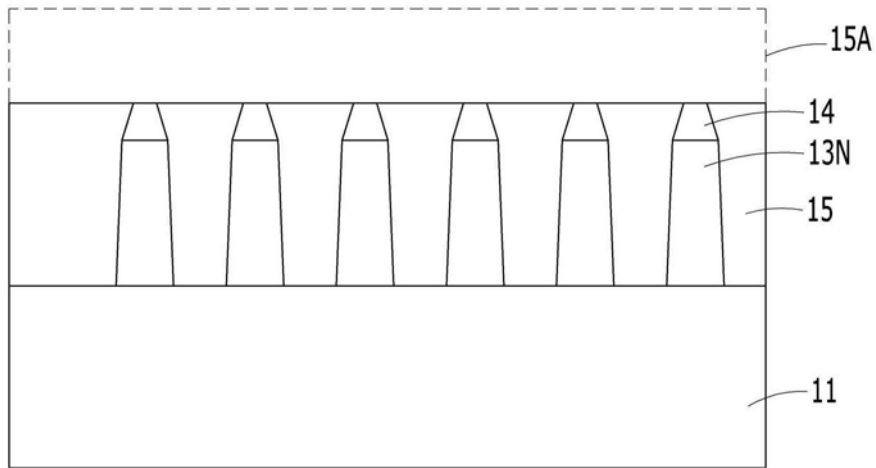


图26

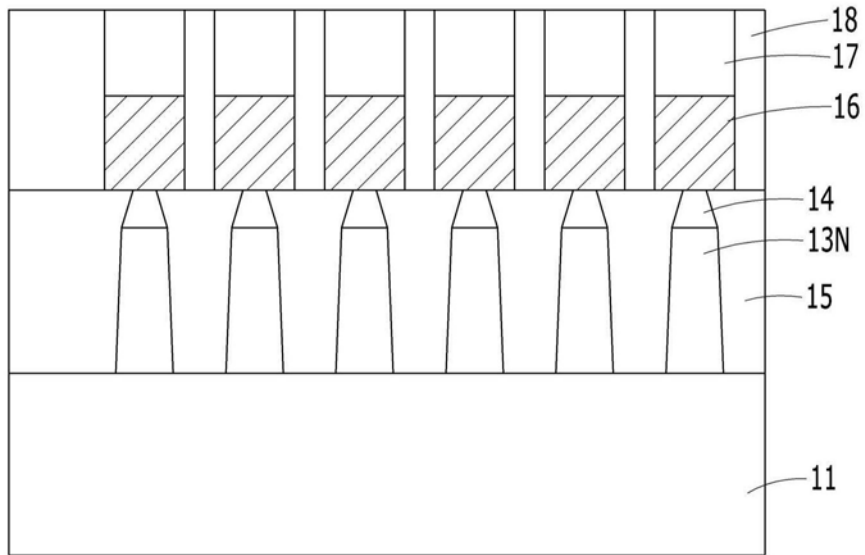


图27

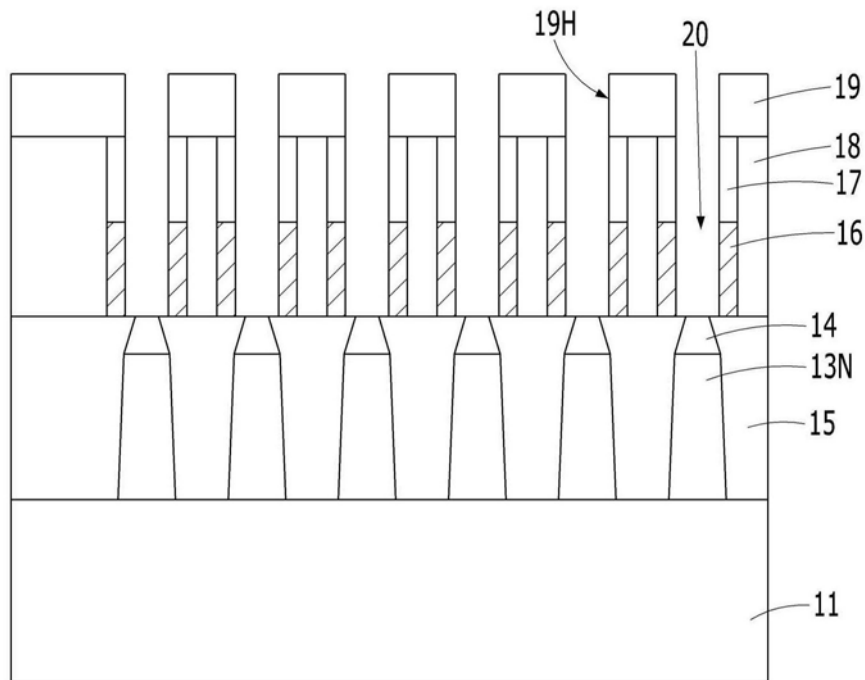


图28

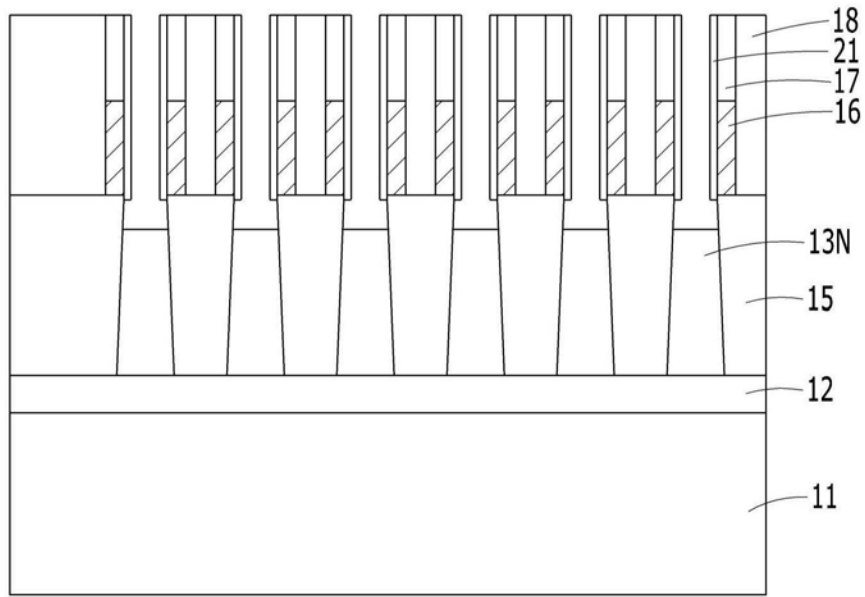


图29

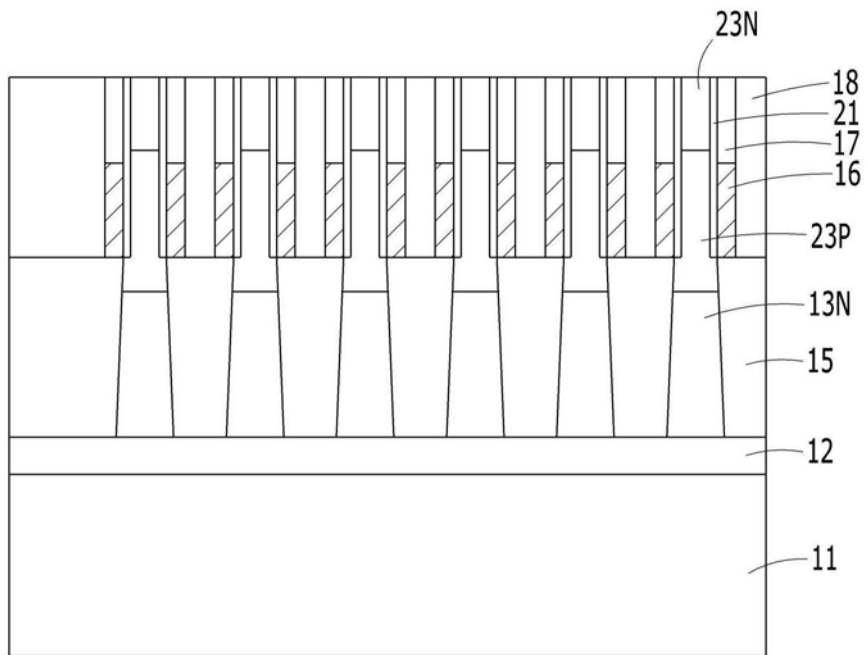


图30

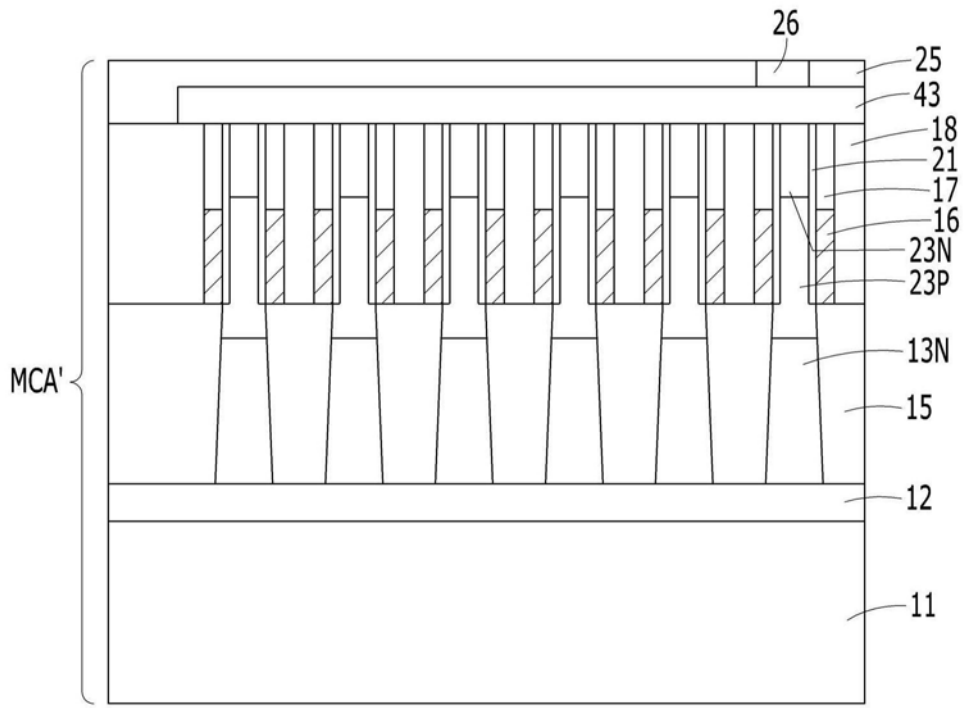


图31

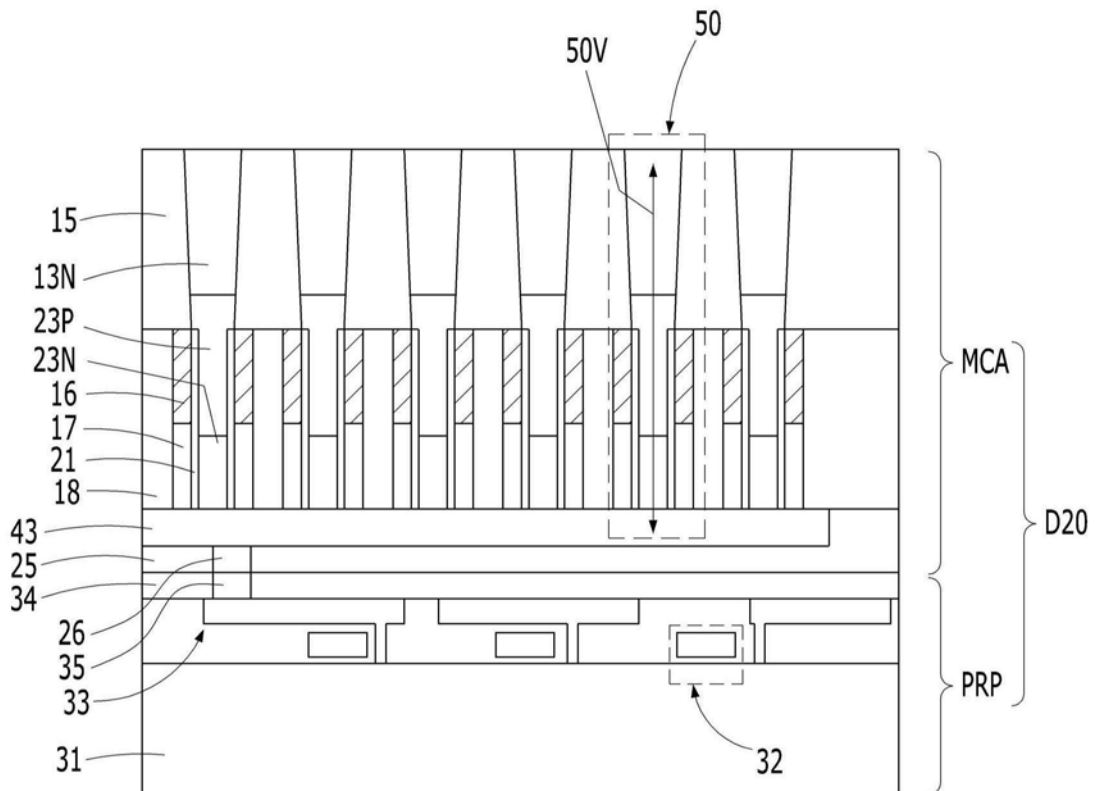


图32

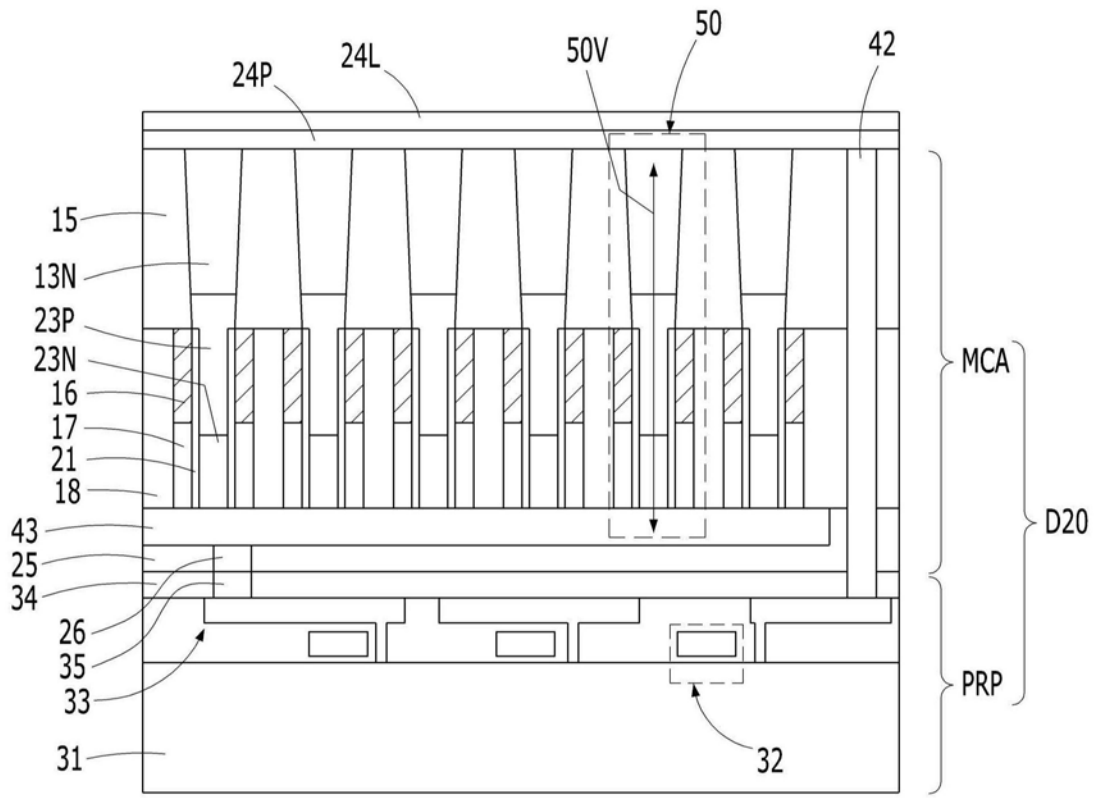


图33