

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6711100号
(P6711100)

(45) 発行日 令和2年6月17日(2020.6.17)

(24) 登録日 令和2年6月1日(2020.6.1)

(51) Int. Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 M			
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T			
HO 1 L 29/861 (2006.01)	HO 1 L 29/78	6 5 3 A			
HO 1 L 29/868 (2006.01)	HO 1 L 29/78	6 5 7 D			
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 2 J			
請求項の数 12 (全 23 頁) 最終頁に続く					

(21) 出願番号	特願2016-82390 (P2016-82390)	(73) 特許権者	000005234
(22) 出願日	平成28年4月15日 (2016.4.15)		富士電機株式会社
(65) 公開番号	特開2017-191918 (P2017-191918A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成29年10月19日 (2017.10.19)	(74) 代理人	100104190
審査請求日	平成31年3月14日 (2019.3.14)		弁理士 酒井 昭徳
		(72) 発明者	武井 学
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	山田 隆二
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		審査官	杉山 芳弘
最終頁に続く			

(54) 【発明の名称】炭化珪素半導体装置、炭化珪素半導体装置の製造方法および炭化珪素半導体装置の制御方法

(57) 【特許請求の範囲】

【請求項1】

炭化珪素基板のおもて面に設けられた第1導電型の第1半導体層と、
 前記第1半導体層の、前記炭化珪素基板側に対して反対側に設けられた第2導電型の第2半導体層と、
 前記第2半導体層の内部に選択的に設けられた、前記炭化珪素基板よりも不純物濃度の高い第1導電型の第1半導体領域と、
 前記第2半導体層の内部に選択的に設けられた、前記第2半導体層よりも不純物濃度の高い第2導電型の第2半導体領域と、
 前記第2半導体層に接触するゲート酸化膜と、
 前記ゲート酸化膜の前記第2半導体層と接触する面と反対側の表面に設けられたゲート電極と、
 前記第1半導体領域と接触する第1電極と、
 前記第2半導体領域と接触し、前記第1電極と分離されている第2電極と、
 前記炭化珪素基板の裏面に設けられた第3電極と、
 を備え、
 前記第2電極は、電気抵抗を介して前記第1電極に接続されていることを特徴とする炭化珪素半導体装置。

【請求項2】

炭化珪素基板のおもて面に設けられた第1導電型の第1半導体層と、

前記第1半導体層の、前記炭化珪素基板側に対して反対側に設けられた第2導電型の第2半導体層と、

前記第2半導体層の内部に選択的に設けられた、前記炭化珪素基板よりも不純物濃度の高い第1導電型の第1半導体領域と、

前記第2半導体層の内部に選択的に設けられた、前記第2半導体層よりも不純物濃度の高い第2導電型の第2半導体領域と、

前記第2半導体層に接触するゲート酸化膜と、

前記ゲート酸化膜の前記第2半導体層と接触する面と反対側の表面に設けられたゲート電極と、

前記第1半導体領域と接触する第1電極と、

前記第2半導体領域と接触し、前記第1電極と分離されている第2電極と、

前記炭化珪素基板の裏面に設けられた第3電極と、

を備え、

前記第2電極は、電気抵抗およびダイオードを介して前記第1電極に接続され、前記ダイオードは、前記第1電極とカソードで接続され、前記第2電極とアノードで接続されていることを特徴とする炭化珪素半導体装置。

【請求項3】

前記第2半導体層を貫通するトレンチをさらに備え、

前記ゲート電極は、前記トレンチの内部に前記ゲート酸化膜を介して設けられていることを特徴とする請求項1または2に記載の炭化珪素半導体装置。

【請求項4】

前記電気抵抗は、前記炭化珪素半導体装置上に成膜されたポリシリコンにより形成されていることを特徴とする請求項1に記載の炭化珪素半導体装置。

【請求項5】

前記電気抵抗および前記ダイオードは、前記炭化珪素半導体装置上に成膜されたポリシリコンにより形成されていることを特徴とする請求項2に記載の炭化珪素半導体装置。

【請求項6】

炭化珪素基板のおもて面に第1導電型の第1半導体層を形成する工程と、

前記第1半導体層の、前記炭化珪素基板側に対して反対側に第2導電型の第2半導体層を形成する工程と、

前記第2半導体層の内部に、前記炭化珪素基板よりも不純物濃度の高い第1導電型の第1半導体領域を選択的に形成する工程と、

前記第2半導体層の内部に、前記第2半導体層よりも不純物濃度の高い第2導電型の第2半導体領域を選択的に形成する工程と、

前記第2半導体層に接触するゲート酸化膜を形成する工程と、

前記ゲート酸化膜の前記第2半導体層と接触する面と反対側の表面にゲート電極を形成する工程と、

前記第1半導体領域と接触する第1電極を形成する工程と、

前記第2半導体領域と接触し、前記第1電極と分離されている第2電極を形成する工程と、

前記炭化珪素基板の裏面に第3電極を形成する工程と、

前記第2電極を、電気抵抗を介して前記第1電極に接続する工程と、

を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項7】

炭化珪素基板のおもて面に第1導電型の第1半導体層を形成する工程と、

前記第1半導体層の、前記炭化珪素基板側に対して反対側に第2導電型の第2半導体層を形成する工程と、

前記第2半導体層の内部に、前記炭化珪素基板よりも不純物濃度の高い第1導電型の第1半導体領域を選択的に形成する工程と、

前記第2半導体層の内部に、前記第2半導体層よりも不純物濃度の高い第2導電型の第

10

20

30

40

50

2 半導体領域を選択的に形成する工程と、

前記第 2 半導体層に接触するゲート酸化膜を形成する工程と、

前記ゲート酸化膜の前記第 2 半導体層と接触する面と反対側の表面にゲート電極を形成する工程と、

前記第 1 半導体領域と接触する第 1 電極を形成する工程と、

前記第 2 半導体領域と接触し、前記第 1 電極と分離されている第 2 電極を形成する工程と、

前記炭化珪素基板の裏面に第 3 電極を形成する工程と、

前記第 2 電極を、電気抵抗およびダイオードを介して前記第 1 電極に接続し、前記ダイオードを、前記第 1 電極とカソードで接続し、前記第 2 電極とアノードで接続する工程と

10

を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項 8】

炭化珪素基板のおもて面に設けられた第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の、前記炭化珪素基板側に対して反対側に設けられた第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の内部に選択的に設けられた、前記炭化珪素基板よりも不純物濃度の高い第 1 導電型の第 1 半導体領域と、

前記第 2 半導体層の内部に選択的に設けられた、前記第 2 半導体層よりも不純物濃度の高い第 2 導電型の第 2 半導体領域と、

20

前記第 2 半導体層に接触するゲート酸化膜と、

前記ゲート酸化膜の前記第 2 半導体層と接触する面と反対側の表面に設けられたゲート電極と、

前記第 1 半導体領域と接触する第 1 電極と、

前記第 2 半導体領域と接触し、前記第 1 電極と分離されている第 2 電極と、

前記炭化珪素基板の裏面に設けられた第 3 電極と、

を備える炭化珪素半導体装置に対して、

前記第 1 電極および前記第 2 電極から前記第 3 電極に向かって電流が流れる際に、前記第 2 電極に流れる電流値を計測し、

前記計測した電流値に基づいて、前記ゲート電極に印加する電圧を設定することで、前記第 1 電極に流れる電流と前記第 2 電極に流れる電流との比率を調整する

30

処理を実行することを特徴とする炭化珪素半導体装置の制御方法。

【請求項 9】

前記計測する処理は、前記第 2 電極に流れる電流の瞬時値を計測することを特徴とする請求項 8 に記載の炭化珪素半導体装置の制御方法。

【請求項 10】

前記計測する処理は、前記第 2 電極に流れる電流の所定時間の平均値を計測することを特徴とする請求項 8 に記載の炭化珪素半導体装置の制御方法。

【請求項 11】

前記炭化珪素半導体装置の温度を計測する処理をさらに含み、

前記比率を調整する処理は、前記計測した電流値および温度に基づいて、前記ゲート電極に印加する電圧を設定することを特徴とする請求項 8 ~ 10 のいずれか一つに記載の炭化珪素半導体装置の制御方法。

40

【請求項 12】

前記第 1 電極および前記第 2 電極から前記第 3 電極に向かって電流が流れる際に、前記第 2 電極に流れる電流を所定の値以下に調整することで、前記炭化珪素半導体装置内の結晶欠陥を縮小させることを特徴とする請求項 8 ~ 11 のいずれか一つに記載の炭化珪素半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

この発明は、炭化珪素半導体装置、炭化珪素半導体装置の製造方法および炭化珪素半導体装置の制御方法に関する。

【背景技術】

【0002】

炭化珪素(SiC)は、シリコン(Si)に代わる次世代の半導体材料として期待されている。炭化珪素を半導体材料に用いた半導体素子(以下、炭化珪素半導体装置とする)は、シリコンを半導体材料に用いた従来の半導体素子と比較して、オン状態における素子の抵抗を数百分の1に低減可能であることや、より高温(200以上)の環境下で使用可能なこと等、様々な利点がある。これは、炭化珪素のバンドギャップがシリコンに対し

10

【0003】

炭化珪素半導体装置としては、現在までに、ショットキーバリアダイオード(SBD: Schottky Barrier Diode)、プレーナゲート構造やトレンチゲート構造の縦型MOSFET(Metal Oxide Semiconductor Field Effect Transistor: 絶縁ゲート型電界効果トランジスタ)が製品化されている。

【0004】

従来の炭化珪素半導体装置の構造について、トレンチゲート構造の縦型MOSFETを例に説明する。図18は、従来の炭化珪素半導体装置の構造を示す断面図である。図18に示す従来の炭化珪素半導体装置は、炭化珪素からなる半導体基体(以下、炭化珪素基体とする)100のおもて面(p⁺型ベース領域3側の面)側に一般的なトレンチゲート構造のMOSゲートを備える。炭化珪素基体(半導体チップ)100は、炭化珪素からなるn⁺型支持基板(以下、n⁺型炭化珪素基板とする)1上にn型ドリフト層2、n⁺型領域5およびp型ベース層6となる各炭化珪素層を順にエピタキシャル成長させてなる。

20

【0005】

n⁺型領域5には、トレンチ18の底面全体を覆うように第1p⁺型領域3が選択的に設けられている。また、n⁺型領域5には、隣り合うトレンチ18間(メサ部)に、第2p⁺型領域4が選択的に設けられている。第2p⁺型領域4は、p型ベース層6に接し、第1p⁺型領域3と同じ深さで設けられている。符号7, 8, 9, 10, 11, 14, 17は、それぞれn⁺⁺型ソース領域、p⁺⁺型コンタクト領域、ゲート酸化膜、ゲート電極、層間絶縁膜、ソース電極およびドレイン電極である。

30

【0006】

トレンチゲート構造のような縦型MOSFETは、ソース-ドレイン間にボディダイオードとしてp型ベース層6とn型ドリフト層2とで形成される寄生pnダイオードを内蔵する。このため、インバータに用いる還流ダイオード(FWD: Free Wheeling Diode)を省略することができ、低コスト化および小型化に貢献する。

【0007】

図19は、従来の炭化珪素MOSFETを用いたインバータ回路の一例を示す。インバータ回路1900は、複数のMOSFET1901を備え、モータ等の負荷1903を駆動するための回路である。図19において、ダイオード1902はMOSFET1901の寄生pnダイオード1902を示す。これ以降、半導体素子の寄生pnダイオードを内蔵ダイオードと称する。図19では、インバータ回路の1相分、つまり直列に接続されたMOSFET1901の1つのセットのみを示している。ここで、インバータ回路1900において、負荷1903より上側(GNDと反対側)の回路を上アームと称し、負荷1903より下側(GND側)の回路を下アームと称する。

40

【0008】

図19に示すインバータ回路1900において、下アームが還流モードである時、つまり、上アームのMOSFET1901のゲートがオフである時、上アームのMOSFET

50

1901に負荷1903のインダクタンス成分の主電流（負荷電流）が流れ続けるため、下アームのMOSFET1901の内蔵ダイオード1902に還流電流が流れる。このときに、下アームのMOSFET1901のゲートをオンにすると、MOSチャネルを通じて電流が流れるようになり、還流電流は内蔵ダイオード1902ではなくMOSFET1901のチャネル（以降、MOSチャネルと略する）を通じて流れるようになる。このようなゲート制御方式を同期整流と呼ぶ。

【0009】

次に、電流がMOSチャネルを流れるモード（同期整流モード）から、内蔵ダイオード1902に流れるモード（バイポーラモード）への遷移を詳細に説明する。図20は、従来の炭化珪素半導体装置の同期整流モードでの電流経路を示す断面図である。MOSFET1901のゲート電極10に、例えば、+15Vといった固定の正電圧が印加されると、MOSFETのチャネルがオンになる。この場合、図20に示すように、還流電流の100%が、p型ベース層6、n⁺型領域5、n型ドリフト層2を經由して流れる。このため、電流成分のすべてが電子電流であり、MOSFET1901はユニポーラ動作となる。図20において、GNDは、ソース電極が接地され、+15Vは、ゲート電極に+15Vの正電圧が印加され、負バイアスは、ドレイン電極に負電圧が印加されること示す。

10

【0010】

図21は、従来の炭化珪素半導体装置の中間モードでの電流経路を示す断面図である。MOSFET1901のゲート電極10に印加したゲート電圧を下げて行くとチャネルの抵抗が上昇するためにソース-ドレイン間電圧が上昇する。そして、MOSFET1901の内蔵ダイオードのpn接合が十分にバイアスされるようになる。このため、図21に示すように、MOSFET1901のチャネルを流れる電流に加えて、p⁺⁺型コンタクト領域8、p型ベース層6、p⁺型領域4、n⁺型領域5、n型ドリフト層2を經由して、内蔵ダイオードにバイポーラ電流が流れ始める。

20

【0011】

図22は、従来の炭化珪素半導体装置のバイポーラモードでの電流経路を示す断面図である。MOSFET1901のゲート電極10に印加したゲート電圧が閾値電圧を下回ると、MOSFET1901のチャネルに電流が流れなくなる。このため、図22に示すように、還流電流の100%が内蔵ダイオードのバイポーラ電流となる。

【0012】

このような、インバータ回路において、半導体装置のゲート電圧が閾値電圧以下の場合、ドレイン-ソース間電圧を内蔵ダイオードの立ち上がり電圧以下とすることで、半導体装置にユニポーラ電流を流し、結晶欠陥の発生を抑制する技術が公知である（例えば、特許文献1参照）。

30

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2012-104856号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0014】

インバータ回路において、下アームのMOSFETのゲートをオンにするタイミングは、上アームのMOSFETのゲートをオンにするタイミングより、数μ秒遅らせる必要がある。もし、上アームと下アームのMOSFETのゲートが同時にオン状態になってしまうと、両方のMOSFETを經由した貫通電流が流れてしまい、大きな損失が発生すると共に、デバイスが破壊する可能性があるためである。これを確実に防ぐために、両方のMOSFETが同時にオフ状態にある期間（デッドタイム）が数μ秒設けられている。

【0015】

デッドタイム期間中に流れる電流は、内蔵ダイオードを流れる電流であり、p⁺⁺型コンタクト領域からホールが注入される。従って、ドリフト層または炭化珪素基板中で電子お

50

よびホールの再結合が発生し、このときに発生するバンドギャップ相当の再結合エネルギー（ $3 e V$ ）により、炭化珪素基板に存在する結晶欠陥の一種である基底面転位が移動し、2つの基底面転位に挟まれる積層欠陥が拡張する。

【0016】

積層欠陥が拡張すると、積層欠陥は電流を流しにくいいため、MOSFETのオン抵抗および内蔵ダイオードの順方向電圧が上昇する。このような動作が継続すると積層欠陥は累積的に拡張するため、インバータ回路に発生する損失は経時的に増加し、発熱量も大きくなるため、装置故障の原因となる。この問題を防ぐためにMOSFETと並列にSiC-SBDを接続し、還流電流がMOSFETの内蔵ダイオードに流れないように対策することができる。しかしながら、これは必要チップ数の増加や半導体装置のコスト上昇の一因となる。

10

【0017】

この発明は、上述した従来技術による問題点を解消するため、炭化珪素半導体装置の内蔵ダイオードの導通により積層欠陥が拡張し、炭化珪素半導体装置のオン抵抗が上昇することを防止する炭化珪素半導体装置、炭化珪素半導体装置の製造方法および炭化珪素半導体装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0018】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置は、次の特徴を有する。第1導電型の第1半導体層が炭化珪素基板のおもて面に設けられる。第2導電型の第2半導体層が、前記第1半導体層の、前記炭化珪素基板側に対して反対側に設けられる。前記炭化珪素基板よりも不純物濃度の高い第1導電型の第1半導体領域が、前記第2半導体層の内部に選択的に設けられる。前記第2半導体層よりも不純物濃度の高い第2導電型の第2半導体領域が、前記第2半導体層の内部に選択的に設けられる。ゲート酸化膜が、前記第2半導体層に接触し、ゲート電極が前記ゲート酸化膜の前記第2半導体層と接触する面と反対側の表面に設けられる。第1電極が、前記第1半導体領域と接触し、前記第1電極と分離されている第2電極が、前記第2半導体領域と接触する。第3電極が、前記炭化珪素基板の裏面に設けられる。前記第2電極は、電気抵抗を介して前記第1電極に接続されている。また、前記第2電極は、電気抵抗およびダイオードを介して前記第1電極に接続され、前記ダイオードは、前記第1電極とカソードで接続され、前記第2電極とアノードで接続されている。

20

30

【0019】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第2半導体層を貫通するトレンチをさらに備え、前記ゲート電極は、前記トレンチの内部に前記ゲート酸化膜を介して設けられていることを特徴とする。

【0020】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記電気抵抗は、前記炭化珪素半導体装置上に成膜されたポリシリコンにより形成されていることを特徴とする。

【0022】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記電気抵抗および前記ダイオードは、前記炭化珪素半導体装置上に成膜されたポリシリコンにより形成されていることを特徴とする。

40

【0023】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置の製造方法は、次の特徴を有する。まず、炭化珪素基板のおもて面に第1導電型の第1半導体層を形成する工程を行う。次に、前記第1半導体層の、前記炭化珪素基板側に対して反対側に第2導電型の第2半導体層を形成する工程を行う。次に、前記第2半導体層の内部に、前記炭化珪素基板よりも不純物濃度の高い第1導電型の第1半導体領域を選択的に形成する工程を行う。次に、前記第2半導体層の内部に、前記第2半導体層

50

よりも不純物濃度の高い第2導電型の第2半導体領域を選択的に形成する工程を行う。次に、前記第2半導体層に接触するゲート酸化膜を形成する工程を行う。次に、前記ゲート酸化膜の前記第2半導体層と接触する面と反対側の表面にゲート電極を形成する工程を行う。次に、前記第1半導体領域と接触する第1電極を形成する工程を行う。次に、前記第2半導体領域と接触し、前記第1電極と分離されている第2電極を形成する工程を行う。次に、前記炭化珪素基板の裏面に第3電極を形成する工程を行う。次に、前記第2電極を、電気抵抗を介して前記第1電極に接続する工程を行う。上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置の製造方法は、次の特徴を有する。まず、炭化珪素基板のおもて面に第1導電型の第1半導体層を形成する工程を行う。次に、前記第1半導体層の、前記炭化珪素基板側に対して反対側に第2導電型の第2半導体層を形成する工程を行う。次に、前記第2半導体層の内部に、前記炭化珪素基板よりも不純物濃度の高い第1導電型の第1半導体領域を選択的に形成する工程を行う。次に、前記第2半導体層の内部に、前記第2半導体層よりも不純物濃度の高い第2導電型の第2半導体領域を選択的に形成する工程を行う。次に、前記第2半導体層に接触するゲート酸化膜を形成する工程を行う。次に、前記ゲート酸化膜の前記第2半導体層と接触する面と反対側の表面にゲート電極を形成する工程を行う。次に、前記第1半導体領域と接触する第1電極を形成する工程を行う。次に、前記第2半導体領域と接触し、前記第1電極と分離されている第2電極を形成する工程を行う。次に、前記炭化珪素基板の裏面に第3電極を形成する工程を行う。次に、前記第2電極を、電気抵抗およびダイオードを介して前記第1電極に接続し、前記ダイオードを、前記第1電極とカソードで接続し、前記第2電極とアノードで接続する工程を行う。

10

20

【0024】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置の制御方法は、次の特徴を有する。まず、上述した炭化珪素半導体装置に対して、前記第1電極および前記第2電極から前記第3電極に向かって電流が流れる際に、前記第2電極に流れる電流値を計測する処理を実行する。次に、前記計測した電流値に基づいて、前記ゲート電極に印加する電圧を設定することで、前記第1電極に流れる電流と前記第2電極に流れる電流との比率を調整する処理を実行する。

【0025】

また、この発明にかかる炭化珪素半導体装置の制御方法は、上述した発明において、前記計測する処理は、前記第2電極に流れる電流の瞬時値を計測することを特徴とする。

30

【0026】

また、この発明にかかる炭化珪素半導体装置の制御方法は、上述した発明において、前記計測する処理は、前記第2電極に流れる電流の所定時間の平均値を計測することを特徴とする。

【0027】

また、この発明にかかる炭化珪素半導体装置の制御方法は、上述した発明において、前記炭化珪素半導体装置の温度を計測する処理をさらに含み、前記比率を調整する処理は、前記計測した電流値および温度に基づいて、前記ゲート電極に印加する電圧を設定することを特徴とする。

40

【0028】

また、この発明にかかる炭化珪素半導体装置の制御方法は、上述した発明において、前記第1電極および前記第2電極から前記第3電極に向かって電流が流れる際に、前記第2電極に流れる電流を所定の値以下に調整することで、前記炭化珪素半導体装置内の結晶欠陥を縮小させることを特徴とする。

【0029】

上述した発明によれば、第2ソース電極(第2電極)が p^{++} 型コンタクト領域(第2導電型の第2半導体領域)のみに接触することで、バイポーラ電流を外部に引き出すことができる。これにより、バイポーラ電流を外部回路で計測することができ、計測したバイポーラ電流に基づいて、ゲート電圧を制御してバイポーラ電流を所定の値以下にすることが

50

できる。このため、インバータ回路動作中の積層欠陥拡張を防ぐと共に、拡張した積層欠陥を縮小させることができ、炭化珪素半導体装置のオン抵抗が上昇することを防止できる。例えば、炭化珪素半導体装置をインバータ回路に適用した場合、バイポーラ劣化が起こりにくくなる。また、バイポーラ劣化が起こっても、回路動作中に積層欠陥を縮小させることができ、炭化珪素半導体装置の長期信頼性が向上させることができる。

【発明の効果】

【0030】

本発明にかかる炭化珪素半導体装置、炭化珪素半導体装置の製造方法および炭化珪素半導体装置の制御方法によれば、炭化珪素半導体装置の内蔵ダイオードの導通により積層欠陥が拡張し、炭化珪素半導体装置のオン抵抗が上昇することを防止できるという効果を奏する。

10

【図面の簡単な説明】

【0031】

【図1】実施の形態にかかる炭化珪素半導体装置の構造を示す断面図である。

【図2】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その1）。

【図3】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その2）。

【図4】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その3）。

20

【図5】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その4）。

【図6】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その5）。

【図7】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その6）。

【図8】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その7）。

【図9】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その8）。

30

【図10】実施例1にかかる炭化珪素半導体装置のバイポーラモードでの電流経路を示す断面図である。

【図11】実施例1にかかる炭化珪素半導体装置の自動的なゲートオン動作を示す断面図である。

【図12】実施例1にかかる炭化珪素半導体装置の自動的なゲートオン時の内部状態を示す断面図である。

【図13】実施例2にかかる炭化珪素半導体装置の外部検出回路によるゲートオン動作を示す断面図である。

【図14】実施例3にかかる炭化珪素半導体装置のシリコンダイオード接続を示す断面図である。

40

【図15】実施例4における炭化珪素半導体装置と外部回路を示す断面図である。

【図16】実施例4における実施の形態にかかる炭化珪素半導体装置を用いたインバータ回路の一例を示す。

【図17】実施例4における炭化珪素半導体装置の動作タイミングと積層欠陥の拡大または縮小を示す図である。

【図18】従来の炭化珪素半導体装置の構造を示す断面図である。

【図19】従来の炭化珪素MOSFETを用いたインバータ回路の一例を示す。

【図20】従来の炭化珪素半導体装置の同期整流モードでの電流経路を示す断面図である。

【図21】従来の炭化珪素半導体装置の中間モードでの電流経路を示す断面図である。

50

【図 2 2】従来の炭化珪素半導体装置のバイポーラモードでの電流経路を示す断面図である。

【発明を実施するための形態】

【0032】

以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置、炭化珪素半導体装置の製造方法および炭化珪素半導体装置の制御方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

10

【0033】

(実施の形態)

図 1 は、実施の形態にかかる炭化珪素半導体装置の構造を示す断面図である。図 1 には、2つの単位セル(素子の機能単位)のみを示し、これらに隣接する他の単位セルを図示省略する(他の図においても同様)。図 1 に示す実施の形態にかかる炭化珪素半導体装置は、炭化珪素からなる半導体基体(炭化珪素基体:半導体チップ)100のおもて面(p型ベース層6側の面)側にMOSゲートを備えたMOSFETである。

【0034】

炭化珪素基体100は、炭化珪素からなるn⁺型支持基板(n⁺型炭化珪素基板)1上にn型ドリフト層(第1導電型の第1半導体層)2およびp型ベース層(第2導電型の第2半導体層)6となる各炭化珪素層を順にエピタキシャル成長させてなる。MOSゲートは、p型ベース層6、n⁺⁺型ソース領域(第1導電型の第1半導体領域)7、p⁺⁺型コンタクト領域(第2導電型の第2半導体領域)8、トレンチ18、ゲート酸化膜9およびゲート電極10で構成される。具体的には、n型ドリフト層2のソース側(第1ソース電極14側)の表面層には、p型ベース層6に接するようにn⁺型領域5が設けられている。n⁺型領域5は、キャリアの広がり抵抗を低減させる、いわゆる電流拡散層(Current Spreading Layer:CSL)である。このn⁺型領域5は、例えば、基体おもて面(炭化珪素基体100のおもて面)に平行な方向(以下、横方向とする)に一樣に設けられている。

20

30

【0035】

n⁺型領域5の内部には、第1、2p⁺型領域3、4がそれぞれ選択的に設けられている。第1p⁺型領域3は、トレンチ18の底面および底面コーナー部を覆うように設けられている。トレンチ18の底面コーナー部とは、トレンチ18の底面と側壁との境界である。第1p⁺型領域3は、p型ベース層6とn⁺型領域5との界面よりもドレイン側に深い位置から、n⁺型領域5とn型ドリフト層2との界面に達しない深さで設けられている。第1p⁺型領域3を設けることで、トレンチ18の底面付近に、第1p⁺型領域3とn⁺型領域5との間のpn接合を形成することができる。

【0036】

第2p⁺型領域4は、隣り合うトレンチ18間(メサ部)に、第1p⁺型領域3と離して、かつp型ベース層6に接するように設けられている。第2p⁺型領域4は、その一部をトレンチ18側に延在させて部分的に第1p⁺型領域3と接していてもよい。また、第2p⁺型領域4は、p型ベース層6とn⁺型領域5との界面から、n⁺型領域5とn型ドリフト層2との界面に達しない深さで設けられている。第2p⁺型領域4を設けることで、隣り合うトレンチ18間において、トレンチ18の底面よりもドレイン側に深い位置に、第2p⁺型領域4とn⁺型領域5との間のpn接合を形成することができる。このように第1、2p⁺型領域3、4とn⁺型領域5とでpn接合を形成することで、ゲート酸化膜8のトレンチ18底面の部分に高電界が印加されることを防止することができる。

40

【0037】

p型ベース層6の内部には、互いに接するようにn⁺⁺型ソース領域7およびp⁺⁺型コン

50

タクト領域 8 がそれぞれ選択的に設けられている。p⁺⁺型コンタクト領域 8 の深さは、例えば n⁺⁺型ソース領域 7 よりも深くてもよい。

【0038】

トレンチ 18 は、基体おもて面から n⁺⁺型ソース領域 7、および p 型ベース層 6 を貫通して n⁺型領域 5 に達する。トレンチ 18 は、半導体装置上面（ソース電極パッド側）から見るとストライプ形状を有しており、後述する第 2 ソース電極 15 も同じくトレンチ 18 に平行方向にストライプ形状を有している。トレンチ 18 の内部には、トレンチ 18 の側壁に沿ってゲート酸化膜 9 が設けられ、ゲート酸化膜 9 の内側にポリシリコン（poly-Si）からなるゲート電極 10 が設けられている。ゲート電極 10 のソース側端部は、基体おもて面から外側に突出していてもいなくてもよい。ゲート電極 10 は、図示省略する部分でゲートパッド（不図示）に電氣的に接続されている。第 1 層間絶縁膜 11 は、トレンチ 18 に埋め込まれたゲート電極 10 を覆うように設けられている。

10

【0039】

第 1 ソース電極（第 1 電極）14 は、第 1 層間絶縁膜 11 に開口されたコンタクトホールを介して、n⁺⁺型ソース領域 7 に接続される。第 1 ソース電極 14 は、p⁺⁺型コンタクト領域 6 と接続されない。第 1 ソース電極 14 は、例えば、5 μm 厚のアルミニウム（Al）により形成される。第 1 ソース電極 14 を流れる電流は、ユニポーラ電流（MOSFET のチャネル電流）である。第 1 ソース電極 14 と第 1 層間絶縁膜 11 との間に、例えば第 1 ソース電極 14 からゲート電極 10 側への金属原子の拡散を防止するバリアメタル 13 が設けられていてもよい。第 1 ソース電極 14 上には、ソース電極パッド 16 が設けられている。

20

【0040】

第 2 ソース電極（第 2 電極）15 は、シタリング層からなり、第 1 層間絶縁膜 11 に開口されたコンタクトホールを介して、p⁺⁺型コンタクト領域 8 に接続される。第 2 ソース電極 15 は、n⁺⁺型ソース領域 7 と接続されない。第 2 ソース電極 15 は、p⁺⁺型コンタクト領域 6 に接触している部分のみ分離して、半導体装置外部に引き出すことができる。第 2 ソース電極 15 を流れる電流は、バイポーラ電流（内蔵ダイオード電流）である。第 2 ソース電極 15 上には、低温形成された厚さ 1 μm の第 2 層間絶縁膜 12 が設けられている。第 2 層間絶縁膜 12 が、第 1 ソース電極 14 と第 2 ソース電極 15 とを絶縁分離している。また、第 2 ソース電極 15 とゲート電極 10 は、第 2 層間絶縁膜 12 で絶縁分離されている。第 2 ソース電極 15 は、シタリング層のみでなく、上に 1 μm 厚程度のアルミニウムを積層しても良い。第 2 ソース電極 15 とゲート電極 10 は、ストライプ端部において各電極パッドに接続されており、半導体装置外部にアルミニウムのワイヤを介して引き出される。炭化珪素基体 100 の裏面（n⁺型ドレイン領域となる n⁺型炭化珪素基板 1 の裏面）には、ドレイン電極（第 3 電極）17 が設けられている。

30

【0041】

以下に、実施の形態の MOSFET をインバータ回路に用いた場合における積層欠陥の拡張防止、縮小を詳細に説明する。上述した再結合エネルギーによる積層欠陥の拡張に関する詳細な分析により、バイポーラ電流の電流密度や素子温度などが欠陥拡張の挙動に影響することが分かってきた。特に電流密度に関しては、ある一定の値以下であれば積層欠陥はむしろ縮小することが実験で確かめられており、この現象を用いて半導体装置動作中に積層欠陥を縮小させることが可能である。また、積層欠陥が縮小から拡張に転じる電流密度は素子温度によって決まる。

40

【0042】

従って、MOSFET をインバータ回路に適用する際に、デッドタイム中のバイポーラ電流を所定の値以下にすることで積層欠陥の拡張を防ぐことができる。また、同期整流中のアームの MOSFET に所定の電流を流すことで、一旦は拡張した積層欠陥を再び縮小させることができる。ここで、図 20 ~ 図 22 で説明したように、ゲート電圧を下げていくに従い内蔵ダイオードにバイポーラ電流が流れ始めるようになる。このため、ゲート電圧を所定の値に調整することで、バイポーラ電流を所望の値にすることができ、電子 - ホ

50

ールの再結合の割合（再結合率）を調整して拡張した積層欠陥を再び縮小に転じさせることができる。

【0043】

ここで、バイポーラ電流が所望の値になるようなゲート電圧値は、半導体装置の個体差によって異なると共に、素子温度やインバータ回路の過渡状態によっても異なる。このため、バイポーラ電流を計測し、この計測した電流値を基にゲート電圧を最適値に向けて制御する必要がある。

【0044】

この制御のため、実施の形態では、ソース電極を第1ソース電極14と第2ソース電極15とに分離して、第2ソース電極15をp⁺⁺型コンタクト領域8に接触させることでバイポーラ電流を外部に引き出す。第2ソース電極15により、バイポーラ電流を外部回路で計測することができ、計測値を、例えば、ゲート電圧を設定することが可能なゲートドライブ回路に渡してゲート電圧を制御することができる。このように、実施の形態のMOSFETは、ゲート電圧を外部から制御することが可能であり、ゲート電圧の制御により、バイポーラ電流を所定の値以下にすることで、インバータ回路動作中の積層欠陥拡張を防ぐと共に、拡張した積層欠陥を縮小させることができる。

【0045】

（実施の形態にかかる炭化珪素半導体装置の製造方法）

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について説明する。図2～9は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。まず、n⁺型炭化珪素基板1を用意する。次に、n⁺型炭化珪素基板1のおもて面に、n型ドリフト層2をエピタキシャル成長させる。ここまでの状態が図2に記載される。

【0046】

次に、n型ドリフト層2の上に、第1n⁺型領域5aをエピタキシャル成長させる。この第1n⁺型領域5aは、n⁺型領域5の一部である。次に、フォトリソグラフィおよびp型不純物のイオン注入により、第1n⁺型領域5aの表面層に、第1p⁺型領域3および下側第2p⁺型領域4aをそれぞれ選択的に形成する。この下側第2p⁺型領域4aは、第2p⁺型領域4の一部である。ここまでの状態が図3に記載される。

【0047】

次に、n型ドリフト層2、第1p⁺型領域3および下側第2p⁺型領域4aの上に、第2n⁺型領域5bをエピタキシャル成長させる。この第2n⁺型領域5bは、n⁺型領域5の一部であり、第1n⁺型領域5aと第2n⁺型領域5bを合わせて、n⁺型領域5となる。次に、フォトリソグラフィおよびp型不純物のイオン注入により、第2n⁺型領域5bの表面層に、上側第2p⁺型領域4bをそれぞれ選択的に形成する。この上側第2p⁺型領域4bは、第2p⁺型領域4の一部であり、下側第2p⁺型領域4aと上側第2p⁺型領域4bを合わせて、第2p⁺型領域4となる。ここまでの状態が図4に記載される。

【0048】

次に、第2n⁺型領域5bおよび上側第2p⁺型領域4bの上に、p型ベース層6をエピタキシャル成長させる。次に、フォトリソグラフィおよびn型不純物のイオン注入により、p型ベース層6の表面層にn⁺⁺型ソース領域7を選択的に形成する。次に、フォトリソグラフィおよびp型不純物のイオン注入により、p型ベース層6の表面層に、n⁺⁺型ソース領域7に接するようにp⁺⁺型コンタクト領域8を選択的に形成する。n⁺⁺型ソース領域7とp⁺⁺型コンタクト領域8との形成順序を入れ替えてもよい。イオン注入が全て終わった後に、活性化アニールを施す。ここまでの状態が図5に記載される。

【0049】

次に、フォトリソグラフィおよびエッチングにより、n⁺⁺型ソース領域7およびp型ベース層6を貫通して、n⁺型領域5の内部の第1p⁺型領域3に達するトレンチ18を形成する。トレンチ形成時のマスクには酸化膜を用いる。また、トレンチエッチング後に、トレンチ18のダメージを除去するための等方性エッチングや、トレンチ18の底部およびトレンチ18の開口部の角を丸めるための水素アニールを施してもよい。等方性エッチン

10

20

30

40

50

グと水素アニールはどちらか一方のみを行ってもよい。また、等方性エッチングを行った後に水素アニールを行ってもよい。ここまでの状態が図6に記載される。

【0050】

次に、炭化珪素基板100のおもて面およびトレンチ18の内壁に沿ってゲート酸化膜9を形成する。次に、トレンチ18に埋め込むように例えばポリシリコンを堆積しエッチングすることで、トレンチ18の内部にゲート電極10となるポリシリコンを残す。その際、エッチバックしてポリシリコンを基体表部より内側に残すようにエッチングしてもよく、パターニングとエッチングを施すことでポリシリコンが基体表部より外側に突出していてもよい。ここまでの状態が図7に記載される。

【0051】

次に、ゲート電極10を覆うように、炭化珪素基板100のおもて面全面に第1層間絶縁膜11を形成する。第1層間絶縁膜11は、例えば、NSG(None-doped Silicate Glass: ノンドープシリケートガラス)、PSG(Phospho Silicate Glass)、BPSG(Boro Phospho Silicate Glass)、HTO(High Temperature Oxide)、あるいはそれらの組み合わせで形成される。次に、第1層間絶縁膜11およびゲート酸化膜9をパターニングしてコンタクトホールを形成し、 n^+ 型ソース領域7および p^{++} 型コンタクト領域8を露出させる。ここまでの状態が図8に記載される。

【0052】

次に、第1層間絶縁膜11を覆うようにバリアメタル13を形成してパターニングし、 n^{++} 型ソース領域7および p^{++} 型コンタクト領域8を再度露出させる。次に、 n^{++} 型ソース領域7に接するように、第1ソース電極14を形成する。第1ソース電極14は、バリアメタル13を覆うように形成されてもよいし、コンタクトホール内のみ残してもよい。次に、 p^{++} 型コンタクト領域8に接するように、第2ソース電極15を形成する。次に、第2ソース電極15を覆うように第2層間絶縁膜12を形成する。ここまでの状態が図9に記載される。

【0053】

次に、コンタクトホールを埋め込むようにソース電極パッド16を形成する。ソース電極パッド16を形成するために堆積した金属層の一部をゲートパッドとしてもよい。 n^+ 型炭化珪素基板1の裏面には、ドレイン電極17のコンタクト部にスパッタ蒸着などを用いてニッケル(Ni)膜、チタン(Ti)膜などの金属膜を形成する。この金属膜は、Ni膜、Ti膜を複数組み合わせ積層してもよい。その後、金属膜がシリサイド化してオーミックコンタクトを形成するように、高速熱処理(RTA: Rapid Thermal Annealing)などのアニールを施す。その後、例えばTi膜、Ni膜、金(Au)を順に積層した積層膜などの厚い膜を電子ビーム(EB: Electron Beam)蒸着などで形成し、ドレイン電極17を形成する。

【0054】

上述したエピタキシャル成長およびイオン注入においては、 n 型不純物(n 型ドーパント)として、例えば、炭化珪素に対して n 型となる窒素(N)やリン(P)、ヒ素(As)、アンチモン(Sb)などを用いればよい。 p 型不純物(p 型ドーパント)として、例えば、炭化珪素に対して p 型となるホウ素(B)やアルミニウム(Al)、ガリウム(Ga)、インジウム(In)、タリウム(Tl)などを用いればよい。このようにして、図1に示すMOSFETが完成する。

【0055】

以上、説明したように、実施の形態にかかる炭化珪素半導体装置によれば、第2ソース電極が p^{++} 型コンタクト領域のみに接触することで、バイポーラ電流を外部に引き出すことができる。これにより、バイポーラ電流を外部回路で計測することができ、計測したバイポーラ電流に基づいて、ゲート電圧を制御してバイポーラ電流を所定の値以下にすることができる。このため、インバータ回路動作中の積層欠陥拡張を防ぐと共に、拡張した積層欠陥を縮小させることができ、炭化珪素半導体装置のオン抵抗が上昇することを防止で

10

20

30

40

50

きる。例えば、炭化珪素半導体装置をインバータ回路に適用した場合、バイポーラ劣化が起こりにくくなる。また、バイポーラ劣化が起こっても、回路動作中に積層欠陥を縮小させることができ、炭化珪素半導体装置の長期信頼性を向上させることができる。

【0056】

(実施例1)

以下の実施例において、インバータ回路に用いた場合を例に、第2ソース電極15が計測した電流値に基づき、ゲート電圧を制御する方法について詳細に説明する。以下の実施例1~4では、1200V耐圧クラスのトレンチゲート構造の炭化珪素MOSFETを例に説明する。

【0057】

図10は、実施例1にかかる炭化珪素半導体装置のバイポーラモードでの電流経路を示す断面図である。実施例1では、MOSFETの第2ソース電極15に外部抵抗19を接続する、またはMOSFET上にポリシリコン抵抗を集積し、第2ソース電極15から抵抗を介して第1ソース電極14に接続する。図10は、MOSFETの第2ソース電極15に外部抵抗19を接続する場合を示す。

【0058】

図10に示すように、下アームが還流モードである時、負荷のインダクタンス成分の主電流(負荷電流)が流れ続けるため、下アームのMOSFETの内蔵ダイオードに還流電流31が流れる。還流電流31が流れると、ドレイン電極17の電位が第1ソース電極14の電位より低下する。内蔵ダイオードが順バイアスされるとバイポーラ電流が流れ始めるが、第2ソース電極15に外部抵抗が接続されているので、 p^{++} 型コンタクト領域8の電位が抵抗の電圧降下によって低下する。 p^{++} 型コンタクト領域8はp型ベース層6と連結しており、p型ベース層6の電位も同時に低下する。従って、p型ベース層6の電位に対してゲート電極10の電位が相対的に正になり、やがてチャンネル部に電子反転層が形成され、MOSチャンネルが自動的にオンになる。

【0059】

図11は、実施例1にかかる炭化珪素半導体装置の自動的なゲートオン動作を示す断面図である。図11に示すように、MOSチャンネルが自動的にオンになることにより、第1ソース電極14を経由して電子電流である還流電流32が流れ始める。図12は、実施例1にかかる炭化珪素半導体装置の自動的なゲートオン時の内部状態を示す断面図である。図12は、MOSチャンネルが自動的にオンになった際の、内部のドーピング分布、電位分布、および電子電流分布のシミュレーション結果である。図12(a)は、炭化珪素半導体装置の不純物の濃度分布を示す。図12(b)は、炭化珪素半導体装置の電位分布を示す。図12(c)は、炭化珪素半導体装置の電子電流分布を示す。

【0060】

図12(b)から、 p^{++} 型コンタクト領域8、p型ベース層6の電位が低下し、p型ベース層6の電位に対してゲート電極10の電位が相対的に正になることがわかる。また、図12(c)から、MOSチャンネルの電子電流が大きくなり、MOSチャンネルが自動的にオンになり、第1ソース電極14を経由して還流電流32が流れていることが分かる。

【0061】

第1ソース電極14には、外部抵抗19が接続されておらず、還流電流32のほとんどは、第1ソース電極14を経由する電子電流である。従って、n型ドリフト層2におけるキャリア再結合はほとんど発生しない。やがて、デッドタイム期間が終了して、下アームMOSFETのゲートにオン信号が入ると、第2ソース電極15を流れるわずかな内蔵ダイオードの電流に頼らなくとも、MOSチャンネルはオン状態を維持する。

【0062】

以上のように、実施例1では、第2ソース電極15に抵抗18を接続することにより、MOSチャンネルを自動的にオンすることができる。還流電流31を内蔵ダイオードに流さないことにより、キャリア再結合を減少させ、還流モード時におけるバイポーラ劣化を抑制することができる。

10

20

30

40

50

【 0 0 6 3 】

(実施例 2)

上記の実施例 2 の方法では、デッドタイム期間において、第 2 ソース電極 1 5 を流れるわずかな内蔵ダイオードの電流によって、MOS チャンネルを自動的にオンさせている。実施例 2 では、外部回路で還流電流 3 2 を検出して、実施例 1 より早く下アームの MOS チャンネルをオンさせることができる。図 1 3 は、実施例 2 にかかる炭化珪素半導体装置の外部検出回路によるゲートオン動作を示す断面図である。図 1 3 に示すように、実施例 2 では、第 2 ソース電極 1 5 に外部抵抗 1 9 と、第 2 ソース電極 1 5 の電位を検出する検出回路 2 0 を接続し、ゲート電極 1 0 に、検出回路 2 0 が検出した値によりゲート電圧を制御可能なゲートドライバ 2 1 を接続する。

10

【 0 0 6 4 】

実施例 2 では、まず、検出回路 2 0 は、内蔵ダイオードに還流電流 3 1 が流れることによる第 2 ソース電極 1 5 の電位低下を検出する。次に、検出回路 2 0 は、ゲートドライバ 2 1 に検出値を渡す。次に、ゲートドライバ 2 1 は、検出値に基づき、ゲート電圧を上げて、MOS チャンネルをオンする。これにより、第 1 ソース電極 1 4 を経由して還流電流 3 2 が流れる。

【 0 0 6 5 】

以上のように、実施例 2 では、内蔵ダイオードに流れる電流による自動オン動作に頼らずに、MOS チャンネルに電流を流し始めることが可能であり、実施例 1 より早く下アームの MOS チャンネルをオンさせることができる。

20

【 0 0 6 6 】

(実施例 3)

上記の実施例 1、2 は、インバータ回路の下アームの MOSFET が還流モードにある期間の例であったが、実施例 3 は、下アームの MOSFET がオン状態にあるときにゲートにオフ信号を加えた場合の例である。

【 0 0 6 7 】

ゲートにオフ信号が加えられた場合、下アームの MOSFET は、ターンオフ動作を始め、MOSFET 内部の空乏層進展による変位電流が流れる。変位電流は p^{++} 型コンタクト領域 8 において、ホール電流として第 2 ソース電極 1 5 に向かって流れ込み、還流モード時の還流電流とは逆方向である。このため、第 2 ソース電極 1 5 に接続された抵抗 1 8 における電圧降下によって p^{++} 型コンタクト領域 8 の電位は上昇する。

30

【 0 0 6 8 】

従って、 p^{++} 型コンタクト領域 8 と n^{+} 型領域 5 からなる pn 接合が順バイアスされ、 n^{+} 型領域 5 から電子が注入されて n 型ドリフト層 2 に流れ込むといったバイポーラ動作が発生する。このように、MOS チャンネルがオフしているにもかかわらず電子電流が流れ続けるため、損失が増大する。さらに、この電流による発熱により MOSFET が破壊される場合もある。

【 0 0 6 9 】

このため、実施例 3 では、第 2 ソース電極 1 5 の外部にシリコンダイオード 2 2 を接続する、または、炭化珪素半導体装置上にポリシリコンダイオードを集積する。図 1 4 は、実施例 3 にかかる炭化珪素半導体装置のシリコンダイオード接続を示す断面図である。

40

【 0 0 7 0 】

ここで、シリコンダイオード 2 2 の電流立ち上がり電圧を、炭化珪素の pn 接合のオン電圧より低くすることで、炭化珪素半導体装置内部で pn 接合がオンする前にホール電流を炭化珪素半導体装置外部に引き抜くことが可能である。これにより、シリコンダイオード 2 2 を経由して、 p^{++} 型コンタクト領域 8 から容易にホール電流が流れ出るようになり、抵抗 1 8 における電圧降下の発生を抑えることができる。このため、MOS チャンネルターンオフ時の破壊防止が可能になる。

【 0 0 7 1 】

以上の実施例 1 ~ 3 のように炭化珪素半導体の構造、炭化珪素半導体の外部回路または

50

炭化珪素半導体の制御方法を組み合わせることで、炭化珪素MOSFETの還流モード時におけるバイポーラ劣化を抑制することができる。

【0072】

(実施例4)

実施例1～3に示した方法を用いると、炭化珪素MOSFETの還流モード時におけるバイポーラ劣化が抑制されるが、完全に抑制されるわけではない。わずかなホール電流がn型ドリフト層2を流れるため、炭化珪素MOSFETの使用時間が長くなるにしたがって累積的に積層欠陥が拡張する場合がある。

【0073】

そこで、実施例4では、還流電流が流れているMOSFETにおいてゲートをオンする同期整流の期間において、ゲート電圧を適切な値に制御して内蔵ダイオードに流れる電流と、MOSチャネルを流れる電流の比率を制御し、積層欠陥を縮小させる。例えば、同期整流の期間におけるホール電流密度を $1\text{ A}/\text{cm}^2$ 以下の値に設定することで、一度は拡大した積層欠陥を縮小させることができる。

【0074】

積層欠陥の縮小がもっとも早い最適なホール電流密度は、p型ベース層6の不純物濃度、n⁺型炭化珪素基板1の不純物濃度、n型ドリフト層2のキャリアライフタイムおよび半導体装置の温度などのパラメータによって決まる。これらのパラメータを基に設定電流値を事前に決定する。

【0075】

図15は、実施例4における炭化珪素半導体装置と外部回路を示す断面図である。実施例4では、外部回路に、外部抵抗19、ゲートドライバ21およびシリコンダイオード22に加えて、電圧センサ23、温度センサ24および演算回路25が接続される。電圧センサ23は、外部抵抗19による電圧降下を検出するセンサであり、温度センサ24は炭化珪素半導体装置の温度を検出するセンサである。電圧センサ23が、外部抵抗19による電圧降下を検出することで、第2ソース電極15に流れる電流、つまり内蔵ダイオードに流れる電流を計測することができる。第2ソース電極15に流れる電流は、特定の瞬間における値(瞬時値)を計測しても良いし、所定の時間における平均値(時間平均値)を計測しても良い。

【0076】

演算回路25は、計測した電流値と、設定電流値とを比較し、内蔵ダイオードの電流値が設定電流値より大きい場合にはゲート電圧を下げ、逆の場合はゲート電圧を上げる制御をゲートドライバ21に対して行う。このようにして、演算回路25は、内蔵ダイオードを流れる電流が設定電流値以下になるように制御する。なお、ゲート電圧が高いとMOSチャネルの抵抗が減少し、還流電流のほとんどがチャネル電流になる。一方、ゲート電圧が低すぎると、MOSチャネルの抵抗が増加し、還流電流のほとんどが内蔵ダイオード電流となる。このため、ゲート電圧を制御することで、内蔵ダイオードに流れる電流と、MOSチャネルを流れる電流の比率を制御し、内蔵ダイオードを流れる電流が設定電流値以下になるように制御できる。

【0077】

このように、実施例4では、p⁺⁺型コンタクト領域8から注入されるホール電流を設定電流値以下に制御することが可能である。このため、実施例4の炭化珪素半導体装置は、ホール電流に流れる同期整流期間に積層欠陥を縮小させることが可能になる。

【0078】

図16は、実施例4における実施の形態にかかる炭化珪素半導体装置を用いたインバータ回路の一例を示す。インバータ回路1600は、実施の形態にかかる複数のMOSFET1601を備え、モータ等の負荷1603を駆動するための回路である。図16において、ダイオード1602はMOSFET1601の寄生pnダイオード1602を示す。図17は、実施例4における炭化珪素半導体装置の動作タイミングと積層欠陥の拡大または縮小を示す図である。縦軸は、ゲート電圧を示し、横軸は時間を示す。

10

20

30

40

50

【 0 0 7 9 】

図 17 において、ON はゲートがオンであることを示し、OFF はゲートがオフであることを示す。また、Q1 は、上アームの MOSFET 1601 を示し、Q2 は、下アームの MOSFET 1601 を示す。また、横軸において、負荷電流で示される期間は、下アームの MOSFET 1601 (以下 Q2 と略する) のゲートがオフであり、Q2 に負荷電流が流れる期間である。デッドタイムで示される期間は、上アームの MOSFET 1601 と Q2 の両方ゲートがオフである期間であり、 p^{++} 型コンタクト領域 8 から注入されるホール電流により、積層欠陥が拡大する期間である。同期整流で示される期間は、Q2 のゲートがオンであり、Q2 に還流電流が流れる期間である。この期間に流れる還流電流は、設定電流値以下に制御されているため、積層欠陥が縮小する期間である。

10

【 産業上の利用可能性 】

【 0 0 8 0 】

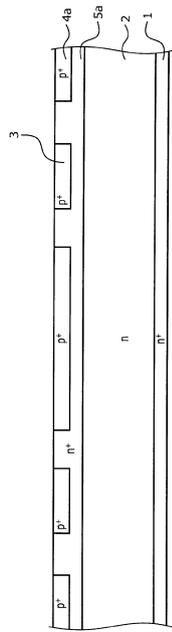
以上のように、本発明にかかる炭化珪素半導体装置、炭化珪素半導体装置の製造方法および炭化珪素半導体装置の制御方法は、電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用であり、特にトレンチゲート構造の炭化珪素半導体装置に適している。

【 符号の説明 】

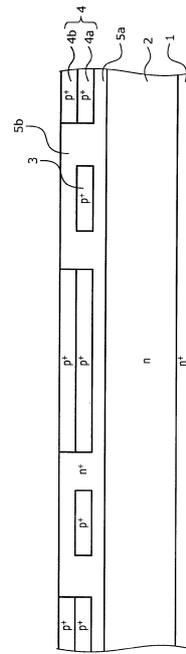
【 0 0 8 1 】

1	n^{+} 型炭化珪素基板	
2	n 型ドリフト層	20
3	第 1 p^{+} 型領域	
4	第 2 p^{+} 型領域	
4 a	下側第 2 p^{+} 型領域	
4 b	上側第 2 p^{+} 型領域	
5	n^{+} 型領域	
5 a	第 1 n^{+} 型領域	
5 b	第 2 n^{+} 型領域	
6	p 型ベース層	
7	n^{++} 型ソース領域	
8	p^{++} 型コンタクト領域	30
9	ゲート酸化膜	
10	ゲート電極	
11	第 1 層間絶縁膜	
12	第 2 層間絶縁膜	
13	バリアメタル	
14	第 1 ソース電極	
15	第 2 ソース電極	
16	ソース電極パッド	
17	ドレイン電極	
18	トレンチ	40
19	外部抵抗	
20	検出回路	
21	ゲートドライバ	
22	シリコンダイオード	
23	電圧センサ	
24	温度センサ	
25	演算回路	
31、32	還流電流	
100	半導体基体	
1600、1900	インバータ回路	50

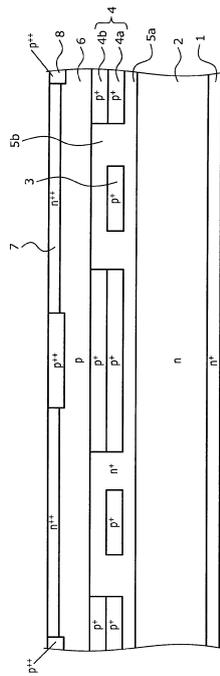
【 図 3 】



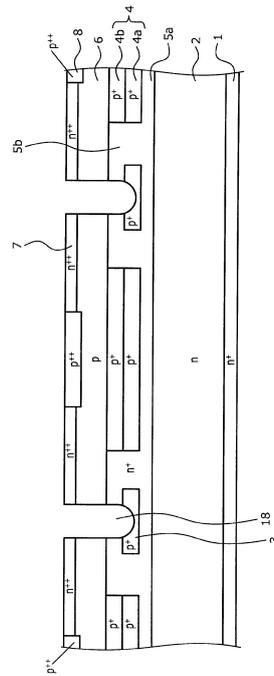
【 図 4 】



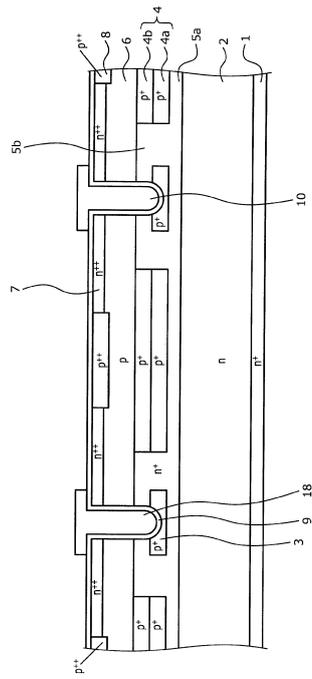
【 図 5 】



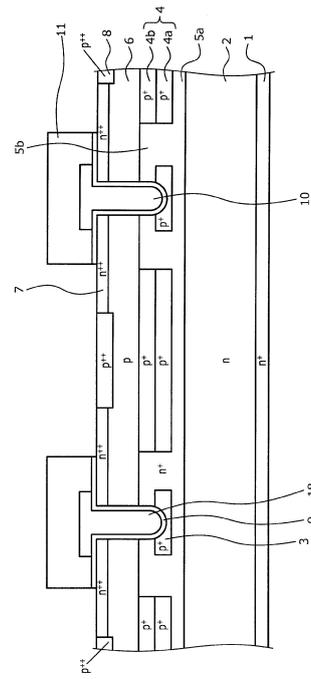
【 図 6 】



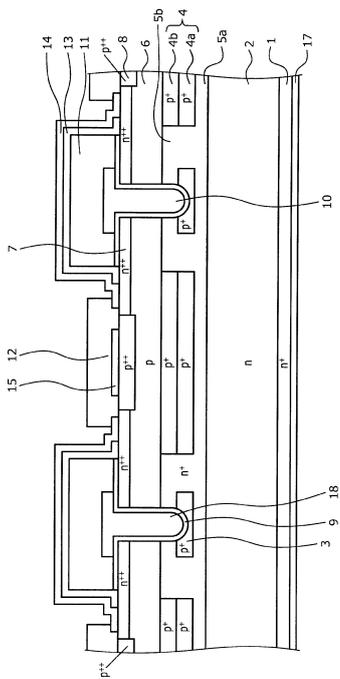
【図 7】



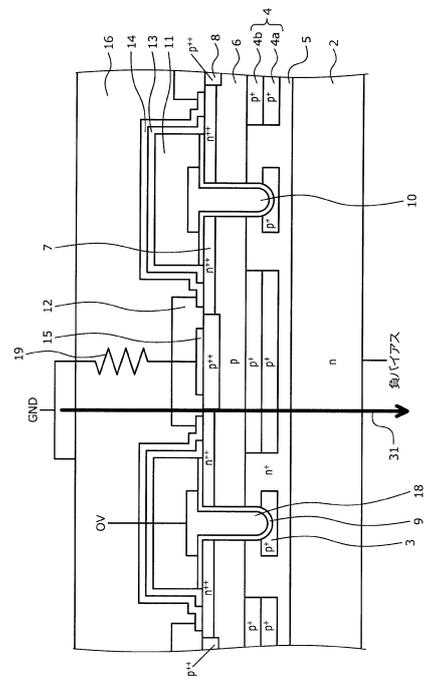
【図 8】



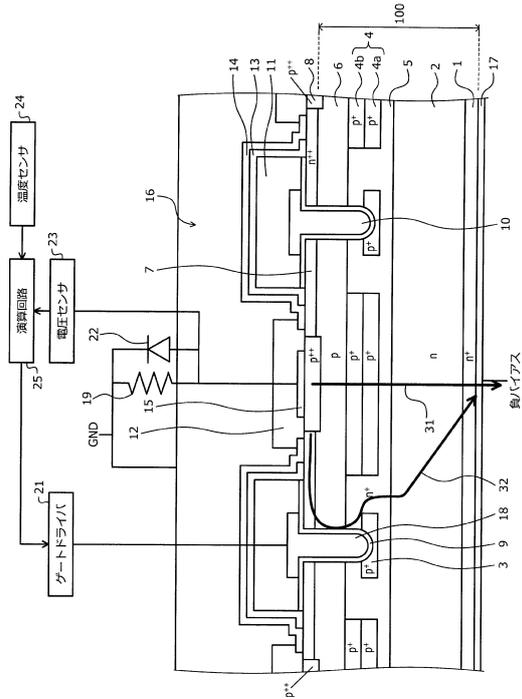
【図 9】



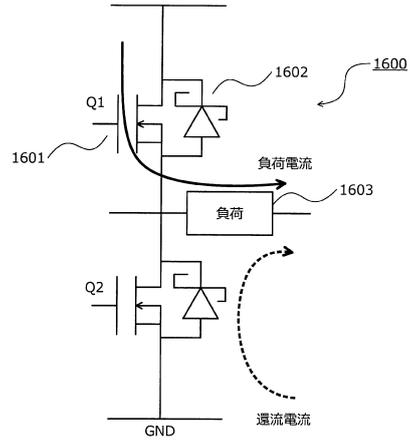
【図 10】



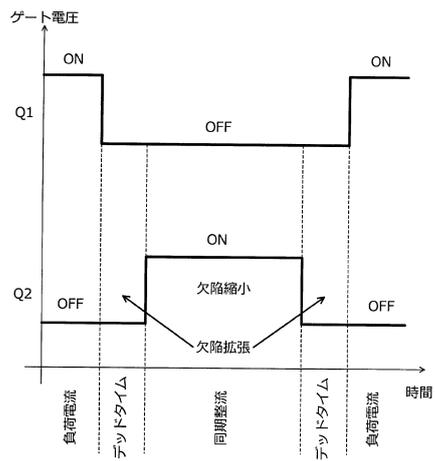
【図15】



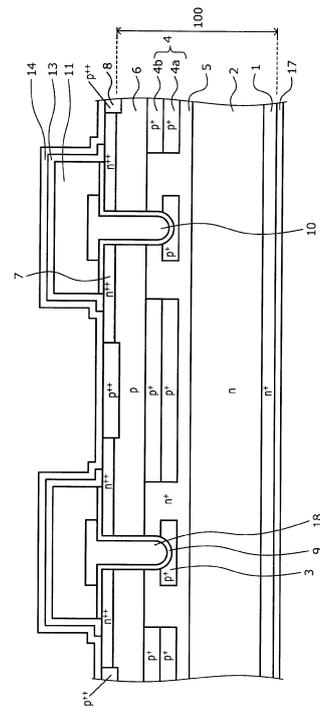
【図16】



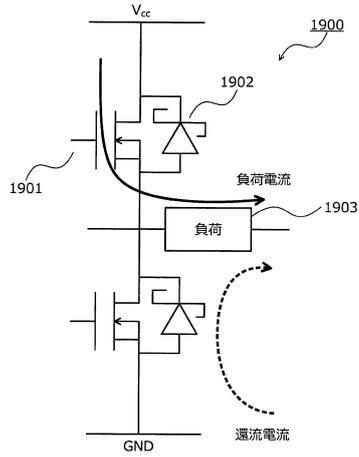
【図17】



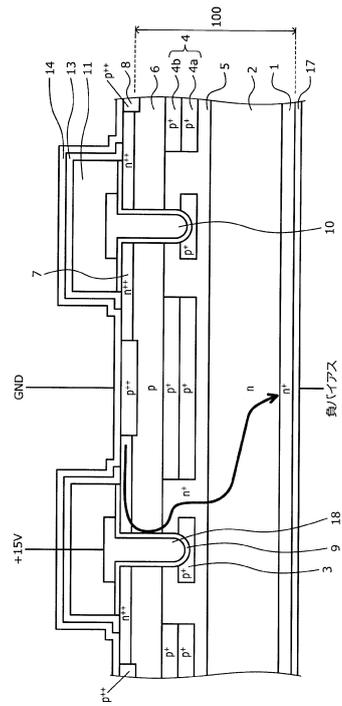
【図18】



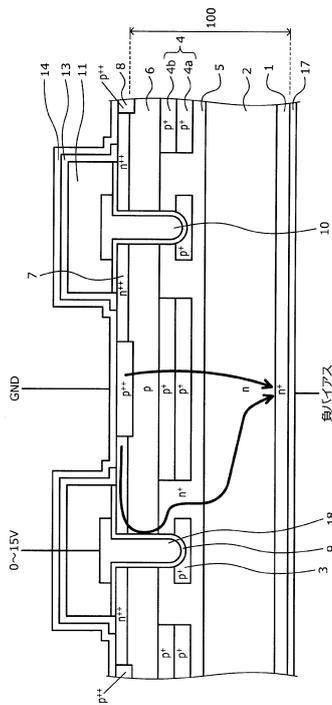
【図 19】



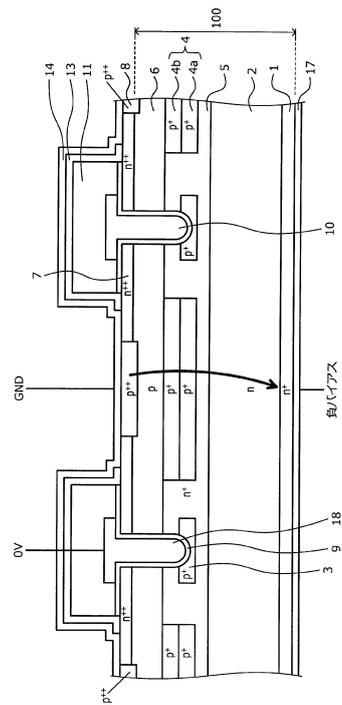
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L	29/91	F
H 0 1 L	29/91	C
H 0 1 L	29/06	3 0 1 D
H 0 1 L	29/06	3 0 1 V
H 0 1 L	29/78	6 5 2 D

(56)参考文献 特開2016-021460(JP,A)
特開2014-120539(JP,A)
特開2008-017237(JP,A)
特表2010-521799(JP,A)
特開2003-318397(JP,A)
特開2003-318409(JP,A)
特開2015-032745(JP,A)
特開2000-012846(JP,A)
特開2015-095578(JP,A)
国際公開第2007/135940(WO,A1)
特開2009-088326(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 8 0 8
H 0 1 L 2 9 / 1 6
H 0 1 L 2 9 / 4 1 7