



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2007 038 925 A1** 2009.02.19

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2007 038 925.8**

(22) Anmeldetag: **17.08.2007**

(43) Offenlegungstag: **19.02.2009**

(51) Int Cl.⁸: **H01L 21/8242** (2006.01)
H01L 27/108 (2006.01)

(71) Anmelder:
Qimonda AG, 81739 München, DE

(74) Vertreter:
**PAe Reinhard, Skuhra, Weise & Partner GbR,
80801 München**

(72) Erfinder:
**Heineck, Lars, 01109 Dresden, DE; Graf, Werner,
01109 Dresden, DE; Tews, René, 01099 Dresden,
DE**

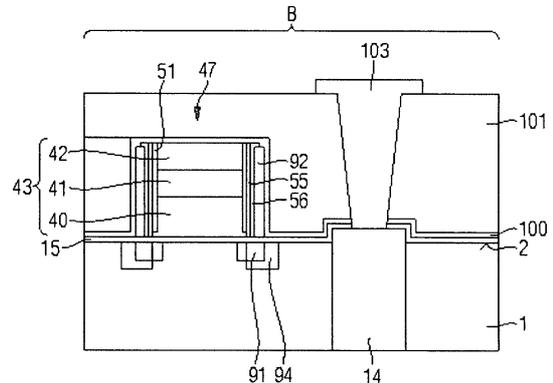
(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 101 29 958 A1
US 70 34 408 B1
US 2006/0 28 225 A1
EP 17 29 338 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zum Herstellen einer aktiven Vorrichtung einer Halbleiterspeichervorrichtung, und eine Halbleiterspeichervorrichtung**

(57) Zusammenfassung: Ein Verfahren zum Herstellen einer integrierten Schaltung, welche eine aktive Halbleitervorrichtung aufweist, ätzt selektiv Gräben in ein Substrat, wobei Leiterbahnen als Maske verwendet werden. Die aktive Vorrichtung wird in dem Graben gebildet.



Beschreibung

HINTERGRUND DER ERFINDUNG

Bereich der Erfindung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer aktiven Vorrichtung einer Halbleiterspeichervorrichtung und eine entsprechende Halbleiterspeichervorrichtung.

KURZE ZUSAMMENFASSUNG DER ERFINDUNG

[0002] Gemäß einem ersten Aspekt der Erfindung weist ein Verfahren zum Herstellen einer integrierten Schaltung mit einer aktiven Halbleitervorrichtung die folgenden Verfahrensschritte auf:

- Bereitstellen eines Substrats mit aktiven Bereichen;
- Formen einer Isolationsgrabenstruktur in das Substrat, welche die aktiven Bereiche voneinander isoliert;
- Formen von Leiterbahnen oberhalb des Substrats, wobei die Leiterbahnen die aktiven Bereiche durchqueren;
- Ätzen zumindest eines Grabens, welcher eine erste Abmessung in einer lateralen Richtung und eine zweite Abmessung in einer weiteren lateralen Richtung aufweist, in das Substrat in den aktiven Bereichen, wobei die Isolationsgrabenstruktur die erste Abmessung festlegt und die Leiterbahnen die zweite Abmessung festlegen; und
- Formen einer aktiven Vorrichtung in dem zumindest einen Graben in den aktiven Bereichen.

[0003] Gemäß einem zweiten Aspekt der Erfindung weist ein Verfahren zum Herstellen einer integrierten Schaltung mit einer aktiven Halbleitervorrichtung folgende Verfahrensschritte auf:

- Bereitstellen eines Substrats mit aktiven Bereichen;
- Ätzen einer Grabenstruktur in das Substrat, welche die aktiven Bereiche voneinander isoliert;
- Auffüllen zumindest des oberen Abschnitts der Grabenstruktur mit zumindest einem Ätz-Stop-Material;
- Formen von Leiterbahnen oberhalb des Substrats, wobei die Leiterbahnen die aktiven Bereiche durchqueren;
- Formen zumindest eines Grabens in das Substrat in den aktiven Bereichen mittels eines selektiven Ätzverfahrens bzw. Ätzprozesses unter Verwendung einer Maskenstruktur, welche durch den oberen Abschnitt der Grabenstruktur und die Leiterbahnen festgelegt ist; und
- Formen einer aktiven Vorrichtung in dem zumindest einen Graben in den aktiven Bereichen.

[0004] Gemäß einem dritten Aspekt der Erfindung weist ein Verfahren zum Herstellen einer aktiven Vor-

richtung einer Halbleiterspeichervorrichtung die folgenden Verfahrensschritte auf:

- Bereitstellen eines Substrats mit einer Vielzahl von Speicherzellbereichen, welchen in Reihen angeordnet sind;
- Formen einer Tiefgraben-Kondensatorstruktur in jedem der Speicherzellbereiche, wobei die Tiefgraben-Kondensatorstruktur einen Kappenlayer des ersten Ätz-Stop-Materials aufweist;
- Ätzen von Isolationsgräben längs von Linien, welche die Reihen von Speicherzellbereichen trennen, und Auffüllen der Isolationsgräben mit einem zweiten Ätz-Stop-Material;
- Formen von unteren Leiterbahnen, welche längs Spalten ausgerichtet und oberhalb der Speicherzellbereiche angeordnet sind;
- selektives Ätzen zumindest eines Grabens in das Substrat in den Speicherzellbereichen in Bezug auf die ersten und zweiten Ätz-Stop-Materialien und unter Verwendung der unteren Leiterbahnen als Maske;
- Formen eines Gate-Dielektrikums auf der Oberfläche des zumindest einen Grabens in dem Speicherzellbereich;
- Auffüllen des zumindest einen Grabens und der Zwischenräume zwischen den unteren Leiterbahnen mit einem Gate-Elektroden-Material;
- Formen oberer Leiterbahnen oberhalb der und senkrecht zu den unteren Leiterbahnen; und
- Entfernen des Gate-Elektroden-Materials unter Verwendung der oberen Leiterbahnen als Maske.

[0005] Gemäß einem vierten Aspekt der Erfindung weist eine integrierte Schaltung Folgendes auf:

- eine Vielzahl von ersten Leiterbahnen, welche auf einem Substrat angeordnet sind;
- eine Vielzahl von zweiten Leiterbahnen, welche oberhalb der und senkrecht zu den ersten Leiterbahnen angeordnet sind;
- eine in dem Substrat angeordnete Speicherzelle, wobei die Speicherzelle von zumindest zwei der Leiterbahnen bedeckt ist und eine aktive Vorrichtung aufweist;
- eine Gate-Elektrode der aktiven Vorrichtung, welche seitlich zwischen zwei der ersten Leiterbahnen angeordnet ist und sich vertikal unten in zumindest eine der Speicherzellen erstreckt, unter einer der zweiten Leiterbahnen angeordnet ist und die gleiche Breite aufweist wie die eine der zweiten Leiterbahnen.

BESCHREIBUNG DER ZEICHNUNGEN

[0006] Hierbei zeigen in den Figuren:

[0007] [Fig. 1](#) bis [Fig. 36](#) illustrierende Verfahrensschritte einer ersten Ausführung für die Bildung einer Halbleiterspeichervorrichtung;

[0008] [Fig. 37](#) bis [Fig. 41](#) illustrierende Verfahrensschritte einer zweiten Ausführung für die Bildung ei-

ner Halbleiterspeichervorrichtung; und

[0009] [Fig. 42](#) bis [Fig. 50](#) illustrierende Verfahrensschritte einer dritten Ausführung für die Bildung einer Halbleiterspeichervorrichtung.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0010] Es versteht sich, dass die unten beschriebenen Verfahrensschritte und Strukturen bzw. Aufbauten keinen vollständigen Prozessablauf der Herstellung von integrierten Schaltungen darstellen. Die vorliegende Erfindung kann in Verbindung mit Herstellungsverfahren für integrierte Schaltungen durchgeführt werden, die gegenwärtig im Stand der Technik verwendet werden, und es werden nur so viele der üblicherweise durchgeführten Verfahrensschritte hierin aufgenommen, wie es notwendig ist, um ein Verständnis der Erfindung zu gewährleisten. Die Zeichnungsfiguren, welche in dieser Beschreibung enthalten sind und Querschnitte von Abschnitten einer integrierten Schaltung während einer Herstellung darstellen, sind nicht maßstabsgetreu, sondern zur Illustration der relevanten Merkmale der Erfindung gezeichnet. In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder ähnliche Funktionalität in den unterschiedlichen Ansichten.

Erste Ausführungsform

[0011] Eine erste Ausführungsform wird als ein Beispiel der Erfindung angegeben, obwohl die vorliegende Erfindung nicht darauf beschränkt ist. Zusammen mit den [Fig. 1](#) bis [Fig. 36](#) wird ein Verfahren zum Formen von aktiven Vorrichtungen, zum Beispiel Auswahltransistoren und/oder Beschaltungstransistoren (support transistors) einer Halbleiterspeichervorrichtung ausführlich beschrieben.

[0012] Die [Fig. 1](#) und [Fig. 2](#) zeigen Teilschnitte eines Halbleitersubstrats **1**. Das Substrat **1** ist in Speicherzellenfeldbereiche A und Beschaltungsbereiche B unterteilt, die jeweils in [Fig. 1](#) und [Fig. 2](#) teilweise gezeigt sind. Die lateralen Abmessungen des Beschaltungsbereiches B und des Speicherfeldbereiches A sind nicht maßstabsgetreu in Bezug aufeinander gezeichnet. Eine Draufsicht auf einen der Speicherfeldbereiche A, in [Fig. 1](#) durch die Ebenen A-A bezeichnet, ist in [Fig. 3](#) dargestellt. Der Teilquerschnitt von [Fig. 1](#) befindet sich in der mit B-B bezeichneten Ebene in [Fig. 3](#). Die Anordnung einer Speicherzelle **3** ist in [Fig. 1](#) und [Fig. 3](#) angegeben. Die Speicherzellen **3** sind in Reihen angeordnet, das heißt längs einer ersten Querrichtung x.

[0013] Das Substrat **1** kann aus Silizium, dotiertem Silizium, jedem anderen geeigneten Halbleitermaterial hergestellt sein, das in kristalliner Form durch einen Epitaxieprozess auf einem Basissubstrat ge-

züchtet worden ist, usw. bestehen.

[0014] Jede Speicherzelle **3** weist eine Tiefgraben-Kondensatorstruktur **4** und einen aktiven Bereich **5** auf. [Fig. 1](#) illustriert einen Kragenabschnitt der Tiefgraben-Kondensatorstruktur **4**. Eine innere Kondensatorelektrode **6** erstreckt sich nach oben in den Kragenabschnitt. Ein Isolationskragenlayer **7** trennt die innere Kondensatorelektrode **6** von dem Substrat **1**. Die innere Kondensatorelektrode **6** einer Speicherzelle **3** ist mit dem Substrat **1** in dem aktiven Bereich **5** auf der einen Speicherzelle **3** verbunden. Deshalb ist ein vergrabener Kontaktstreifen **8** auf der inneren Kondensatorelektrode **6** angeformt und nur zu einer Seitenwand des Tiefgrabens benachbart, welche dem einen aktiven Bereich **5** zugewandt ist. Weitere Seitenwände des Tiefgrabens sind durch einen Isolationslayer bedeckt. Ein leitfähiger Diffusionsbarrierelayer **9** kann die innere Kondensatorelektrode **6** und den vergrabenen Kontaktstreifen (buried strap) **8** trennen. Der Kappenlayer **10** der Tiefgraben-Kondensatorstruktur **4** ist aus einem dielektrischen Werkstoff gebildet. Der dielektrische Werkstoff kann aus Siliziumoxid, Quarzglas, Siliziumnitrid und Siliziumoxinitrid ausgewählt sein. Die Dicke bzw. Stärke des dielektrischen Werkstoffs, das heißt seine vertikale Ausdehnung, kann in dem Bereich von 20 nm bis 100 nm liegen, zum Beispiel mindestens 30 nm, zumindest 40 nm, mindestens 50 nm, höchstens 70 nm, ungefähr 50 nm.

[0015] Ein leitfähiger Bereich **11** kann optional in dem aktiven Bereich **5** durch Implantieren eines Dotierungsmaterials gebildet werden. Der leitfähige Bereich **11** und die Kondensatorstruktur **4** einer Speicherzelle **3** sind in gegenüber liegenden Ecken oder Bereichen der einen Speicherzelle **3** angeordnet. Eine aktive Vorrichtung, zum Beispiel ein Transistor, wird in der Zone zwischen dem leitfähigen Bereich **11** und dem Kondensatoraufbau **4** geformt werden. In einer nicht dargestellten Ausführung kann der Bereich **11** aus einem anderen leitfähigen Material hergestellt sein, welches zum Beispiel ein Metall oder eine metallische Verbindung aufweist. Der Bereich kann weiterhin ein Bereich des Substrats **1** sein, welcher nicht durch die nachfolgend ausgeführten Verfahrensschritte strukturiert wird.

[0016] Der Beschaltungsbereich B kann mit Strukturen **14** versehen sein, die in das Substrat **1** eingeformt sind. Diese Strukturen **14** können Folgendes aufweisen: Isolationsgräben, Kondensatoraufbauten oder Stecker, welche zur Kontaktierung des Substrats **1** und/oder eines darunter gelegenen Substrats (nicht illustriert) vorgesehen sind. Ein dünner Dielektrikumlayer **15** ist auf der Oberfläche **2** des Substrats **1** in dem Beschaltungsbereich B aufgebracht. Der dielektrische Werkstoff des Gate kann aus Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, dielektrischen Werkstoffen mit hohem k-Wert oder jeden anderen

geeigneten dielektrischen Materialien oder jeglicher Kombination der aufgelisteten Materialien ausgewählt sein.

[0017] Eine Hartmaske **20** ist auf dem Substrat **1** in dem Speicherfeldbereich A und optional in dem Beschaltungsbereich B gebildet. Die Hartmaske **20** kann aus Siliziumnitrid hergestellt sein. Die Hartmaske **20** weist eine gestreifte Struktur in dem Speicherfeldbereich A auf, welche Isolationsgräben **21** festlegt, siehe [Fig. 3](#). Die Isolationsgräben **21** sind in das Substrat **1** eingätzt und mit einem isolierenden dielektrischen Werkstoff gefüllt. Der dielektrische Werkstoff kann zumindest eins von den Folgenden sein: Siliziumoxid, Siliziumoxinitrid, Quarzglas, dotiertes Quarzglas, Bor-Quarzglas und Bor-Phosphor-Quarzglas.

[0018] In einer Alternative weist die Hartmaske **20** eine gestreifte Struktur auf, welche die Isolationsgräben **21** festlegt. Zusätzlich umfasst die Hartmaske **20** Öffnungen in dem Bereich, welcher zu den Kondensatorstrukturen **4** korrespondiert. Auf diese Weise können die Isolationsgräben **21** in das Substrat **1** mit Bezug auf den Kappenlayer **10** der Kondensatorstrukturen **4** und der Hartmaske **20** selektiv geätzt werden. In einem weiteren Verfahrensschritt werden die Isolationsgräben **21** von mit dem dielektrischen Werkstoff wie in der obigen Ausführung gefüllt. Der dielektrische Werkstoff wird zur gleichen Zeit auf dem Kappenlayer **10** abgelagert und erhöht somit die Dicke des Kappenlayers **10**. Die Gesamtdicke des Kappenlayers **10** einschließlich des aufgetragenen dielektrischen Werkstoffs sollte in dem wie oben aufgezeigten Bereich liegen.

[0019] Ein Polierverfahren, zum Beispiel ein chemisch-mechanisches Polierverfahren, wird benutzt, um restlichen dielektrischen Werkstoff von der Hartmaske **20** zu entfernen. Ein selektives Polierverfahren kann ausgeführt werden, von welchem die Hartmaske **20** als ein Stop-Layer gebraucht wird. Danach kann die Hartmaske **20** durch einen selektiven Ätzprozess, zum Beispiel durch heiße Phosphorsäure, gestrippt werden.

[0020] Die Dicke des Kappenlayers **10** wird durch das Polierverfahren nicht wesentlich verringert. Der Kappenlayer **10** erstreckt sich oberhalb der Oberfläche **2** des Substrats **1**, ungeachtet der Formung des Kappenlayers **10**.

[0021] Ein dünner Siliziumnitrid-Layer **31** wird in dem Speicherfeldbereich A (siehe [Fig. 4](#)) aufgebracht. Ein Dotierungsmaterial **30** wird auf das Substrat **1** mit einer Neigung in Bezug auf die Normale der Substratoberfläche **2** gerichtet. Das Dotierungsmaterial **30** wird in den dünnen Siliziumnitrid-Layer **31** implantiert. Die vertikale Ausdehnung des Kappenlayers **10** fungiert als eine Maske, welche die Im-

plantation in den dünnen Siliziumnitrid-Layer **31** nur in der Nachbarschaft einer Seite des Kappenlayers **10** blockiert. Die Ausrichtung der gerichteten Implantation wird so gewählt, dass der Siliziumnitrid-Layer **31** über dem leitfähigen Bereich **11** in dem aktiven Bereich **5** undotiert bleibt.

[0022] Ein selektiver Ätzprozess wird durchgeführt, welcher die dotierten Abschnitte des dünnen Siliziumnitrid-Layers **31** selektiv entfernt, aber die undotierten Abschnitte **32** des Siliziumnitrid-Layers **31** (siehe [Fig. 5](#)) unberührt lässt. Eine schwache Flusssäure (DHF = dilute hydrofluoric acid) ist ein Beispiel für einen Ätz-Reaktant, welcher von dem selektiven Ätzprozess benutzt wird. Die verbleibenden Abschnitte **32** des Siliziumnitrid-Layers bedecken den leitfähigen Bereich **11** in dem aktiven Bereich **5**.

[0023] Ein Isolationslayer **33** wird auf dem Substrat **1** in dem aktiven Bereich **5**, welcher nicht von den verbleibenden Abschnitten **32** des Siliziumnitrid-Layers **31** abgedeckt ist, gezüchtet. Die Dicke des Isolationslayers **33** ist geringer als die Dicke des Kappenlayers **20** der Kondensatorstruktur **4**. Der Isolationslayer **33** kann aus Siliziumoxid hergestellt und durch eine nasse Oxidation in einer feuchten Atmosphäre und bei Temperaturen im Bereich von ungefähr 600°C bis 900°C, zum Beispiel ungefähr 750°C, gezüchtet werden.

[0024] Die verbleibenden Abschnitte **32** des Siliziumnitrid-Layers werden entfernt, zum Beispiel durch Fluorwasserstoff-(HF-)Ethylenglykol oder heiße Phosphorsäure.

[0025] Ein polykristalliner Siliziumlayer **40** wird in dem Speicherfeldbereich A und dem Beschaltungsbereich B (siehe [Fig. 7](#) und [Fig. 8](#)) aufgebracht. Der polykristalline Siliziumlayer **34** kann dotiert oder undotiert sein. Ein Dotierungsmaterial kann implantiert oder in Strukturen diffundiert werden, welche aus diesem polykristallinen Siliziumlayer **40** in anschließenden Verfahrensschritten hergestellt werden. Diese Verfahrensschritte werden in der unten stehenden Beschreibung nicht behandelt werden. Die endgültige Struktur weist jedoch aus diesem polykristallinen Siliziumlayer **40** hergestellte Strukturen auf, welche durch ein Dotierungsmaterial leitfähig gemacht werden. Der polykristalline Siliziumlayer **40** steht mit dem leitfähigen Bereich **11** in physikalischem und elektrischem Kontakt.

[0026] Anschließend wird ein metallischer Layer **41** auf dem polykristallinen Siliziumlayer **40** aufgebracht. Der metallische Layer **41** weist Metall auf oder ist aus Metall hergestellt, zum Beispiel Wolfram, Kupfer, Aluminium. Ein Kappenlayer **42**, zum Beispiel aus Siliziumnitrid, wird auf dem metallischen Layer **41** abgelagert. Die drei Layer, nämlich der polykristalline Siliziumlayer **40**, der metallische Layer **41** und der Kap-

penlayer **42**, bilden einen Layerstapel **43** (siehe [Fig. 9](#) und [Fig. 10](#)).

[0027] Der Layerstapel **43** wird durch einen lithografischen Strukturierungsprozess strukturiert. Gräben **44** trennen den Layerstapel **43** in Leiterbahnen **46** in dem Speicherfeld A (siehe [Fig. 9](#) bis [Fig. 11](#)). Die Leiterbahnen **46** verlaufen im Wesentlichen senkrecht zu den Isolationsgräben **21**, wie in der Draufsicht von [Fig. 11](#) illustriert ist. Ein Ätzprozess, welcher die Gräben **44** formt, kann angehalten werden, wenn der Kappenlayer **10** der Kondensatorstruktur **4** freigelegt wird. Deshalb erstrecken sich die Gräben nur in den polykristallinen Siliziumlayer **40** hinein, aber nicht nach unten zu der Substratoberfläche in den Silizium-Isolationslayer **33** über dem aktiven Bereich **5** in dem illustrierten Beispiel. In einer alternativen Ausführung kann der Ätzprozess, welcher die Gräben formt, durchgeführt werden, bis sich die Gräben nach unten zu dem Silizium-Isolationslayer **33** oder nach unten in das Substrat **1** in den aktiven Bereich ausdehnen.

[0028] Die Leiterbahnen **46** können Bitleitungen für eine Halbleiterspeichervorrichtung bereitstellen. Jeder aktive Bereich **5** ist mit einer der Leiterbahnen **46** über den leitfähigen Bereich **11** verbunden. In dem Beschaltungsbereich B kann der strukturierte Layerstapel **43** Gate-Kontakte **47** oder eine Gate-Kontaktleitung schaffen. Die Leiterbahnen **46** und der Gate-Kontakt **47** (Gate-Kontaktleitung) werden in einem Verfahrensschritt geformt und aus der gleichen Folge von Layern **43** erstellt.

[0029] Ein Decklayer **50** wird aufgebracht (siehe [Fig. 12](#) und [Fig. 13](#)). Der Decklayer **50** ist aus zumindest einem von Siliziumnitrid und Siliziumoxinitrid hergestellt. Die Dicke des Decklayers **50** kann in dem Bereich von ungefähr 2 nm bis 8 nm, zum Beispiel ungefähr 4 nm bis 7 nm, ungefähr 6 nm, liegen. Ein anisotroper Ätzprozess wird ausgeführt, um den Decklayer **50** den Bodenbereich der Gräben **44** (siehe [Fig. 14](#) und [Fig. 15](#)) zu entfernen. Der verbleibende Decklayer **51** längs der Seitenwände der Leiterbahnen **46** schützt die Leiterbahn **46**, insbesondere den metallischen Layer **41**, gegenüber nachfolgend verwendeten Ätz-Reaktanten.

[0030] Der Graben **44** wird nach unten zu dem Silizium-Isolationslayer **33** durch einen Ätzprozess, zum Beispiel durch einen in Bezug auf den Decklayer **50** und den Kappenlayer **10** der Kondensatorstruktur **4** selektiven Ätzprozess, ausgedehnt. Der Gate-Stapel **47** wird in dem Beschaltungsbereich B ebenso strukturiert.

[0031] Zwei weitere Decklayer **55** und **56** können auf der geformten Struktur (siehe [Fig. 16](#) und [Fig. 17](#)) aufgebracht werden. Der untere der beiden Decklayer **55** kann Siliziumoxid aufweisen. Die Dicke

des unteren Decklayers **55** kann in einem Bereich von 2 nm bis 8 nm, zum Beispiel 4 nm, liegen. Der obere Decklayer **56** kann aus Siliziumnitrid, Siliziumoxinitrid oder aus einer Kombination daraus erstellt werden. Seine Dicke kann in dem Bereich von 6 nm bis 15 nm, zum Beispiel bei Nanometern bis 12 nm, ungefähr 10 nm, liegen.

[0032] Eine Maske **60** deckt den Beschaltungsbereich B ab und belässt den Speicherfeldbereich A freiliegend.

[0033] Ein Ätzprozess wird angewandt, welcher eine Öffnung durch den Isolationslayer **33** nach unten zu dem Siliziumsubstrat **1** (siehe [Fig. 18](#) und [Fig. 19](#)) ätzt. Die Leiterbahnen **56** werden als Maskenstruktur für diesen Ätzprozess benutzt. Die Gräben **44** legen die Bereiche, welche geätzt werden, fest. Der Ätzprozess kann für einen Zeitabschnitt ausgeführt werden, der als ausreichend erachtet wird, um durch den Isolationslayer **33** hindurch zu ätzen. Der Kappenlayer **10** kann zumindest doppelt so dick wie der Isolationslayer **33** sein. Deshalb erfolgt durch den Ätzprozess weder eine Eröffnung der Kondensatorstruktur **4** unter dem Kappenlayer **10** noch eine Freilegung derselben. Somit wird der aktive Bereich **5** selektiv freigelegt.

[0034] Optional kann ein Dotierungsmaterial durch die Gräben **44** in den aktiven Bereich **44** implantiert werden. Das Dotierungsmaterial wird auf die Substratoberfläche **2** mit Neigung in Bezug auf die Normale der Substratoberfläche **2** gerichtet. Das Dotierungsmaterial kann Phosphor aufweisen.

[0035] Die Maske **60** kann in dieser Prozessstufe gestriipt werden.

[0036] Ein selektiver Ätzprozess wird ausgeführt, welcher das Material des Substrats **1** selektiv ätzt und nicht mit dem Kappenlayer **10**, dem oberen Decklayer **56** und dem dielektrischen Werkstoff des Isolationsgrabens **21** reagiert. Der Kappenlayer **10** und der dielektrische Werkstoff des Isolationsgrabens **21** werden in Bezug auf diesen selektiven Ätzprozess als eine Art Ätz-Stop-Layer vorgesehen. Somit werden die Kondensatorstruktur **4** und die Isolationsgräben **21** nicht strukturiert. Die Leiterbahnen **46** legen eine Maske fest, welche die aktiven Bereich **5** zum Teil bedeckt. Der obere Decklayer **56** schützt die Leiterbahnen **46** gegenüber dem Ätzprozess. Der selektive Ätzprozess kann ein reaktiver Ionen-Ätzprozess oder ein plasmagestützter Ätzprozess sein.

[0037] Als ein Beispiel kann der Ätz-Reaktant auf Fluorwasserstoff basieren, der obere Decklayer **56** ist aus Siliziumnitrid, der Kappenlayer **10** ist aus Siliziumoxid, die Füllung der Isolationsgräben **21** ist aus Siliziumoxid, und das Substrat **1** ist aus Silizium. Die Ätzgeschwindigkeit von Silizium übersteigt die Ätzge-

schwindigkeit der anderen Werkstoffe um einen Faktor von zumindest **5**, wenn Fluorwasserstoff verwendet wird. Dies ist nur als ein Beispiel von Werkstoffen und eines Ätz-Reaktants gemeint. Andere geeignete Kombinationen können basierend auf den Ätzeigenschaften von Werkstoffen und Ätzprozessen festgelegt werden.

[0038] Ein Graben **61** wird durch den selektiven Ätzprozess in das Substrat **1** in den aktiven Bereich **5** geätzt ([Fig. 20](#)). Der Graben **61** dehnt den Graben **44** aus. Der Graben **61** kann somit als ein unterer Abschnitt **62** des Grabens **44** angesehen werden. Die Querabmessungen des Grabens **61** korrespondieren hauptsächlich zu den Querabmessungen des Grabens **44**.

[0039] Ein isotroper Ätzprozess, welcher das Material des Substrats **1** ätzt, kann durchgeführt werden, um den unteren Abschnitt **62** des Grabens **44** zu verbreitern. Der untere Abschnitt **62** wird auch als Graben **63** in dem aktiven Bereich **5** in [Fig. 21](#) bezeichnet.

[0040] Stickstoff **70** kann in die Bodenfläche **71** des Grabens **63** in dem aktiven Bereich **5** implantiert werden ([Fig. 22](#)).

[0041] Ein Gate-Oxid **76, 77** wird an den Seitenwänden und dem Boden des Grabens **63** in dem aktiven Bereich **5** herangezüchtet ([Fig. 23](#)). Die Wachstumsrate von Siliziumoxid wird in der Bodenfläche **71** auf Grund der Implantation von Stickstoff verringert. In dem unteren Abschnitt **75** des Grabens **63** ist das Gate-Oxid **76** im Wesentlichen dünner als das Gate-Oxid **77**, das in einem oberen Abschnitt **74** des Grabens **63** aufgebaut wurde.

[0042] Die Gräben **63** in dem aktiven Bereich **5** und der Graben **44** zwischen den Leiterbahnen **46** werden mit polykristallinem Silizium **80** gefüllt ([Fig. 24](#)). Dies wird durch Ablagern des polykristallinen Siliziums **80** erreicht. Ein Polierverfahrensschritt wird angewandt, um eine plane Oberfläche zu schaffen. Das polykristalline Silizium **80** kann mit einem Dotierungsmaterial dotiert werden. Das polykristalline Silizium **80** formt Gate-Elektrode **81** einer in dem aktiven Bereich **5** gebildeten aktiven Vorrichtung.

[0043] Eine Maske **82** wird auf dem polykristallinen Siliziumlayer **80** geformt ([Fig. 25](#) und [Fig. 26](#)). Die Maske **82** bedeckt die Gate-Elektroden **81**, welche in den Gräben **63** geformt worden sind. Ein Ätzprozess entfernt das polykristalline Silizium **80**, welches von der Maske **82** nicht abgedeckt ist.

[0044] In den folgenden Verfahrensschritten werden in dem Beschaltungsbereich B Implantierungen gebildet. Der obere Decklayer **56** kann durch einen Ätzprozess in seiner Dicke verringert werden. Ein erstes

Dotierungsmaterial **90** wird in einem ersten Bereich **91** auf dem Gate-Stapel **47** unter Verwendung des Decklayers **56** als eine selbstausrichtende Maskenstruktur abgelagert. Zusätzliche Masken (nicht gezeigt) können verwendet werden.

[0045] Ein Spacer **92** wird auf bzw. an dem Gate-Stapel **47** gezüchtet oder abgelagert. Ein anisotroper Ätzprozess wird ausgeführt, um den Spacer **92**, der parallel zu der Substratoberfläche **2** ([Fig. 29](#) und [Fig. 30](#)) angeordnet worden ist, zu entfernen. Ein zweites Dotierungsmaterial **93** wird in den zweiten Bereich **94** nahe am Gate-Stapel **47** implantiert. Der erste Bereich **91** und der zweite Bereich **94** sind voneinander auf Grund des Spacers **92** versetzt.

[0046] Der Spacer **92** kann den Graben **44** oberhalb der Kondensatorstruktur **4** füllen.

[0047] Ein dünner Siliziumnitrid-Layer **100** wird aufgebracht. Das Spin-On-Glas **101** kann auf die geformte Struktur aufgeschleudert werden (siehe [Fig. 31](#) und [Fig. 32](#)). Ein Polierverfahrensschritt wird angewandt, um die Oberfläche zu ebenen. Zusätzlich kann das polykristalline Silizium **83**, das heißt die Gate-Elektroden **81**, unter der geebneten Oberfläche durch einen Ätzprozess (nicht gezeigt) leicht vertieft werden.

[0048] Eine Öffnung wird in das Spin-On-Glas **101** eingeformt, um eine Kontaktöffnung zu der Struktur **14** in dem Beschaltungsbereich B zu schaffen ([Fig. 33](#) und [Fig. 34](#)). Eine Metallisierung wird auf der geformten Struktur vorgesehen. Die Metallisierung wird strukturiert, um Leiterbahnen **102** zu bilden, welche senkrecht zu den Leiterbahnen **46** in ihrem Speicherfeldbereich A angeordnet sind ([Fig. 35](#) und [Fig. 36](#)). Ein Kontaktstecker wird geformt und der Beschaltungsbereich B kontaktiert die Struktur **14**.

[0049] Anstelle des Spin-On-Glases **101** kann ein anderer geeigneter dielektrischer Werkstoff verwendet werden.

Zweite Ausführung

[0050] Eine zweite Ausführung der vorliegenden Erfindung wird unter Bezugnahme auf die erste Ausführung erläutert. Die Verfahrensschritte der ersten Ausführung werden durchgeführt bis der Isolationslayer **33** durchgeätzt ist ([Fig. 18](#) und [Fig. 19](#)). Dann wird ähnlich zu der ersten Ausführung ein Graben **161** selektiv in das Substrat **1** in den aktiven Bereich **5** eingezüchtet. Der Graben **161** kann flacher als der Graben **61** der ersten Ausführung sein (siehe [Fig. 37](#)).

[0051] Ein isotroper Ätzprozess wird ausgeführt. Der Graben **161** wird auf einen Graben **163** ähnlich dem Graben **61** der ersten Ausführung erweitert (siehe [Fig. 38](#)).

[0052] Ein Isolationsliner **177** aus Siliziumoxid wird an den Seitenwänden des verbreiterten Grabens **163** herangezüchtet (siehe [Fig. 39](#)). Das Siliziumoxid am Boden des Grabens **163** kann durch einen anisotropen Ätzprozess entfernt werden.

[0053] Ein selektiver Ätzprozess wird ausgeführt, welcher das freigelegte Substrat **1** am Boden des Grabens **163** selektiv ätzt. So wird der Graben **163** auf einen unteren Abschnitt **175** ausgedehnt (siehe [Fig. 40](#)). Der Graben **163** in dem aktiven Bereich **5** kann aus dem oberen verbreiterten Abschnitt **174** und dem unteren Abschnitt **175** bestehen.

[0054] Ein Gate-Oxid **178** oder irgendein anderes geeignetes Gate-Dielektrikum wird auf der Oberfläche des unteren Abschnitts **175** des Grabens **163** aufgebracht ([Fig. 41](#)). Das Gate-Oxid **178** kann dünner als der Oxid-Isolationsliner **177** ausgebildet sein.

[0055] Die nachfolgenden Verfahrensschritte zum Formen der aktiven Vorrichtung werden nicht im Detail erläutert, da sie identisch mit denjenigen der ersten Ausführung sind. Der Graben **163** wird mit dotiertem polykristallinem Silizium gefüllt, und weitere Verfahrensschritte werden durchgeführt, um Leiterbahnen oben auf der Struktur zu schaffen, welche parallel zu den Isolationsgräben oder senkrecht zu den Leiterbahnen **46** verlaufen. Es wird Bezug genommen auf die Beschreibung, welche sich auf die [Fig. 24](#) bis [Fig. 36](#) bezieht.

Dritte Ausführung

[0056] Eine dritte Ausführung der vorliegenden Erfindung wird erläutert, wobei Bezug auf die erste und zweite Ausführung genommen wird. Die Verfahrensschritte der ersten oder zweiten Ausführung werden ausgeführt bis die Gräben in dem Substrat **1** in dem aktiven Bereich **5** mit dotiertem polykristallinem Silizium gefüllt sind (siehe [Fig. 42](#) und [Fig. 43](#); siehe [Fig. 24](#) der ersten Ausführung).

[0057] Eine Blockmaske (nicht dargestellt) wird auf der Struktur angeordnet, welche den Speicherfeldbereich A abschirmt. Der polykristalline Siliziumlayer **80** wird in dem Beschaltungsbereich B unter Verwendung der Blockmaske entfernt. Anschließend wird das Substrat **1** durch Implantieren von Dotierungsmaterial in der Nachbarschaft der Gate-Stapel **47** ([Fig. 44](#)) strukturiert. Der Strukturierungsvorgang, der zusammen mit den [Fig. 28](#) und [Fig. 30](#) gelehrt wird, kann angewandt werden. Danach wird die Blockmaske gestrippt.

[0058] Ein Siliziumnitrid-Layer **200** kann in dem Speicherfeldbereich A und dem Beschaltungsbereich aufgebracht werden ([Fig. 45](#) und [Fig. 46](#)). Ein Spin-On-Glas **201**, ein Spin-On-Dielektrikum, ein Quarzglas etc. wird auf dem Siliziumnitrid-Layer **200**

vorgesehen. Ein Polierverfahrensschritt wird durchgeführt, um die oben liegende Oberfläche der geformten Struktur zu ebenen. Der Siliziumnitrid-Layer **200** kann als Stoppunkt-Layer verwendet werden. Das Polieren kann durchgeführt werden bis Ätzprodukte oder Partikel des Stoppunkt-Layers erfasst werden. Eine glatte Oberfläche kann erhalten werden, indem ein reaktiver Ionen-Ätzprozess angewandt wird, falls gewünscht. Der Siliziumnitrid-Layer **200** wird in dem Speicherfeld A gestrippt.

[0059] Eine Öffnung wird nach unten durch das Spin-On-Glas **201** zu der Struktur **14**, zum Beispiel für einen Substratkontakt, in dem Beschaltungsbereich B durchgeätzt ([Fig. 47](#) und [Fig. 48](#)).

[0060] Die Metallisierung **202** wird zu oberen Leiterbahnen **203** in dem Speicherfeldbereich A strukturiert, welche im Wesentlichen parallel zu den Isolationsgräben oder senkrecht zu den unteren Leiterbahnen **46** verlaufen. [Fig. 49](#) zeigt einen Querschnitt der Struktur senkrecht zu denjenigen von [Fig. 48](#) (in der Ebene C-C, siehe [Fig. 3](#)). Die oberen Leiterbahnen **203** sind oberhalb der Gate-Elektrode **81** und der Kondensatorstrukturen **4** vorgesehen.

[0061] Die Gate-Elektroden werden individualisiert, indem das dotierte polykristalline Silizium **80** strukturiert wird. Die oberen Leiterbahnen **202** werden deshalb als Maske für einen Ätzprozess benutzt, welcher das dotierte polykristalline Silizium **80** zwischen den Reihen von Speicherzellen **5**, das heißt oberhalb der Isolationsgräben **21**, entfernt. Das entfernte polykristalline Silizium **80** wird durch einen dielektrischen Werkstoff, zum Beispiel Quarzglas, Spin-On-Glas und Siliziumoxid, ersetzt. Die individualisierten Gate-Elektroden werden unter den oberen Leiterbahnen **202** angeordnet. Die Breite der Gate-Elektroden ist fast gleich der Breite der oberen Leiterbahnen ausgebildet.

[0062] In einer weiteren Ausführung wird die Metallisierung **202** zu oberen Leiterbahnen **203** strukturiert, und das dotierte polykristalline Silizium **80** wird zu individualisierten Gate-Elektroden mittels eines einzelnen Lithografieprozesses strukturiert.

[0063] In einer alternativen Ausführung werden die Gate-Elektroden und die oberen Leiterbahnen **202** aus dem gleichen Gate-Elektroden-Material erstellt. Das Gate-Elektroden-Material, zum Beispiel das dotierte polykristalline Silizium, wird in den Gräben **44** und oben auf der geformten Struktur abgelagert.

[0064] Danach wird das Gate-Elektroden-Material strukturiert, um in einem Verfahrensschritt individualisierte Gate-Elektroden und obere Leiterbahnen **202** zu formen.

[0065] Obwohl die vorliegende Erfindung mit Bezug

auf eine bevorzugte Ausführung beschrieben worden ist, ist sie nicht darauf beschränkt, sondern kann auf dem Fachmann bekannte verschiedene Art und Weise variiert werden. Somit ist es beabsichtigt, dass die vorliegende Erfindung nur durch den Rahmen der hier beigefügten Ansprüche begrenzt ist.

Patentansprüche

1. Verfahren zum Herstellen einer integrierten Schaltung mit einer aktiven Halbleitervorrichtung, welches die folgenden Verfahrensschritte aufweist:

- Bereitstellen eines Substrats mit aktiven Bereichen;
- Formen einer Isolationsgrabenstruktur in das Substrat, welche die aktiven Bereiche voneinander isoliert;
- Formen von Leiterbahnen oberhalb des Substrats, wobei die Leiterbahnen die aktiven Bereiche durchqueren;
- Ätzen zumindest eines Grabens in das Substrat in den aktiven Bereichen, wobei die Isolationsgrabenstruktur eine Abmessung des Grabens in der einen Querrichtung festlegt und die Leiterbahnen eine Abmessung des Grabens in der anderen Querrichtung festlegen; und
- Formen einer aktiven Vorrichtung in dem zumindest einen Graben in den aktiven Bereichen.

2. Verfahren zum Herstellen einer integrierten Schaltung mit einer aktiven Halbleitervorrichtung, welches die folgenden Verfahrensschritte aufweist:

- Bereitstellen eines Substrats mit aktiven Bereichen;
- Ätzen einer Grabenstruktur in das Substrat, welche die aktiven Bereiche voneinander isoliert;
- Auffüllen zumindest des oberen Abschnitts der Grabenstruktur mit zumindest einem Ätz-Stop-Material;
- Formen von Leiterbahnen oberhalb des Substrats, wobei die Leiterbahnen die aktiven Bereiche durchqueren;
- Formen zumindest eines Grabens in das Substrat in den aktiven Bereichen mittels eines selektiven Ätzverfahrens unter Verwendung einer Maskenstruktur, welche durch den oberen Abschnitt der Grabenstruktur und die Leiterbahnen festgelegt ist; und
- Formen einer aktiven Vorrichtung in dem zumindest einen Graben in den aktiven Bereichen.

3. Verfahren nach Anspruch 2, wobei Kondensatorstrukturen in dem Substrat angrenzend an die aktiven Bereiche geformt werden, wobei die Kondensatorstrukturen einen Abschnitt der Grabenstruktur festlegen, und wobei ein Kappenlayer auf den Kondensatorstrukturen mit einem der Ätz-Stop-Materialien aufgebracht wird.

4. Verfahren nach Anspruch 2, wobei die Leiterbahnen durch Aufbringen von zumindest einem unteren leitfähigen Layer und einem Kappenlayer eines weiteren Ätz-Stop-Materials und durch Strukturieren beider Layer unter Verwendung eines Lithogra-

phie-Strukturierungsverfahrens geformt werden.

5. Verfahren nach Anspruch 3, wobei ein Decklayer zumindest teilweise an den Seitenwänden der Leiterbahnen vor einem selektiven Ätzen des zumindest einen Grabens in den aktiven Bereich geformt wird.

6. Verfahren nach Anspruch 2, wobei Isolationsgräben längs Linien in das Substrat geätzt werden, welche einen Teil der Grabenstrukturen festlegen, und wobei die Isolationsgräben mit einem der Ätz-Stop-Materialien gefüllt werden.

7. Verfahren nach Anspruch 2, wobei die Ätz-Stop-Materialien zumindest eins von Siliziumoxid, Quarzglas, Siliziumnitrid aufweisen, und wobei das selektive Ätzverfahren einen Ätz-Reaktanten basierend auf Fluorwasserstoff verwendet.

8. Verfahren nach Anspruch 2, wobei das Formen der aktiven Vorrichtung folgende Verfahrensschritte aufweist: Formen eines Gate-Dielektrikums auf der Oberfläche des zumindest einen Grabens in dem aktiven Bereich und Füllen des zumindest einen Grabens mit Gate-Elektroden-Material.

9. Verfahren nach Anspruch 8, wobei obere Leiterbahnen oberhalb der Leiterbahnen geformt werden, wobei die oberen Leiterbahnen senkrecht zu den Leiterbahnen verlaufen, und wobei das Gate-Elektroden-Material in Bereichen, die von den oberen Leiterbahnen unbedeckt sind, entfernt wird.

10. Verfahren nach Anspruch 9, wobei das Gate-Elektroden-Material und die oberen Leiterbahnen durch ein einzelnes Lithografieverfahren strukturiert werden.

11. Verfahren zum Herstellen einer aktiven Vorrichtung einer Halbleiterspeichervorrichtung, welches die folgenden Verfahrensschritte aufweist:

- Bereitstellen eines Substrats mit einer Vielzahl von Speicherzellbereichen, welchen in Reihen angeordnet sind;
- Formen einer Tiefgraben-Kondensatorstruktur in jedem der Speicherzellbereichen, wobei die Tiefgraben-Kondensatorstruktur einen Kappenlayer des ersten Ätz-Stop-Materials aufweist;
- Ätzen von Isolationsgräben längs von Linien, welche die Reihen von Speicherzellbereichen trennen, und Auffüllen der Isolationsgräben mit einem zweiten Ätz-Stop-Material;
- Formen von unteren Leiterbahnen, welche längs Spalten ausgerichtet und oberhalb der Speicherzellbereiche angeordnet sind;
- selektives Ätzen zumindest eines Grabens in das Substrat in den Speicherzellbereichen in Bezug auf die ersten und zweiten Ätz-Stop-Materialien und unter Verwendung der unteren Leiterbahnen als Maske;

- Formen eines Gate-Dielektrikums auf der Oberfläche des zumindest einen Grabens in dem Speicherzellularbereich;
- Auffüllen des zumindest einen Grabens und der Zwischenräume zwischen den unteren Leiterbahnen mit einem Gate-Elektroden-Material;
- Formen oberer Leiterbahnen oberhalb der unteren Leiterbahnen; und
- Entfernen des Gate-Elektroden-Materials unter Verwendung der oberen Leiterbahnen als Maske.

12. Verfahren nach Anspruch 11, wobei die oberen Leiterbahnen senkrecht zu den unteren Leiterbahnen ausgebildet werden.

13. Verfahren nach Anspruch 11, wobei ein Formen der oberen Leiterbahnen und ein Entfernen der Gate-Elektrode innerhalb der gleichen Verfahrens- bzw. Prozesskammer durchgeführt werden.

14. Integrierte Schaltung, welche Folgendes aufweist:
eine Vielzahl von ersten Leiterbahnen, welche auf einem Substrat angeordnet sind;
eine Vielzahl von zweiten Leiterbahnen, welche oberhalb der ersten Leiterbahnen angeordnet sind;
eine in dem Substrat angeordnete Speicherzelle, wobei die Speicherzelle eine aktive Vorrichtung aufweist;
eine Gate-Elektrode der aktiven Vorrichtung, welche seitlich zwischen zwei der ersten Leiterbahnen angeordnet ist und sich vertikal in zumindest eine der Speicherzellen erstreckt, unter einer der zweiten Leiterbahnen angeordnet ist und die gleiche Breite aufweist wie die eine der zweiten Leiterbahnen in dem Abschnitt zwischen zwei der ersten Leiterbahnen.

15. Integrierte Schaltung nach Anspruch 14, wobei die aktive Vorrichtung als ein Feldeffekttransistor ausgebildet ist.

16. Integrierte Schaltung nach Anspruch 15, wobei die aktive Vorrichtung als ein Transistor vom Fin-Typ oder als ein erweiterter U-förmiger Transistor ausgebildet ist.

17. Integrierte Schaltung nach Anspruch 16, wobei der Transistor vom Fin-Typ eine Elektrode mit einer konkav geformten Bodenfläche aufweist.

18. Integrierte Schaltung nach Anspruch 14, wobei zumindest ein Gate-Stapel in dem Beschaltungsbereich vorgesehen ist, und wobei die Gate-Stapel und die ersten Leiterbahnen aus einem gleichen Stapel eines leitfähigen Layers und eines Kappenlayers geformt sind.

19. Integrierte Schaltung nach Anspruch 14, wobei die zweiten Leiterbahnen Wortleitungen bilden.

20. Integrierte Schaltung nach Anspruch 14, wobei die ersten Leiterbahnen Bitleitungen bilden.

21. Integrierte Schaltung nach Anspruch 14, wobei die zweiten Leiterbahnen das gleiche Material wie die Gate-Elektroden aufweisen.

Es folgen 27 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

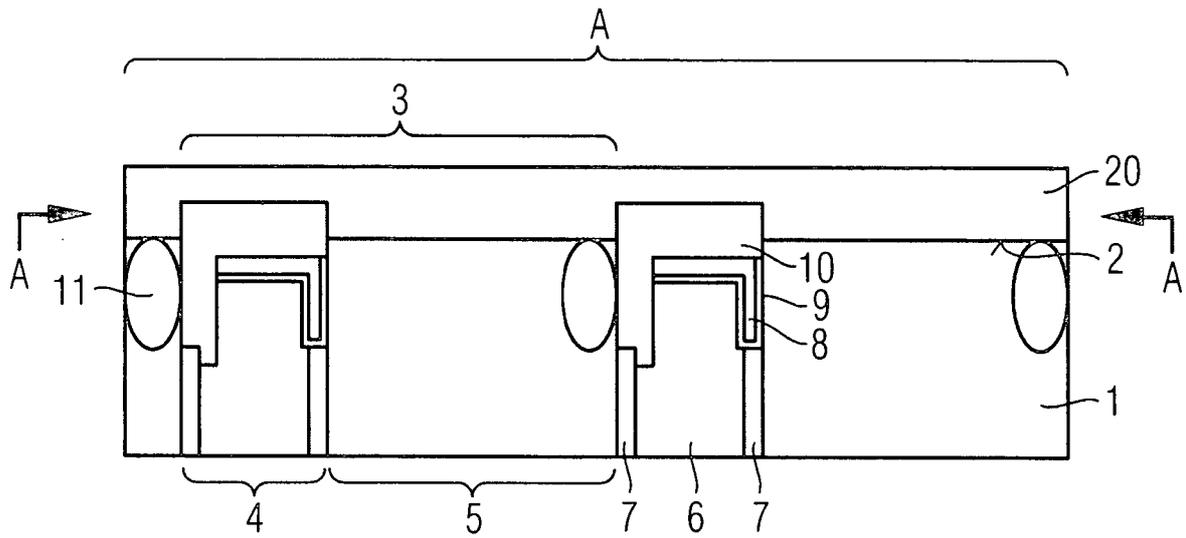


FIG 2

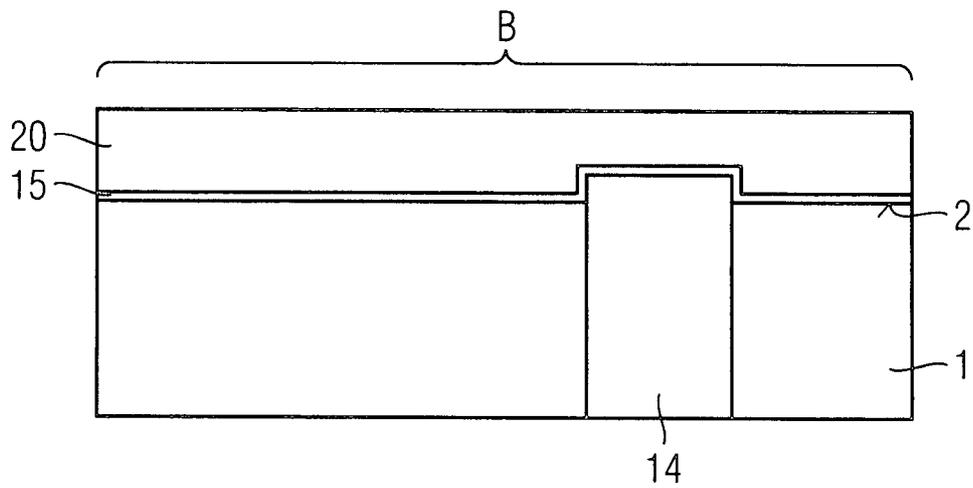


FIG 3

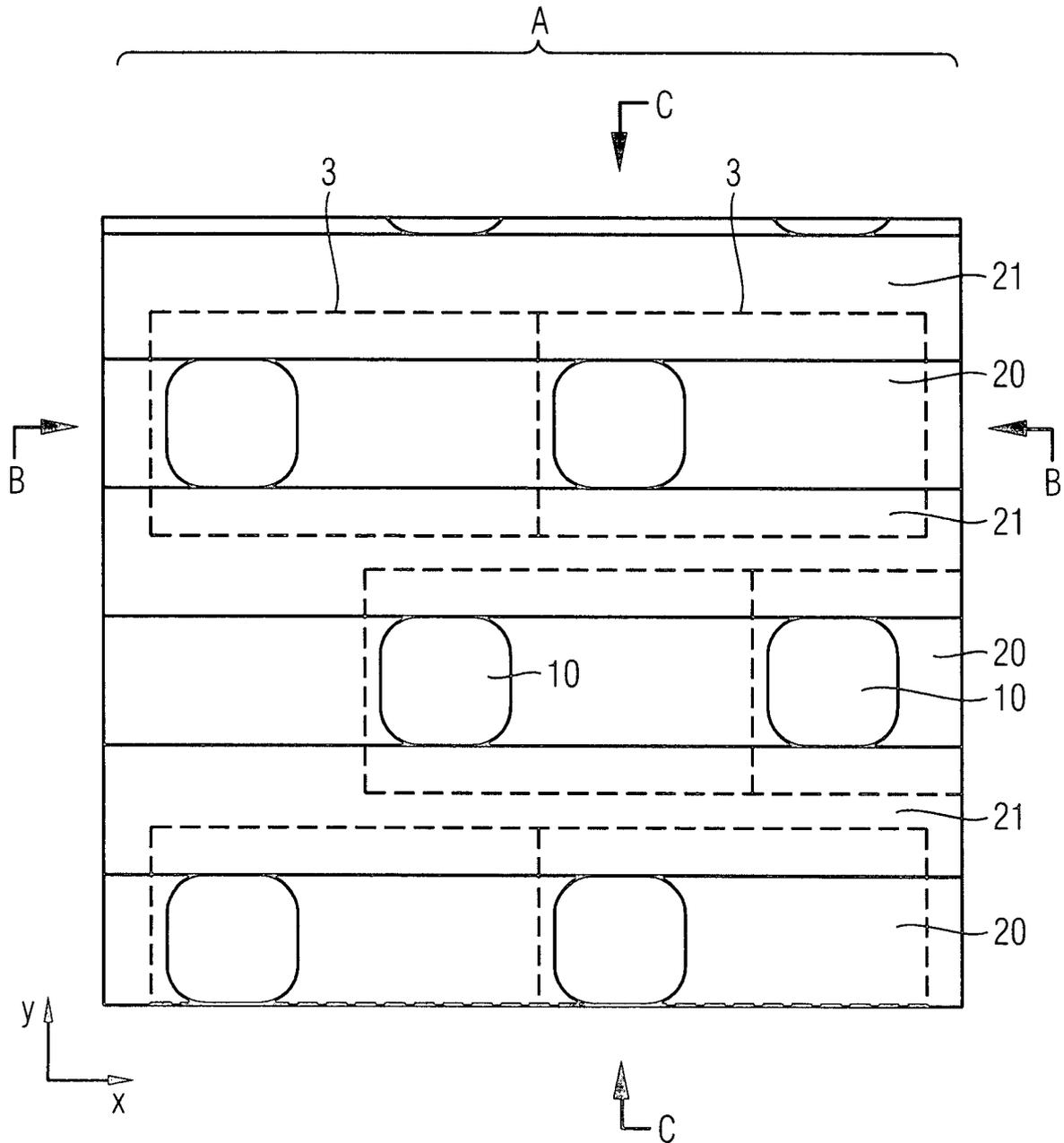


FIG 4

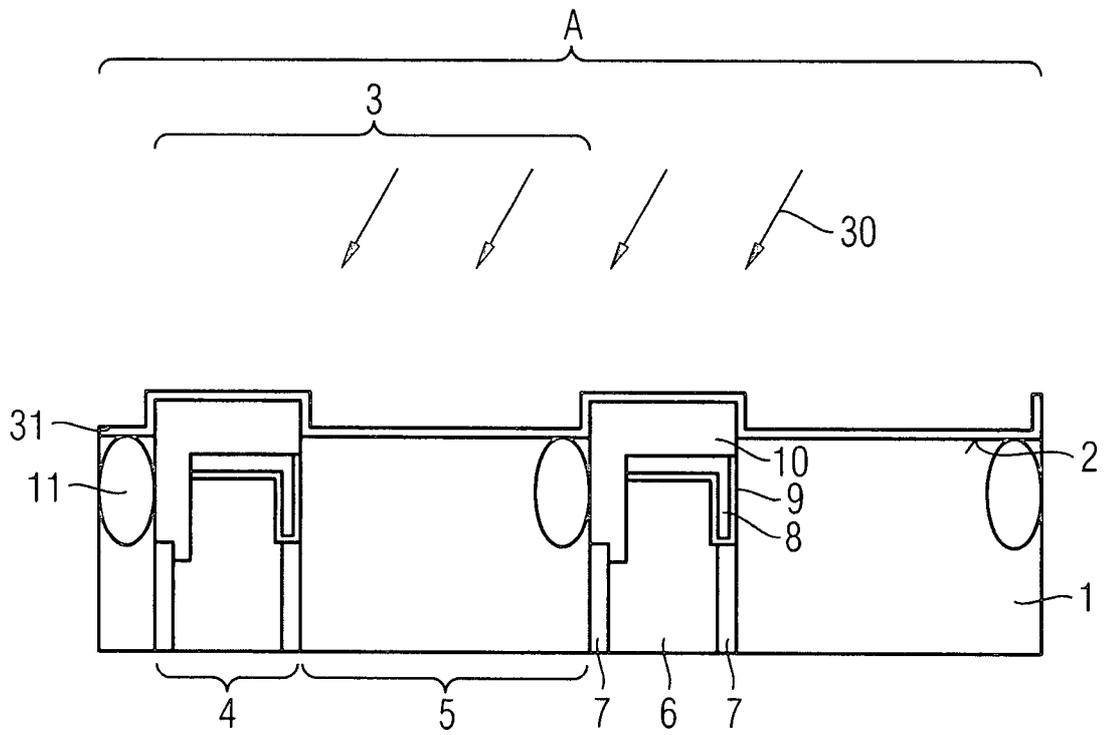


FIG 5

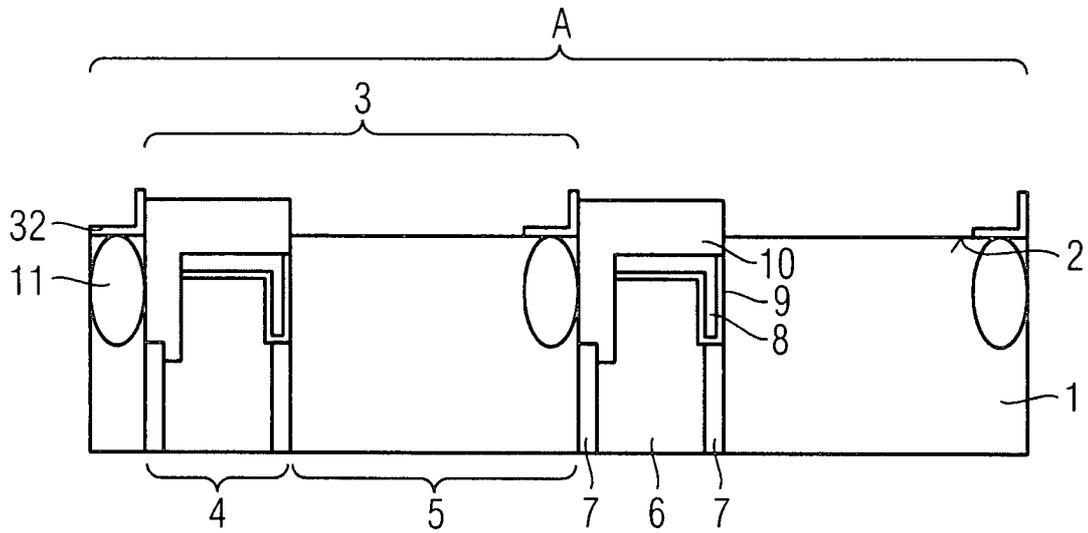


FIG 6

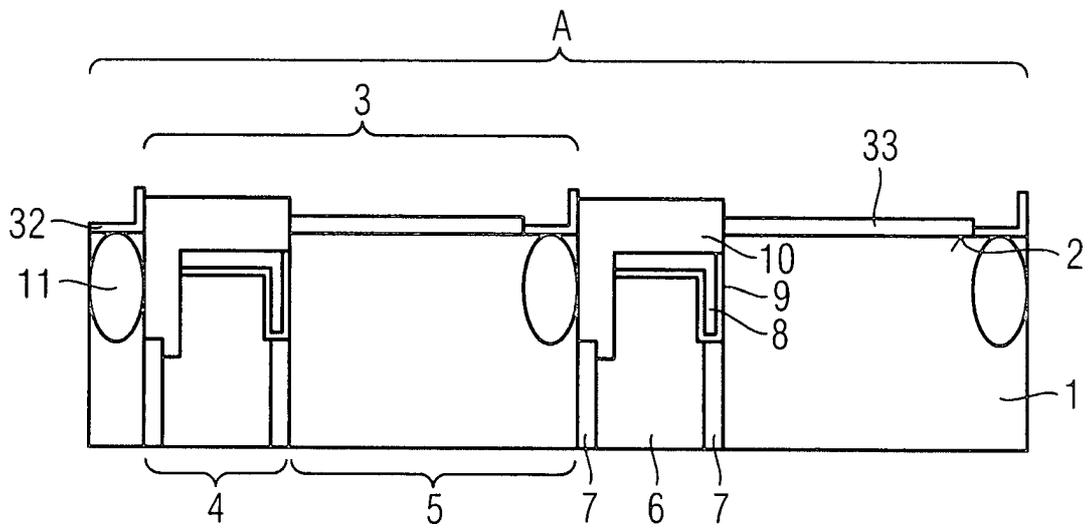


FIG 7

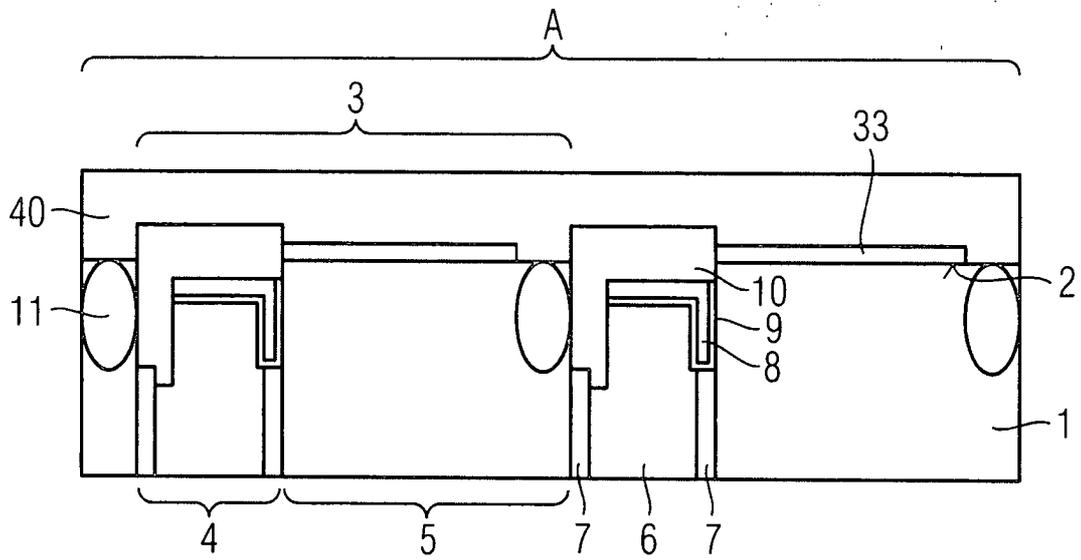


FIG 8

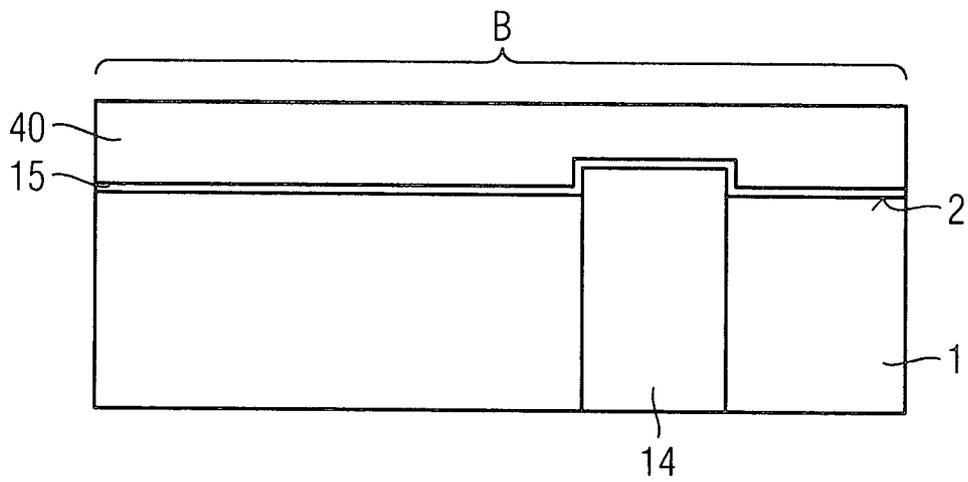


FIG 9

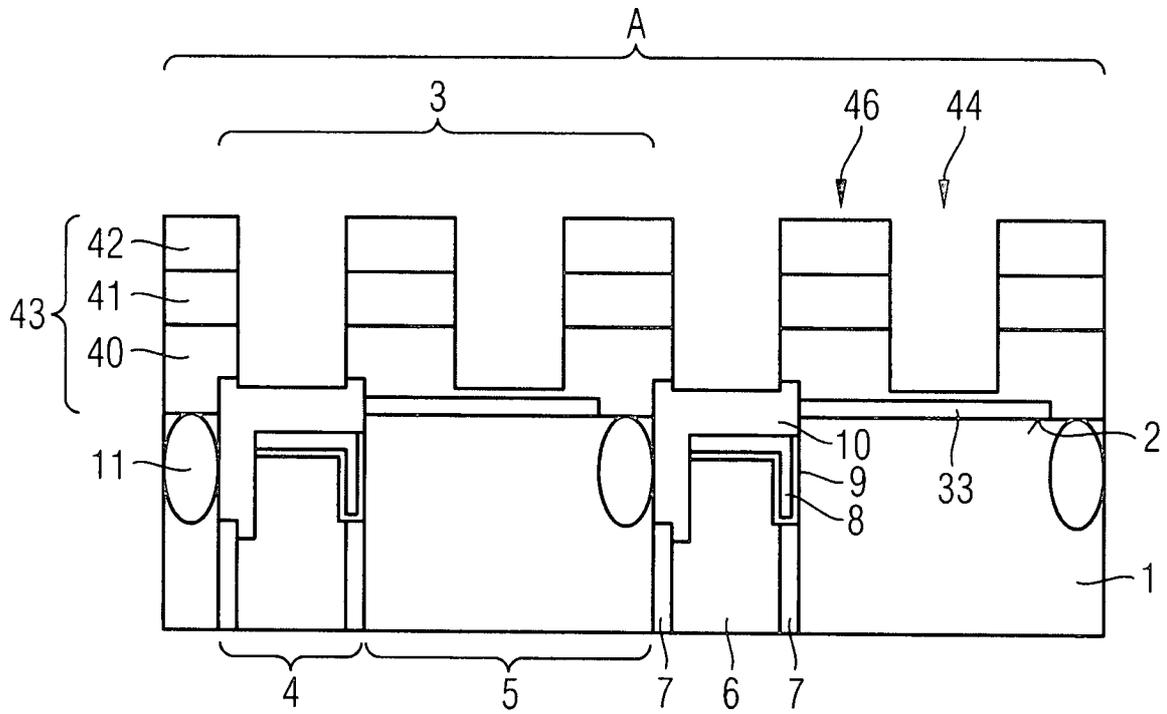


FIG 10

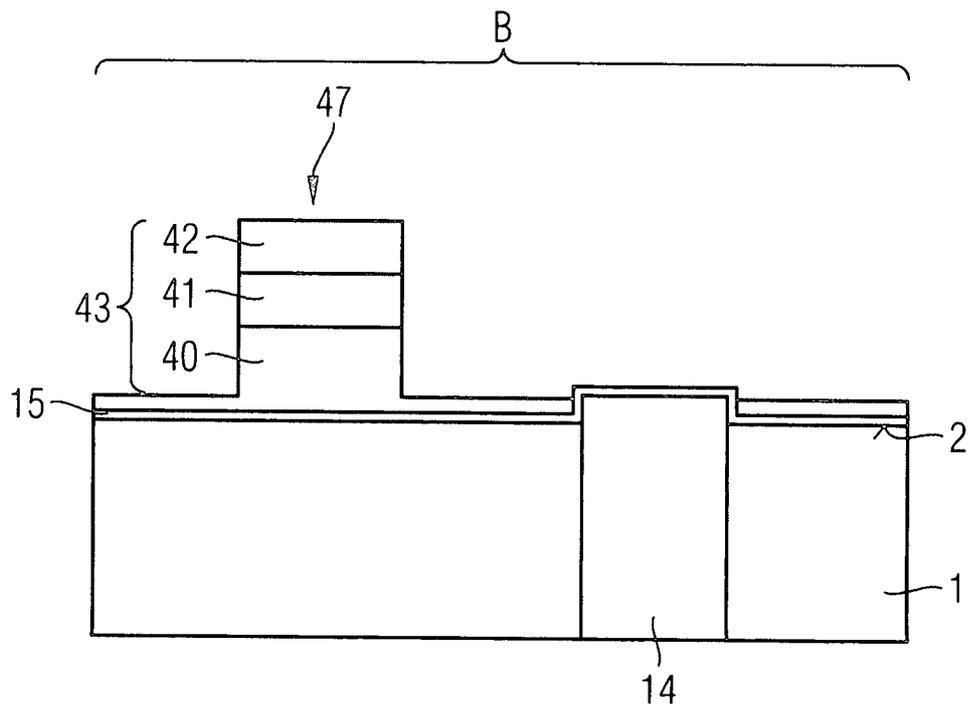


FIG 11

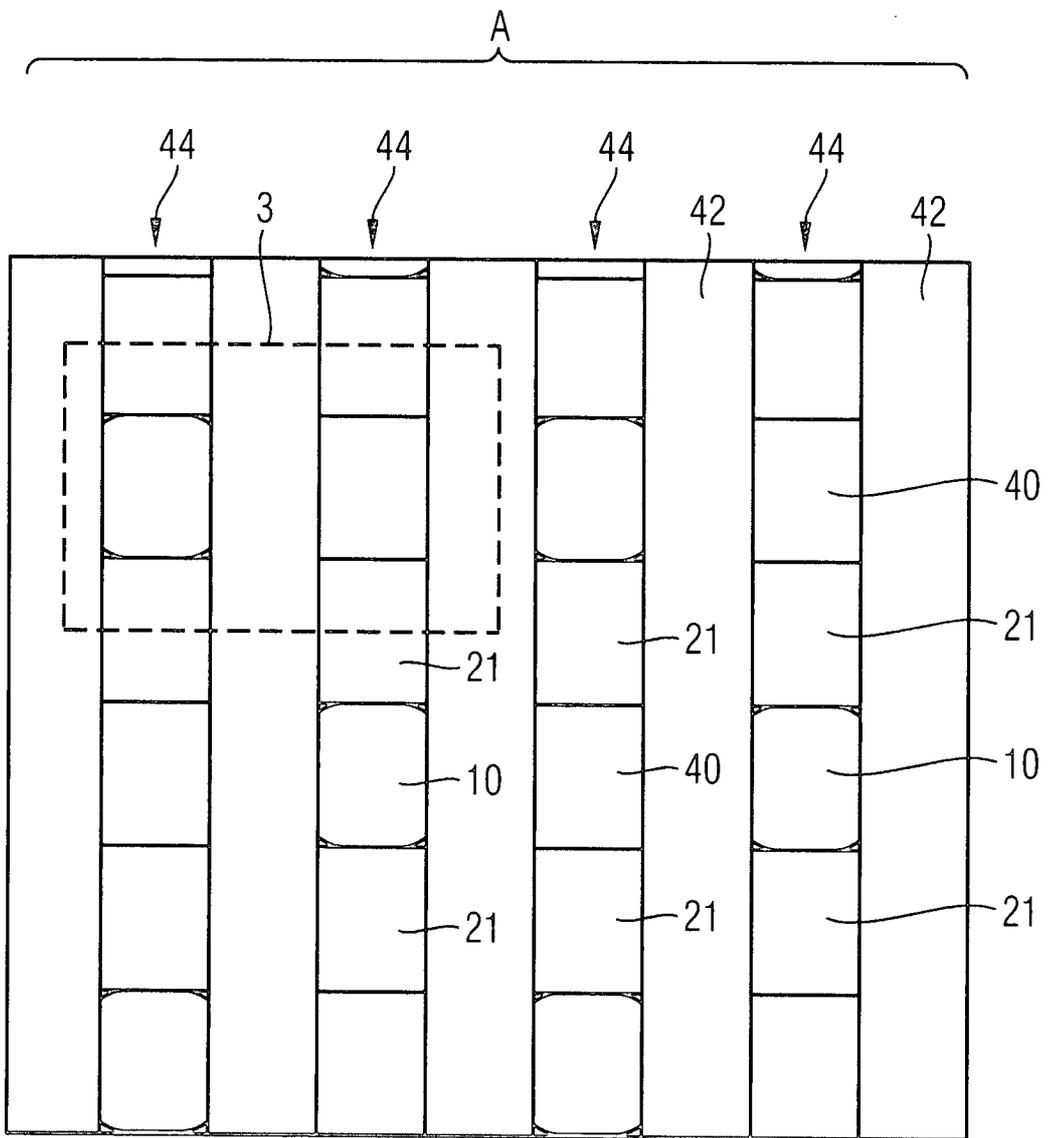


FIG 12

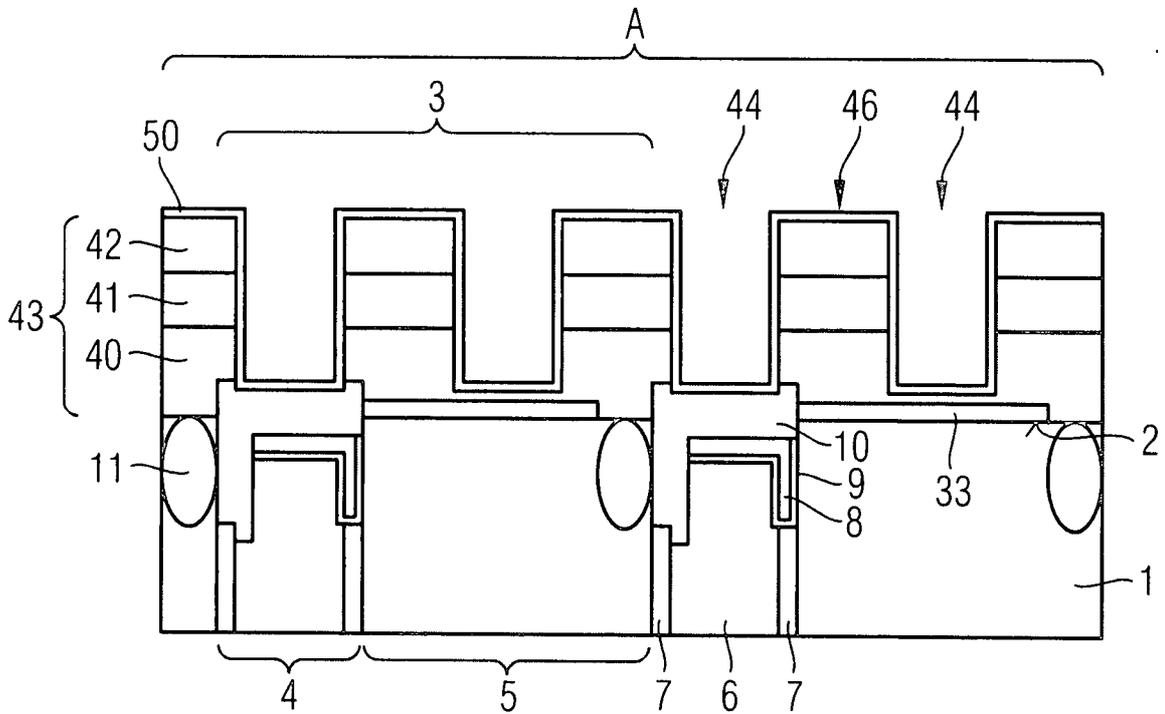


FIG 13

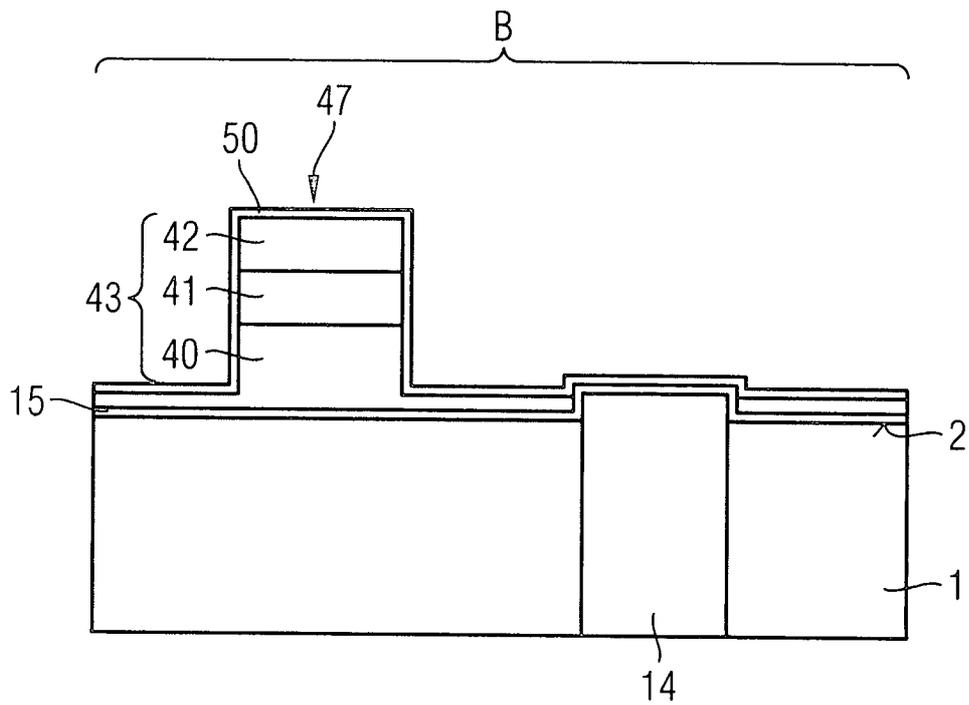


FIG 14

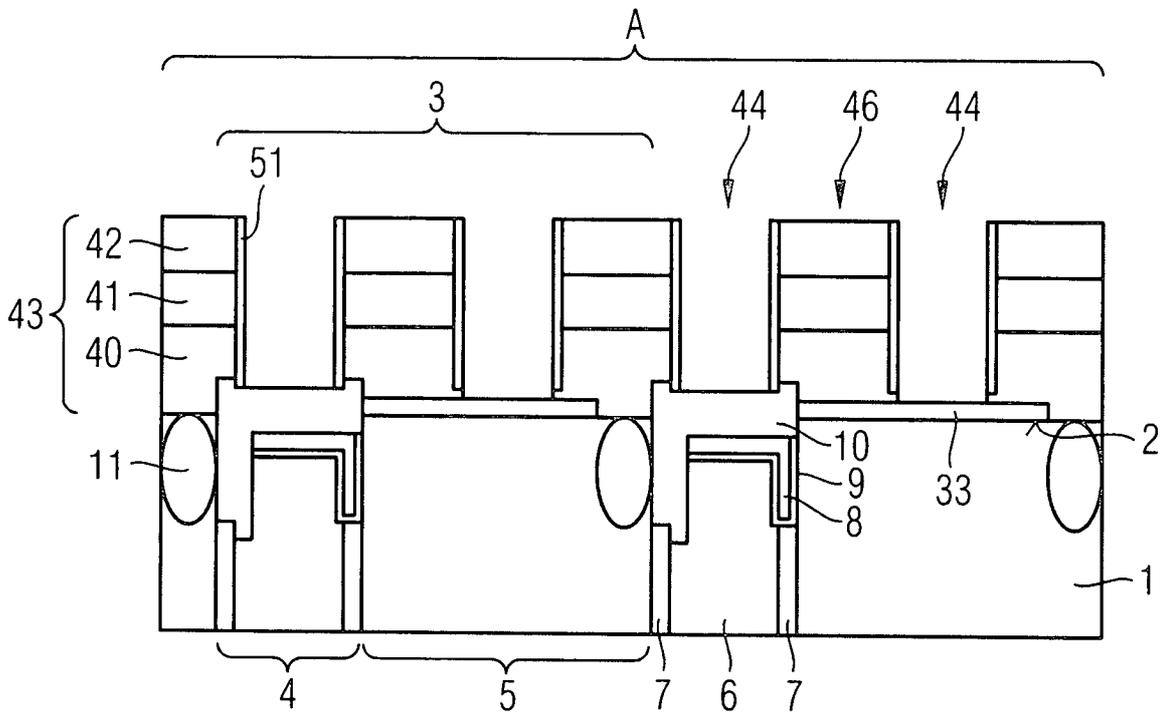


FIG 15

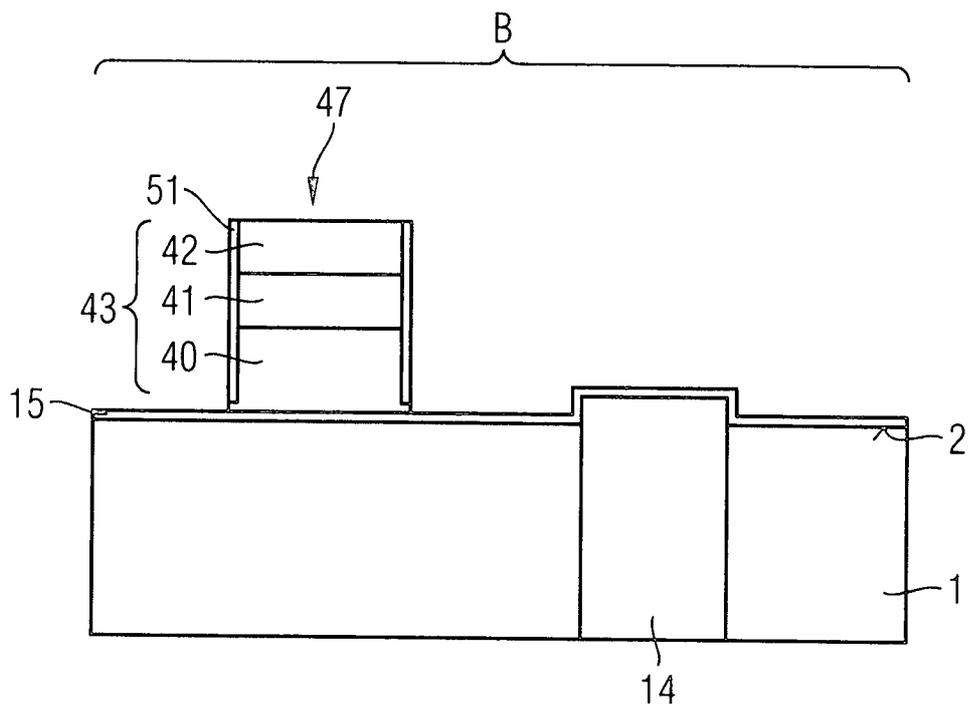


FIG 18

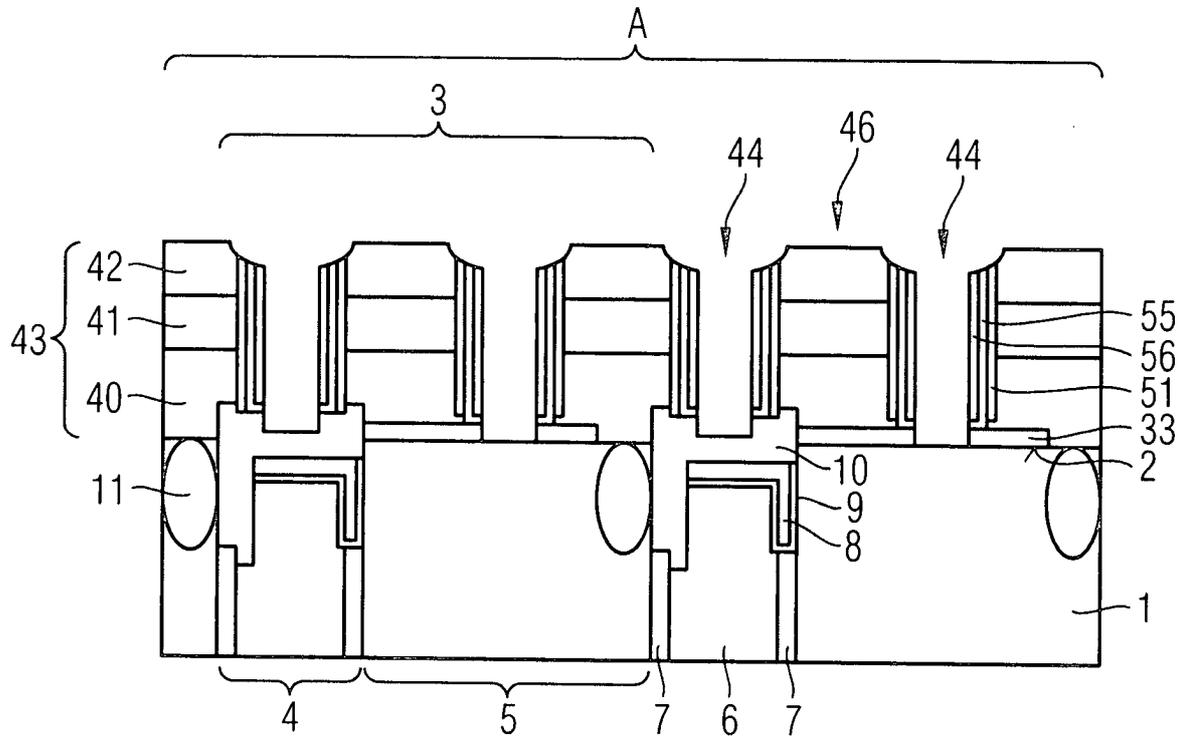


FIG 19

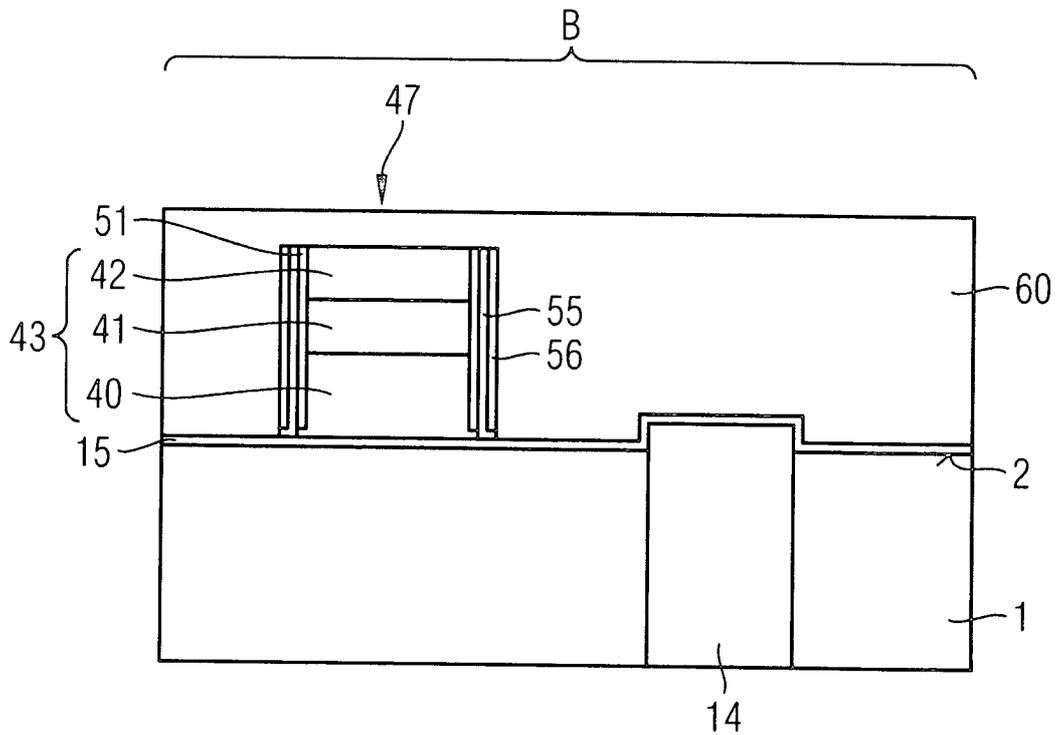


FIG 20

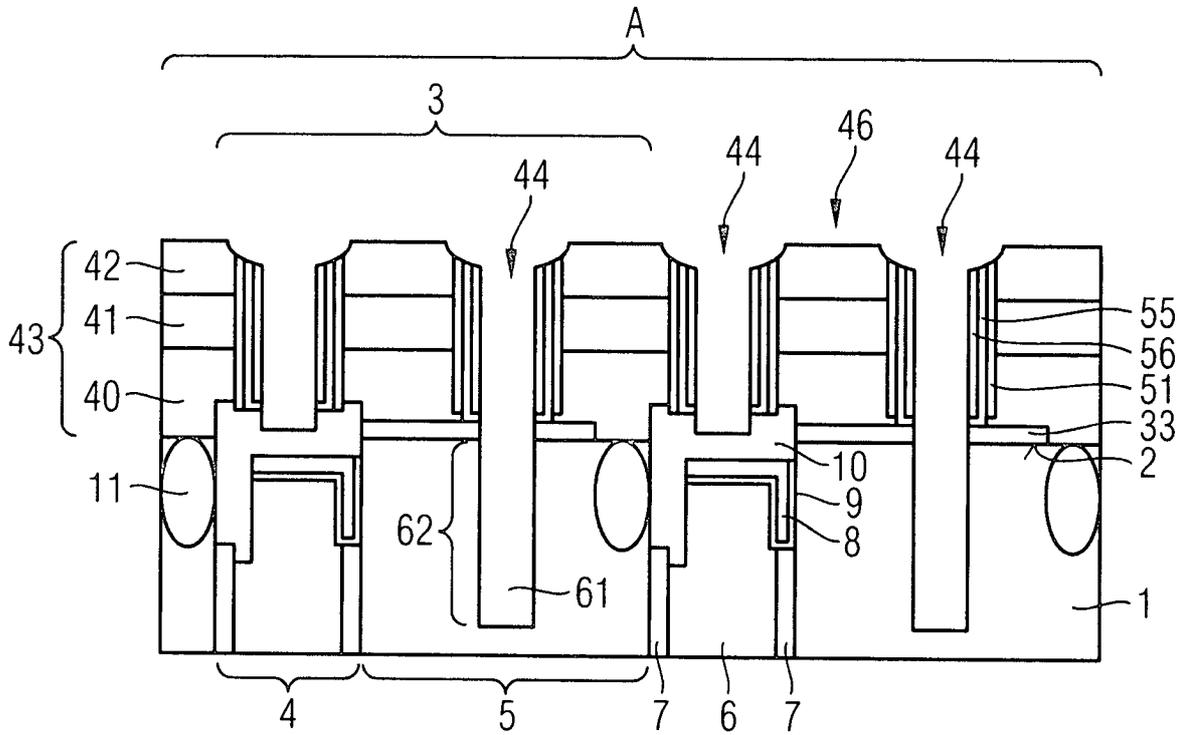


FIG 21

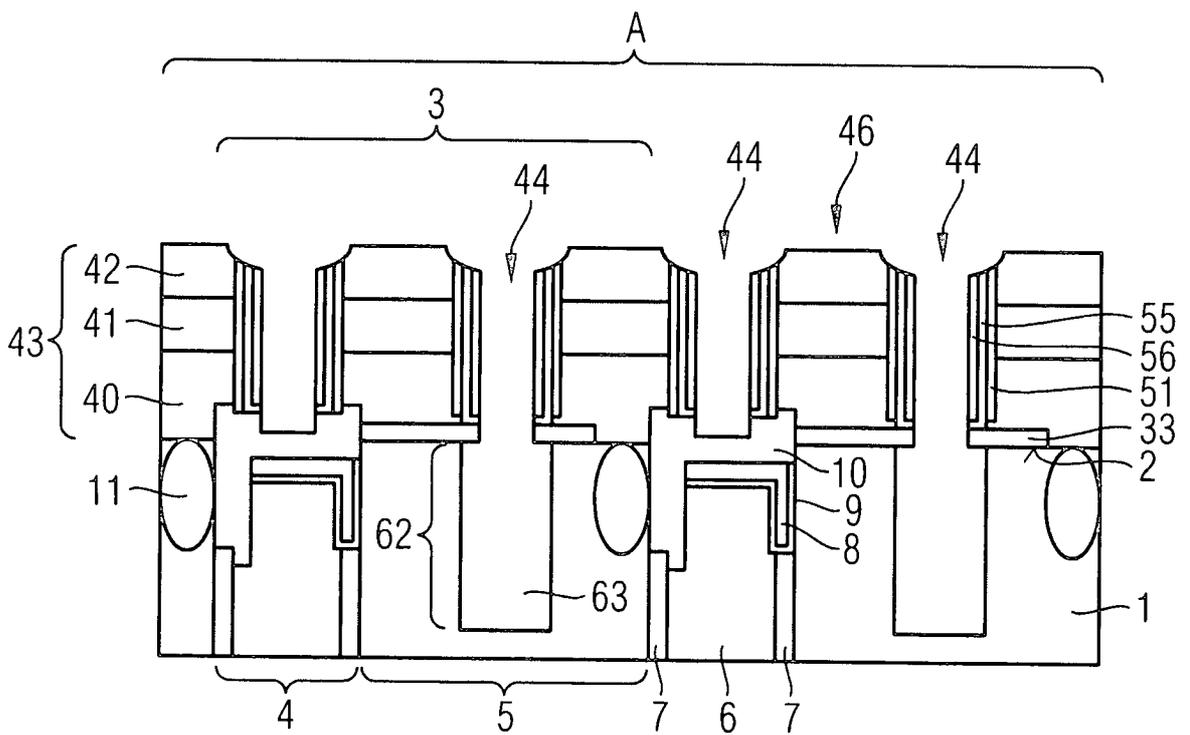


FIG 22

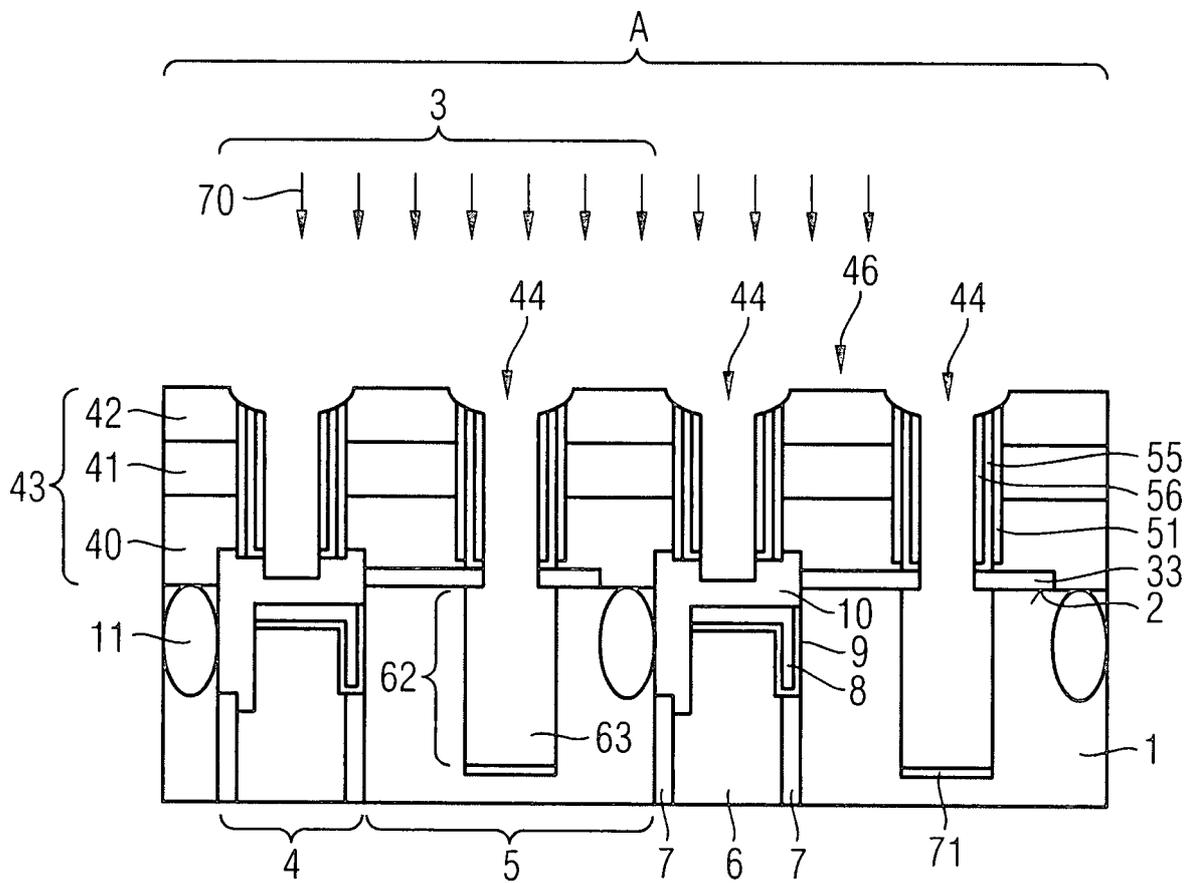


FIG 23

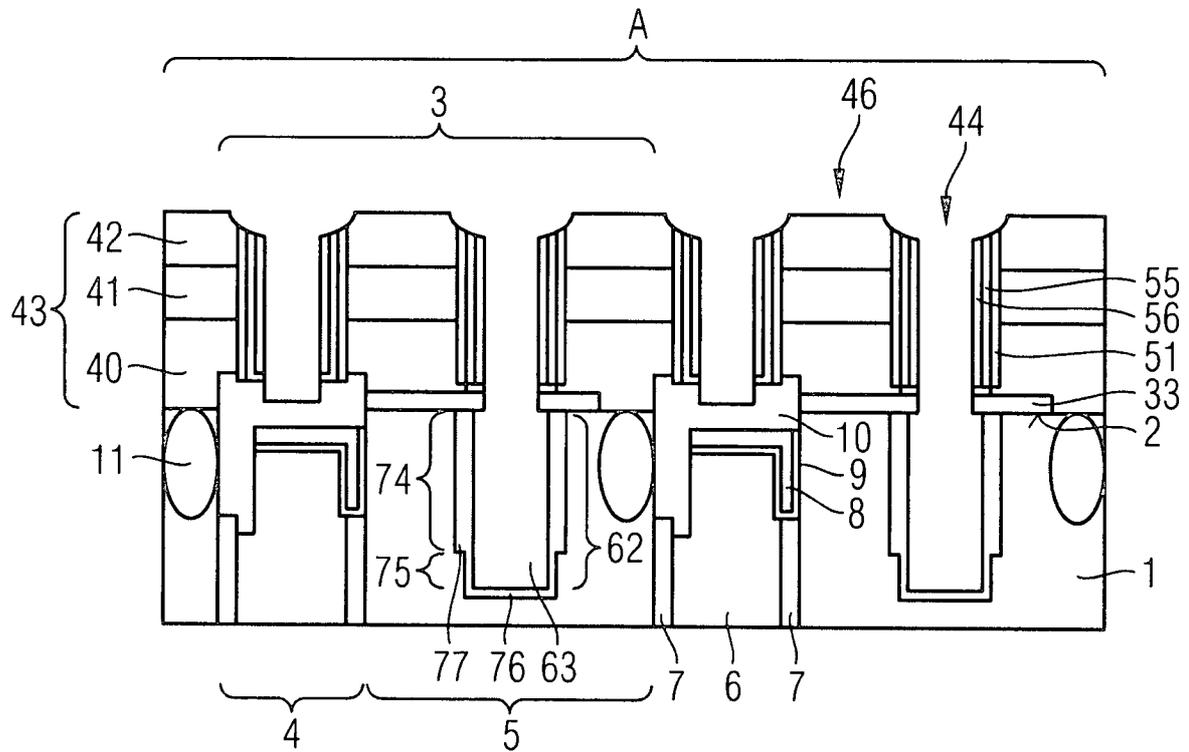


FIG 24

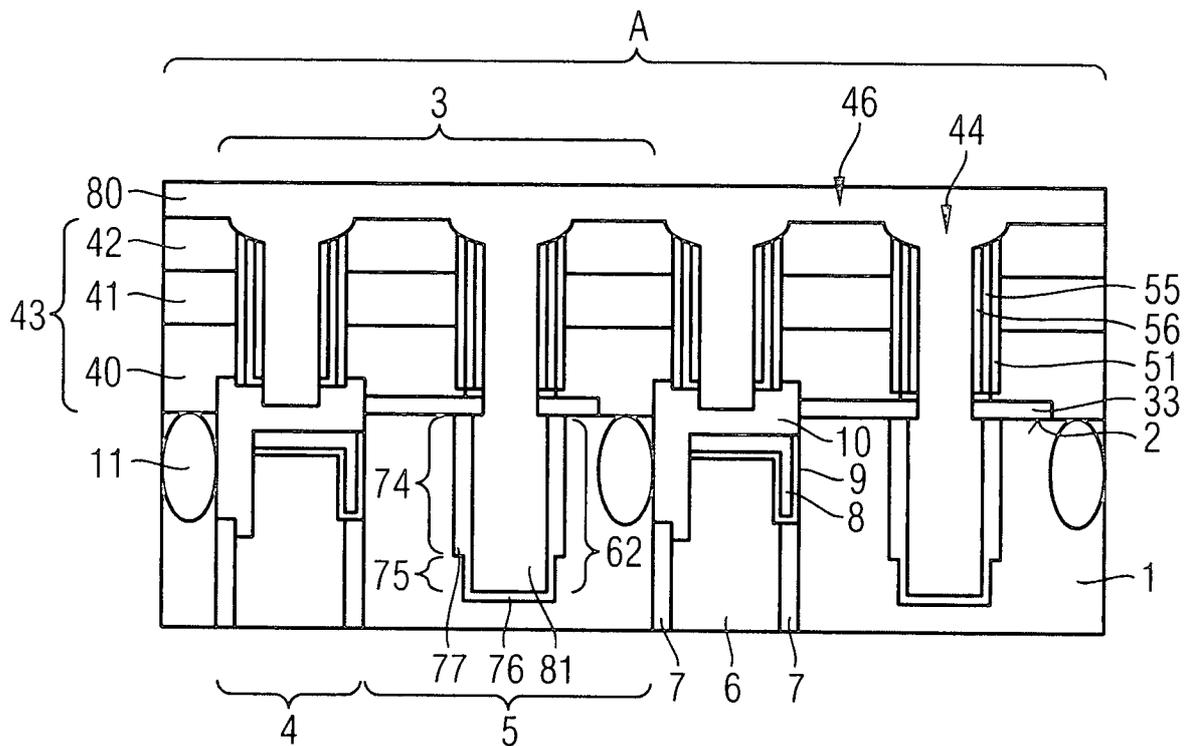


FIG 31

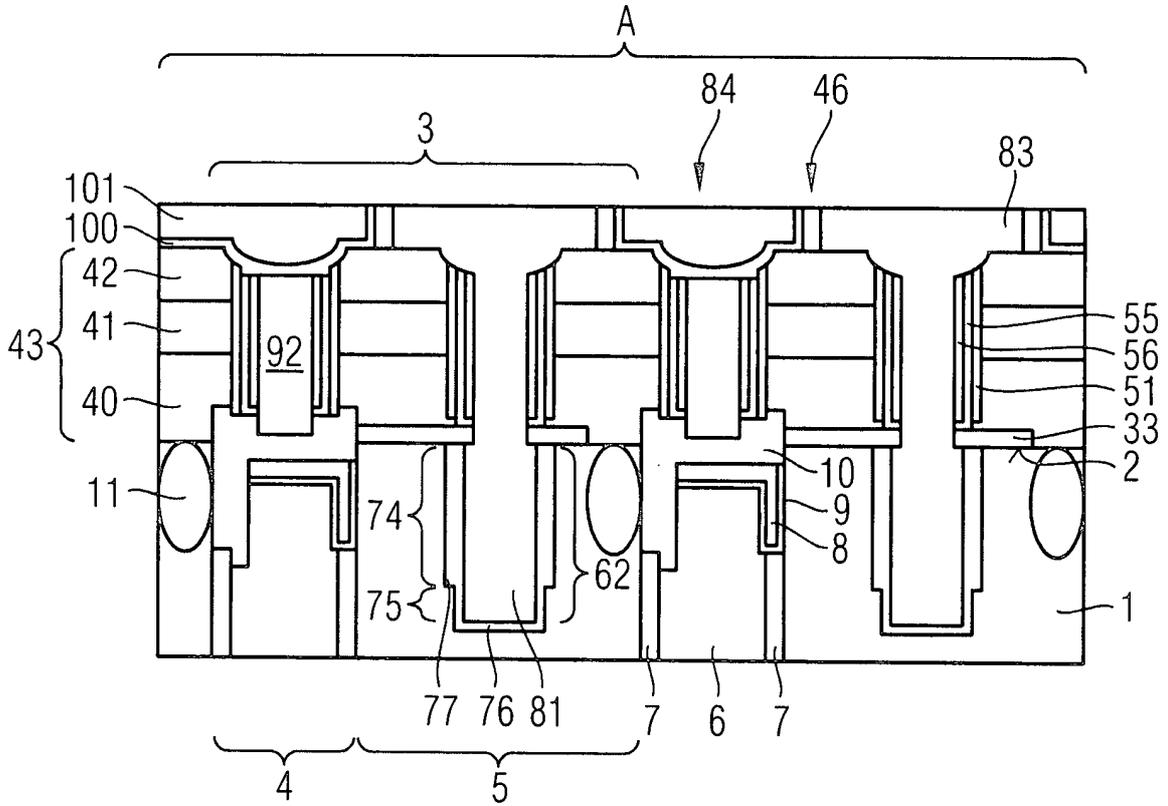


FIG 32

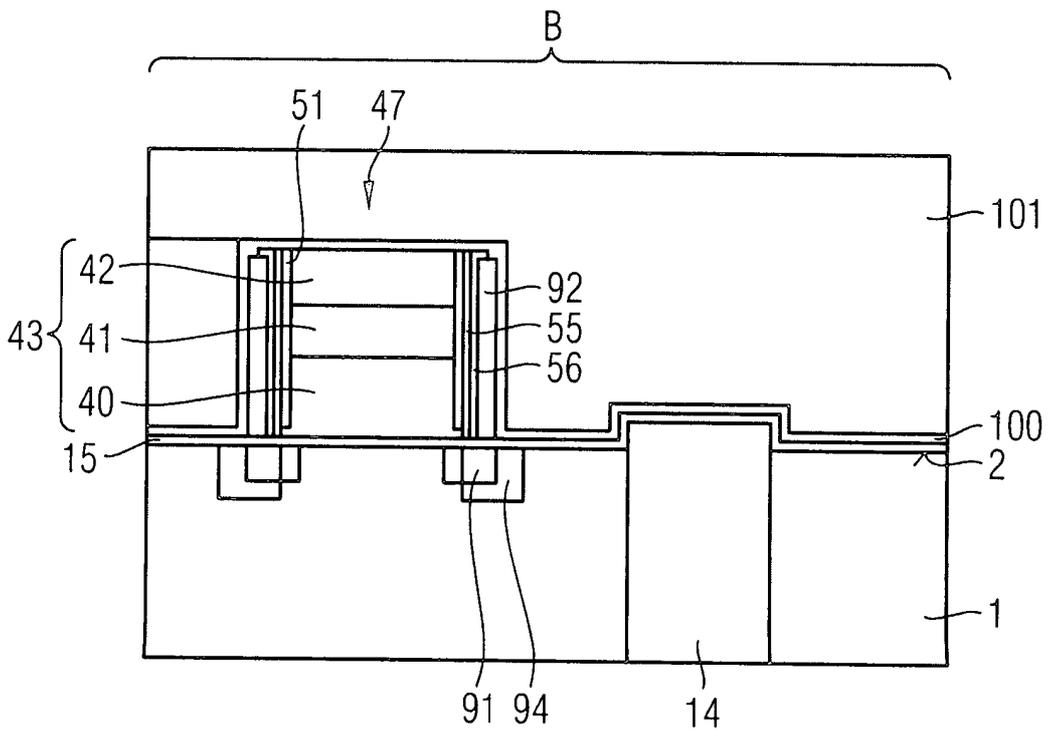


FIG 33

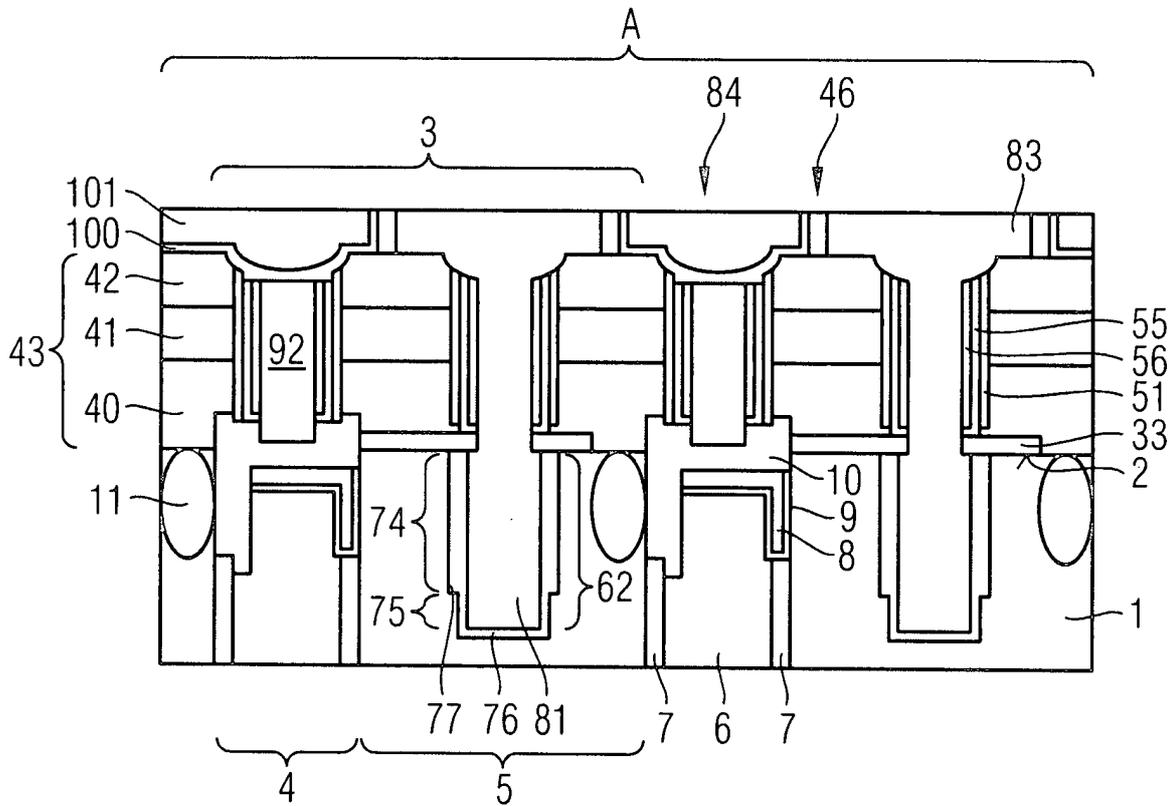


FIG 34

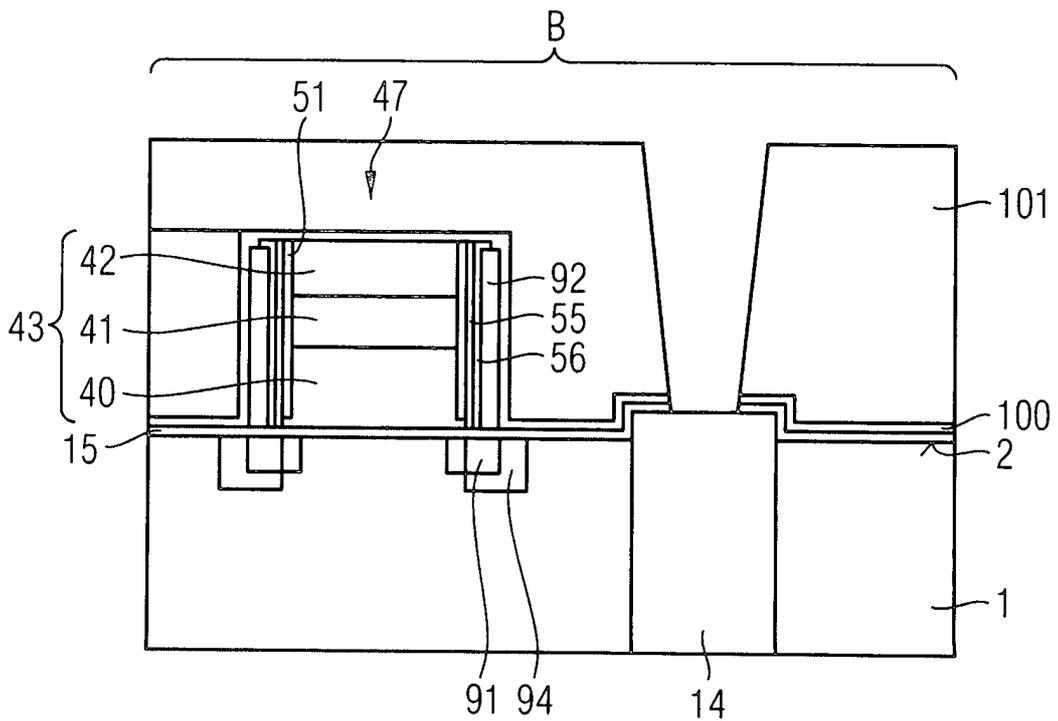


FIG 43

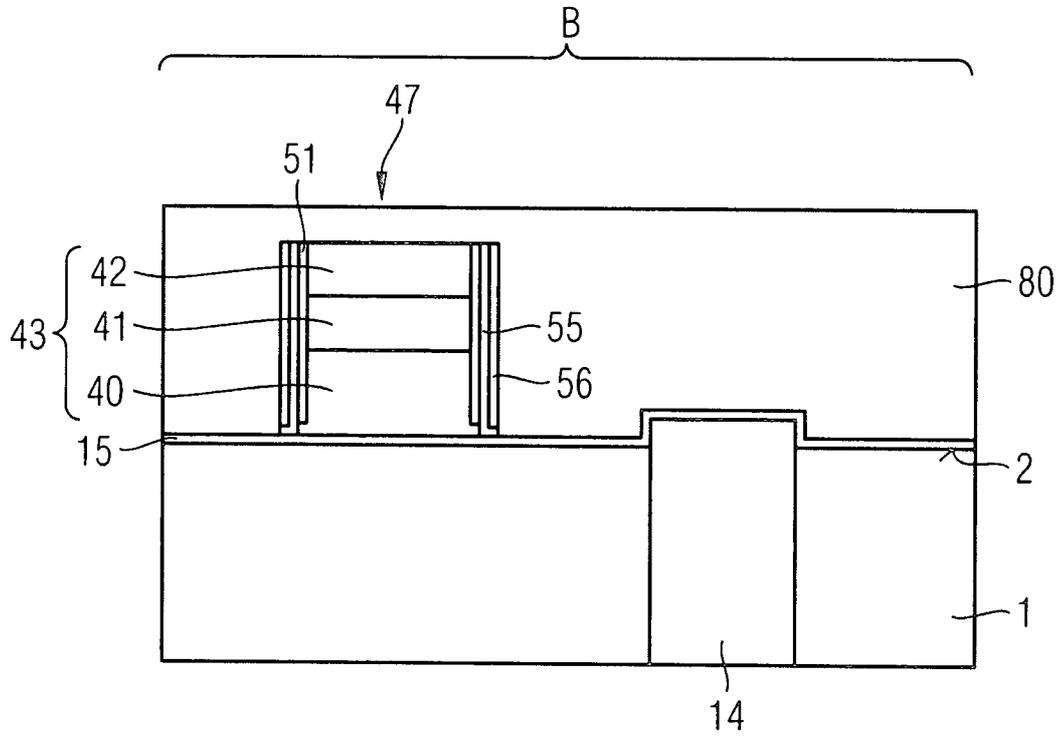


FIG 44

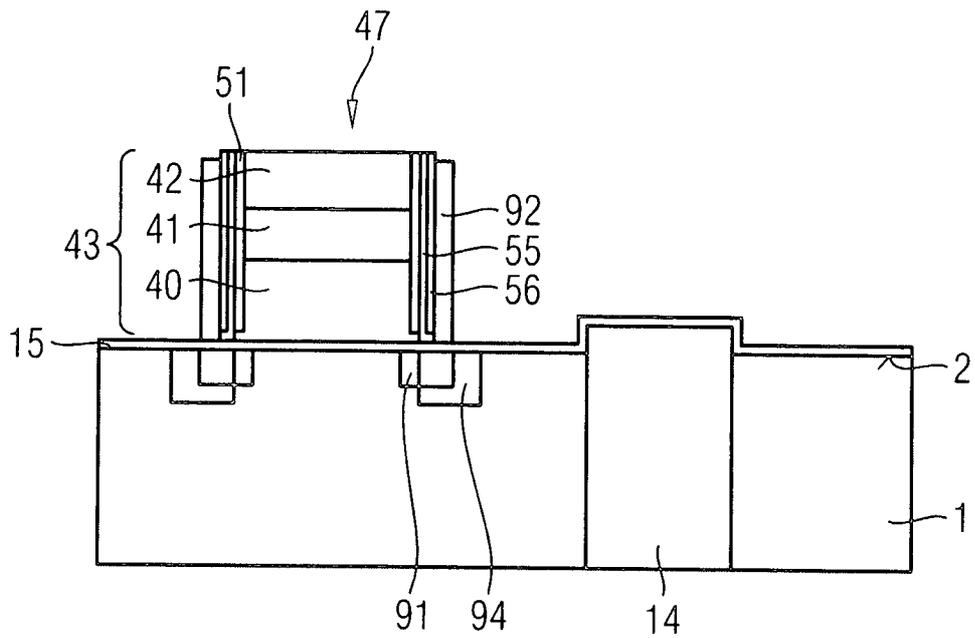


FIG 45

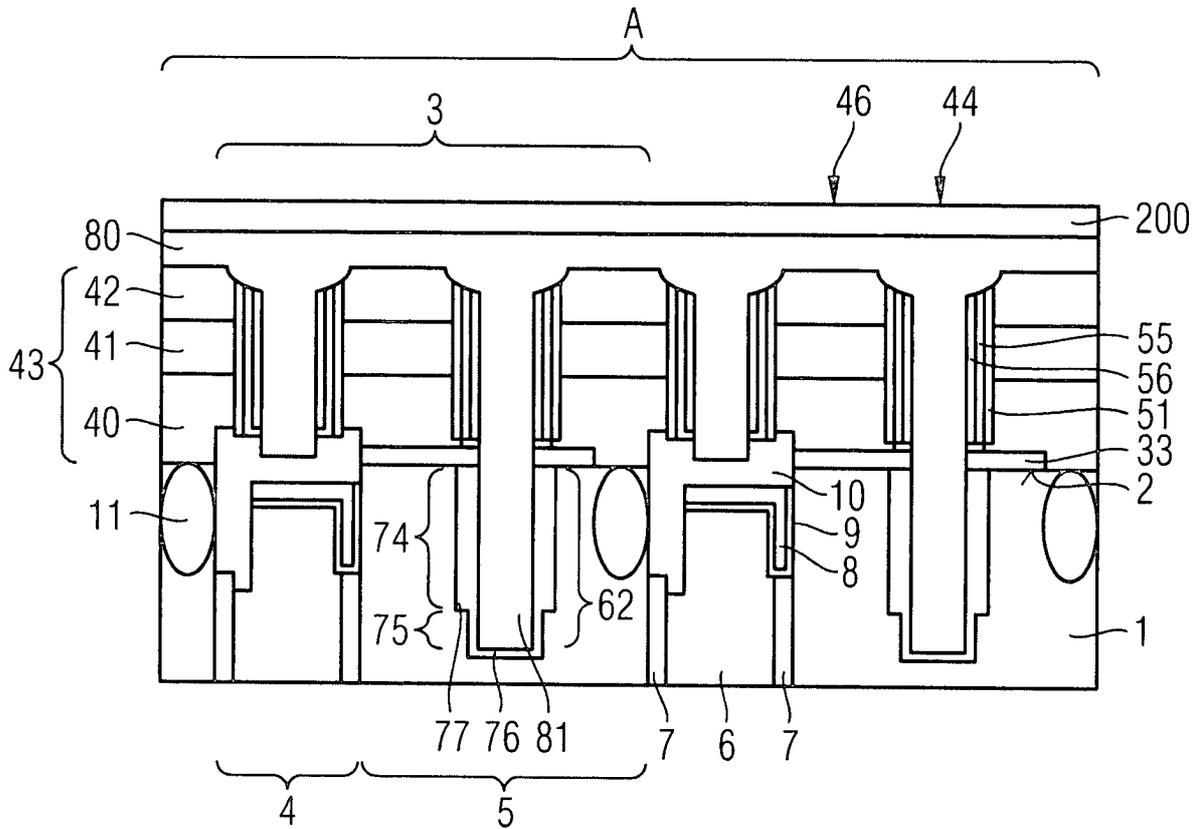


FIG 46

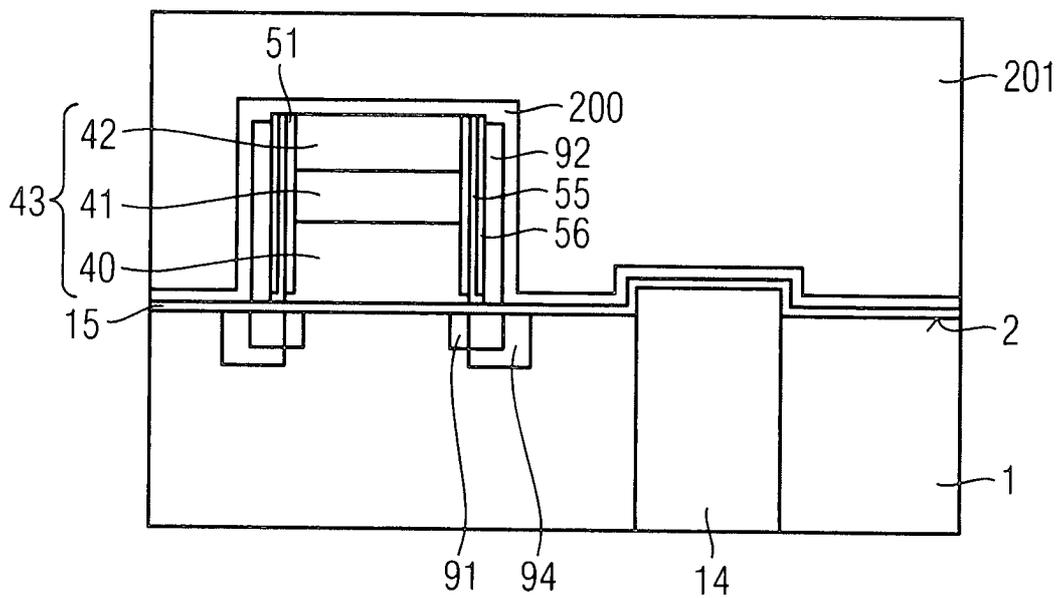


FIG 47

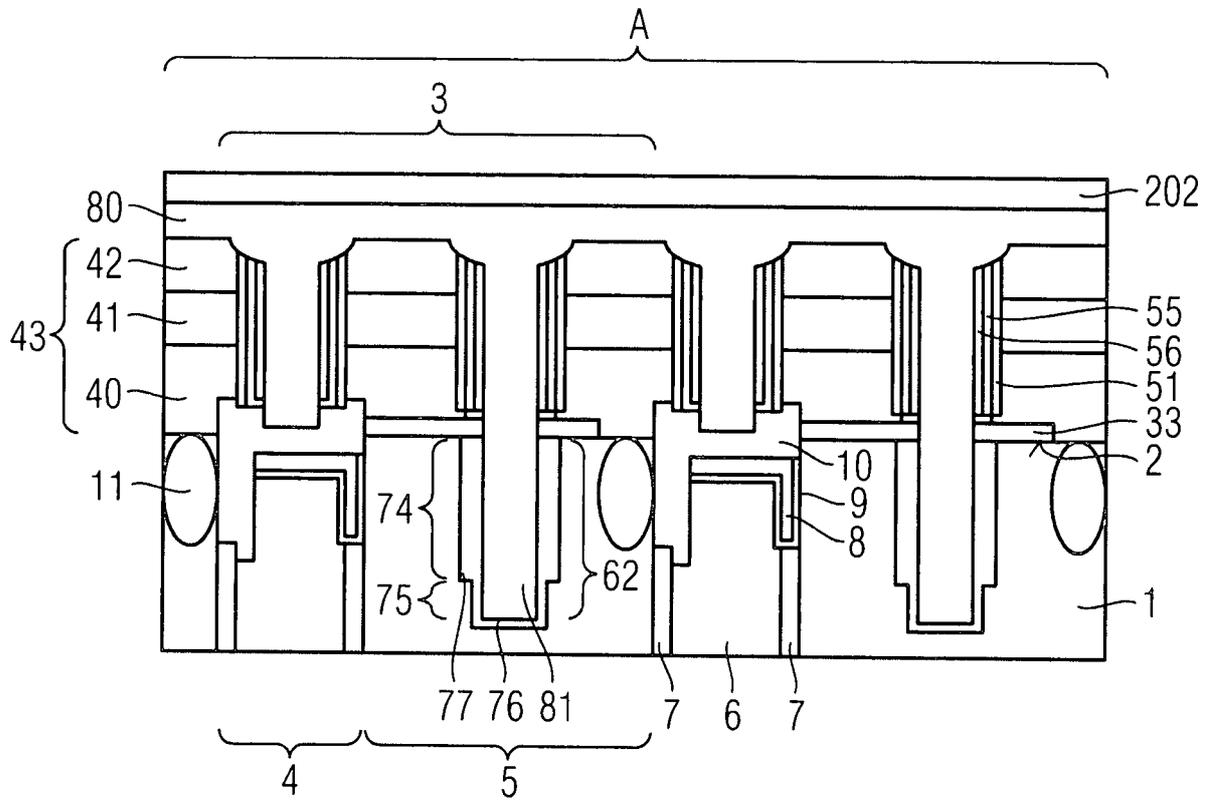


FIG 48

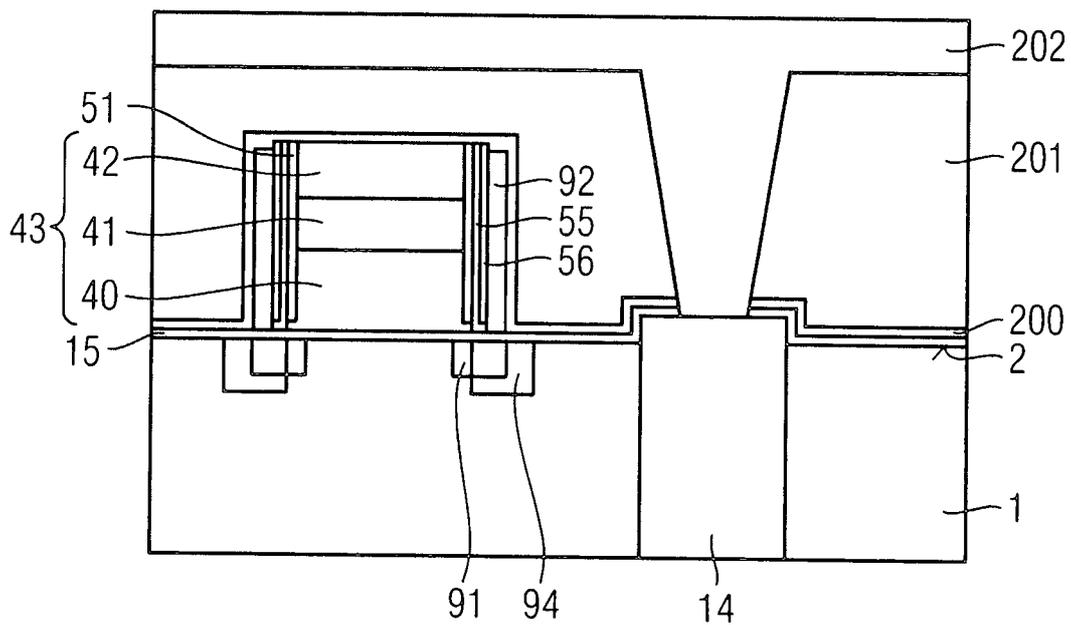


FIG 49

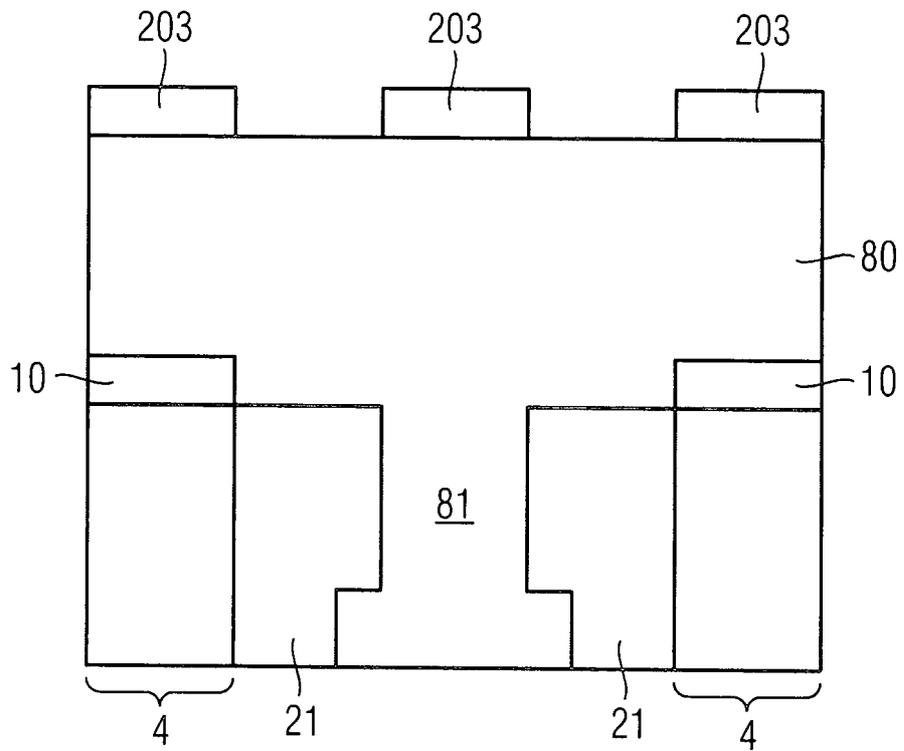


FIG 50

