

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7307725号
(P7307725)

(45)発行日 令和5年7月12日(2023.7.12)

(24)登録日 令和5年7月4日(2023.7.4)

(51)国際特許分類 F I
H 0 4 N 25/707 (2023.01) H 0 4 N 25/707
H 0 4 N 25/773 (2023.01) H 0 4 N 25/773

請求項の数 16 (全33頁)

(21)出願番号	特願2020-525309(P2020-525309)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	平成31年4月22日(2019.4.22)	(74)代理人	100112955 弁理士 丸島 敏一
(86)国際出願番号	PCT/JP2019/016989	(72)発明者	北野 伸 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(87)国際公開番号	WO2019/239722	審査官	松永 隆志
(87)国際公開日	令和1年12月19日(2019.12.19)		
審査請求日	令和4年3月3日(2022.3.3)		
(31)優先権主張番号	特願2018-111505(P2018-111505)		
(32)優先日	平成30年6月12日(2018.6.12)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 固体撮像素子、撮像装置、および、固体撮像素子の制御方法

(57)【特許請求の範囲】

【請求項1】

複数の画素を配列した画素アレイ部を具備し、

前記複数の画素のそれぞれは、

光電変換により電子および正孔を生成するフォトダイオードと、

前記電子および前記正孔の一方の量に応じた電圧の画素信号を生成する画素信号生成部と、

前記電子および前記正孔の他方の変化量が所定の閾値を超えたか否かを検出して検出信号を出力する検出部と

を備える固体撮像素子。

【請求項2】

前記画素信号生成部は、前記電子の量に応じた電圧の前記画素信号を生成し、

前記検出部は、前記正孔の変化量が前記閾値を超えたか否かを検出する

請求項1記載の固体撮像素子。

【請求項3】

前記フォトダイオードと前記画素信号生成部の一部とは、所定の受光チップに配置され、

前記画素信号生成部の残りとは、前記検出部とは、所定の回路チップに配置される

請求項1記載の固体撮像素子。

【請求項4】

前記画素信号生成部は、

前記画素信号を生成する画素回路と、
 前記画素信号と所定の参照信号とを比較する比較回路と
 を備え、
 前記フォトダイオードと前記画素回路と前記比較回路の一部とは、前記受光チップに配置
 され、

前記比較回路の残りと前記検出部とは、前記回路チップに配置される
 請求項 3 記載の固体撮像素子。

【請求項 5】

前記画素信号生成部は、
 前記画素信号を生成する画素回路と、
 前記画素信号と所定の参照信号とを比較する比較回路と
 を備え、

前記フォトダイオードおよび前記画素回路は、前記受光チップに配置され、

前記比較回路および前記検出部は、前記回路チップに配置される
 請求項 3 記載の固体撮像素子。

【請求項 6】

前記検出部により前記変化量が前記閾値を超えた旨が検出された場合には前記画素信号
 生成部を駆動して前記画素信号を生成させる駆動部をさらに具備する
 請求項 1 記載の固体撮像素子。

【請求項 7】

前記画素信号に対して所定の信号処理を行って出力する列処理部と、
 所定の露光期間内に前記変化量が前記閾値を超えた旨が検出された場合には前記列処理
 部を制御して前記画素信号を出力させる制御回路と
 を具備する請求項 1 記載の固体撮像素子。

【請求項 8】

前記フォトダイオード、前記画素信号生成部および前記検出部は、複数の画素のそれぞ
 れに配置され、

前記画素信号生成部は、
 アナログの前記画素信号を生成する画素回路と、
 前記画素信号をデジタル信号に変換して出力するアナログデジタル変換器と
 を備える請求項 1 記載の固体撮像素子。

【請求項 9】

アナログの前記画素信号をデジタル信号に変換するアナログデジタル変換器をさらに具
 備し、

前記フォトダイオード、前記画素信号生成部および前記検出部は、複数の画素のそれぞ
 れに配置され、

前記画素信号生成部は、アナログの前記画素信号を生成して前記アナログデジタル変換
 器へ出力する

請求項 1 記載の固体撮像素子。

【請求項 10】

前記画素信号生成部は、
 前記電子および前記正孔の一方の電荷を蓄積する電荷蓄積部と、
 前記電荷を蓄積して当該電荷の量に応じた前記電圧に変換する浮遊拡散層と、
 前記フォトダイオードから電荷蓄積部へ前記電荷を転送する第 1 の転送トランジスタと、
 前記電荷蓄積部から前記浮遊拡散層へ前記電荷を転送する第 2 の転送トランジスタと
 を備える

請求項 1 記載の固体撮像素子。

【請求項 11】

前記検出部は、
 前記電子および前記正孔の他方からなる光電流を電圧に変換する変換部と、

10

20

30

40

50

減算により前記電圧の変化量を求める減算器と、
前記変化量と前記閾値とを比較して当該比較結果を前記検出信号として出力するコンパ
レータと
を備える請求項 1 記載の固体撮像素子。

【請求項 1 2】

前記検出部は、前記変換部からの前記電圧の信号を前記減算器に出力するバッファをさ
らに備える

請求項 1 1 記載の固体撮像素子。

【請求項 1 3】

前記変換部は、複数段のループ回路を備え、

前記複数段のループ回路のそれぞれは、ループ状に接続された一対のトランジスタから
なる

請求項 1 1 記載の固体撮像素子。

【請求項 1 4】

前記変換部は、

ループ状に接続された一対のトランジスタと、
前記一対のトランジスタのそれぞれのゲートに接続された容量と
を備える請求項 1 1 記載の固体撮像素子。

【請求項 1 5】

複数の画素を配列した画素アレイ部と、

デジタル信号処理部と

を具備し、

前記複数の画素のそれぞれは、

光電変換により電子および正孔を生成するフォトダイオードと、

前記電子および前記正孔の一方の量に応じた電圧の画素信号を生成する画素信号生成部
と、

前記電子および前記正孔の他方の変化量が所定の閾値を超えたか否かを検出して検出信
号を出力する検出部と

を備え、

前記デジタル信号処理部は、前記検出信号および前記画素信号に対して所定の処理を行
う撮像装置。

【請求項 1 6】

画素アレイ部内に配列された複数の画素のそれぞれが備える画素信号生成部および検出部
のうち前記画素信号生成部が、光電変換により生成された電子および正孔の一方の量に応
じた電圧の画素信号を生成する画素信号生成手順と、

前記検出部が、前記電子および前記正孔の他方の変化量が所定の閾値を超えたか否かを検
出して検出信号を出力する検出手順と

を具備する固体撮像素子の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。詳しく
は、輝度の変化量が閾値を超えたか否かを検出する固体撮像素子、撮像装置、および、
固体撮像素子の制御方法に関する。

【背景技術】

【0002】

従来より、垂直同期信号などの同期信号に同期して画像データを撮像する同期型の固体
撮像素子が、撮像装置などにおいて用いられている。この一般的な同期型の固体撮像素子
では、同期信号の周期（例えば、1 / 60 秒）ごとにしか画像データを取得することがで
きない。そのため、交通やロボットなどに関する分野において、より高速な処理が要求さ

10

20

30

40

50

れた場合に対応することが困難になる。そこで、画素アドレスごとに、その画素の輝度の変化量が所定の閾値を超えたか否かをアドレスイベントとしてリアルタイムに検出する非同期型の固体撮像素子が提案されている（例えば、特許文献1参照。）。このように、画素毎にアドレスイベントを検出する固体撮像素子は、DVS（Dynamic Vision Sensor）と呼ばれる。

【先行技術文献】

【特許文献】

【0003】

【文献】特表2016-533140号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述の非同期型の固体撮像素子（すなわち、DVS）では、同期型の固体撮像素子よりも遥かに高速に画像データを生成して出力することができる。また、この非同期型のDVSにおいて、フォトダイオードを非同期型の回路と共有する同期型の固体撮像素子内の画素回路をさらに追加して、同期型より高画質の画像データをさらに生成することもできる。しかしながら、フォトダイオードを共有する非同期型および同期型の回路を設けた固体撮像素子において、画像データの画質の向上が困難であるという問題がある。フォトダイオードが電子を生成して転送する場合、その電子の一部が非同期型の回路に転送され、残りが同期型の回路に転送されて、それらの回路の一方のみを設ける場合と比較して各回路へ転送される電子の量が少なくなるためである。フォトダイオードの面積を広くすれば、電荷の量を増大させて画質を向上させることができるが、実装面積が増大するため望ましくない。

【0005】

本技術はこのような状況に鑑みて生み出されたものであり、アドレスイベントを検出する固体撮像素子において、画像データの画質を向上させることを目的とする。

【課題を解決するための手段】

【0006】

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、光電変換により電子および正孔を生成するフォトダイオードと、上記電子および上記正孔の一方の量に応じた電圧の画素信号を生成する画素信号生成部と、上記電子および上記正孔の他方の変化量が所定の閾値を超えたか否かを検出して検出信号を出力する検出部とを具備する固体撮像素子、および、その制御方法である。これにより、電子および正孔の一方から画素信号が生成され、他方からアドレスイベントが検出されるという作用をもたらす。

【0007】

また、この第1の側面において、上記画素信号生成部は、上記電子の量に応じた電圧の上記画素信号を生成し、上記検出部は、上記正孔の変化量が上記閾値を超えたか否かを検出してもよい。これにより、電子から画素信号が生成され、正孔からアドレスイベントが検出されるという作用をもたらす。

【0008】

また、この第1の側面において、上記フォトダイオードと上記画素信号生成部の一部とは、所定の受光チップに配置され、上記画素信号生成部の残りとは、上記検出部とは、所定の回路チップに配置されてもよい。これにより、受光チップおよび回路チップのそれぞれの回路規模が削減されるという作用をもたらす。

【0009】

また、この第1の側面において、上記画素信号生成部は、上記画素信号を生成する画素回路と、上記画素信号と所定の参照信号とを比較する比較回路とを備え、上記フォトダイオードと上記画素回路と上記比較回路の一部とは、上記受光チップに配置され、上記比較回路の残りとは、上記検出部とは、上記回路チップに配置されてもよい。これにより、受光チップおよび回路チップのそれぞれの回路規模が削減されるという作用をもたらす。

10

20

30

40

50

【 0 0 1 0 】

また、この第1の側面において、上記画素信号生成部は、上記画素信号を生成する画素回路と、上記画素信号と所定の参照信号とを比較する比較回路とを備え、上記フォトダイオードおよび上記画素回路は、上記受光チップに配置され、上記比較回路および上記検出部は、上記回路チップに配置されてもよい。これにより、受光チップおよび回路チップのそれぞれの回路規模が削減されるという作用をもたらす。

【 0 0 1 1 】

また、この第1の側面において、上記検出部により上記変化量が上記閾値を超えた旨が検出された場合には上記画素信号生成部を駆動して上記画素信号を生成させる駆動部をさらに具備してもよい。これにより、アドレスイベントが生じた画素の画素信号のみが読み出されるという作用をもたらす。

10

【 0 0 1 2 】

また、この第1の側面において、上記画素信号に対して所定の信号処理を行って出力する列処理部と、所定の露光期間内に上記変化量が上記閾値を超えた旨が検出された場合には上記列処理部を制御して上記画素信号を出力させる制御回路とを具備してもよい。これにより、露光期間内にアドレスイベントが生じた画素の画素信号のみが出力されるという作用をもたらす。

【 0 0 1 3 】

また、この第1の側面において、上記フォトダイオード、上記画素信号生成部および上記検出部は、複数の画素のそれぞれに配置され、上記画素信号生成部は、アナログの上記画素信号を生成する画素回路と、上記画素信号をデジタル信号に変換して出力するアナログデジタル変換器とを備えてもよい。これにより、画素毎に画素信号がデジタル信号に変換されるという作用をもたらす。

20

【 0 0 1 4 】

また、この第1の側面において、アナログの上記画素信号をデジタル信号に変換するアナログデジタル変換器をさらに具備し、上記フォトダイオード、上記画素信号生成部および上記検出部は、複数の画素のそれぞれに配置され、上記画素信号生成部は、アナログの上記画素信号を生成して上記アナログデジタル変換器へ出力してもよい。これにより、画素の外部で画素信号がデジタル信号に変換されるという作用をもたらす。

【 0 0 1 5 】

また、この第1の側面において、上記画素信号生成部は、上記電子および上記正孔の一方の電荷を蓄積する電荷蓄積部と、上記電荷を蓄積して当該電荷の量に応じた上記電圧に変換する浮遊拡散層と、上記フォトダイオードから電荷蓄積部へ上記電荷を転送する第1の転送トランジスタと、上記電荷蓄積部から上記浮遊拡散層へ上記電荷を転送する第2の転送トランジスタとを備えてもよい。これにより、電荷蓄積部への電荷の転送と浮遊拡散層への電荷の転送とが順に行われるという作用をもたらす。

30

【 0 0 1 6 】

また、この第1の側面において、上記検出部は、上記電子および上記正孔の他方からなる光電流を電圧に変換する変換部と、減算により上記電圧の変化量を求める減算器と、上記変化量と上記閾値とを比較して当該比較結果を上記検出信号として出力するコンパレータとを備えてもよい。これにより、光電流が電圧に変換され、その変化量と閾値との比較によりアドレスイベントが検出されるという作用をもたらす。

40

【 0 0 1 7 】

また、この第1の側面において、上記検出部は、上記変換部からの上記電圧の信号を上記減算器に出力するバッファをさらに備えてもよい。これにより、バッファの後段の回路の駆動能力が向上するという作用をもたらす。

【 0 0 1 8 】

また、この第1の側面において、上記変換部は、複数段のループ回路を備え、上記複数段のループ回路のそれぞれは、ループ状に接続された一対のトランジスタからなるものであってもよい。これにより、変換部の変換ゲインが向上するという作用をもたらす。

50

【 0 0 1 9 】

また、この第 1 の側面において、上記変換部は、ループ状に接続された一対のトランジスタと、上記一対のトランジスタのそれぞれのゲートに接続された容量とを備えてもよい。これにより、変換部の安定性が向上するという作用をもたらす。

【 0 0 2 0 】

また、本技術の第 2 の側面は、光電変換により電子および正孔を生成するフォトダイオードと、上記電子および上記正孔の一方の量に応じた電圧の画素信号を生成する画素信号生成部と、上記電子および上記正孔の他方の変化量が所定の閾値を超えたか否かを検出して検出信号を出力する検出部と、上記検出信号および上記画素信号に対して所定の処理を行うデジタル信号処理部とを具備する撮像装置である。これにより、電子から生成された画素信号と正孔から生成された検出信号とが処理されるという作用をもたらす。

10

【 発明の効果 】

【 0 0 2 1 】

本技術によれば、アドレスイベントを検出する固体撮像素子において、画像データの画質を向上させることができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【 図面の簡単な説明 】

【 0 0 2 2 】

【 図 1 】 本技術の第 1 の実施の形態における撮像装置の一構成例を示すブロック図である。

20

【 図 2 】 本技術の第 1 の実施の形態における固体撮像素子の一構成例を示すブロック図である。

【 図 3 】 本技術の第 1 の実施の形態における画素アレイ部の一構成例を示すブロック図である。

【 図 4 】 本技術の第 1 の実施の形態における画素の一構成例を示すブロック図である。

【 図 5 】 本技術の第 1 の実施の形態と比較例とにおけるフォトダイオードの断面図の一例である。

【 図 6 】 本技術の第 1 の実施の形態における画素信号生成部の一構成例を示すブロック図である。

【 図 7 】 本技術の第 1 の実施の形態におけるアドレスイベント検出部の一構成例を示すブロック図である。

30

【 図 8 】 本技術の第 1 の実施の形態における画素の一構成例を示す回路図である。

【 図 9 】 本技術の第 1 の実施の形態における撮像処理の一例を示すフローチャートである。

【 図 1 0 】 本技術の第 1 の実施の形態における A E R (Address Event Representation) 処理の一例を示すフローチャートである。

【 図 1 1 】 本技術の第 2 の実施の形態における積層構造の一例を示す図である。

【 図 1 2 】 本技術の第 2 の実施の形態における画素の一構成例を示す回路図である。

【 図 1 3 】 本技術の第 2 の実施の形態の変形例における画素の一構成例を示す回路図である。

【 図 1 4 】 本技術の第 3 の実施の形態における画素の駆動方法の一例を示すタイミングチャートである。

40

【 図 1 5 】 本技術の第 3 の実施の形態の第 1 の変形例における画素の駆動方法の一例を示すタイミングチャートである。

【 図 1 6 】 本技術の第 3 の実施の形態の第 2 の変形例における固体撮像素子の一構成例を示すブロック図である。

【 図 1 7 】 本技術の第 3 の実施の形態の第 2 の変形例における画素の一構成例を示すブロック図である。

【 図 1 8 】 本技術の第 4 の実施の形態における画素の一構成例を示す回路図である。

【 図 1 9 】 本技術の第 5 の実施の形態におけるアドレスイベント検出部の一構成例を示す回路図である。

50

【図 2 0】本技術の第 6 の実施の形態における対数変換部の一構成例を示す回路図である。

【図 2 1】本技術の第 7 の実施の形態における対数変換部の一構成例を示す回路図である。

【図 2 2】車両制御システムの概略的な構成の一例を示すブロック図である。

【図 2 3】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【発明を実施するための形態】

【0023】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1．第 1 の実施の形態（電子から画素信号を生成し、正孔から検出信号を生成する例）

2．第 2 の実施の形態（積層構造の固体撮像素子において電子から画素信号を生成し、正孔から検出信号を生成する例）

10

3．第 3 の実施の形態（正孔から検出信号が生成された画素において電子から画素信号を生成する例）

4．第 4 の実施の形態（アナログメモリに電子を転送して画素信号を生成し、正孔から検出信号を生成する例）

5．第 5 の実施の形態（バッファを設け、電子から画素信号を生成し、正孔から検出信号を生成する例）

6．第 6 の実施の形態（ループ回路を 2 段にし、電子から画素信号を生成し、正孔から検出信号を生成する例）

7．第 7 の実施の形態（容量を追加し、電子から画素信号を生成し、正孔から検出信号を生成する例）

20

8．移動体への応用例

【0024】

< 1．第 1 の実施の形態 >

[撮像装置の構成例]

図 1 は、本技術の第 1 の実施の形態における撮像装置 100 の一構成例を示すブロック図である。この撮像装置 100 は、画像データを撮像するための装置であり、光学部 110、固体撮像素子 200 および DSP (Digital Signal Processing) 回路 120 を備える。さらに撮像装置 100 は、表示部 130、操作部 140、バス 150、フレームメモリ 160、記憶部 170 および電源部 180 を備える。撮像装置 100 としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやパーソナルコンピュータ、車載カメラ等が想定される。

30

【0025】

光学部 110 は、被写体からの光を集光して固体撮像素子 200 に導くものである。固体撮像素子 200 は、垂直同期信号 VSYNC に同期して、光電変換により画像データを生成するものである。ここで、垂直同期信号 VSYNC は、撮像のタイミングを示す所定周波数の周期信号である。固体撮像素子 200 は、生成した画像データを DSP 回路 120 に信号線 209 を介して供給する。

【0026】

DSP 回路 120 は、固体撮像素子 200 からの画像データに対して所定の信号処理を実行するものである。この DSP 回路 120 は、処理後の画像データをバス 150 を介してフレームメモリ 160 などに出力する。なお、DSP 回路 120 は、特許請求の範囲に記載のデジタル信号処理部の一例である。

40

【0027】

表示部 130 は、画像データを表示するものである。表示部 130 としては、例えば、液晶パネルや有機 EL (Electro Luminescence) パネルが想定される。操作部 140 は、ユーザの操作に従って操作信号を生成するものである。

【0028】

バス 150 は、光学部 110、固体撮像素子 200、DSP 回路 120、表示部 130、操作部 140、フレームメモリ 160、記憶部 170 および電源部 180 が互いにデー

50

タをやりとりするための共通の経路である。

【 0 0 2 9 】

フレームメモリ 1 6 0 は、画像データを保持するものである。記憶部 1 7 0 は、画像データなどの様々なデータを記憶するものである。電源部 1 8 0 は、固体撮像素子 2 0 0、D S P 回路 1 2 0 や表示部 1 3 0 などに電源を供給するものである。

【 0 0 3 0 】

[固体撮像素子の構成例]

図 2 は、本技術の第 1 の実施の形態における固体撮像素子 2 0 0 の一構成例を示すブロック図である。この固体撮像素子 2 0 0 は、D A C (Digital to Analog Converter) 2 1 1、駆動回路 2 1 2、X アービタ 2 1 3、時刻コード発生部 2 3 0、画素アレイ部 2 4 0、列処理部 2 5 0、制御回路 2 1 5、Y アービタ 2 1 6 を備える。これらの回路は、例えば、単一の半導体チップに配置される。また、画素アレイ部 2 4 0 には、二次元格子状に複数の画素が配列される。以下、画素アレイ部 2 4 0 において所定の方向に配列された画素の集合を「行」と称し、行に垂直な方向に配列された画素の集合を「列」と称する。

10

【 0 0 3 1 】

D A C 2 1 1 は、D A (Digital to Analog) 変換により、スロープ状に変化するアナログの参照信号を生成するものである。この D A C 2 1 1 は、参照信号を画素アレイ部 2 4 0 に供給する。

【 0 0 3 2 】

駆動回路 2 1 2 は、垂直同期信号 V S Y N C に同期して画素アレイ部 2 4 0 内の画素を駆動するものである。

20

【 0 0 3 3 】

画素アレイ部 2 4 0 内の画素のそれぞれは、画素信号を生成する。また、画素は、画素信号に加えて、アドレスイベントの検出信号も生成する。ここで、アドレスイベントは、オンイベントおよびオフイベントを含み、検出信号は、1 ビットのオンイベントの検出結果と 1 ビットのオフイベントの検出結果とを含む。オンイベントは、輝度の変動量が所定の上限閾値を超えた旨を意味する。一方、オフイベントは、輝度の変化量が所定の下限閾値を下回った旨を意味する。なお、画素は、オンイベントおよびオフイベントの両方を検出しているが、一方のみを検出することもできる。

【 0 0 3 4 】

画素は、画素信号を列処理部 2 5 0 に供給する。また、画素は、アドレスイベントを検出した際に Y アービタ 2 1 6 との間で、アドレスイベントの検出信号を外部出力させるためにリクエストおよび応答の送受信 (以下、「ハンドシェイク」と称する。) を行う。次に画素は、X アービタ 2 1 3 との間でハンドシェイクを行う。

30

【 0 0 3 5 】

X アービタ 2 1 3 は、各列からのリクエストを調停し、調停結果に基づいて、対応する列に応答を返すものである。

【 0 0 3 6 】

時刻コード発生部 2 3 0 は、時刻コードを発生するものである。この時刻コードは、参照信号がスロープ状に変化する期間内の時刻を示す。時刻コード発生部 2 3 0 は、発生した時刻コードを画素アレイ部 2 4 0 に供給する。

40

【 0 0 3 7 】

列処理部 2 5 0 は、画素信号に対して相関二重サンプリング (C D S : Correlated Double Sampling) 処理などの信号処理を行い、処理後の画素信号を D S P 回路 1 2 0 へ供給するものである。

【 0 0 3 8 】

Y アービタ 2 1 6 は、各行からのリクエストを調停して調停結果に基づいて、対応する行に応答を返すものである。

【 0 0 3 9 】

制御回路 2 1 5 は、リクエストの調停結果に基づいて、アドレスイベントの検出信号を

50

D S P回路 1 2 0 に出力するものである。画素毎のアドレスイベントの検出信号を 2 次元格子状に配列することにより、画像データが生成される。

【 0 0 4 0 】

以下、列処理部 2 5 0 から出力された画素信号からなる画像データを「通常画像データ」と称し、アドレスイベントの検出信号からなる画像データを「A E R 画像データ」と称する。画素信号のデータサイズは、検出信号よりも大きく、例えば、1 5 ビットである。このため、通常画像データの方が A E R 画像データよりも高画質である。

【 0 0 4 1 】

通常画像データおよび A E R 画像データは、様々な用途において用いられる。例えば、撮像装置 1 0 0 が車載カメラであれば、通常画像データは、ドライバに視認させるためにモニタ等に表示される。一方、A E R 画像データは、A D A S (Advanced Driver Assistance System) などにおいて、人や障害物を検知するために用いられる。

【 0 0 4 2 】

なお、固体撮像素子 2 0 0 は、通常画像データの全ての画素信号を出力しているが、後述するように、アドレスイベントの生じた画素の画素信号のみを出力することもできる。

【 0 0 4 3 】

[画素アレイ部の構成例]

図 3 は、本技術の第 1 の実施の形態における画素アレイ部 2 4 0 の一構成例を示すブロック図である。この画素アレイ部 2 4 0 は、複数の時刻コード転送部 2 4 1 と、複数の画素 3 0 0 とを備える。時刻コード転送部 2 4 1 は、時刻コード発生部 2 3 0 ごとに配置される。また、画素 3 0 0 は、二次元格子状に配列される。

【 0 0 4 4 】

時刻コード転送部 2 4 1 は、対応する時刻コード発生部 2 3 0 からの時刻コードを転送するものである。この時刻コード転送部 2 4 1 は、対応する時刻コード発生部 2 3 0 からの時刻コードを画素 3 0 0 へ転送し、また、画素 3 0 0 からの時刻コードをデジタルの画素信号として列処理部 2 5 0 に転送する。

【 0 0 4 5 】

[画素の構成例]

図 4 は、本技術の第 1 の実施の形態における画素 3 0 0 の一構成例を示すブロック図である。この画素 3 0 0 は、フォトダイオード 3 0 5、画素信号生成部 3 1 0 およびアドレスイベント検出部 4 0 0 を備える。また、フォトダイオード 3 0 5 のアノードおよびカソードの一方は画素信号生成部 3 1 0 に接続され、他方はアドレスイベント検出部 4 0 0 に接続される。例えば、フォトダイオード 3 0 5 のカソードが、画素信号生成部 3 1 0 に接続され、アノードがアドレスイベント検出部 4 0 0 に接続される。

【 0 0 4 6 】

画素信号生成部 3 1 0 は、フォトダイオード 3 0 5 からの電荷の量に応じた電圧の画素信号を生成するものである。この画素信号生成部 3 1 0 は、アナログの画素信号をデジタル信号(すなわち、時刻コード)に変換して時刻コード転送部 2 4 1 に供給する。

【 0 0 4 7 】

アドレスイベント検出部 4 0 0 は、フォトダイオード 3 0 5 からの電荷の変化量が所定の閾値を超えた(すなわち、アドレスイベントが生じた)か否かを検出して検出信号を生成するものである。このアドレスイベント検出部 4 0 0 は、アドレスイベントを検出した際に X アービタ 2 1 3 および Y アービタ 2 1 6 との間でハンドシェイクを行う。なお、アドレスイベント検出部 4 0 0 は、特許請求の範囲に記載の検出部の一例である。

【 0 0 4 8 】

図 5 は、本技術の第 1 の実施の形態と比較例とにおけるフォトダイオード 3 0 5 の断面図の一例である。同図における a は、第 1 の実施の形態におけるフォトダイオード 3 0 5 の断面図の一例であり、同図における b は、比較例におけるフォトダイオード 3 0 5 の断面図の一例である。

【 0 0 4 9 】

10

20

30

40

50

同図における a に例示するようにフォトダイオード 305 は、例えば、N 層 306 および P 層 307 からなり、N 層 306 は、カソードの電極を介して画素信号生成部 310 に接続される。一方、P 層 307 は、アノードの電極を介してアドレスイベント検出部 400 に接続される。

【0050】

フォトダイオード 305 は、光電変換により電子および正孔を生成する。生成される電子数は、輝度が高いほど多くなる。また、生成される正孔の個数は、電子数と同じである。同図において「 e^- 」は、電子を示し、「 h^+ 」は正孔を示す。これらの電荷のうち電子は、画素信号生成部 310 に出力され、正孔はアドレスイベント検出部 400 に出力される。

10

【0051】

一方、同図における b に例示するように比較例では、画素信号生成部 310 およびアドレスイベント検出部 400 の両方がカソードに接続され、アノードは接地されるものとする。この比較例では、電子の一部が画素信号生成部 310 に出力され、残りがアドレスイベント検出部 400 に出力される。また、正孔は、接地端子に排出される。このように比較例の構成では、電子および正孔のうち電子のみが、画素信号の生成とアドレスイベントの検出とに用いられ、正孔は、それらに用いられずに排出される。

【0052】

これに対して、第 1 の実施の形態の画素 300 では、電子が画素信号の生成に用いられ、正孔がアドレスイベントの検出に用いられる。このため、電子のみを用いる比較例と比較して、同一輝度の下で画素信号のレベルが高くなり、アドレスイベントの検出精度が向上する。これにより、通常画像データおよび AER 画像データのそれぞれの画質が向上する。特に輝度の低い暗所における画質を向上させることができる。

20

【0053】

また、一般に電子から生成した画素信号や検出信号は、正孔から生成した場合と比較してノイズ量が少なくなる。このため、フォトダイオード 305 が電子を画素信号生成部 310 に供給することにより、画素信号の信号品質を向上させることができる。一方、アドレスイベント検出部 400 には正孔が供給されるため、検出信号のノイズ量が多くなるものの、アドレスイベントの検出信号は画素毎に 2 ビットにすぎず、ノイズ量の増大による影響は、画素信号よりも少ない。

30

【0054】

なお、フォトダイオード 305 のカソードを画素信号生成部 310 に接続し、アノードをアドレスイベント検出部 400 に接続しているが、逆にカソードをアドレスイベント検出部 400 に接続し、アノードを画素信号生成部 310 に接続することもできる。

【0055】

[画素信号生成部の構成例]

図 6 は、本技術の第 1 の実施の形態における画素信号生成部 310 の一構成例を示すブロック図である。この画素信号生成部 310 は、ADC (Analog-to-Digital Converter) 320 および画素回路 330 を備える。また、ADC 320 は、比較回路 321 およびデータ記憶部 370 を備える。そして、比較回路 321 は、差動入力回路 340、電圧変換回路 350 および正帰還回路 360 を備える。

40

【0056】

画素回路 330 は、駆動回路 212 の制御に従ってリセットレベルまたは信号レベルを画素信号 SIG として生成するものである。ここで、リセットレベルは、露光開始時以降に浮遊拡散層が初期化された時の電圧であり、信号レベルは、露光終了時の露光量に応じた電圧である。画素回路 330 は、リセットレベルおよび信号レベルを順に差動入力回路 340 に供給する。

【0057】

ADC 320 は、画素信号 SIG (リセットレベルまたは信号レベル) をデジタル信号に AD (Analog-to-Digital) 変換するものである。リセットレベルを AD 変換したデー

50

タを以下、「P相データ」と称する。また、信号レベルをAD変換したデータを以下、「D相データ」と称する。

【0058】

ADC320内の差動入力回路340は、DAC211からの参照信号REFと、画素回路330からの画素信号SIGとを比較するものである。この差動入力回路340は、比較結果を示す比較結果信号を電圧変換回路350に供給する。

【0059】

電圧変換回路350は、差動入力回路340からの比較結果信号の電圧を変換して正帰還回路360に出力するものである。

【0060】

正帰還回路360は、出力の一部を入力（比較結果信号）に加算し、出力信号VCOとしてデータ記憶部370に出力するものである。

【0061】

データ記憶部370は、出力信号VCOが反転したときの時刻コードを保持するものである。このデータ記憶部370は、駆動回路212の制御に従ってリセットレベルに対応する時刻コードをP相データとして出力し、信号レベルに対応する時刻コードをD相データとして出力する。

【0062】

[アドレスイベント検出部の構成例]

図7は、本技術の第1の実施の形態におけるアドレスイベント検出部400の一構成例を示すブロック図である。このアドレスイベント検出部400は、対数変換部410、減算器420、コンパレータ430およびAERロジック回路440を備える。

【0063】

対数変換部410は、フォトダイオード305により生成された電荷（正孔など）からなる光電流を対数的に電圧に変換するものである。この対数変換部410は、変換した電圧の信号を減算器420に供給する。なお、対数変換部410は、特許請求の範囲に記載の変換部の一例である。

【0064】

減算器420は、減算動作により電圧信号の変化量を求めるものである。この減算器420は、変化量を示す微分信号をコンパレータ430に供給する。また、微分信号は、リセット信号xrstにより初期化される。

【0065】

コンパレータ430は、減算器420からの微分信号と、上限閾値Vbonおよび下限閾値Vboffのそれぞれとを比較するものである。このコンパレータ430は、微分信号と上限閾値Vbonとの比較結果をオンイベントの検出結果VCHとしてAERロジック回路440に出力する。また、コンパレータ430は、微分信号と下限閾値Vboffとの比較結果をオフイベントの検出結果VCLとしてAERロジック回路440に出力する。

【0066】

AERロジック回路440は、検出結果VCHおよびVCLからなる検出信号に基づいてハンドシェイクを行うものである。このAERロジック回路440は、アドレスイベントが生じた場合にYアービタ216との間でハンドシェイクを行う。次にAERロジック回路440は、Xアービタ213との間でハンドシェイクを行い、応答を受け取りリセット信号xrstにより減算器420をリセットする。

【0067】

図8は、本技術の第1の実施の形態における画素300の一構成例を示す回路図である。画素信号生成部310は、画素回路330、負荷MOS回路311、比較回路321およびデータ記憶部370を備える。また、画素回路330は、排出トランジスタ331、転送トランジスタ332、リセットトランジスタ333、浮遊拡散層334、増幅トランジスタ335および選択トランジスタ336を備える。排出トランジスタ331、転送ト

10

20

30

40

50

ランジスタ 332、リセットトランジスタ 333 および増幅トランジスタ 335 および選択トランジスタ 336 として、例えば、NMOS (N-type Metal Oxide Semiconductor) トランジスタが用いられる。また、排出トランジスタ 331 および転送トランジスタ 332 は、フォトダイオード 305 のカソードに接続される。

【0068】

排出トランジスタ 331 は、駆動回路 212 からの駆動信号 OFG に従って、フォトダイオード 305 の電荷 (電子など) を排出するものである。

【0069】

転送トランジスタ 332 は、駆動回路 212 からの転送信号 TRG に従って、フォトダイオード 305 から浮遊拡散層 334 に電荷を転送するものである。

10

【0070】

リセットトランジスタ 333 は、駆動回路 212 からのリセット信号 RST に従って浮遊拡散層 334 の電荷の量を初期化するものである。

【0071】

浮遊拡散層 334 は、転送された電荷を蓄積し、その電荷量に応じた電圧を生成するものである。増幅トランジスタ 335 は、浮遊拡散層 334 の電圧を増幅するものである。

【0072】

選択トランジスタ 336 は、駆動回路 212 からの選択信号 SEL に従って、増幅された電圧の信号を画素信号 SIG として比較回路 321 に供給するものである。

【0073】

負荷 MOS 回路 311 は、選択トランジスタ 336 のソースと接地端子との間に挿入される。

20

【0074】

駆動回路 212 は、垂直同期信号 VSYNC に同期して、全画素について露光開始時にリセット信号 RST により浮遊拡散層 334 を初期化し、露光終了時に転送信号 TRG により電荷を転送させる。言い換えれば、グローバルシャッター方式が用いられる。また、駆動回路 212 は、選択信号 SEL により、行を順に選択して画素信号を出力させる。

【0075】

また、アドレスイベント検出部 400 は、対数変換部 410、減算器 420、コンパレータ 430 および AER ロジック回路 440 を備える。対数変換部 410 は、PMOS (P-type Metal Oxide Semiconductor) トランジスタ 411 および 412 と NMOS トランジスタ 413 とを備える。減算器 420 は、容量 421 および 423 と、アンプ 422 と、スイッチ 424 とを備える。

30

【0076】

対数変換部 410 において、PMOS トランジスタ 411 のソースは、フォトダイオード 305 のアノードに接続され、ドレインは接地される。また、PMOS トランジスタ 412 および NMOS トランジスタ 413 は、電源端子と接地端子との間において直列に接続され、PMOS トランジスタ 412 のゲートがフォトダイオード 305 のアノードに接続される。また、PMOS トランジスタ 411 のゲートは、PMOS トランジスタ 412 および NMOS トランジスタ 413 の接続点に接続され、NMOS トランジスタ 413 のゲートは電源端子に接続される。これらのループ状に接続された PMOS トランジスタ 411 および 412 によりフォトダイオード 305 からの光電流は対数的に電圧信号に変換され、PMOS トランジスタ 412 および NMOS トランジスタ 413 の接続点から出力される。

40

【0077】

減算器 420 において、容量 421 の一端は、対数変換部 410 の出力端子に接続され、他端は、アンプ 422 の入力端子に接続される。容量 423 は、アンプ 422 に並列に接続される。スイッチ 424 は、容量 423 の両端を接続する経路をリセット信号 xrst に従って開閉するものである。

【0078】

50

アンプ 4 2 2 は、容量 4 2 1 を介して入力された電圧信号を増幅するものである。このアンプ 4 2 2 は増幅した信号をコンパレータ 4 3 0 に出力する。

【 0 0 7 9 】

スイッチ 4 2 4 をオンした際に容量 4 2 1 の対数変換部 4 1 0 側に電圧信号 V_{init} が入力され、その逆側は仮想接地端子となる。この仮想接地端子の電位を便宜上、ゼロとする。このとき、容量 4 2 1 に蓄積されている電位 Q_{init} は、容量 4 2 1 の容量を C_1 とすると、次の式により表される。一方、容量 4 2 3 の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init} = C_1 \times V_{init} \quad \dots \text{式 1}$$

【 0 0 8 0 】

次に、スイッチ 4 2 4 がオフされて、容量 4 2 1 の入力側の電圧が変化して V_{after} になった場合を考えると、容量 4 2 1 に蓄積される電荷 Q_{after} は、次の式により表される。

$$Q_{after} = C_1 \times V_{after} \quad \dots \text{式 2}$$

【 0 0 8 1 】

一方、容量 4 2 3 に蓄積される電荷 Q_2 は、出力電圧を V_{out} とすると、次の式により表される。

$$Q_2 = -C_2 \times V_{out} \quad \dots \text{式 3}$$

【 0 0 8 2 】

このとき、容量 4 2 1 および 4 2 3 の総電荷量は変化しないため、次の式が成立する。

$$Q_{init} = Q_{after} + Q_2 \quad \dots \text{式 4}$$

【 0 0 8 3 】

式 4 に式 1 乃至式 3 を代入して変形すると、次の式が得られる。

$$V_{out} = - (C_1 / C_2) \times (V_{after} - V_{init}) \quad \dots \text{式 5}$$

【 0 0 8 4 】

式 5 は、電圧信号の減算動作を表し、減算結果の利得は C_1 / C_2 となる。通常、利得を最大化することが望まれるため、 C_1 を大きく、 C_2 を小さく設計することが好ましい。一方、 C_2 が小さすぎると、 kTC ノイズが増大し、ノイズ特性が悪化するおそれがあるため、 C_2 の容量削減は、ノイズを許容することができる範囲に制限される。また、画素ごとに減算器 4 2 0 を含むアドレスイベント検出部 4 0 0 が搭載されるため、容量 C_1 や C_2 には、面積上の制約がある。これらを考慮して、例えば、 C_1 は、20 乃至 200 フェムトファラッド (fF) の値に設定され、 C_2 は、1 乃至 20 フェムトファラッド (fF) の値に設定される。

【 0 0 8 5 】

[固体撮像素子の動作例]

図 9 は、本技術の第 1 の実施の形態における撮像処理の一例を示すフローチャートである。この撮像処理は、例えば、通常画像データの撮像のためのアプリケーションが実行されたときに開始される。

【 0 0 8 6 】

固体撮像素子 2 0 0 は、 $VSYNC$ の立上りのタイミングであるか否かを判断する (ステップ S 9 1 1)。 $VSYNC$ の立上りのタイミングである場合に (ステップ S 9 1 1 : Yes)、固体撮像素子 2 0 0 内の画素のそれぞれは、露光終了の直前においてリセットレベルを P 相データに変換する (ステップ S 9 1 2)。そして、画素は、露光終了時に電荷を FD に転送し (ステップ S 9 1 3)、信号レベルを D 相データに変換する (ステップ S 9 1 4)。そして、固体撮像素子 2 0 0 は、CDS 処理を実行する (ステップ S 9 1 5)。 $VSYNC$ の立上りのタイミング前の場合 (ステップ S 9 1 1 : No)、または、ステップ S 9 1 5 の後に固体撮像素子 2 0 0 は、ステップ S 9 1 1 以降を繰り返し実行する。

【 0 0 8 7 】

図 10 は、本技術の第 1 の実施の形態における AER 処理の一例を示すフローチャートである。この AER 処理は、例えば、AER のためのアプリケーションが実行されたとき

10

20

30

40

50

に開始される。

【0088】

固体撮像素子200内の画素300は、輝度の変化量が上限閾値を超えたか否かを判断する(ステップS921)。変化量が上限閾値以下の場合に(ステップS921:No)、画素300は、輝度の変化量が下限閾値を下回ったか否かを判断する(ステップS922)。変化量が下限閾値未満の場合に(ステップS922:Yes)、画素300は、オフイベントを検出する(ステップS923)。一方、変化量が上限閾値を超えた場合に(ステップS921:Yes)画素300は、オンイベントを検出する(ステップS924)。

【0089】

ステップS923またはS924の後に画素300は、アドレスイベントの検出結果をハンドシェイクにより転送し(ステップS925)、ステップS921以降を繰り返し実行する。また、変化量が下限閾値以上の場合(ステップS922:No)、画素300は、ステップS921以降を繰り返し実行する。

【0090】

このように、本技術の第1の実施の形態によれば、画素信号生成部310が電子から画素信号を生成し、アドレスイベント検出部400が正孔からアドレスイベントを検出するため、電子のみを用いる場合と比較して画像データの画質を向上させることができる。

【0091】

<2.第2の実施の形態>

上述の第1の実施の形態では、単一の半導体チップに画素300を配置していたが、画素数が多くなるほど、半導体チップの回路規模が増大するおそれがある。この第2の実施の形態の固体撮像素子200は、積層された複数のチップに、画素300内の回路を分散して配置する点において第1の実施の形態と異なる。

【0092】

図11は、本技術の第1の実施の形態における固体撮像素子200の積層構造の一例を示す図である。この固体撮像素子200は、回路チップ202と、その回路チップ202に積層された受光チップ201とを備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu接合やバンプにより接続することもできる。

【0093】

図12は、本技術の第2の実施の形態における画素300の一構成例を示す回路図である。この第2の実施の形態の画素300において、画素回路330は、増幅トランジスタ335および選択トランジスタ336を備えず、浮遊拡散層334の電圧信号が画素信号SIGとして比較回路321内の差動入力回路340に直接入力される。

【0094】

また、差動入力回路340は、PMOSトランジスタ341および342と、NMOSトランジスタ343乃至345とを備える。

【0095】

PMOSトランジスタ341およびNMOSトランジスタ343は、電源端子とNMOSトランジスタ345のドレインとの間に直列に接続される。PMOSトランジスタ342およびNMOSトランジスタ344は、電源端子とNMOSトランジスタ345のドレインとの間に直列に接続される。

【0096】

また、PMOSトランジスタ342のゲートは、PMOSトランジスタ341のゲートとPMOSトランジスタ342自身のドレインとに接続される。NMOSトランジスタ343のゲートには、画素回路330からの画素信号SIGが入力され、NMOSトランジスタ344のゲートには、DAC211からの参照信号REFが入力される。また、PMOSトランジスタ341およびNMOSトランジスタ343の接続点は、電圧変換回路350に接続される。

10

20

30

40

50

【 0 0 9 7 】

上述の回路構成において、画素回路 3 3 0 と、差動入力回路 3 4 0 内の N M O S トランジスタ 3 4 3 乃至 3 4 5 とが受光チップ 2 0 1 に配置される。また、差動入力回路 3 4 0 内の P M O S トランジスタ 3 4 1 および 3 4 2 と、その後段の回路と、アドレスイベント検出部 4 0 0 とが回路チップ 2 0 2 に配置される。固体撮像素子 2 0 0 内の D A C 2 1 1、駆動回路 2 1 2、X アービタ 2 1 3、時刻コード発生部 2 3 0、列処理部 2 5 0、制御回路 2 1 5 および Y アービタ 2 1 6 は回路チップ 2 0 2 に配置される。

【 0 0 9 8 】

なお、固体撮像素子 2 0 0 内の回路や素子を 2 つのチップ（受光チップ 2 0 1 および回路チップ 2 0 2）に分散して配置しているが、積層された 3 つ以上のチップに分散して配置することもできる。

10

【 0 0 9 9 】

このように本技術の第 2 の実施の形態では、固体撮像素子 2 0 0 内の回路を受光チップ 2 0 1 および回路チップ 2 0 2 に分散して配置したため、単一のチップに配置する場合と比較して、それぞれのチップの回路規模を削減することができる。

【 0 1 0 0 】

[変形例]

上述の第 2 の実施の形態では、画素回路 3 3 0 と、比較回路 3 2 1 内の N M O S トランジスタ 3 4 3 乃至 3 4 5 とを受光チップ 2 0 1 に配置していたが、画素数が多くなるほど、受光チップ 2 0 1 の回路規模が増大するおそれがある。この第 2 の実施の形態の変形例の固体撮像素子 2 0 0 は、画素回路 3 3 0 を受光チップ 2 0 1 に配置し、比較回路 3 2 1 の全体を回路チップ 2 0 2 に配置した点において第 2 の実施の形態と異なる。

20

【 0 1 0 1 】

図 1 3 は、本技術の第 2 の実施の形態の変形例における画素 3 0 0 の一構成例を示す回路図である。第 2 の実施の形態の変形例において、画素回路 3 3 0 は、第 1 の実施の形態と同様に増幅トランジスタ 3 3 5 および選択トランジスタ 3 3 6 を備える。

【 0 1 0 2 】

また、画素回路 3 3 0 および負荷 M O S 回路 3 1 1 が受光チップ 2 0 1 に配置され、それら以外の比較回路 3 2 1 等は回路チップ 2 0 2 に配置される。

【 0 1 0 3 】

このように、本技術の第 2 の実施の形態の変形例では、画素回路 3 3 0 を受光チップ 2 0 1 に配置し、比較回路 3 2 1 の全体を回路チップ 2 0 2 に配置したため、第 2 の実施の形態と比較して受光チップ 2 0 1 の回路規模を削減することができる。

30

【 0 1 0 4 】

< 3 . 第 3 の実施の形態 >

上述の第 1 の実施の形態では、垂直同期信号 V S Y N C に同期して全画素の画素信号を読み出していたが、画素数の増大に伴って回路規模が増大し、消費電力が大きくなるおそれがある。この第 3 の実施の形態の固体撮像素子 2 0 0 は、アドレスイベントが生じた画素の画素信号のみを読み出す点において第 1 の実施の形態と異なる。

【 0 1 0 5 】

図 1 4 は、本技術の第 3 の実施の形態における画素 3 0 0 の駆動方法の一例を示すタイミングチャートである。制御回路 2 1 5 は、アドレスイベントの検出信号を駆動回路 2 1 2 に供給する。固体撮像素子 2 0 0 には垂直同期信号 V S Y N C が入力されない。また、駆動回路 2 1 2 は、全画素のうちアドレスイベントが生じた画素のみを駆動して、画素信号を生成させる。そして、アドレスイベントが生じた画素の画素信号のみが読み出される。

40

【 0 1 0 6 】

例えば、タイミング T 1 において、ある画素 3 0 0 の検出信号が制御回路 2 1 5 により出力されたものとする。駆動回路 2 1 2 は、その画素 3 0 0 にリセット信号 R S T を供給し、露光を開始させる。そして、露光終了の直前のタイミング T 2 において、比較回路 3 2 1 から出力信号 V C O が出力され、リセットレベルの A D 変換（言い換えれば、読み出し

50

)が開始される。

【0107】

駆動回路212は、露光終了時のタイミングT3において転送信号TRGを供給し、その直後のタイミングT4において、比較回路321から出力信号VCOが出力され、信号レベルのAD変換(読出し)が開始される。

【0108】

なお、固体撮像素子200は、アドレスイベントが生じた際に、1つの画素の画素信号を読み出しているが、複数の画素のそれぞれの画素信号を読み出すこともできる。例えば、各々が複数の画素からなる一定サイズの画素ブロックに画素アレイ部240を分割し、ある画素ブロックでアドレスイベントが生じると、そのブロック内の複数の画素信号を読み出せばよい。

10

【0109】

このように、本技術の第3の実施の形態によれば、固体撮像素子200は、全画素のうちアドレスイベントが生じた画素の画素信号のみを読み出すため、全画素を読み出す場合と比較して、固体撮像素子200の消費電力を低減することができる。また、全画素を読み出す場合と比較して、読出し速度を速くすることができる。

【0110】

[第1の変形例]

上述の第3の実施の形態では、全画素のうちアドレスイベントが生じた画素のみを露光して読み出していたが、画素毎に露光タイミングが異なると、画素信号の出力タイミングが画素毎にばらついてしまう。この第3の実施の形態の第1の変形例の固体撮像素子200は、全画素を露光して、アドレスイベントが生じた画素の画素信号のみを出力する点において第3の実施の形態と異なる。

20

【0111】

図15は、本技術の第3の実施の形態の第1の変形例における画素300の駆動方法の一例を示すタイミングチャートである。駆動回路212は、垂直同期信号VSYNCに同期して全画素を同時に露光する。言い換えれば、グローバルシャッター方式が用いられる。

【0112】

例えば、駆動回路212は、露光開始のタイミングT10において全画素にRST1、RST2およびRST3などのリセット信号RSTnを供給する。RSTn(nは整数)は、画素Pnへ供給される。そして、露光終了のタイミングT20において駆動回路212は、全画素に転送信号TRGnを供給する。これにより、全画素が同時に露光される。

30

【0113】

そして、タイミングT10乃至T20の露光期間内に、アドレスイベントが検出された画素について駆動回路212は、列処理部250を制御して画素信号を出力させる。

【0114】

例えば、タイミングT11およびT12において画素P1およびP2の検出信号が制御回路215により出力され、画素P3の検出信号は出力されなかったものとする。この場合に駆動回路212は、露光終了直後のタイミングT21において画素P1およびP2の画素信号を列処理部250に出力させる。これにより、画素P1およびP2の出力タイミングを垂直同期信号VSYNCに同期したタイミングに揃えることができる。

40

【0115】

このように本技術の第3の実施の形態の第1の変形例によれば、駆動回路212は、全画素を露光してアドレスイベントが生じた画素の画素信号のみを出力させるため、それらの画素の画素信号の出力タイミングを揃えることができる。

【0116】

[第2の変形例]

上述の第3の実施の形態では、画素毎にADC320を設け、アドレスイベントが生じた画素の画素信号のみをAD変換して(言い換えれば、読み出して)いたが、画素毎にADC320を配置する構成では、画素300の回路規模が増大してしまう。この第3の実

50

施の形態の第2の変形例における固体撮像素子200は、カラムごとにADCを配置する点において第3の実施の形態と異なる。

【0117】

図16は、本技術の第3の実施の形態の第2の変形例における固体撮像素子200の一構成例を示すブロック図である。この第3の実施の形態の第2の変形例の固体撮像素子200は、列処理部250の代わりにカラムADC260を備える点において第3の実施の形態と異なる。このカラムADC260には、カラムごとにADCが設けられる。

【0118】

また、第3の実施の形態の第2の変形例において制御回路215は、カラムADC260を制御してアドレスイベントが検出されたカラムからの画素信号についてのみAD変換させる。

10

【0119】

図17は、本技術の第3の実施の形態の第2の変形例における画素300の一構成例を示すブロック図である。この第3の実施の形態の第2の変形例の画素300は、ADC320が設けられない点において第3の実施の形態と異なる。画素回路330は、列ごとに配線された垂直信号線VSLを介してアナログの画素信号をカラムADC260に供給する。

【0120】

このように、本技術の第3の実施の形態の第2の変形例では、カラムごとにADCが配置されるため、画素毎にADCを配置する場合と比較して画素300の回路規模を削減することができる。

20

【0121】

<4. 第4の実施の形態>

上述の第1の実施の形態では、画素300が露光終了後に画素信号をAD変換していたが、フォトダイオード305の初期化によりノイズが生じるため、そのAD変換中に次の露光を開始することができない。この第4の実施の形態の画素300は、アナログメモリおよび転送トランジスタを追加してAD変換中の露光開始を可能とした点において第1の実施の形態と異なる。

【0122】

図18は、本技術の第4の実施の形態における画素300の一構成例を示す回路図である。この第4の実施の形態の画素300は、転送トランジスタ337およびアナログメモリ338をさらに備える点において第1の実施の形態と異なる。転送トランジスタ337として、例えば、NMOSトランジスタが用いられる。

30

【0123】

転送トランジスタ337は、駆動回路212からの転送信号TRXに従ってフォトダイオード305からアナログメモリ338へ電荷を転送するものである。なお、転送トランジスタ337は、特許請求の範囲に記載の第1の転送トランジスタの一例であり、転送トランジスタ332は、特許請求の範囲に記載の第2の転送トランジスタの一例である。

【0124】

アナログメモリ338は、電荷を蓄積するものである。アナログメモリ338は、原理的には配線容量でも成立するが、浮遊拡散層334への電荷転送を可能とするため、埋め込み型の完全空乏化が可能な容量を用いることが望ましい。なお、アナログメモリ338は、特許請求の範囲に記載の電荷蓄積部の一例である。

40

【0125】

駆動回路212は、露光期間が終了すると転送信号TRXにより、フォトダイオード305からアナログメモリ338へ電荷を転送させ、リセット信号RSTにより浮遊拡散層334を初期化させる。ADC320は、リセットレベルのAD変換を開始する。

【0126】

また、駆動回路212は、リセットレベルのAD変換が終了すると、転送信号TRGにより、アナログメモリ338から浮遊拡散層334へ電荷を転送させる。ADC320は

50

、信号レベルのAD変換を開始する。

【0127】

上述したようにAD変換前にフォトダイオード305の電荷をアナログメモリ338へ転送しているため、駆動回路212は、AD変換中において駆動信号OFGにより次の露光を開始させることができる。

【0128】

このように、本技術の第4の実施の形態によれば、露光期間が終了すると転送トランジスタ337が、フォトダイオード305からアナログメモリ338へ電荷を転送するため、AD変換中に次の露光を開始することができる。

【0129】

<5. 第5の実施の形態>

上述の第1の実施の形態では、対数変換部410が電圧信号を減算器420に供給していたが、この構成では、減算器420以降の回路の駆動力が不足するおそれがある。この第5の実施の形態のアドレスイベント検出部400は、バッファ450を配置して駆動力を向上させた点において第1の実施の形態と異なる。

【0130】

図19は、本技術の第5の実施の形態におけるアドレスイベント検出部400の一構成例を示す回路図である。この第5の実施の形態のアドレスイベント検出部400は、バッファ450をさらに備える点において第1の実施形態と異なる。

【0131】

バッファ450は、対数変換部410からの電圧信号を減算器420に出力するものである。このバッファ450は、NMOSトランジスタ451および452を備える。これらのトランジスタは、電源端子と接地端子との間において直列に接続される。また、NMOSトランジスタ451のゲートは対数変換部410に接続され、NMOSトランジスタ451および452の接続点は、減算器420に接続される。NMOSトランジスタ452のゲートは電源端子に接続される。

【0132】

バッファ450により、減算器420以降の後段を駆動する駆動力を向上させることができる。また、バッファ450により、後段のスイッチング動作に伴うノイズのアイソレーションを確保することができる。

【0133】

このように本技術の第5の実施の形態では、減算器420の前段にバッファ450を配置したため、減算器420以降の回路の駆動力を向上させることができる。

【0134】

<6. 第6の実施の形態>

上述の第1の実施の形態では、対数変換部410にPMOSトランジスタ411および412からなるループ回路を1つのみ配置していたが、ループ回路が1つのみでは電流を電圧に変換する際の変換ゲインが不足するおそれがある。この第6の実施の形態の対数変換部410は、2段のループ回路が設けられる点において第1の実施の形態と異なる。

【0135】

図20は、本技術の第6の実施の形態における対数変換部410の一構成例を示す回路図である。この第6の実施の形態の対数変換部410は、PMOSトランジスタ414および415がさらに設けられる点において第1の実施の形態と異なる。

【0136】

PMOSトランジスタ411および414は、フォトダイオード305と接地端子との間に直列に接続され、PMOSトランジスタ412および415とNMOSトランジスタ413とは、電源端子と接地端子との間に直列に接続される。また、PMOSトランジスタ411のゲートは、PMOSトランジスタ412および415の接続点に接続され、PMOSトランジスタ414のゲートは、PMOSトランジスタ415およびNMOSトランジスタ413の接続点に接続される。

10

20

30

40

50

【0137】

一方、PMOSトランジスタ412のゲートは、フォトダイオード305およびPMOSトランジスタ411の接続点に接続される。PMOSトランジスタ415のゲートは、PMOSトランジスタ411および414の接続点に接続される。また、PMOSトランジスタ415およびNMOSトランジスタ413の接続点は、減算器420に接続される。

【0138】

上述のように、PMOSトランジスタ411および412からなるループ回路とPMOSトランジスタ414および415からなるループ回路とが2段に接続されているため、ループ回路が1段のみの場合と比較して変換ゲインが2倍となる。

【0139】

このように、本技術の第6の実施の形態では、2段のループ回路を対数変換部410に設けたため、1段のみの場合と比較して、変換ゲインを増大させることができる。

10

【0140】

<7.第7の実施の形態>

上述の第1の実施の形態では、対数変換部410内においてPMOSトランジスタ411および412をループ状に接続していたが、このループ状の回路が負帰還回路となり、一定の条件下で電圧信号が発振するおそれがある。この第7の実施の形態の対数変換部410は、容量の追加により、安定性を向上させた点において第1の実施の形態と異なる。

【0141】

図21は、本技術の第7の実施の形態における対数変換部410の一構成例を示す回路図である。この第7の実施の形態の対数変換部410は、容量416をさらに備える点において第1の実施の形態と異なる。

20

【0142】

容量416の一端は、PMOSトランジスタ412のゲートに接続され、他端はPMOSトランジスタ411のゲートに接続される。この容量416により、電圧信号の位相遅れを補償することができる。例えば、コンデンサの他、配線間容量やトランジスタなどの容量素子を容量416として用いることができる。

【0143】

ここで、容量416を設けない場合におけるPMOSトランジスタ411および412からなるループ回路の伝達関数は次の式により表される。

30

【数1】

$$T_{open}(s) = \frac{g_m G_m R_o}{(g_m + sC_{pd})(1 + sC_o R_o)} \dots \text{式6}$$

上式において、 g_m は、PMOSトランジスタ411の相互コンダクタンスであり、 G_m は、PMOSトランジスタ412の相互コンダクタンスである。 R_o は、ループ回路の出力抵抗であり、 s は複素数である。 C_{pd} は、PMOSトランジスタ411のソース側の容量であり、 C_o は、PMOSトランジスタ411のゲート容量である。相互コンダクタンスの単位は、例えば、ジーメンズ(S)であり、抵抗の単位は、例えば、オーム()である。また、容量の単位は、例えば、ファラッド(F)である。

40

【0144】

これに対して、容量416を設けたループ回路の開ループ利得を考慮した伝達関数は、その容量の容量値 C_c が出力端子に付く寄生容量よりも小さいことを仮定して、次の式により表される。

【数2】

50

$$T_{open}(s) \approx \frac{G_m R_o (g_m + s C_c)}{\{g_m + s(C_{pd} + C_c)\}(1 + s C_o R_o)} \quad \dots \text{式7}$$

【0145】

また、 C_c と C_o の間には、次の関係式が成立するものとする。この関係は、設計上、妥当な過程である。

$$C_c \ll C_o \quad \dots \text{式8}$$

【0146】

式7より、容量の追加によって g_m / C_c の位置にゼロ点ができていることが分かる。このゼロ点の位置は g_m に比例し、照度に依存する。このため、対応する照度依存の極(すなわち、 $g_m / C_{pd} + C_c$ の極)との関係を加味し、容量値 C_c と $C_{pd} + C_c$ とが大きく乖離しない値に C_c を設計することにより、全照度条件下において安定性を確保することができる。なお、容量値 C_c は、 $C_{pd} / 3$ 乃至 $C_{pd} / 2$ の範囲内とすることが好ましい。

【0147】

このように、本技術の第7の実施の形態では、ループ回路において容量416を追加したため、電圧信号の位相遅れを補償することができる。これにより、対数変換部410の安定性を向上させることができる。

【0148】

< 8 . 移動体への応用例 >

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0149】

図22は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0150】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図22に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

【0151】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【0152】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12

10

20

30

40

50

020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0153】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0154】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0155】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0156】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

【0157】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0158】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0159】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図22の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0160】

図23は、撮像部12031の設置位置の例を示す図である。

【0161】

10

20

30

40

50

図 23 では、撮像部 12031 として、撮像部 12101, 12102, 12103, 12104, 12105 を有する。

【0162】

撮像部 12101, 12102, 12103, 12104, 12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

10

【0163】

なお、図 23 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

20

【0164】

撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0165】

例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

30

【0166】

例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバーが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバーに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

40

【0167】

撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識する

50

ことができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

【 0 1 6 8 】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 1 2 0 3 1 に適用され得る。具体的には、撮像装置 1 0 0 は、撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、画質を向上させて、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

10

【 0 1 6 9 】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

20

【 0 1 7 0 】

また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

【 0 1 7 1 】

なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

30

【 0 1 7 2 】

なお、本技術は以下のような構成もとることができる。

(1) 光電変換により電子および正孔を生成するフォトダイオードと、

前記電子および前記正孔の一方の量に応じた電圧の画素信号を生成する画素信号生成部と、

前記電子および前記正孔の他方の変化量が所定の閾値を超えたか否かを検出して検出信号を出力する検出部と

を具備する固体撮像素子。

(2) 前記画素信号生成部は、前記電子の量に応じた電圧の前記画素信号を生成し、

40

前記検出部は、前記正孔の変化量が前記閾値を超えたか否かを検出する前記 (1) 記載の固体撮像素子。

(3) 前記フォトダイオードと前記画素信号生成部の一部とは、所定の受光チップに配置され、

前記画素信号生成部の残りとは、前記検出部とは、所定の回路チップに配置される

前記 (1) または (2) に記載の固体撮像素子。

(4) 前記画素信号生成部は、

前記画素信号を生成する画素回路と、

前記画素信号と所定の参照信号とを比較する比較回路とを備え、

50

前記フォトダイオードと前記画素回路と前記比較回路の一部とは、前記受光チップに配置され、

前記比較回路の残りと前記検出部とは、前記回路チップに配置される

前記(3)記載の固体撮像素子。

(5)前記画素信号生成部は、

前記画素信号を生成する画素回路と、

前記画素信号と所定の参照信号とを比較する比較回路と

を備え、

前記フォトダイオードおよび前記画素回路は、前記受光チップに配置され、

前記比較回路および前記検出部は、前記回路チップに配置される

前記(3)記載の固体撮像素子。

(6)前記検出部により前記変化量が前記閾値を超えた旨が検出された場合には前記画素信号生成部を駆動して前記画素信号を生成させる駆動部をさらに具備する

前記(1)から(5)のいずれかに記載の固体撮像素子。

(7)前記画素信号に対して所定の信号処理を行って出力する列処理部と、

所定の露光期間内に前記変化量が前記閾値を超えた旨が検出された場合には前記列処理部を制御して前記画素信号を出力させる制御回路と

を具備する前記(1)から(5)のいずれかに記載の固体撮像素子。

(8)前記フォトダイオード、前記画素信号生成部および前記検出部は、複数の画素のそれぞれに配置され、

前記画素信号生成部は、

アナログの前記画素信号を生成する画素回路と、

前記画素信号をデジタル信号に変換して出力するアナログデジタル変換器とを備える前記(1)から(7)のいずれかに記載の固体撮像素子。

(9)アナログの前記画素信号をデジタル信号に変換するアナログデジタル変換器をさらに具備し、

前記フォトダイオード、前記画素信号生成部および前記検出部は、複数の画素のそれぞれに配置され、

前記画素信号生成部は、アナログの前記画素信号を生成して前記アナログデジタル変換器へ出力する

前記(1)から(7)のいずれかに記載の固体撮像素子。

(10)前記画素信号生成部は、

前記電子および前記正孔の一方の電荷を蓄積する電荷蓄積部と、

前記電荷を蓄積して当該電荷の量に応じた前記電圧に変換する浮遊拡散層と、

前記フォトダイオードから電荷蓄積部へ前記電荷を転送する第1の転送トランジスタと、

前記電荷蓄積部から前記浮遊拡散層へ前記電荷を転送する第2の転送トランジスタと

を備える

前記(1)から(9)のいずれかに記載の固体撮像素子。

(11)前記検出部は、

前記電子および前記正孔の他方からなる光電流を電圧に変換する変換部と、

減算により前記電圧の変化量を求める減算器と、

前記変化量と前記閾値とを比較して当該比較結果を前記検出信号として出力するコンパレータと

を備える前記(1)から(10)のいずれかに記載の固体撮像素子。

(12)前記検出部は、前記変換部からの前記電圧の信号を前記減算器に出力するバッファをさらに備える

前記(11)記載の固体撮像素子。

(13)前記変換部は、複数段のループ回路を備え、

前記複数段のループ回路のそれぞれは、ループ状に接続された一対のトランジスタからなる

10

20

30

40

50

前記(11)または(12)に記載の固体撮像素子。

(14)前記変換部は、

ループ状に接続された一対のトランジスタと、

前記一対のトランジスタのそれぞれのゲートに接続された容量とを備える前記(11)または(12)に記載の固体撮像素子。

(15)光電変換により電子および正孔を生成するフォトダイオードと、

前記電子および前記正孔の一方の量に応じた電圧の画素信号を生成する画素信号生成部と、

前記電子および前記正孔の他方の変化量が所定の閾値を超えたか否かを検出して検出信号を出力する検出部と、

10

前記検出信号および前記画素信号に対して所定の処理を行うデジタル信号処理部とを具備する撮像装置。

(16)光電変換により生成された電子および正孔の一方の量に応じた電圧の画素信号を生成する画素信号生成手順と、

前記電子および前記正孔の他方の変化量が所定の閾値を超えたか否かを検出して検出信号を出力する検出手順と

を具備する固体撮像素子の制御方法。

【符号の説明】

【0173】

100 撮像装置

20

110 光学部

120 DSP回路

130 表示部

140 操作部

150 バス

160 フレームメモリ

170 記憶部

180 電源部

200 固体撮像素子

201 受光チップ

30

202 回路チップ

211 DAC

212 駆動回路

213 Xアービタ

215 制御回路

216 Yアービタ

230 時刻コード発生部

240 画素アレイ部

241 時刻コード転送部

250 列処理部

40

260 カラムADC

300 画素

305 フォトダイオード

306 N層

307 P層

310 画素信号生成部

311 負荷MOS回路

320 ADC

321 比較回路

330 画素回路

50

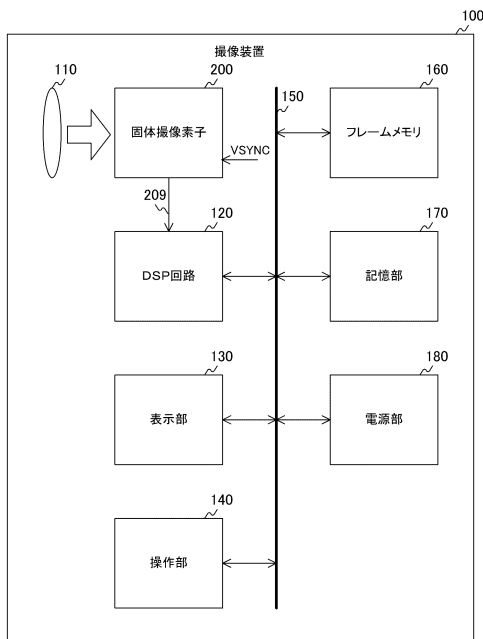
- 3 3 1 排出トランジスタ
- 3 3 2、3 3 7 転送トランジスタ
- 3 3 3 リセットトランジスタ
- 3 3 4 浮遊拡散層
- 3 3 5 増幅トランジスタ
- 3 3 6 選択トランジスタ
- 3 3 8 アナログメモリ
- 3 4 0 差動入力回路
- 3 4 1、3 4 2、4 1 1、4 1 2、4 1 4、4 1 5 PMOSTランジスタ
- 3 4 3 ~ 3 4 5、4 1 3、4 5 1、4 5 2 NMOSTランジスタ
- 3 5 0 電圧変換回路
- 3 6 0 正帰還回路
- 3 7 0 データ記憶部
- 4 0 0 アドレスイベント検出部
- 4 1 0 対数変換部
- 4 1 6、4 2 1、4 2 3 容量
- 4 2 0 減算器
- 4 2 2 アンプ
- 4 2 4 スイッチ
- 4 3 0 コンパレータ
- 4 4 0 A E Rロジック回路
- 4 5 0 バッファ
- 1 2 0 3 1 撮像部

10

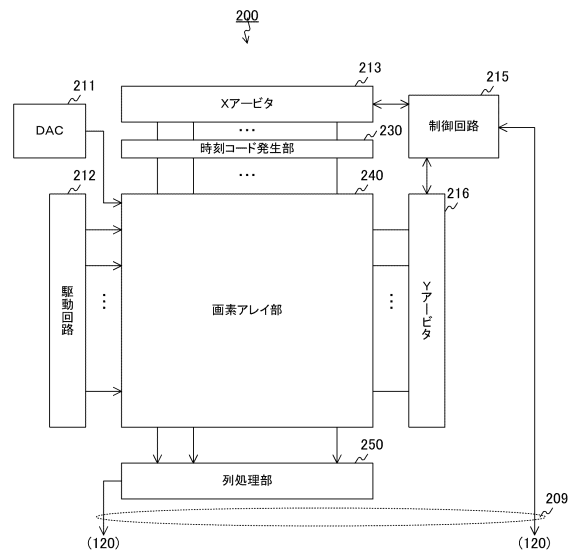
20

【図面】

【図 1】



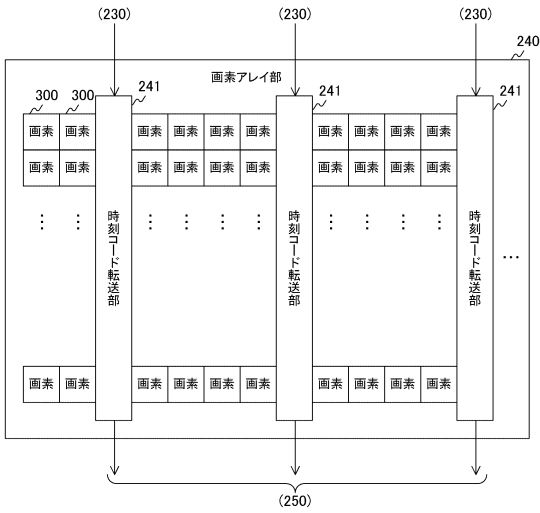
【図 2】



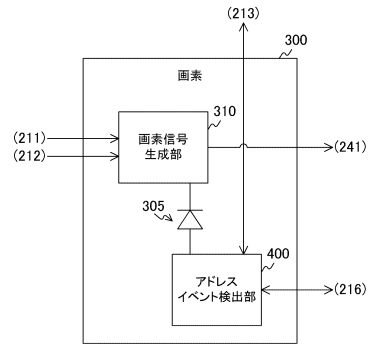
30

40

【図3】

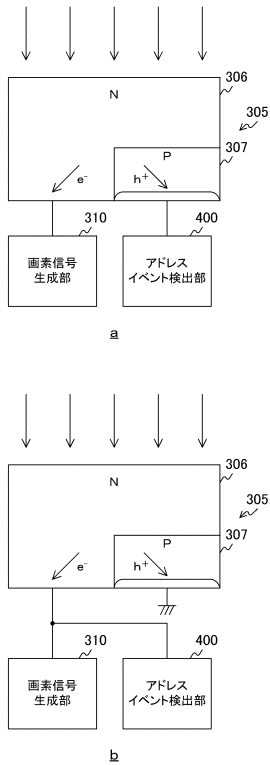


【図4】

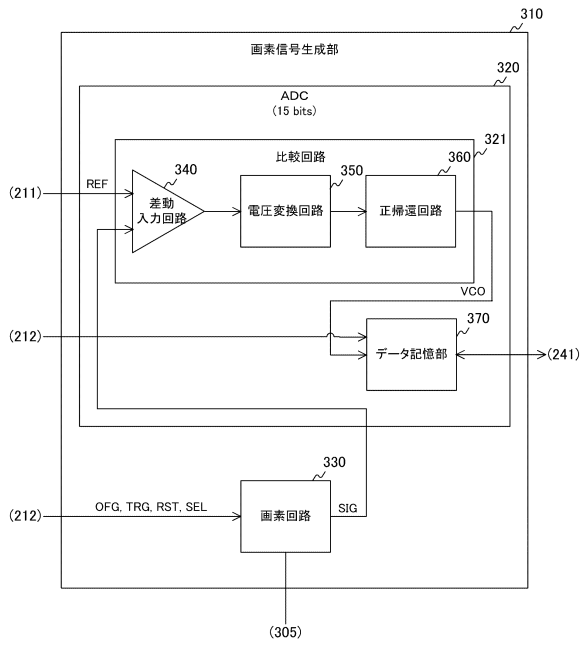


10

【図5】



【図6】



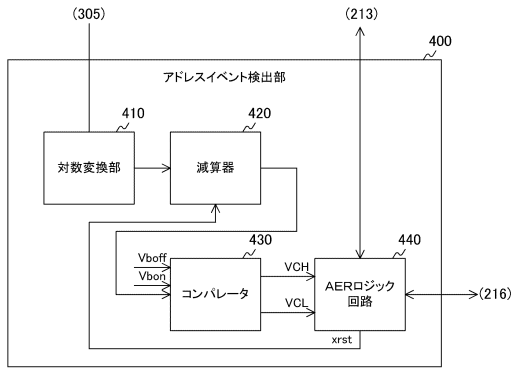
20

30

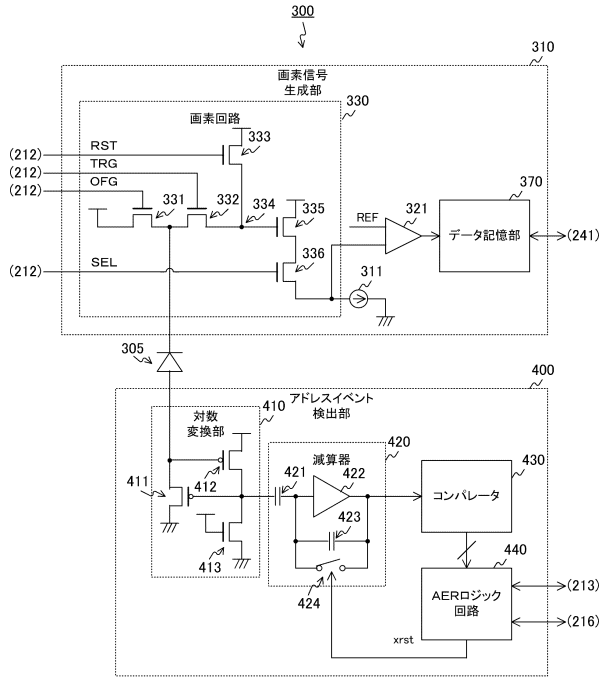
40

50

【図7】



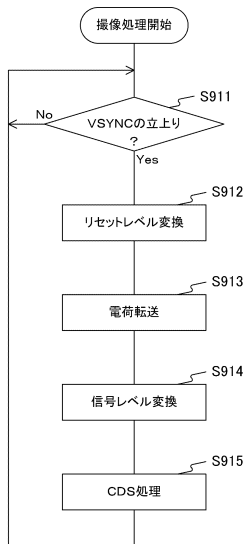
【図8】



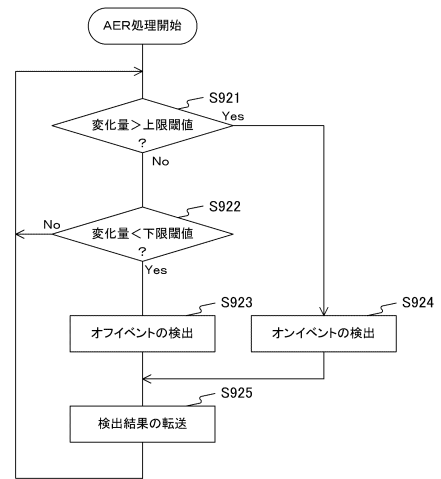
10

20

【図9】



【図10】

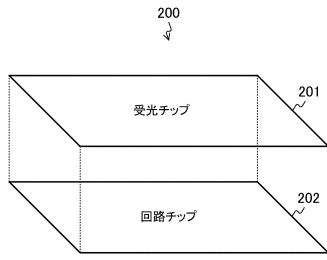


30

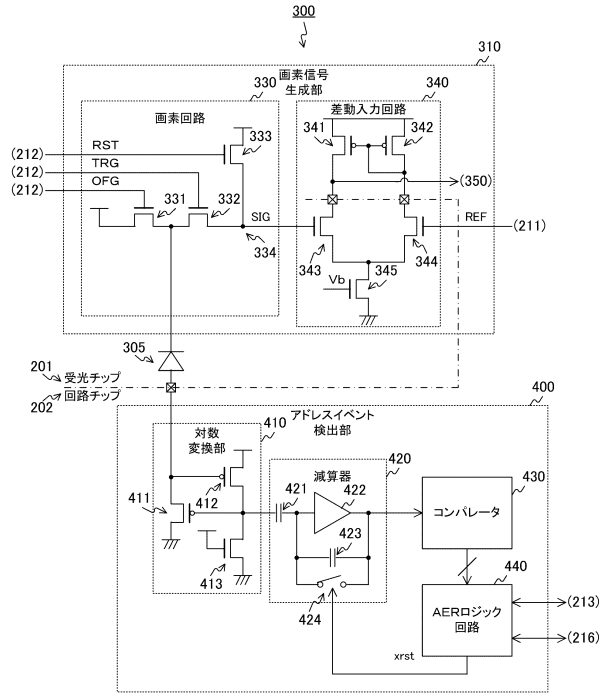
40

50

【図 1 1】



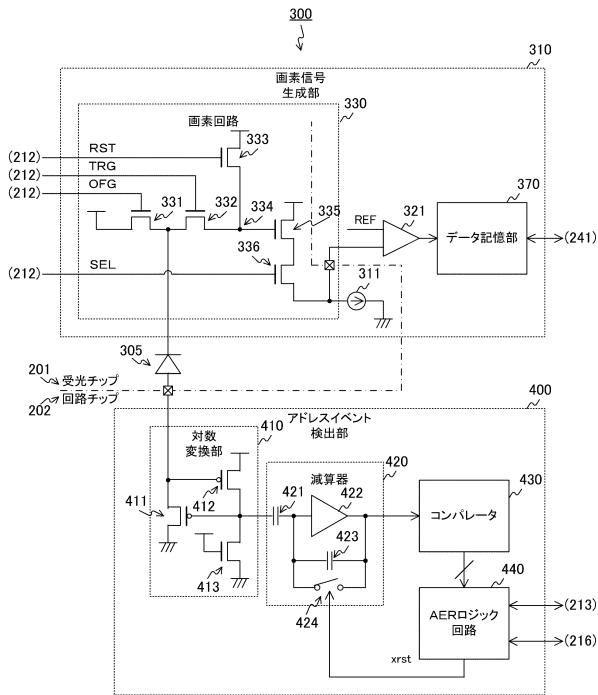
【図 1 2】



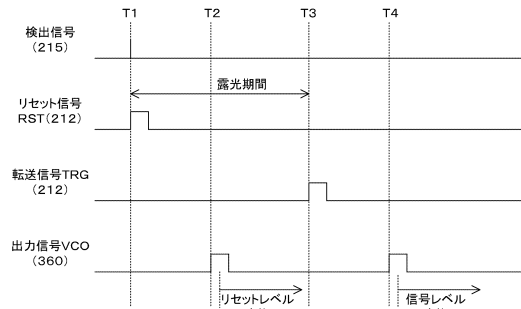
10

20

【図 1 3】



【図 1 4】

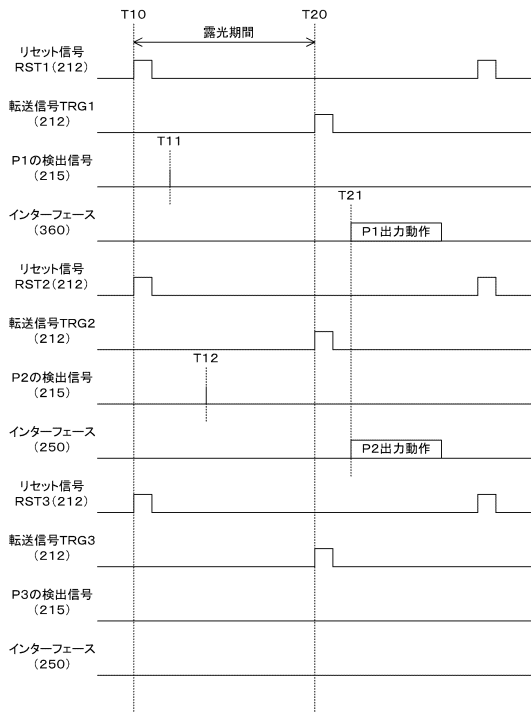


30

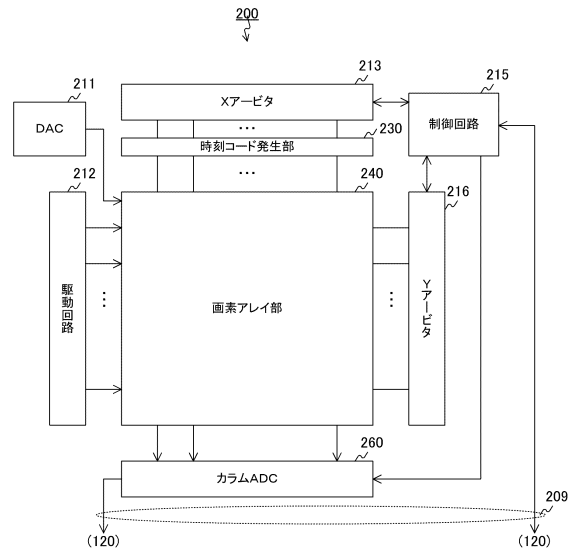
40

50

【図 15】



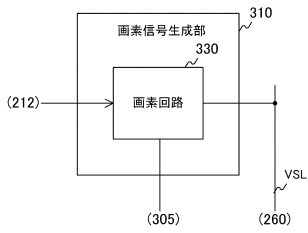
【図 16】



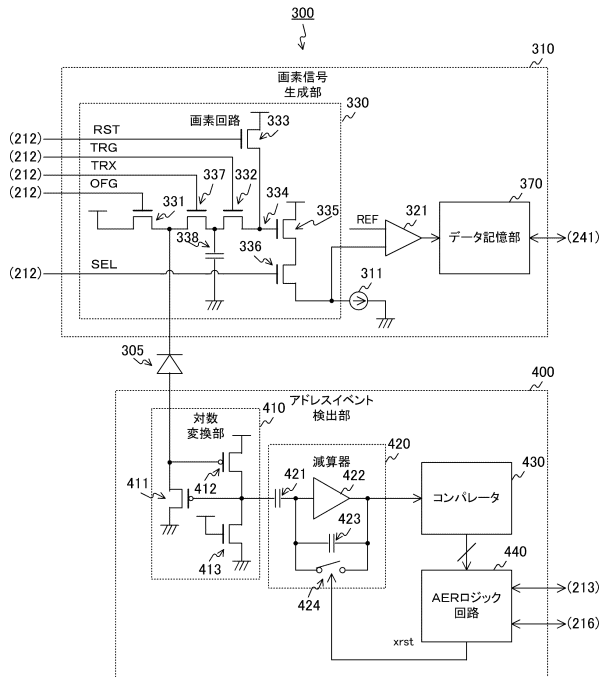
10

20

【図 17】



【図 18】

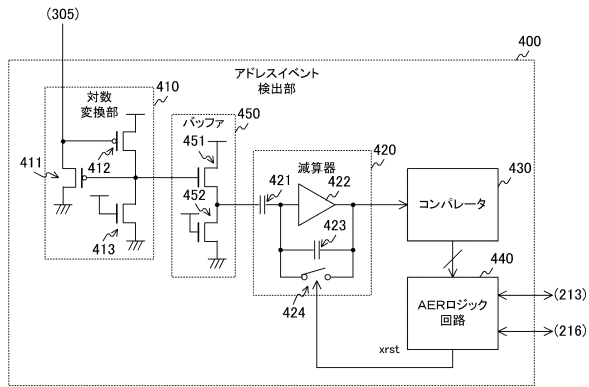


30

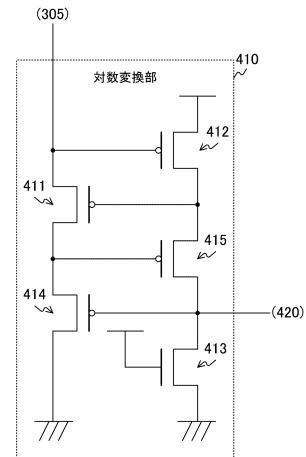
40

50

【図 19】

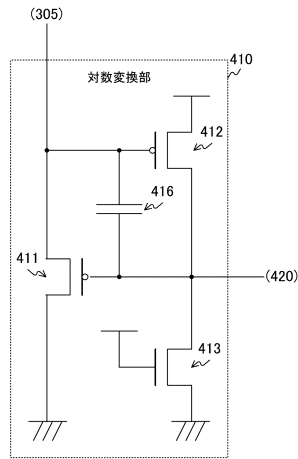


【図 20】

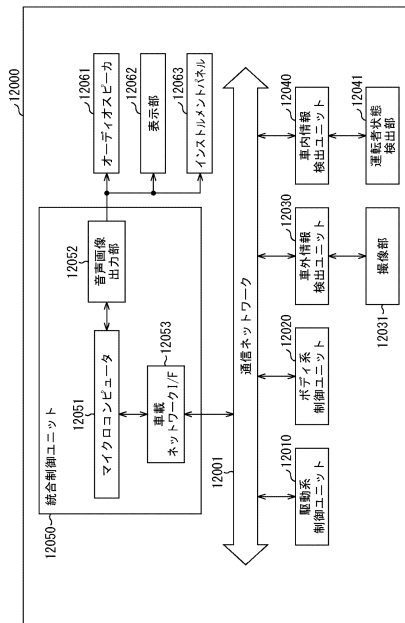


10

【図 21】



【図 22】



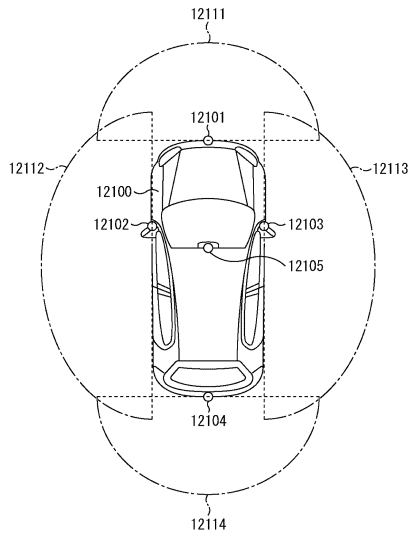
20

30

40

50

【 2 3 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 0 4 - 2 8 2 6 7 9 (J P , A)
国際公開第 2 0 1 7 / 0 1 3 8 0 6 (W O , A 1)
国際公開第 2 0 1 5 / 1 5 9 7 2 8 (W O , A 1)
特表 2 0 1 6 - 5 0 1 4 9 5 (J P , A)
特開昭 6 4 - 0 7 2 6 6 7 (J P , A)
米国特許第 0 8 9 4 6 8 4 5 (U S , B 1)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 4 N 2 3 / 0 0 - 2 5 / 7 9