



(12) 发明专利

(10) 授权公告号 CN 101233576 B

(45) 授权公告日 2010.09.01

(21) 申请号 200680026285.X

(72) 发明人 谢尔盖·奥克霍宁

(22) 申请日 2006.09.06

米哈伊尔·纳戈加

(30) 优先权数据

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

60/714,917 2005.09.07 US

代理人 李德山 杨林森

60/722,139 2005.09.30 US

60/728,061 2005.10.19 US

(51) Int. Cl.

60/749,385 2005.12.12 US

G11C 11/404 (2006.01)

60/774,275 2006.02.16 US

G11C 11/4076 (2006.01)

11/509,188 2006.08.24 US

(56) 对比文件

(85) PCT申请进入国家阶段日

US 6825524 B1, 2004.11.30, 全文.

2008.01.18

审查员 李元

(86) PCT申请的申请数据

PCT/EP2006/008668 2006.09.06

(87) PCT申请的公布数据

W02007/028583 EN 2007.03.15

(73) 专利权人 矽利康创新 ISi 有限公司

地址 瑞士洛桑

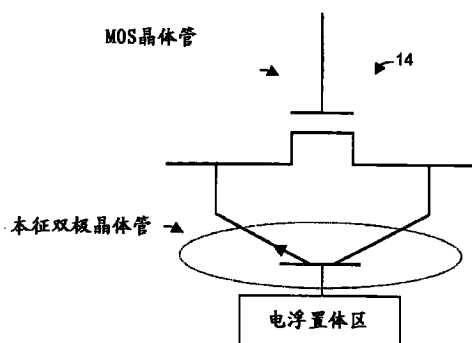
权利要求书 5 页 说明书 30 页 附图 38 页

(54) 发明名称

具有电浮置体晶体管的存储器单元和存储器单元阵列及其操作方法

(57) 摘要

一种用于写入、编程、保持、维持、采样、感测、读取和/或确定存储器单元阵列(例如,具有多个存储器单元的存储器单元阵列,该存储器单元由电浮置体晶体管构成)的存储器单元的数据状态的技术。一方面,本发明涉及用于控制和/或操作半导体存储器单元(和具有多个这样的存储器单元的存储器单元阵列以及包括存储器单元阵列的集成电路器件)的技术,该半导体存储器单元具有一个或者多个电浮置体晶体管,其中电荷存储在电浮置体晶体管的体区中。本发明的技术可以采用双极晶体管电流来控制、写入和/或读取这种存储器单元中的数据状态。在这点上,本发明可以采用双极晶体管电流来控制、写入和/或读取存储器单元的电浮置体晶体管中/的数据状态。



1. 一种集成电路器件,包括:

存储器单元,其包括电浮置体晶体管,其中所述电浮置体晶体管包括:

源区;

漏区;

设置在所述源区和所述漏区之间的体区,其中所述体区被电浮置;以及

设置在所述体区之上的栅;

其中所述存储器单元存有:(i) 第一数据状态,其表示所述电浮置体晶体管的体区中的第一电荷,以及(ii) 第二数据状态,其表示所述电浮置体晶体管的体区中的第二电荷;

数据写入电路,其耦合到所述存储器单元,用于(i) 施加第一写入控制信号到所述存储器单元以在其中写入所述第一数据状态,以及(ii) 施加第二写入控制信号到所述存储器单元以在其中写入所述第二数据状态;以及

其中,响应于施加到所述存储器单元的所述第一写入控制信号,所述电浮置体晶体管生成第一双极晶体管电流,所述第一双极晶体管电流提供了所述电浮置体晶体管的体区中的第一电荷。

2. 根据权利要求1所述的集成电路器件,其中所述第一写入控制信号导致、提供、产生和/或引起所述第一双极晶体管电流。

3. 根据权利要求1所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到源区的信号,其中所述施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

4. 根据权利要求1所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中所述施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

5. 根据权利要求1所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到源区的信号,用于导致、提供、产生和/或引起所述第一双极晶体管电流,且其中:

所述施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压;以及

所述施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

6. 根据权利要求1所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到漏区的信号,以导致、提供、产生和/或引起所述第一双极晶体管电流,且其中:

所述施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压;以及

所述施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

7. 根据权利要求1所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到漏区的信号,以导致、提供、产生和/或引起所述第一双极晶体管电流,其中响应于所述第一双极晶体管电流,多数载流子生成在所述电浮置体区中。

8. 根据权利要求7所述的集成电路器件,其中所述施加到栅的信号相对于所述施加到漏区的信号在时间上变化以导致、提供、产生和/或引起多数载流子积聚在所述电浮置体

区的一部分中,所述部分与栅介质邻近或者在栅介质附近,所述栅介质设置在所述栅与所述电浮置体区之间。

9. 根据权利要求 8 所述的集成电路器件,其中所述施加到栅的信号在所述施加到漏区的信号从有效状态改变到无效状态之前从有效状态改变到无效状态。

10. 根据权利要求 1 所述的集成电路器件,其中所述第二写入控制信号包括施加到栅的信号、施加到源区的信号以及施加到漏区的信号,且其中所述施加到漏区的信号包括闭锁电压以防止第一数据状态被写入到所述电浮置体晶体管中。

11. 根据权利要求 1 所述的集成电路器件,进一步包括:

数据感测电路,其耦合到所述存储器单元,以感测所述存储器单元的数据状态;以及

其中,当所述存储器单元存有所述第一数据状态时,响应于施加到所述存储器单元的读取控制信号,所述电浮置体晶体管生成表示所述第一数据状态的第二双极晶体管电流,且其中,所述数据感测电路基于所述第二双极晶体管电流来确定所述第一数据状态。

12. 根据权利要求 11 所述的集成电路器件,其中所述读取控制信号包括施加到栅、源区和漏区的信号,以导致、促成和 / 或引起表示所述存储器单元的数据状态的双极晶体管电流,且其中施加到漏区的信号包括正的电压脉冲。

13. 根据权利要求 11 所述的集成电路器件,其中所述读取控制信号包括施加到栅、源区和漏区的信号,以导致、促成和 / 或引起表示所述存储器单元的数据状态的双极晶体管电流,且其中施加到漏区的信号包括负的电压脉冲。

14. 一种集成电路器件,包括:

存储器单元阵列,包括:

多个字线;

多个源线;

多个位线;以及

以行和列设置成矩阵的多个存储器单元,其中每个存储器单元包括电浮置体晶体管,其中所述电浮置体晶体管包括:

耦合到相关源线的源区;

耦合到相关位线的漏区;

设置在所述源区和所述漏区之间的体区,其中所述体区被电浮置;以及

耦合到相关字线的栅;

其中每个存储器单元存有:(i) 第一数据状态,其表示所述电浮置体晶体管的体区中的第一电荷,和(ii) 第二数据状态,其表示所述电浮置体晶体管的体区中的第二电荷;以及

其中第一行存储器单元中的每个存储器单元的电浮置体晶体管的源区连接到第一源线;

数据写入电路,其耦合到第一行存储器单元中的存储器单元,用于(i) 施加第一写入控制信号到第一行存储器单元中的存储器单元以在其中写入所述第一数据状态,或(ii) 施加第二写入控制信号到第一行存储器单元中的存储器单元以在其中写入第二数据状态;以及

其中,响应于至少施加到第一行存储器单元中的一部分存储器单元的所述第一写入控

制信号,所述第一行存储器单元中的所述部分存储器单元中的每个存储器单元的电浮置晶体管生成第一双极晶体管电流,所述第一双极晶体管电流提供了与所述第一行存储器单元中的所述部分存储器单元对应的电浮置晶体管的体区中的第一电荷。

15. 根据权利要求 14 所述的集成电路器件,其中第二行存储器单元中的每个存储器单元的电浮置晶体管的源区连接到所述第一源线。

16. 根据权利要求 14 所述的集成电路器件,其中:

第二行存储器单元中的每个存储器单元的电浮置晶体管的源区连接到第二源线;

第三行存储器单元中的每个存储器单元的电浮置晶体管的源区连接到所述第二源线;以及

其中,所述第二行存储器单元和所述第三行存储器单元与所述第一行存储器单元相邻。

17. 根据权利要求 14 所述的集成电路器件,其中所述第一写入控制信号导致、提供、产生和 / 或引起所述第一双极晶体管电流。

18. 根据权利要求 14 所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号,所述施加到栅的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

19. 根据权利要求 14 所述的集成电路器件,其中所述第一写入控制信号包括施加到源区的信号,所述施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

20. 根据权利要求 14 所述的集成电路器件,其中所述第一写入控制信号包括施加到漏区的信号,所述施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

21. 根据权利要求 14 所述的集成电路器件,其中在施加所述第一写入控制信号之前,所述数据写入电路施加所述第二写入控制信号到第一行存储器单元中的所有存储器单元以在其中写入所述第二数据状态。

22. 根据权利要求 14 所述的集成电路器件,其中所述数据写入电路同时地:

施加所述第一写入控制信号到第一行存储器单元的所述部分存储器单元中以写入所述第一数据状态;以及

施加所述第二写入控制信号到第一行存储器单元的另一不同部分的存储器单元中以在其中写入所述第二数据状态。

23. 根据权利要求 14 所述的集成电路器件,其中所述第一写入控制信号包括施加到第一行存储器单元中的一个或者多个存储器单元的电浮置晶体管的栅的信号和施加到其源区的信号,以导致、提供、产生和 / 或引起第一双极晶体管电流,且其中:

施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压;以及施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

24. 根据权利要求 14 所述的集成电路器件,其中所述第一写入控制信号包括施加到第一行存储器单元中的一个或者多个存储器单元的电浮置晶体管的栅的信号和施加到其漏区的信号,以导致、提供、产生和 / 或引起第一双极晶体管电流,且其中:

施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压;以及施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

25. 根据权利要求 24 所述的集成电路器件,其中在具有第二电压的信号被施加到漏之前,具有第四电压的信号被施加到栅。

26. 根据权利要求 14 所述的集成电路器件,进一步包括:

数据感测电路,其耦合到所述多个存储器单元中的每个存储器单元,以感测存储器单元的数据状态;以及

其中,响应于施加到存有所述第一数据状态的存储器单元的读取控制信号,每个存有所述第一数据状态存储器单元的电浮置体晶体管生成表示所述第一数据状态的第二双极晶体管电流,且其中所述数据感测电路基于所述第二双极晶体管电流来确定所述第一数据状态。

27. 根据权利要求 26 所述的集成电路器件,其中所述读取控制信号包括施加到栅、源区和漏区的信号,用于导致、促成和 / 或引起表示存储器单元的数据状态的双极晶体管电流,且其中施加到漏区的信号包括正的电压脉冲。

28. 根据权利要求 26 所述的集成电路器件,其中所述读取控制信号包括施加到栅、源区和漏区的信号,用于导致、促成和 / 或引起表示存储器单元的数据状态的双极晶体管电流,且其中施加到漏区的信号包括负的电压脉冲。

29. 根据权利要求 26 所述的集成电路器件,其中所述读取控制信号中的一个或者多个包括恒定的或者不变的电压幅度。

30. 一种集成电路器件,包括:

存储器单元,其由电浮置体晶体管构成,其中所述电浮置体晶体管包括:

源区;

漏区;

设置在所述源区和所述漏区之间的体区,其中所述体区被电浮置;以及

与所述体区隔开并电容地耦合到所述体区的栅;

其中所述存储器单元存有:(i) 第一数据状态,其表示所述电浮置体晶体管的体区中的第一电荷,和(ii) 第二数据状态,其表示所述电浮置体晶体管的体区中的第二电荷;

数据写入电路,其耦合到存储器单元,用于施加(i) 第一写入控制信号到存储器单元以写入在其中第一数据状态,以及施加(ii) 第二写入控制信号到存储器单元以在其中写入第二数据状态;以及

其中,响应于施加到存储器单元的所述第一写入控制信号,电浮置体晶体管生成第一双极晶体管电流,所述第一双极晶体管电流提供了电浮置体晶体管的体区中第一电荷。

31. 根据权利要求 30 所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到源区的信号,其中所述施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

32. 根据权利要求 30 所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中所述施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

33. 根据权利要求 30 所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到源区的信号,以导致、提供、产生和 / 或引起所述第一双极晶体管电流,且其中:

所述施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压；以及

所述施加到栅的信号还包括具有第三幅度的第三电压和具有第四幅度的第四电压。

34. 根据权利要求 30 所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到漏区的信号,以导致、提供、产生和 / 或引起所述第一双极晶体管电流,且其中:

所述施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压;以及

所述施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

35. 根据权利要求 30 所述的集成电路器件,其中所述第一写入控制信号包括施加到栅的信号和施加到漏区的信号,以导致、提供、产生和 / 或引起所述第一双极晶体管电流,其中响应于所述第一双极晶体管电流,在电浮置体区中生成多数载流子。

36. 根据权利要求 35 所述的集成电路器件,其中所述施加到栅的信号相对于所述施加到漏区的信号在时间上变化,以导致、提供、产生和 / 或引起多数载流子积聚在电浮置体区的一部分中,所述部分与栅介质邻近或者在栅介质附近,所述栅介质设置在栅与电浮置体区之间。

37. 根据权利要求 36 所述的集成电路器件,其中施加到所述栅的信号在施加到所述漏区的信号从有效状态改变到无效状态之前从有效状态改变到无效状态。

38. 根据权利要求 30 所述的集成电路器件,其中所述第二写入控制信号包括施加到栅的信号、施加到源区的信号和施加到漏区的信号,且其中所述施加到漏区的信号包括闭锁电压以防止所述第一数据状态被写入到所述电浮置体晶体管中。

39. 根据权利要求 30 所述的集成电路器件,进一步包括:

数据感测电路,其耦合到所述存储器单元,以感测所述存储器单元的数据状态;以及

其中,当所述存储器单元存有所述第一数据状态时,响应于施加到所述存储器单元的读取控制信号,所述电浮置体晶体管生成表示所述第一数据状态的第二双极晶体管电流,且其中所述数据感测电路基于所述第二双极晶体管电流来确定所述第一数据状态。

40. 根据权利要求 39 所述的集成电路器件,其中所述读取控制信号包括施加到栅、源区和漏区的信号,以导致、促成和 / 或引起表示存储器单元的数据状态的双极晶体管电流,且其中施加到漏区的信号包括正的电压脉冲。

41. 根据权利要求 39 所述的集成电路器件,其中所述读取控制信号包括施加到栅、源区和漏区的信号,以导致、促成和 / 或引起表示存储器单元的数据状态的双极晶体管电流,且其中施加到漏区的信号包括负的电压脉冲。

42. 根据权利要求 30 所述的集成电路器件,其中电浮置体晶体管是 N 沟道型晶体管或者 P 沟道型晶体管。

具有电浮置体晶体管的存储器单元和存储器单元阵列及其操作方法

[0001] 相关申请

[0002] 本申请要求以下申请的优先权:(1) 于 2005 年 9 月 7 日申请的、标题为“Semiconductor Memory Cell and Method of Operating Same”的美国临时申请,其序列号为 60/714,917;(2) 于 2005 年 9 月 30 日申请的、标题为“Semiconductor Memory Cell and Array Using Bipolar Transistor Currents to Program Same”的美国临时申请,其序列号为 60/722,139;(3) 于 2005 年 10 月 19 日申请的、标题为“Memory Cell, Array and Device, and Method of Operating Same”的美国临时申请,其序列号为 60/728,061;(4) 于 2005 年 12 月 12 日申请的、标题为“Semiconductor Memory Cell and Array Using Bipolar Transistor Currents to Program and Read Same”的申请,其序列号为 60/749,385;以及(5) 于 2006 年 2 月 16 日申请的、标题为“Multilevel Memory Cell and Method for Programming and Reading Same”的美国临时申请,其序列号为 60/774,275。这些临时申请的内容通过引用结合于此。

背景技术

[0003] 本发明涉及一种半导体存储器单元、阵列、架构和器件,以及用于控制和/或操作这种单元、阵列和器件的技术;更具体而言,在一个方面,本发明涉及动态随机存取存储器(“DRAM”)单元、阵列、架构和器件,其中存储器单元包括其中存储有电荷的电浮置体。

[0004] 为了采用和/或制造先进的集成电路,利用可以改进性能、减小漏电和提高整体按比例缩小的技术、材料和器件是持续的趋势。绝缘体上半导体(SOI)是一种材料,在该材料上或者在其中(此后统一为“在其上”)可制造或者设置有器件。这样的器件被称作 SOI 器件并且包括例如部分耗尽(PD)器件、完全耗尽(FD)器件、多栅(例如双栅或者三栅)器件以及 Fin-FET。

[0005] 其中,一种类型的动态随机存取存储器单元基于 SOI 晶体管的电浮置体效应(参看例如美国专利 6,969,662)。在这点上,动态随机存取存储器单元可以由具有沟道的 PD 或者 FD SOI 晶体管(或者形成在体材料/衬底中的晶体管)构成,该沟道设置在体邻近并通过栅介质与体分离。考虑到设置在体区下的绝缘层(或者不导电区,例如在体材料/衬底中的不导电区),晶体管的体区是电浮置的。存储器单元的状态由 SOI 晶体管的体区内的电荷浓度来确定。

[0006] 参照图 1A、1B 和 1C,在一个实施例中,半导体 DRAM 阵列 10 包括多个存储器单元 12,每个存储器单元都由晶体管 14 构成,晶体管 14 具有栅 16、电浮置的体区 18、源区 20 和漏区 22。体区 18 设置在源区 20 与漏区 22 之间。此外,体区 18 设置在区 24 上或者以上,区 24 可以是绝缘区(例如在 SOI 材料/衬底中)或者不导电区(例如,在体材料/衬底中)。绝缘体或者不导电区 24 可以设置在衬底 26 上。

[0007] 通过将合适的控制信号施加到选定字线 28、选定源线 30 和/或选定位线 32,数据被写入到选定存储器单元或者从选定存储器单元读取数据。作为响应,电荷载流子积聚在

电浮置体区 18 中或者从电浮置体区发射和 / 或喷射电荷载流子,其中数据状态由电浮置体区 18 内的载流子数量来限定。注意,美国专利 6,969,662 的全部内容通过引用结合于此,例如包括其中所说明和示出的特征、属性、架构、配置、材料、技术和优点。

[0008] 通过在体区 18 中积聚多数载流子(电子或者空穴)34 或者从体区 18 发射 / 喷射多数载流子,DRAM 阵列 10 的存储器单元 12 工作(参看例如图 2A 和 2B 中的 N 沟道晶体管)。在这点上,传统的写入技术通过例如源区 20 和 / 或漏区 22 附近的碰撞电离可以在存储器单元 12 的体区 18 中积聚多数载流子 34(在该例子中为“空穴”)(参看图 2A)。通过例如使源 / 体结和 / 或漏 / 体结正向偏置,可以从体区 18 发射或者喷射多数载流子 30(参看图 2B)。

[0009] 值得注意的是,至少对于该讨论的目的而言,逻辑高或者逻辑“1”对应于,例如相对于未被编程的器件和以逻辑低或者逻辑“0”编程的器件,体区中的多数载流子浓度增加。相反,逻辑低或者逻辑“0”对应于,例如相对于未被编程的器件和 / 或以逻辑高或者逻辑“1”编程的器件,体区中的多数载流子浓度减小。

[0010] 在一种传统的技术中,通过将小的偏压施加到晶体管的漏和施加大于晶体管的阈值电压的栅偏压来读取存储器单元。在这点上,在采用 N 型晶体管的存储器单元的情况下,正的电压被施加到一个或者多个字线 28 以使能与这些字线相关的存储器单元的读取。漏电流的量通过存储在晶体管的电浮置体区内的电荷来确定 / 影响。同样地,传统的读取技术感测响应于施加在存储器单元的晶体管的栅上的预定电压而提供 / 生成的沟道电流的量,以确定存储器单元的状态;浮置体存储器单元可以具有两个或者多个不同电流状态,这些电流状态对应于两个或者多个不同的逻辑状态(例如,两个不同电流状况 / 状态对应于两个不同的逻辑状态:“1”和“0”)。

[0011] 总之,用于具有 N 沟道型晶体管的存储器单元的传统写入编程技术一般通过沟道碰撞电离(参看图 3A) 或者通过带隧穿(栅感应漏极漏电流“GIDL”)(参看图 3B) 来提供过量的多数载流子。多数载流子可以通过漏侧空穴去除(参看图 4A)、源侧空穴去除(参看图 4B) 或者例如利用背栅脉冲通过漏和源空穴去除来去除(参看图 4C)。

[0012] 值得注意的是,传统编程 / 读取技术经常导致相对大的功耗(例如由于高的写入“0”电流)和相对小的存储器编程窗口。一方面,本发明涉及编程 / 读取方法的组合,该组合允许相对低功率的存储器编程并且提供了相对较大的存储器编程窗口(例如,都至少相对于传统编程技术)。这种新方法也可以提供电浮置体存储器单元,该电浮置体存储器单元可以对工艺变化不那么敏感并且可以包括改进的保持特性。

发明内容

[0013] 本文说明和示出了许多发明。本发明不限于任意单个方面也不限于其实施例,还不限于此方面和 / 或实施例的任意组合和 / 或排列。此外,本发明的每个方面和 / 或其实施例可以被单独采用或者与本发明的一个或者多个其它方面和 / 或其实施例组合地采用。出于简洁的目的,这些排列和组合中的许多在此不作单独讨论。

[0014] 一方面,本发明涉及一种集成电路器件(例如逻辑或者分离存储器件),该集成电路器件包括存储器单元,该存储器单元包括电浮置体晶体管(例如 N 沟道型晶体管或者 P 沟道型晶体管)。电浮置体晶体管包括源区、漏区、设置在源区和漏区之间的体区和设置在

体区之上的栅,其中体区被电浮置。存储器单元包括:(i)表示电浮置体晶体管的体区中的第一电荷的第一数据状态和(ii)表示电浮置体晶体管的体区中的第二电荷的第二数据状态。集成电路器件还包括耦合到存储器单元的数据写入电路,用于施加(i)第一写入控制信号到存储器单元以在其中写入第一数据状态;和施加(ii)第二写入控制信号到存储器单元以在其中写入第二数据状态;其中响应于施加到存储器单元的第一写入控制信号,电浮置体晶体管生成第一双极晶体管电流,该第一双极晶体管电流基本上提供了电浮置体晶体管的体区中的第一电荷。在这点上,第一写入控制信号导致、提供、产生和/或引起第一双极晶体管电流。

[0015] 在一个实施例中,第一写入控制信号包括施加到栅的信号和施加到源区的信号,其中施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。在另一实施例中,第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

[0016] 在又一实施例中,第一写入控制信号包括施加到栅的信号和施加到源区的信号,用于导致、提供、产生和/或引起第一双极晶体管电流。在该实施例中,施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压,且施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

[0017] 在另一实施例中,第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中(i)施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压,且(ii)施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

[0018] 在其它实施例中,第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中响应于第一双极晶体管电流在电浮置体区中生成多数载流子。在该实施例中,施加到栅的信号可以相对于施加到漏区的信号在时间上变化以导致、提供、产生和/或引起多数载流子积聚在电浮置体区的一部分中,该部分与栅介质邻近或者在栅介质附近,该栅介质设置在栅与电浮置体区之间。当然,施加到栅的信号可以在施加到漏区的信号之前改变或者终止。

[0019] 在某些实施例中,第二写入控制信号包括施加到栅的信号、施加到源区的信号以及施加到漏区的信号。施加到漏区的信号可以包括闭锁电压以防止第一数据状态被写入到电浮置体晶体管中。

[0020] 集成电路器件还可以包括耦合到存储器单元的数据感测电路,以感测存储器单元的数据状态。响应于施加到该存储器单元的读取控制信号,电浮置体晶体管可以生成表示存储器单元的数据状态的第二双极晶体管电流,且其中,数据感测电路至少基本上基于第二双极晶体管电流来确定该存储器单元的数据状态。在一个实施例中,第二双极晶体管电流表示第一数据状态。

[0021] 读取控制信号可以包括施加到栅、源区和漏区的信号,以导致、促成和/或引起表示存储器单元的数据状态的双极晶体管电流。施加到漏区的信号可以包括正的电压脉冲或者负的电压脉冲。当然,读取控制信号中的一个或者多个可以包括恒定的或者不变的电压幅度(例如,接地)。

[0022] 在另一方面,本发明涉及一种集成电路器件(例如逻辑或者分离存储器件),该集成电路器件包括存储器单元阵列,该存储器单元阵列包括多个字线、多个源线、多个位线和

以行和列设置成矩阵的多个存储器单元。每个存储器单元都包括电浮置晶体管（例如 N 沟道型晶体管或者 P 沟道型晶体管），其中电浮置晶体管包括耦合到相关源线的源区、漏区、设置在该源区和漏区之间并耦合到相关位线的体区、以及设置在体区以上并耦合到相关字线的栅，其中体区被电浮置。存储器单元包括 (i) 表示电浮置晶体管的体区内的第一电荷的第一数据状态和 (ii) 表示电浮置晶体管的体区内的第二电荷的第二数据状态。

[0023] 在本发明的这个方面，第一行存储器单元中的每个存储器单元的电浮置晶体管的源区被连接到第一源线。

[0024] 本发明的这个方面的集成电路器件还包括耦合到第一行存储器单元的数据写入电路，用于 (i) 施加第一写入控制信号到存储器单元以在其中写入第一数据状态，和 (ii) 施加第二写入控制信号到存储器单元以在其中写入第二数据状态。响应于至少施加到第一行存储器单元中的一部分存储器单元的第一写入控制信号，第一行存储器单元中的每个这样的存储器单元的电浮置晶体管生成第一双极晶体管电流，该第一双极晶体管电流至少基本上提供了每个这样的存储器单元的电浮置晶体管的体区中的第一电荷。

[0025] 在一个实施例中，第二行存储器单元中的每个存储器单元的电浮置晶体管的源区连接到第一源线。在另一实施例中，第二行存储器单元中的每个存储器单元的电浮置晶体管的源区连接到第二源线，而第三行存储器单元中的每个存储器单元的电浮置晶体管的源区连接到第二源线。在该实施例中，第二行存储器单元和第三行存储器单元与第一行存储器单元相邻。

[0026] 在另一实施例中，第一写入控制信号导致、提供、产生和 / 或引起第一双极晶体管电流。第一写入控制信号可以包括施加到栅的信号，该信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。写入控制信号可以包括施加到源区的信号，该信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。此外，第一写入控制信号包括施加到漏区的信号，该信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

[0027] 在某些实施例中，在施加第一写入控制信号之前，数据写入电路施加第二写入控制信号到第一行存储器单元中的所有存储器单元以写入第二数据状态。在某些其它实施例中，数据写入电路至少基本上同时施加 (i) 第一写入控制信号到第一行存储器单元的一部分存储器单元中以在其中写入第一数据状态，以及施加 (ii) 第二写入控制信号到第一行存储器单元的其它存储器单元中以写入在其中第二数据状态。

[0028] 在一个实施例中，第一写入控制信号可以包括施加到第一行存储器单元中的一个或者多个存储器单元的电浮置晶体管的栅的信号和施加到其源区的信号，以导致、提供、产生和 / 或引起第一双极晶体管电流，其中：(i) 施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压，以及 (ii) 施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。在另一实施例中，第一写入控制信号包括施加到第一行存储器单元中的一个或者多个存储器单元的电浮置晶体管的栅的信号和施加到其漏区的信号，以导致、提供、产生和 / 或引起第一双极晶体管电流，其中：(i) 施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压，以及 (ii) 施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。在优选的实施例中，在具有第二电压的信号被施加到漏之前，具有第四电压的信号被施加到栅。

[0029] 本发明的这个方面的集成电路器件还可以包括耦合到多个存储器单元中的每个存储器单元的数据感测电路,以感测存储器单元的数据状态。响应于施加到存储器单元的读取控制信号,每个存储器单元的电浮置体晶体管生成表示存储器单元的数据状态的第二双极晶体管电流。数据感测电路基本上基于第二双极晶体管电流来确定存储器单元的数据状态。在一个实施例中,第二双极晶体管电流表示第一数据状态。

[0030] 读取控制信号可以包括施加到栅、源区和漏区的信号,用于导致、促成和 / 或引起表示存储器单元的数据状态的双极晶体管电流。施加到漏区的信号可以包括正的电压脉冲或者负的电压脉冲。当然,读取控制信号中的一个或者多个可以包括恒定的或者不变的电压幅度(例如,接地)。

[0031] 又一方面,本发明涉及一种集成电路器件(例如,逻辑或者分离存储器单元),该集成电路器件包括存储器单元,该存储器单元基本上由电浮置体晶体管(例如N沟道型晶体管或者P沟道型晶体管)构成。电浮置体晶体管包括源区、漏区、设置在源区和漏区之间的体区和设置在体区之上的栅,其中体区被电浮置。存储器单元包括:(i) 第一数据状态,其表示电浮置体晶体管的体区中的第一电荷,和(ii) 第二数据状态,其表示电浮置体晶体管的体区中的第二电荷。集成电路器件还包括耦合到存储器单元的数据写入电路,用于施加(i) 第一写入控制信号到存储器单元中以在其中写入第一数据状态,以及施加(ii) 第二写入控制信号到存储器单元中以在其中写入第二数据状态,其中响应于施加到存储器单元的第一写入控制信号,电浮置体晶体管生成第一双极晶体管电流,该第一双极晶体管电流基本上提供了电浮置体晶体管的体区中第一电荷。在这点上,第一写入控制信号导致、提供、产生和 / 或引起第一双极晶体管电流。

[0032] 第一写入控制信号可以包括施加到栅的信号和施加到源区的信号,其中施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。可替换地,第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。

[0033] 第一写入控制信号可以包括施加到栅的信号和施加到源区的信号,以导致、提供、产生和 / 或引起第一双极晶体管电流。在该实施例中,施加到源区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压。此外,施加到栅的信号还包括具有第三幅度的第三电压和具有第四幅度的第四电压。

[0034] 在一个实施例中,第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中(i) 施加到漏区的信号包括具有第一幅度的第一电压和具有第二幅度的第二电压,以及(ii) 施加到栅的信号包括具有第三幅度的第三电压和具有第四幅度的第四电压。

[0035] 在其它实施例中,第一写入控制信号包括施加到栅的信号和施加到漏区的信号,其中响应于第一双极晶体管电流,在电浮置体区中生成多数载流子。在该实施例中,施加到栅的信号可以相对于施加到漏区的信号在时间上变化,以导致、提供、产生和 / 或引起多数载流子积聚在电浮置体区的一部分中,该部分与栅介质邻近或者在栅介质附近,该栅介质设置在栅与电浮置体区之间。当然,施加到栅的信号可以在施加到漏区的信号之前改变或者终止。

[0036] 在某些实施例中,第二写入控制信号包括施加到栅的信号、施加到源区的信号和施加到漏区的信号。施加到漏区的信号包括闭锁电压以防止第一数据状态被写入到电浮置

体晶体管中。

[0037] 集成电路器件还可以包括耦合到存储器单元的数据感测电路,以感测存储器单元的数据状态。响应于施加到存储器单元的读取控制信号,电浮置晶体管可以生成表示存储器单元的数据状态的第二双极晶体管电流,且其中数据感测电路至少基本上基于第二双极晶体管电流来确定存储器单元的数据状态。在一个实施例中,第二双极晶体管电流表示第一数据状态。

[0038] 读取控制信号可以包括施加到栅、源区和漏区的信号,以导致、促成和/或引起表示存储器单元的数据状态的双极晶体管电流。施加到漏区的信号可以包括正的电压脉冲或者负的电压脉冲。当然,读取控制信号中的一个或者多个可以包括恒定的或者不变的电压幅度(例如接地)。

[0039] 再者,在此说明和示出了许多发明和这些发明的许多方面。发明内容并不是本发明的范围的穷举。此外,发明内容并不是意图限制本发明并且不应以这样的方式来解释。尽管在发明内容中说明和/或概述了某些实施例,但应理解为,本发明不限于这样的实施例、说明和/或概述,也不以这样的方式来限制权利要求。当然,通过以下的说明书、附图和权利要求,许多与发明内容中所提供的实施例不同和/或相似的其它实施例是显而易见的。此外,虽然在发明内容中已说明了各种特征、属性和优点和/或根据此而显而易见的内容,但应理解的是,无论是在本发明实施例中的一个实施例中、一些实施例中还是在所有实施例中,都不要这些特征、属性和优点,当然,这些特征、属性和优点也不需要出现在本发明的任何实施例中。

附图说明

[0040] 将参照所附附图进行以下的详细说明。这些附图示出了本发明的不同方面,其中在不同附图中类似地以合适的附图标记示出相似的结构、组件、材料和/或元件。应理解的是,除了具体示出的内容以外,这些结构、组件、材料和/或元件的各种组合被认为包括在本发明的范围内。

[0041] 此外,以下说明并示出了许多发明。这些发明既不限于任何单个方面也不限于其实施例,也不限于这些方面和/或实施例的任意组合和/或排列。此外,本发明的每个方面和/或其实施例都可以单独应用或者与本发明的一个或者多个其它方面和/或其实施例相结合地应用。为了简洁起见,这些排列和组合中的许多在此不作单独讨论。

[0042] 图 1A 是现有技术的 DRAM 阵列的示意性表示,该 DRAM 阵列包括多个存储器单元,存储器单元包括一个电浮置晶体管;

[0043] 图 1B 是现有技术的存储器单元的三维视图,该存储器单元包括一个电浮置部分耗尽晶体管 (PD-SOI-NMOS);

[0044] 图 1C 是沿着线 C-C' 截得的图 1B 中的现有技术的存储器单元的横截面视图;

[0045] 图 2A 和 2B 是对于给定的数据状态、现有技术中包括电浮置晶体管 (PD-SOI-NMOS) 的存储器单元的浮置体、源区和漏区的电荷关系的示例性示意图;

[0046] 图 3A 和 3B 是用于将存储器单元编程到逻辑状态“1”的传统方法的示例性示意和一般视图,即,在图 1B 的存储器单元的晶体管(在该示例性实施例中为 N 型沟道晶体管)中生成或者提供的过量的多数载流子;在这些实施例中通过沟道电子碰撞电离(图 3A)和

通过 GIDL 或者带带隧穿（图 3B）来生成或者提供多数载流子；

[0047] 图 4A-4C 是用于将存储器单元编程到逻辑状态“0”的传统方法的示例性示意和一般视图，即，通过在图 1B 的存储器单元的晶体管的电浮置体去除多数载流子来提供相对较少的多数载流子；通过晶体管的漏区 / 端（图 4A）、晶体管的源区 / 端（图 4B）、以及利用施加到存储器单元的晶体管的衬底 / 背侧端的背栅脉冲并通过晶体管的漏和源区 / 端（图 4C），来去除多数载流子；

[0048] 图 5 示出了传统读取技术的示例性示意图（和控制信号），存储器单元的状态可以通过对沟道电流的量进行感测来确定，该沟道电流由存储器单元的晶体管响应晶体管的栅上施加的预定电压而提供 / 生成；

[0049] 图 6A 是等效的电浮置体存储器单元（N 沟道型）的示意图，该存储器单元除 MOS 晶体管之外还包括本征双极晶体管；

[0050] 图 6B 是本发明的一个方面的示例性实施例的示意图（和控制信号电压关系），其中，通过在根据本发明的某些方面和 / 或实施例的存储器单元的晶体管的电浮置体中生成、存储和 / 或提供过量的多数载流子将存储器单元编程到逻辑状态“1”；

[0051] 图 6C 示出了用于将逻辑状态“1”编程或者写入到根据本发明的某些方面和 / 或实施例的存储器单元的选定控制信号的三个示例性关系，值得注意的是，在该图中示出了栅和漏控制信号序列，由此施加到漏区的控制信号可以在信号被施加到晶体管的栅之前（情况 A）、同时（情况 B）或者在之后（情况 C）被施加；

[0052] 图 7 示出了本发明的一个方面的示例性实施例的示例性示意图（和控制信号），其中通过在存储器单元的晶体管的电浮置体区中生成、存储和 / 或提供相对较少的多数载流子（与被编程到逻辑状态“1”的存储器单元的电浮置体中的多数载流子数量相比）将存储器单元编程到逻辑状态“0”，其中通过将控制信号（例如编程脉冲）施加到存储器单元的晶体管的栅经由漏和源区 / 端去除多数载流子（写入“0”）；

[0053] 图 8 示出了本发明的一个方面的示例性实施例的示例性示意图（和控制信号），其中在例如将相邻的存储器单元编程到预定数据状态（例如，逻辑状态“1”和 / 或逻辑状态“0”）时保持或者维持存储器单元的数据状态；

[0054] 图 9 是实现本发明的一个或者多个方面的存储器单元的示例性保持时间曲线；

[0055] 图 10 示出了本发明的一个方面的示例性实施例的示例性示意图（和控制信号），其中通过对响应施加在存储器单元的晶体管的栅上的预定电压而提供 / 生成的电流的量进行感测来读取存储器单元的数据状态；

[0056] 图 11 示出了实现本发明的一个或者多个方面的存储器单元的逻辑状态“1”和逻辑状态“0”的示例性曲线；

[0057] 图 12A 和 12B 是根据本发明的某些方面的集成电路器件的实施例的示意性方框图，其中该集成电路器件包括存储器单元阵列、数据感测和写入电路、存储器单元选择和控制电路；

[0058] 图 13-15 示出了根据本发明的某些方面的示例性存储器阵列的实施例，该存储器阵列具有多个存储器单元并且为每行存储器单元采用分离的源线配置；

[0059] 图 16 示出了选定写入控制信号的示例性关系，该选定写入控制信号用于执行将逻辑高或者逻辑“1”编程或者写入到根据本发明的一个实施例的存储器单元的编程或者写

入操作；

[0060] 图 17 示出了选定写入控制信号的示例性关系，该选定写入控制信号用于执行将逻辑低或者逻辑“0”编程或者写入到根据本发明的一个实施例的存储器单元的编程或者写入操作；

[0061] 图 18 示出了对根据本发明的一个实施例的存储器单元执行读取操作的选定控制信号的示例性关系；

[0062] 图 19、21、22、23、24、25 和 26 示出了根据本发明某些方面的、用于控制或者执行在此所示的相关存储器阵列配置或者布局的存储器单元的某些操作的示例性关系；

[0063] 图 20 和 27 示出了根据本发明的某些方面的存储器阵列的示例性实施例，该存储器阵列具有多个存储器单元并且采用了用于每行存储器单元的分立或者公共源线配置；

[0064] 图 28 示出了根据本发明的一个实施例的准无损读取 (quasi-non-destructive reading) 技术；

[0065] 图 29 示出了根据本发明的一个实施例的、(i) 用于将逻辑“0”编程或者写入一个或者多个 N 沟道型存储器单元、(ii) 用于将逻辑“1”编程或者写入一个或者多个 N 沟道型存储器单元和 (iii) 用于读取一个或者多个 N 沟道型存储器单元的选定写入控制信号的示例性时序关系；

[0066] 图 30 示出了根据本发明的某些方面的存储器阵列的示例性实施例，该存储器阵列具有多个存储器单元（包括 N 沟道型晶体管）并采用了用于每行存储器单元的公共源线配置；

[0067] 图 31 示出了根据本发明的某些方面的存储器阵列的示例性实施例，该存储器阵列具有多个存储器单元（包括 P 沟道型晶体管）并采用了用于每行存储器单元的公共源线配置；

[0068] 图 32 示出了根据本发明一个实施例的 (i) 用于将逻辑“0”编程或者写入一个或者多个 P 沟道型存储器单元、(ii) 用于将逻辑“1”编程或者写入一个或者多个 P 沟道型存储器单元和 (iii) 用于读取一个或者多个 P 沟道型存储器单元的选定写入控制信号的示例性时序关系；

[0069] 图 33 示出了根据本发明的一个方面的用作浮置体存储器单元的 FD 晶体管的示例性示意图（和控制信号）；值得注意的是，不需要背栅偏压（虽然可以采用）；

[0070] 图 34 和 35 分别示出了根据本发明的一些方面的用作浮置体存储器单元的双栅和三栅晶体管的示例性示意图（和控制信号）；以及

[0071] 图 36 示出了可用作本发明的浮置存储器单元的示例性半导体单元（和控制信号）；如前，不需要背栅偏压（虽然可以采用）并且也不要求附加的技术 / 制作工艺（虽然可以实施该工艺）；以及

[0072] 图 37 示出了根据本发明的某些方面的用于对在此所示的相关存储器阵列配置或者布局的存储器单元进行控制或者执行某些操作的选定控制信号的示例性关系。

具体实施方式

[0073] 首先，应注意到，这里说明了许多发明以及这些发明的实施例和许多方面。一方面，本发明涉及用于控制和 / 或操作具有一个或者多个电浮置体晶体管的半导体存储器单

元的技术（和具有多个这种存储器单元的存储器单元阵列以及具有存储器单元阵列的集成电路器件），其中电荷存储在电浮置体晶体管的体区中。本发明的技术采用本征双极晶体管电流来控制、写入和 / 或读取在这种存储器单元中的数据状态。在这点上，本发明采用本征双极晶体管电流来控制存储器单元的电浮置体晶体管的数据状态、将数据状态写入存储器单元的电浮置体晶体管和 / 或读取存储器单元的电浮置体晶体管的数据状态。

[0074] 此外或可替换地，本发明采用带隧穿来将数据状态写入电浮置体存储器单元中并且采用由电浮置体晶体管生成的本征双极晶体管电流来读取和 / 或确定存储器单元的数据状态。然而，在该实施例中，在读取操作期间，数据状态主要通过：基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定，该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量，该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0075] 本发明还涉及用于实施这种控制和操作技术的半导体存储器单元、阵列、电路和器件。值得注意的是，存储器单元和 / 或存储器单元阵列可包括集成电路器件的一部分，例如逻辑器件（如，微控制器或者微处理器）或者存储器件的一部分（如，分离存储器）。

[0076] 参照图 6A，在一个实施例中，电浮置体晶体管 14 可以示意性地被示出为包括 MOS 晶体管“组件”和本征双极晶体管“组件”。一方面，本发明采用本征双极晶体管“组件”来对存储器单元 12 进行编程 / 写入以及读取。在这点上，本征双极晶体管生成和 / 或产生双极晶体管电流，该电流被用于将数据状态编程 / 写入存储器单元 12 以及读取存储器单元 12 的数据状态。值得注意的是，在该示例性实施例中，电浮置体晶体管 14 是 N 沟道器件。由此，多数载流子 34 是“空穴”。

[0077] 参照图 6A-6C，在一个实施例中，在操作中，当写入或者编程逻辑“1”时，具有预定电压（例如， $V_g = 0v$ 、 $V_s = 0v$ 和 $V_d = 3v$ ）的控制信号被（分别）施加到存储器单元 12 的晶体管 14 的栅 16、源区 20 和漏区 22。这种控制信号在晶体管 14 的电浮置体区 18 中生成或者提供双极电流。该双极电流在电浮置体区 18 中导致或者引起碰撞电离和 / 或雪崩倍增现象。这样，在存储器单元 12 的晶体管 14 的电浮置体区 18 中产生、提供和 / 或生成过量的多数载流子。因此，在该实施例中，通过电浮置体区 18 中的碰撞电离和 / 或雪崩倍增，预定电压的控制信号将逻辑“1”编程或者写入到存储器单元 12 中，该碰撞电离和 / 或雪崩倍增由存储器单元 12 的晶体管 14 的体区 18 中的双极电流引起或者产生。

[0078] 值得注意的是，负责电浮置体区 18 中碰撞电离和 / 或雪崩倍增的双极晶体管电流优选通过施加到晶体管 14 的栅 16 的控制信号来启动或者引起。这种控制信号可以引起沟道碰撞电离，沟道碰撞电离提高或者增加了体区 18 的电势并且在晶体管 14 中“接通”、产生、导致和 / 或引起双极电流。所提出的写入 / 编程技术的一个优点是，大量的过量多数载流子被产生并且存储在晶体管 14 的电浮置体区 18 中。

[0079] 参照图 6C，施加到晶体管 14 的漏区 22 的控制信号可在控制信号施加到栅之前、同时、或之后施加（分别相应于情况 A、B、C）。从相对的时序来看，优选的是，施加到漏区 22 的控制信号在时间上延伸超过施加到栅 16 的控制信号或者在施加到栅 16 的控制信号终止之后在时间上还继续（例如参看图 6C 的情况 C）。这样，在电浮置体区 18 中通过双极电流生成多数载流子 34，并且多数载流子 34 可以积聚在存储器单元 12 的晶体管的电浮置体区 18 的一部分中，该部分与栅介质 32（设置在栅 16 与电浮置体区 18 之间）邻近或者在其附

近。

[0080] 在将逻辑“1”编程或者写入存储器单元 12 的其它实施例中,具有预定电压(例如, $V_g = -3v$, $V_s = -0.5v$ 和 $V_d = 1v$)的控制信号(分别)施加到栅 16 和源区 20 和漏区 22 以启动或者引起带带隧穿。这样,过量的多数载流子被生成并且被存储在晶体管 14 的电浮置体区 18 中。

[0081] 参照图 7,在一个实施例中,通过将具有预定电压(例如,分别为 $V_g = 1.5v$, $V_s = 0v$ 和 $V_d = 0v$)的控制信号施加到栅 16、源区 20 和漏区 22 可以将存储器单元 12 编程到逻辑“0”。作为响应,多数载流子可以从晶体管 14 的电浮置体区 18 去除。在一个实施例中,可以通过源区 20 和漏区 22 从体区 18 去除、消除或者喷射多数载流子(见图 7)。在另一个实施例中,基本上通过源区 20 或漏区 22 从体区 18 去除、消除或者喷射多数载流子。

[0082] 通过将具有预定电压的控制信号(例如, $V_g = 0v$, $V_s = -0.4v$ 和 $V_d = -1.5v$)施加到晶体管 14 的栅 16、源区 20 和漏区 22,可将存储器单元 12 的晶体管 14 编程到逻辑“0”。在该实施例中,优选的是,栅源电压低于晶体管 14 的阈值电压。这样,在“0”写入期间的功耗可以被进一步地减小。

[0083] 值得注意的是,施加到栅 16 的用于写入或者编程逻辑“0”的控制信号不同于并且至少在一个实施例中可以高于可施加到其它存储器单元 12(例如存储器单元阵列中的其它存储器单元)的晶体管 14 的栅的保持电压(在下面被讨论)。这样,写入操作对其它存储器单元的影响被最小化和/或被减小。

[0084] 因此,所示/示例性的用于执行写入操作的电压电平仅为示例性的。这些控制信号增加了电浮置体区 18 的电势,该电势“接通”、产生、导致和/或引起晶体管 14 中的双极电流。在写入操作的情况下,双极电流在电浮置体区中生成多数载流子,然后多数载流子被存储。在写入操作的情况下,双极电流在电浮置体区中生成多数载流子,然后多数载流子被存储。在读取操作的情况下,数据状态主要通过:基本上使用双极晶体管电流来感测和/或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和/或可被忽略。

[0085] 因此,用于执行写入操作的电压电平仅为示例性的。当然,所示的电压电平可以是相对的或者绝对的。可替换地,所示电压可以是相对的,因为每个电压电平例如可以增加或者减小给定的电压量(例如每个电压可以增加或者减小 0.5、1.0 和 2.0 伏特),不管这些电压(例如,源、漏或栅电压)中的一个或者多个变为或者成为正的或负的。

[0086] 值得注意的是,本发明的编程技术相对于图 4A 和 4B 的传统技术消耗更少的功率。在这点上,用于写入或者编程到逻辑“0”的电流与传统的技术相比更小。此外,本发明的编程技术可以在不使用背栅端子的情况下实现(相较于图 4C)。

[0087] 在一个实施例中,存储器单元 12 可以被实施在存储器单元阵列中。当存储器单元被实施在存储器单元阵列配置中时,有利之处在于,当编程阵列中的一个或者多个其它存储器单元时可对某些存储器单元执行“保持”操作或者条件,以便提高或者增强这些存储器单元的保持特性。在这点上,通过施加控制信号(具有预定电压),存储器单元的晶体管可以被设置成“保持”状态,该控制信号被施加到未涉及写入或读取操作的存储器单元的晶体管的栅以及源和漏区。

[0088] 例如,参照图 8,控制信号提供、导致和 / 或引起多数载流子积聚在靠近栅介质 32 与电浮置体 18 之间的界面的区域中。在该实施例中,在晶体管 14 为 N 沟道型晶体管 14 时,优选地将负电压施加到栅 16。所提出的保持条件可以提供增强的保持特性(例如参看图 9)。

[0089] 参照图 10,在一个实施例中,可以通过将具有预定电压的控制信号施加到晶体管 14 的栅 16 以及源区 20 和漏区 22(例如,分别为 $V_g = -0.5\text{v}$ 、 $V_s = 3\text{v}$ 和 $V_d = 0\text{v}$) 来读取和 / 或确定存储器单元 12 的数据状态。这种组合的控制信号在被编程到逻辑“1”的存储器单元 12 中引起和 / 或导致双极晶体管电流。双极晶体管电流可以明显大于沟道电流。这样,耦合到存储器单元 12 的晶体管 14(例如漏区 22)的感测电路(例如交叉耦合感测放大器)主要利用和 / 或基本上基于双极晶体管电流来感测数据状态。值得注意的是,对于那些被编程到逻辑“0”的存储器单元 12,这样的控制信号几乎不引起、导致和 / 或产生双极晶体管电流(例如,相当大的、基本或者足以测量的双极晶体管电流)。

[0090] 与传统方法(参看图 5)相比,所提出的读取技术可以提供更大的信号(参看图 11)。此外,读取技术可以简化对从存储器单元 12 的晶体管 14 中读取的信号感测。

[0091] 在另一实施例中,读取操作可以通过将 0 伏特施加到源区 20 和栅 16 并将正的电压(例如 +3.5 伏特)施加到漏区 22 来进行。在这些情况下,在源区 20 与漏区 22 之间产生双极晶体管电流。双极晶体管电流可以比沟道电流大。这样,耦合到存储器单元 12 的晶体管 14(例如漏区 22)的感测电路(例如交叉耦合感测放大器)主要利用和 / 或基本上基于双极晶体管电流来感测数据状态。

[0092] 因此,响应读取控制信号,电浮置体晶体管 14 生成表示存储器单元 12 的数据状态的双极晶体管电流。在数据状态是逻辑高或者逻辑“1”时,电浮置体晶体管 14 提供了基本上比数据状态为逻辑低或者逻辑“0”时更大的双极晶体管电流。当然,当数据状态是逻辑低或者逻辑“0”时,电浮置体晶体管 14 可以几乎不提供双极晶体管电流。如下面更为详细的讨论,数据感测电路基本上基于由响应读取控制信号而引起、导致和 / 或产生的双极晶体管电流来确定存储器单元的数据状态。

[0093] 值得注意的是,在一个实施例中,在电浮置体晶体管 14 是 P 沟道型晶体管时,在操作中的读取操作期间,0 伏特可被施加到源区 20 和栅 16 且负的电压(例如 -4 伏特)可被施加到漏区 22。这种组合的控制信号引起和 / 或导致显著地大于沟道电流的双极晶体管电流。此外,电浮置体晶体管 14 生成表示存储器单元的数据状态的双极晶体管电流。在该实施例中,在数据状态为逻辑高或者逻辑“1”时,电浮置体晶体管 14 提供了基本上比数据状态为逻辑低或者逻辑“0”时更大的双极晶体管电流。当然,当数据状态为逻辑低或者逻辑“0”时,电浮置体晶体管 14 可以几乎不提供双极晶体管电流。耦合到存储器单元 12 的晶体管 14(例如漏区 22)的感测电路(例如交叉耦合感测放大器)主要利用和 / 或基本上基于双极晶体管电流来感测数据状态。

[0094] 如同其它操作一样,所示的 / 示例性的用于执行读取操作的电压电平仅为示例性的。所示的电压电平可以是相对的或者绝对的。可替换地,所示的电压可以是相对的,因为每个电压电平例如可以增加或者减少给定的电压量(例如每个电压可以增加或者减小 0.5、1.0 和 2.0 伏特),不管这些电压中的一个或者多个(例如,源、漏或栅电压)变为或者成为正的或负的。

[0095] 如上所述,本发明可以实施在集成电路器件中(例如分离存储器器件或者具有嵌入存储器的器件),该集成电路器件包括存储器阵列,该存储器阵列具有设置成多个行和列的存储器单元,其中每个存储器单元都包括电浮置晶体管。存储器阵列可以包括N沟道型晶体管、P沟道型晶体管和/或这两种类型的晶体管。当然,存储器阵列外围的电路(例如,数据感测电路(例如感测放大器或者比较器)、存储器单元选择和控制电路(例如字线和/或源线驱动器)以及行和列地址译码器)可以包括P沟道型和/或N沟道型晶体管。

[0096] 例如,参照图12A和12B,集成电路器件可以包括具有多个存储器单元12的阵列10、数据写入和感测电路36以及存储器单元选择和控制电路38。数据写入和感测电路36从选定存储器单元12中读取数据或者将数据写入到选定存储器单元12。在一个实施例中,数据写入和感测电路36包括多个数据感测放大器。每个数据感测放大器接收至少一个位线32和参考生成器电路的输出(例如电流或者电压参考信号)。在一个实施例中,数据感测放大器可以是如由Waller和Carman于2005年12月12日申请的、标题为“Sense Amplifier Circuitry and Architecture to Write Data into and/or Read Data from Memory Cells”的非临时美国专利申请No. 11/299,590(美国专利申请公开US2006/0126374)中说明和示出的交叉耦合型感测放大器(该申请通过引用全部结合于此),以便感测存储在存储器单元12中的数据状态和/或将数据写回到存储器单元12中。

[0097] 数据感测放大器可以采用电压和/或电流感测电路和/或技术。在电流感测的情况下,电流感测放大器可以将来自选定存储器单元的电流与参考电流进行比较,该参考电流例如一个或者多个参考单元的电流。通过比较可以确定存储器单元12是包含逻辑高数据状态(相对较多的多数载流子34包含在体区18内)还是包含逻辑低数据状态(相对较少的多数载流子28包含在体区18内)。值得注意的是,本发明可以采用任何类型或者任何形式的数据写入和感测电路36(包括一个或者多个感测放大器,利用电压或者电流感测技术来感测存储在存储器单元12中的数据状态)来读取存储在存储器单元12中的数据和/或将数据写入到存储器单元12中。

[0098] 简而言之,存储器单元选择和控制电路38选择和/或使能一个或者多个预定的存储器单元12来促成通过将控制信号施加到一个或者多个字线28来读取数据和/或写入数据。利用例如行地址数据的地址数据,存储器单元选择和控制电路38可以生成控制信号。当然,存储器单元选择和控制电路38可以包括传统的字线译码器和/或驱动器。存在许多不同的控制/选择技术(和相应的电路)来实现存储器单元选择技术。这些技术和相应的电路对本领域技术人员而言是公知的。值得注意的是,所有这些控制/选择技术和相应的电路,无论是现在已知还是以后要开发的,都将落入本发明的范围内。

[0099] 本发明可以被实施成包括具有电浮置晶体管的存储器单元的任何架构、布局和/或配置。例如,在一个实施例中,包括多个存储器单元12的存储器阵列10具有用于每行存储器单元的分离源线(一行存储器单元包括连接到该行的每个存储器单元的栅的公共字线)(参看例如图13-15)。存储器阵列10可以采用上述示例性的编程、读取和/或保持技术中的一个或者多个。

[0100] 在一个实施例中,结合两步写入操作实施了本发明,其中首先通过执行“清除”操作将给定行的所有存储器单元写入到预定的数据状态,由此给定行的所有存储器单元被写入或者编程到逻辑“0”,且此后有选择地对该行的选定存储器单元执行写入操作以成为预

定数据状态（在此为逻辑“1”）。也可以利用一步写入操作来实施本发明，由此选定行的选定存储器单元可被有选择地写入或者编程到逻辑“1”或者逻辑“0”，而不首先执行“清除”操作。

[0101] 参照图 13、14A 和 14B，可利用两步操作来对存储器单元 12 进行编程，其中通过首先执行“清除”操作将给定行的存储器单元写入到第一预定数据状态（在该示例性实施例中，给定行的所有存储器单元被写入到或者编程到逻辑“0”）并且此后选定存储器单元被写入到第二预定数据状态（即，至第二预定数据状态的选定写入操作）。通过利用本发明的上述技术将给定行的每个存储器单元写入或者编程到第一预定数据状态（在该示例性实施例中第一预定数据状态为逻辑“0”）来进行“清除”操作（参看图 7）。

[0102] 特别地，给定行的每个存储器单元 12 的晶体管（例如，存储器单元 12a-12d）被控制成存储对应于逻辑“0”的晶体管的电浮置体区中的多数载流子浓度。在这点上，执行清除操作的控制信号被施加到存储器单元 12a-12d 的晶体管的栅、源区和漏区。在一个实施例中，清除操作包括：(i) 施加 1.5v 到晶体管的栅，(ii) 施加 0v 到晶体管的源区和 (iii) 施加 0v 到晶体管的漏区。作为响应，相同的逻辑状态（例如逻辑低或者逻辑“0”）被存储在存储器单元 12a-12d 中并且存储器单元 12a-12d 的状态被“清除”。值得注意的是，优选的是可以使栅源电压维持在存储器单元 12 的晶体管的阈值电压以下以便进一步最小化或者减小功耗。

[0103] 此后，可以将给定行的选定存储器单元编程到第二预定逻辑状态。在这点上，给定行的某些存储器单元的晶体管被写入到第二预定逻辑状态，以便将第二预定逻辑状态存储在存储器单元中。例如，参照图 14A，通过 (i) 将 -2v 施加到栅（经字线 28_i ），(ii) 将 -2v 施加到源区（经源线 30_i ）和 (iii) 将 1.5v 施加到漏区（经位线 32_{j+1} 和 32_{j+2} ），经碰撞电离和 / 或雪崩倍增，存储器单元 12b 和 12c 被编程到逻辑高或者逻辑“1”。特别是，这样的控制信号在存储器单元 12 的晶体管的电浮置体区中生成或者提供双极电流。该双极电流在存储器单元 12b 和 12c 的晶体管的电浮置体区中导致或者产生碰撞电离和 / 或雪崩倍增现象。这样，在对应于逻辑高或者逻辑“1”的存储器单元 12b 和 12c 的晶体管的电浮置体区中提供和存储了过量的多数载流子。

[0104] 如上所述，优选的是，通过施加到晶体管的栅的控制信号（控制脉冲）来启动或者引起在浮置体中负责碰撞电离和 / 或雪崩倍增的双极晶体管电流。这种信号 / 脉冲可以引起沟道碰撞电离，沟道碰撞电离提高或者增加存储器单元 12b 和 12c 的晶体管的电浮置体区的电势并且在晶体管 14 中“接通”和 / 或产生双极电流。所提出的方法的一个优点是，可以在存储器单元 12b 和 12c 的晶体管的电浮置体区中生成和存储大量的过量多数载流子。

[0105] 值得注意的是，在该示例性实施例中，通过将禁止控制信号施加到每个存储器单元 12a 和 12d 的漏区来使存储器单元 12a 和 12d 维持在逻辑低（或者逻辑“0”）。例如在存储器单元 12b 和 12c 的选定写入操作期间，将 0v 施加到存储器单元 12a 和 12d 的漏区（经位线 32_j 和 32_{j+4} ）以禁止将逻辑高或者逻辑“1”写入存储器单元 12a 和 12d。

[0106] 有利之处在于，可以对存储器单元阵列 10 中的其它存储器单元采用“保持”操作或者条件以最小化和 / 或减小连接到字线 28_i 的存储器单元 12a-12d 的写入操作的影响。参照图 13 和 14A，在一个实施例中，保持电压被施加到存储器单元阵列 10 的其它存储器单元（例如连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元）的晶体管的栅。在一个

示例性实施例中, -1.2v 的保持电压被施加到连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元的晶体管的栅。这样, 存储器单元 12a-12d (连接到字线 28_i 的存储器单元) 的写入操作对存储器单元阵列 10 的其它存储器单元的影响被最小化和 / 或减小。

[0107] 参照图 14B, 在另一实施例中, 利用带带隧穿 (GIDL) 方法有选择地将存储器单元写入到逻辑高 (逻辑“1”)。如上所述, 带带隧穿在每个选定存储器单元 (在该示例性实施例中为存储器单元 12b 和 12c) 的晶体管的电浮置体中提供、产生和 / 或生成过量的多数载流子。例如, 在执行清除操作之后, 通过 (i) 施加 -3v 到栅 (经字线 28_i)、(ii) 施加 -0.5v 到源区 (经源线 30_i) 和 (iii) 施加 1v 到漏区 (经位线 32_{j+1} 和 32_{j+2}), 经由带带隧穿将存储器单元 12b 和 12c 编程到逻辑高或者逻辑“1”。

[0108] 如上所述, 通过将写入“禁止”控制信号施加到与其它存储器单元相关的位线 (分别为位线 32_j 和 32_{j+4}), 可以使连接到字线 28_i 的其它存储器单元 (在该示例性实施例中为存储器单元 12a 和 12d) 维持在逻辑低。此外, 通过实施“保持”操作或者条件, 可以使存储器单元阵列 10 的未连接到字线 28_i 的其它存储器单元维持在给定数据状态。在这点上, 参照图 14B, 在一个实施例中, 保持电压被施加到连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元的晶体管的栅。在一个示意性实施例中, 将 -1.2V 施加到连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元的晶体管的栅。这样, 存储器单元 12a-12d (连接到字线 28_i 的存储器单元) 的写入操作对存储器单元阵列 10 的其它存储器单元的影响被最小化和 / 或减小。

[0109] 可以通过将读取控制信号施加到相关字线 28 和相关源线 30 并且感测在相关位线 32 上的信号 (电压和 / 或电流) 来读取选定行的存储器单元。在一个示例性实施例中, 参照图 15, 通过 (i) 施加 -0.5v 到栅 (经字线 28_i) 和 (ii) 施加 3v 到源区 (经源线 30_i) 来读取存储器单元 12a-12d。数据写入和感测电路 36 通过感测对施加到字线 28_i 和源线 30_i 的读取控制信号的响应来读取存储器单元 12a-12d 的数据状态。响应读取控制信号, 存储器单元 12a-12d 生成表示存储器单元 12a-12d 的数据状态的双极晶体管电流。在该例子中, 响应读取控制信号, 存储器单元 12b 和 12c (其之前被编程到逻辑“1”) 生成明显大于任何沟道电流的双极晶体管电流。相反, 对于存储器单元 12a 和 12d (其之前被编程到逻辑“0”), 这样的控制信号几乎不引起、导致和 / 或产生双极晶体管电流 (例如, 相当大的、基本或者足以测量的双极晶体管电流)。在数据写入和读取电路 36 中的用于感测数据状态的电路 (例如, 交叉耦合感测放大器) 主要利用和 / 或基本上基于双极晶体管电流来感测数据状态。

[0110] 因此, 响应读取控制信号, 每个存储器单元 12a-12d 的电浮置体晶体管生成表示其中所存储的数据的状态的双极晶体管电流。在数据写入和感测电路 36 中的数据感测电路基本上基于响应读取控制信号而引起、导致和 / 或产生的双极晶体管电流来确定存储器单元 12a-12d 的数据状态。值得注意的是, 如上所述, 也可以应用其它控制信令技术来执行读取操作。

[0111] 再者, 有利之处在于, 可以对存储器单元阵列 10 中的其它存储器单元采用“保持”操作或者条件以最小化和 / 或减小存储器单元 12a-12d 的读取操作的影响。继续参照图 15, 在一个实施例中, 保持电压被施加到存储器单元阵列 10 的其它存储器单元 (例如连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元) 的晶体管的栅。在一个示例性实施例

中, -1.2v 的保持电压被施加到连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的存储器单元的每个晶体管的栅。这样, 存储器单元 12a - 12d (连接到字线 28_i 的存储器单元) 的读取操作对存储器单元列阵 10 的其它存储器单元的影响被最小化和 / 或减小。

[0112] 在另一实施例中, 参照图 16, 用于实施写入操作的控制信号可以被配置成提供低功耗和一步写入, 由此选定行的存储器单元的选定存储器单元可被有选择地写入或者编程到逻辑“1”或者逻辑“0”, 而不首先执行“清除”操作。在该实施例中, 实施写入逻辑“1”操作的随时间变化的控制信号包括施加到栅 ($V_{\text{gw}^{\prime}1^{\prime}1}$) 的电压和施加到漏区 ($V_{\text{dw}^{\prime}1^{\prime}1}$) 的电压。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上, 在阶段 1, 在栅脉冲 ($V_{\text{gw}^{\prime}1^{\prime}1}$) 被施加到栅 (例如经相关字线) 之前、同时、或者之后, 漏脉冲 ($V_{\text{dw}^{\prime}1^{\prime}1}$) 可被施加到存储器单元的电浮置体晶体管的漏区 (例如经相关位线)。优选的是, 漏脉冲 ($V_{\text{dw}^{\prime}1^{\prime}1}$) 包括足以维持适于将存储器单元编程到逻辑“1”的双极电流的幅度。从相对的时序来看, 优选的是, 漏脉冲 ($V_{\text{dw}^{\prime}1^{\prime}1}$) 延伸超过栅脉冲 ($V_{\text{gw}^{\prime}1^{\prime}1}$) 结束的时刻 / 在栅脉冲 ($V_{\text{gw}^{\prime}1^{\prime}1}$) 结束的时候之后延伸, 或者继续超过栅脉冲 ($V_{\text{gw}^{\prime}1^{\prime}1}$) 结束的时刻; 或者延伸超过栅脉冲 ($V_{\text{gw}^{\prime}1^{\prime}1}$) 减小的时刻 / 在栅脉冲 ($V_{\text{gw}^{\prime}1^{\prime}1}$) 减小的时刻之后延伸或者继续超过该时刻, 如图 16 中所示 (参看 $\Delta t > 0$)。这样, 经双极电流在电浮置体中生成多数载流子并且多数载流子可以积聚 (且被存储) 在存储器单元 12 的晶体管的电浮置体区的一部分中, 该部分与栅介质 (设置在栅与电浮置体区之间) 邻近或者在其附近。

[0113] 值得注意的是, 继续参照图 16, 在编程的阶段 2, 栅电压 ($V_{\text{gw}^{\prime}1^{\prime}2}$) 可以等于 (或者基本上等于) 施加到栅以执行保持操作的电压 (V_{gh}) 并且漏偏压 ($V_{\text{dw}^{\prime}1^{\prime}2}$) 可以等于 (或者基本上等于) 施加到漏区以执行保持操作的电压 (V_{dh})。

[0114] 参照图 17, 用于执行写入逻辑“0”操作的随时间变化的控制信号包括施加到栅的电压 ($V_{\text{gw}^{\prime}0^{\prime}1}$) 和施加到漏区的电压 ($V_{\text{dw}^{\prime}0^{\prime}1}$)。在该实施例中, 在阶段 1 中, 可以在控制信号 ($V_{\text{gw}^{\prime}0^{\prime}1}$) 被施加到栅之前、同时或者之后, 将控制信号施加到漏区 ($V_{\text{dw}^{\prime}0^{\prime}1}$)。优选的是, 漏脉冲 ($V_{\text{dw}^{\prime}0^{\prime}1}$) 包括不足以维持适于将存储器单元编程到逻辑“1”的双极电流的幅度。从相对的时序来看, 优选的是, 漏脉冲 ($V_{\text{dw}^{\prime}0^{\prime}1}$) 延伸超过栅脉冲 ($V_{\text{gw}^{\prime}0^{\prime}1}$) 结束的时刻 / 在栅脉冲 ($V_{\text{gw}^{\prime}0^{\prime}1}$) 结束的时刻之后延伸, 或者继续超过栅脉冲 ($V_{\text{gw}^{\prime}0^{\prime}1}$) 结束的时刻; 或者延伸超过栅脉冲 ($V_{\text{gw}^{\prime}0^{\prime}1}$) 减小的时刻 / 在栅脉冲 ($V_{\text{gw}^{\prime}0^{\prime}1}$) 减小的时刻之后延伸或者继续超过该时刻, 如图 17 中所示 (参看 $\Delta t > 0$)。这样, 经双极电流在电浮置体中生成多数载流子并且多数载流子可以积聚 (且被存储) 在存储器单元 12 的晶体管的电浮置体区的一部分中, 该部分与栅介质 (设置在栅与电浮置体区之间) 邻近或者在其附近。

[0115] 类似于上述写入逻辑“1”的阶段 2, 在逻辑“0”的写入操作的阶段 2 中, 栅电压 ($V_{\text{gw}^{\prime}0^{\prime}2}$) 可以等于 (或者基本上等于) 施加到栅以执行保持操作的电压 (V_{gh}), 且漏偏压 ($V_{\text{dw}^{\prime}0^{\prime}2}$) 可以等于 (或者基本上等于) 施加到漏区以执行保持操作的电压 (V_{dh})。

[0116] 值得注意的是, 在前面关于示例性写入操作的讨论中, 出于解释目的引用写入操作的第一阶段和第二阶段以便突出在示例性实施例中控制信号的电压状况的变化。有利之处在于, 当写入逻辑“1”和“0”时, 在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中, 可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0117] 可以利用图 18 中所示的读取控制信号读取存储器单元。在该实施例中, 读取控制信号被施加到漏区和栅。可以在将电压 (V_{gr}) 施加到栅之前、同时或者之后, 将施加到漏区

(V_{dr}) 的电压施加到漏区。此外,漏脉冲 (V_{dr}) 可以在栅脉冲 (V_{gr}) 之前、与栅脉冲 (V_{gr}) 同时 (如在图 18 中所示) 或者在栅脉冲 (V_{gr}) 结束或停止之后才停止或者终止。

[0118] 值得注意的是,在该实施例中,在读取操作期间,在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过:基本上使用双极晶体管电流来感测和/或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和/或可被忽略。

[0119] 在此所述的编程和读取技术可以结合设置在存储器单元阵列中的多个存储器单元来实施。实现本发明的结构和技术的存储器阵列可以被控制并且被配置为包括具有用于每行存储器单元(一行存储器单元包括公共字线)的分离源线的多个存储器单元。示出了根据本发明的某些方面的示例性布局或者配置(包括示例性控制信号电压值),每个布局或者配置由在一步写入阶段 1、阶段 2 和读取期间的控制信号波形和示例性阵列电压构成。

[0120] 图 19 提供了与图 20 中所示的示例性布局或者配置有关的示例性控制信号信息(时间信息和幅度信息)。在该实施例中,用于实施写入操作的随时间变化的控制信号包括(i) 经相关字线施加到栅的电压 (V_{gw})、(ii) 经源线施加到源的电压 (V_{sw}) 和 (iii) 经相关位线施加到漏区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上,通过施加幅度为 0.5V 的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元,而通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑“0”写入存储器单元。此外,在写入操作的阶段 1 中,源脉冲 (V_{sw1}) 包括 -2.5V 的幅度且栅脉冲 (V_{gw1}) 包括 -2.5V 的幅度。在写入操作的阶段 2 中,源脉冲 (V_{sw2}) 包括 -2.2V 的幅度且栅脉冲 (V_{gw2}) 包括 -3.3V 的幅度。

[0121] 值得注意的是,在这些情况下,提供了适于将存储器单元编程到逻辑“1”的双极电流。此外,在这些情况下,为了将存储器单元编程到逻辑“0”几乎不生成双极电流。

[0122] 如上所述,在前面关于示例性写入操作的讨论中,出于解释目的引用写入操作的第一阶段和第二阶段,以便突出在示例性实施例中控制信号的电压状况中的变化。有利之处在于,当写入逻辑“1”和“0”时,在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中,可以将恒定的或者不变的电压施加到栅、漏区和/或源区。虽然“一步”编程技术会比“两步”编程技术消耗更多功率,但是“一步”编程技术可以提供较不复杂的控制信令方式(signaling regime) 和用于此的电路。

[0123] 可以并行地读取一行存储器单元(例如 12a-12d)。在该实施例中,通过施加以下读取控制信号来读取存储器单元 12:(i) 经相关字线施加到栅的电压 (V_{gr}) 和 (ii) 经源线施加到源的电压 (V_{sr})。在相关位线(分别为 32_j - 32_{j+3}) 上感测、确定和/或采样每个存储器单元(例如 12a-12d) 的逻辑状态。特别是,在读取操作期间,栅脉冲 (V_{gr}) 包括 -0.5V 的幅度而源脉冲 (V_{sr}) 包括 3V 的幅度。

[0124] 值得注意的是,在读取操作期间,在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过:基本上使用双极晶体管电流来感测和/或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和/或可被忽略。

[0125] 图 21 提供了与图 20 中所示的示例性布局相关的示例性控制信号信息（时间信息和幅度信息）。在该实施例中，用于实施写入操作的随时间变化的控制信号包括：(i) 经相关字线施加到栅的电压 (V_{gw})、(ii) 经源线施加到源的电压 (V_{sw}) 和 (iii) 经相关位线施加到漏区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上，通过施加以下的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元，该漏脉冲 ($V_{dw}^{“1”}$)：(i) 在阶段 1 中具有 0.5V 的幅度且 (ii) 在阶段 2 中具有 0V 的幅度；而通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑“0”写入存储器单元。此外，在写入操作的阶段 1 中，源脉冲 (V_{sw1}) 包括 -2.5V 的幅度且栅脉冲 (V_{gw1}) 包括 -2.5V 的幅度。在写入操作的阶段 2 中，源脉冲 (V_{sw2}) 包括 -2.5V 的幅度且栅脉冲 (V_{gw2}) 包括 -3.3V 的幅度。

[0126] 值得注意的是，在这些情况下，提供了适于将存储器单元编程到逻辑“1”的双极电流。此外，在这些情况下，为了将存储器单元编程到逻辑“0”几乎没有双极电流生成。

[0127] 如上所述，在前面关于示例性写入操作的讨论中，出于解释目的引用写入操作的第一阶段和第二阶段，以便突出在示例性实施例中控制信号的电压条件的变化。有利之处在于，当写入逻辑“1”或者“0”时，在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中，可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0128] 可以并行地读取一行存储器单元（例如 12a-12d）。通过施加以下读取控制信号来读取存储器单元：(i) 经相关字线施加到栅的电压 (V_{gr}) 和 (ii) 经源线施加到源的电压 (V_{sr})。在相关位线（分别为 32_j - 32_{j+3} ）上感测、确定和 / 或采样每个存储器单元（例如 12a-12d）的逻辑状态。特别是，在读取操作期间，栅脉冲 (V_{gr}) 包括 -0.5V 的幅度而源脉冲 (V_{sr}) 包括 3V 的幅度。

[0129] 值得注意的是，如上所述，在读取操作期间，在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过：基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定，该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量，该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0130] 图 22 提供了与图 20 中所示的示例性布局相关的示例性控制信号信息（时间信息和幅度信息）。在该实施例中，用于实施写入操作的随时间变化的控制信号包括：(i) 经相关字线施加到栅的电压 (V_{gw})、(ii) 经源线施加到源的电压 (V_{sw}) 和 (iii) 经相关位线施加到漏区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上，通过施加幅度为 0.5V 的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元；而通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑“0”写入存储器单元。此外，在写入操作的阶段 1 中，源脉冲 ($V_{sw}^{“1”}{}_1$) 包括 -2.5V 的幅度且栅脉冲 ($V_{gw}^{“1”}{}_1$) 包括 -2.5V 的幅度。在写入操作的阶段 2 中，源脉冲 ($V_{sw}^{“1”}{}_2$) 包括 -2.2V 的幅度且栅脉冲 ($V_{gw}^{“1”}{}_2$) 包括 -3.3V 的幅度。在这些情况下，提供了适于将存储器单元编程到逻辑“1”的双极电流。此外，为了将存储器单元编程到逻辑“0”几乎不生成双极电流。

[0131] 如上所述，在前面关于示例性写入操作的讨论中，出于解释目的引用写入操作的第一阶段和第二阶段，以便突出在示例性实施例中控制信号的电压条件的变化。有利之处在于，当写入逻辑“1”或者“0”时，在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中，可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0132] 可以并行地读取一行存储器单元（例如 12a-12d）。通过施加以下读取控制信号来读取存储器单元：(i) 经相关字线施加到栅的电压 (V_{gr}) 和 (ii) 经源线施加到源的电压 (V_{sr})。在相关位线（分别为 32_j - 32_{j+3} ）上感测、确定和 / 或采样每个存储器单元（例如 12a-12d）的逻辑状态。特别是，在读取操作期间，栅脉冲 (V_{gr}) 包括 -3V 的幅度而源脉冲 (V_{sr}) 包括 -3.5V 的幅度。

[0133] 如上所述，在读取操作期间，在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过：基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定，该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量，该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0134] 图 23 提供了与图 20 中所示的示例性布局相关的示例性控制信号信息（时间信息和幅度信息）。在该实施例中，用于实施写入操作的随时间变化的控制信号包括：(i) 经相关字线施加到栅的电压 (V_{gw})、(ii) 经源线施加到源的电压 (V_{sw}) 和 (iii) 经相关位线施加到漏区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上，通过施加以下的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元，该漏脉冲 ($V_{dw}^{“1”}$)：(i) 在阶段 1 中具有 0.5V 的幅度且 (ii) 在阶段 2 中具有 0V 的幅度；而通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑“0”写入存储器单元。此外，在写入操作的阶段 1 中，源脉冲 (V_{sw1}) 包括 -2.5V 的幅度且栅脉冲 (V_{gw1}) 包括 -2.5V 的幅度。在写入操作的阶段 2 中，源脉冲 (V_{sw2}) 包括 -2.2V 的幅度且栅脉冲 (V_{gw2}) 包括 -3.3V 的幅度。在这些情况下，提供了适于将存储器单元编程到逻辑“1”的双极电流。此外，为了将存储器单元编程到逻辑“0”几乎不生成双极电流。

[0135] 如上所述，在前面关于示例性写入操作的讨论中，出于解释目的引用写入操作的第一阶段和第二阶段，以便突出在示例性实施例中控制信号的电压条件的变化。有利之处在于，当写入逻辑“1”或者“0”时，在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中，可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0136] 可以并行地读取一行存储器单元（例如 12a-12d）。通过施加以下读取控制信号来读取存储器单元：(i) 经相关字线施加到栅的电压 (V_{gr}) 和 (ii) 经源线施加到源的电压 (V_{sr})。在相关位线（分别为 32_j - 32_{j+3} ）上感测、确定和 / 或采样每个存储器单元（例如 12a-12d）的逻辑状态。特别是，在读取操作期间，栅脉冲 (V_{gr}) 包括 -3V 的幅度而源脉冲 (V_{sr}) 包括 -3.5V 的幅度。

[0137] 如上所述，在读取操作期间，在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过：基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定，该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量，该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0138] 图 24 提供了与图 20 中所示的示例性布局相关的示例性控制信号信息（时间信息和幅度信息）。

[0139] 在该实施例中，用于实施写入操作的随时间变化的控制信号包括：(i) 经相关字线施加到栅的电压 (V_{gw})、(ii) 经源线施加到源的电压 (V_{sw}) 和 (iii) 经相关位线施加到漏

区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上,通过施加幅度为 0.5V 的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元;而通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑“0”写入存储器单元。此外,在写入操作的阶段 1 中,源脉冲 (V_{sw1}) 包括 -2.5V 的幅度且栅脉冲 (V_{gw1}) 包括 -2.5V 的幅度。在写入操作的阶段 2 中,源脉冲 (V_{sw2}) 包括 -2.2V 的幅度且栅脉冲 (V_{gw2}) 包括 -3.3V 的幅度。在这些情况下,提供了适于将存储器单元编程到逻辑“1”的双极电流。此外,为了将存储器单元编程到逻辑“0”几乎不生成双极电流。

[0140] 如上所述,在前面关于示例性写入操作的讨论中,出于解释目的引用写入操作的第一阶段和第二阶段,以便突出在示例性实施例中控制信号的电压条件的变化。有利之处在于,当写入逻辑“1”或者“0”时,在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中,可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0141] 可以并行地读取一行存储器单元 (例如 12a-12d)。通过施加以下读取控制信号来读取存储器单元:(i) 经相关字线施加到栅的电压 (V_{gr}) 和 (ii) 经源线施加到源的电压 (V_{sr})。在相关位线 (分别为 32_j-32_{j+3}) 上感测、确定和 / 或采样每个存储器单元 (例如 12a-12d) 的逻辑状态。特别是,在读取操作期间,栅脉冲 (V_{gr}) 包括 -2.5V 的幅度而源脉冲 (V_{sr}) 包括 -3V 的幅度。

[0142] 如上所述,在读取操作期间,在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过:基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0143] 图 25 提供了与图 20 中所示的示例性布局相关的示例性控制信号信息 (时间信息和幅度信息)。在该实施例中,用于实施写入操作的随时间变化的控制信号包括:(i) 经相关字线施加到栅的电压 (V_{gw})、(ii) 经源线施加到源的电压 (V_{sw}) 和 (iii) 经相关位线施加到漏区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上,通过施加以下的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元,该漏脉冲 ($V_{dw}^{“1”}$):(i) 在阶段 1 中具有 0.5V 的幅度且 (ii) 在阶段 2 中具有 0V 的幅度;而通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑“0”写入存储器单元。此外,在写入操作的阶段 1 中,源脉冲 (V_{sw1}) 包括 -2.5V 的幅度且栅脉冲 (V_{gw1}) 包括 -2.5V 的幅度。在写入操作的阶段 2 中,源脉冲 (V_{sw2}) 包括 -2.5V 的幅度、漏脉冲 (V_{dw2}) 包括 0V 的幅度且栅脉冲 (V_{gw2}) 包括 -3.3V 的幅度。在这些情况下,提供了适于将存储器单元编程到逻辑“1”的双极电流。此外,为了将存储器单元编程到逻辑“0”几乎不生成双极电流。

[0144] 如上所述,在前面关于示例性写入操作的讨论中,出于解释目的引用写入操作的第一阶段和第二阶段,以便突出在示例性实施例中控制信号的电压条件的变化。有利之处在于,当写入逻辑“1”或者“0”时,在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中,可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0145] 可以并行地读取一行存储器单元 (例如 12a-12d)。通过施加以下读取控制信号来读取存储器单元:(i) 经相关字线施加到栅的电压 (V_{gr})、(ii) 经源线施加到源的电压 (V_{sr}) 和 (iii) 经相关位线施加到漏的电压 (V_{dr})。在相关位线 (分别为 32_j-32_{j+3}) 上感测、确定

和 / 或采样每个存储器单元 (例如 12a-12d) 的逻辑状态。特别是,在读取操作期间,栅脉冲 (V_{gr}) 包括 -3V 的幅度,源脉冲 (V_{sr}) 包括 -2.5V 的幅度,且漏脉冲 (V_{dr}) 包括 0.5V 的幅度。

[0146] 如上所述,在读取操作期间,在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过:基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0147] 虽然上面未就图 19-25 中所示的实施例进行讨论,但其有利之处在于,可以对存储器阵列 10 中的其它存储器单元采用“保持”操作或者条件以最小化和 / 或减小连接到字线 28_i 的存储器单元 12a-12d 的写入和 / 或读取操作的影响。例如参照图 19 和 20,在一个实施例中,保持电压被施加到存储器单元阵列 10 的其它存储器单元 (例如连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元) 的晶体管的栅。在一个示例性实施例中,-1.2v 的保持电压被施加到连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 、和 28_{i+4} 的存储器单元的每个晶体管的栅。这样,存储器单元 12a-12d (其连接到字线 28_i) 的写入操作对存储器单元阵列 10 的其它存储器单元的影响被最小化和 / 或减小。

[0148] 值得注意的是,上面所讨论的用于实施图 19-25 的实施例的写入和读取操作的所示的 / 示例性的电压电平仅为示例性的。在写入和读取操作的情况下,这些控制信号增加了电浮置体区的电势,该电势“接通”或产生存储器单元的晶体管中的双极电流。在写入操作的情况下,双极电流在电浮置体区中生成多数载流子,然后多数载流子被存储。在读取操作的情况下,数据状态主要通过:基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0149] 因此,所示的 / 示例性的用于执行写入操作的电压电平仅为示例性的。当然,所示的电压电平可以是相对的或者绝对的。可替换地,所示的电压可以是相对的,因为每个电压电平例如可以减小或者增加给定的电压量 (例如每个电压可以增加或者减小 0.5、1.0 和 2.0 伏特),不管这些电压中的一个或者多个 (例如,源、漏或栅电压) 变为或者成为正的或负的。

[0150] 如上所述,本发明可以实施在具有多个采用电浮置体晶体管的存储器单元的任何存储器阵列架构中。例如,在一个实施例中,参照图 26 和 27,实现本发明的结构和技术的存储器阵列可以被控制并且被配置为包括具有用于每两行存储器单元 (一行存储器单元包括公共字线) 的公共源线。还示出了根据本发明的某些方面的例子 (包括示例性控制信号电压值),该例子由在一步写入阶段 1、阶段 2 和读取期间的控制信号波形和示例性阵列电压构成。

[0151] 在该实施例中,用于执行写入操作的随时间变化的控制信号包括:(i) 经相关字线施加到栅的电压 (V_{gw}) 和 (ii) 经相关位线施加到漏区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上,通过施加以下的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元,该漏脉冲 ($V_{dw}^{“1”}$):(i) 在阶段 1 中具有 3V 的幅度且 (ii) 在阶段 2 中具有 2.7V 的幅度。相反地,通过施加以下的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑

“0”写入存储器单元,该漏脉冲 ($V_{dw}^{“0”}$):(i) 在阶段 1 中具有 2.5V 的幅度且 (ii) 在阶段 2 中具有 2.2V 的幅度。此外,在写入操作的阶段 1 中,栅脉冲 (V_{gw1}) 包括 0V 的幅度。在写入操作的阶段 2 中,栅脉冲 (V_{gw2}) 包括 -1.5V 的幅度。施加到源线 (且由此该行存储器单元的晶体管的源区) 的电压为 0V。在这些情况下,提供了适于将存储器单元编程到逻辑“1”的双极电流。此外,在这些情况下,为了将存储器单元编程到逻辑“0”几乎不生成双极电流。

[0152] 如上所述,在前面关于示例性写入操作的讨论中,出于解释目的引用写入操作的第一阶段和第二阶段,以便突出在示例性实施例中控制信号的电压条件的变化。有利之处在于,当写入逻辑“1”或者“0”时,在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中,可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0153] 可以并行地读取一行存储器单元 (例如 12a-12d)。通过施加以下读取控制信号来读取存储器单元:(i) 经相关字线施加到栅的电压 (V_{gr})、(ii) 经相关位线施加到漏的电压 (V_{dr})。在相关位线 (分别为 32_j - 32_{j+3}) 上感测、确定和 / 或采样每个存储器单元 (例如 12a-12d) 的逻辑状态。特别是,在读取操作期间,栅脉冲 (V_{gr}) 包括 -0.5V 的幅度,且漏脉冲 (V_{dr}) 包括 3V 的幅度。施加到源线 (且由此该行存储器单元的晶体管的源区) 的电压为 0V。

[0154] 如上所述,在读取操作期间,在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过:基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0155] 再者,有利之处在于,可以对存储器阵列 10 中的其它存储器单元采用“保持”操作或者条件以最小化和 / 或减小连接到字线 28_i 的存储器单元 12a-12d 的写入操作的影响。在一个实施例中,保持电压被施加到存储器单元阵列 10 的其它存储器单元 (例如连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元) 的晶体管的栅。在一个示例性实施例中,-1.2v 的保持电压被施加到连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的存储器单元的每个晶体管的栅。这样,存储器单元 12a-12d (其连接到字线 28_i) 的写入操作对存储器单元阵列 10 的其它存储器单元的影响被最小化和 / 或减小。

[0156] 值得注意的是,在此所述的读取技术可以减小由电荷抽运 (电荷抽运干扰) 引起的浮置体电荷的退化,因此允许准无干扰 (quasino-disturbing) 读取 (参看例如图 28)。结果,当没有刷新操作或者在刷新操作之前多次读取存储器单元 12 时,读取窗口保持相对稳定以便于后续每个读取操作。

[0157] 存储器阵列可以采用在此所述的任何示例性编程、保持和 / 或读取技术。此外,还提供了根据本发明的示例性实施例的针对给定操作 (例如编程、保持或者读取) 的每个控制信号的示例性电压值。

[0158] 如上所述,本发明的这些实施例可以实施在任何电浮置体存储器单元和存储器单元阵列中。例如,一方面,本发明涉及一种存储器阵列和 / 或将数据写入或者编程进这种存储器阵列的一个或者多个存储器单元的技术,该存储器阵列具有多个存储器单元,每个存储器单元包括电浮置体晶体管。在本发明的这个方面中,可以单独地编程相邻存储器单元和 / 或共享字线的存储器单元的数据状态。

[0159] 存储器阵列可以包括 N 沟道型晶体管、P 沟道型晶体管和 / 或这两种类型的晶体管。当然,存储器阵列外围的电路(例如,感测放大器或者比较器、行和列地址译码器、以及线驱动器(此处未示出))可以包括 P 沟道型晶体管和 / 或 N 沟道型晶体管。当 P 沟道型晶体管用作存储器阵列中的存储器单元 12 时,依据本公开内容,本领域技术人员熟知适当的写入电压和读取电压(例如负电压)。因此,为了简便,这些讨论将不再重复。

[0160] 在另一示例性实施例中,参照图 29 和 30,可以有选择地施加具有预定幅度的控制信号到一行存储器单元(例如存储器单元 12a-d),以便将逻辑“1”写入选定存储器单元 12a 和 12d 并将逻辑“0”写入选定存储器单元 12b 和 12c。特别是,通过施加合适的位线电压将逻辑“1”和“0”写入到一个或者多个选定存储器单元。在这点上,通过施加幅度为 0V 的漏脉冲($V_{dw}^{“1”}$)将逻辑“1”写入存储器单元,而通过施加幅度为 0.5V 的漏脉冲($V_{dw}^{“0”}$)将逻辑“0”写入存储器单元。例如,通过将 0V 的电压脉冲分别施加到位线 32_j 和 32_{j+3} 可以将逻辑“1”编程或者写入存储器单元 12a 和 12d。通过将 0.5V 的电压脉冲分别施加到位线 32_{j+1} 和 32_{j+2} 可以将逻辑“0”编程进存储器单元 12b 和 12c。

[0161] 此外,将 3V 的电压(经源线 32_i-32_{i+4})施加到存储器单元 12a-12d 的晶体管的源区并将 0.5V 的电压脉冲(经字线 28_i)施加到存储器单元 12a-12d 的晶体管的栅。可以在栅脉冲被施加到存储器单元 12a 和 12d 的栅 16 之前、同时或者之后施加源脉冲。优选的是,源脉冲以足够的幅度被施加到存储器单元 12a 和 12d 的晶体管的源区,以维持足够的双极电流来将逻辑“1”编程进存储器单元 12a 和 12d。从相对的时序来看,优选的是源脉冲延伸超过栅脉冲的减小或者结束的时刻,如图 29 中所示。这样,在电浮置体中生成多数载流子并且多数载流子可以积聚(和被存储)在存储器单元 12 的晶体管的电浮置体区的一部分中,该部分与栅介质(其设置在栅与电浮置体区之间)邻近或者在其附近。

[0162] 值得注意的是,在该示例性实施例中,当编程逻辑“0”时,漏脉冲(在该例子中为 0.5V 的幅度)被施加到存储器单元 12b 和 12c 的晶体管的漏区,以防止、禁止、限制和 / 或阻止双极电流(如果有的话)在晶体管的电浮置体区中造成或者生成足够的电荷来将逻辑状态“1”编程或者写入存储器单元 12b 和 12c 的晶体管中。由此,漏脉冲可以表征为“闭锁”脉冲。从相对的时序来看,优选的是,漏脉冲被施加到存储器单元 12b 和 12c 的晶体管的漏区一段时间,该段时间延伸超过源脉冲和栅脉冲,或者漏脉冲在源脉冲和栅脉冲之前、期间和之后(例如启动、开始、倾斜、下降和 / 或结束)被施加,如图 29 中所示。

[0163] 继续参照图 29 和 30,对那些未选定存储器单元(即耦合到字线 28_{i+1} 、 28_{i+2} 和 28_{i+3}),可以施加或者建立保持条件以防止、最小化或者避免对未选定存储器单元的数据状态或者存储在未选定存储器单元中的电荷的干扰。在这点上,可将电压(例如 -1.2V)施加到未选定存储器单元的栅 16 而将电压(例如 0V)施加到未选定存储器单元的晶体管的源区和漏区,以防止、最小化或者避免在编程或写入操作期间对未选定存储器单元的数据状态的干扰。在这些情况下,未选定存储器单元的数据状态未受到对选定存储器单元 12a-d 的编程或写入的影响。

[0164] 可以通过施加以下读取控制信号来读取存储器单元:(i) 经相关字线施加到栅的电压(V_{gr})和(ii)经源线施加到源的电压(V_{sr})。在相关位线(分别为 32_j-32_{j+3})上感测、确定和 / 或采样每个存储器单元(例如 12a-12d)的逻辑状态。特别是,在读取操作期间,栅脉冲(V_{gr})包括 -0.5V 的幅度,且源脉冲(V_{sr})包括 3V 的幅度。在该实施例中,在将栅脉

冲施加到字线 28 (以及例如存储器单元 12a-12d 的晶体管的栅) 之前、同时或者之后, 可以将源脉冲 (V_{sr}) 施加到源线 30 (以及例如存储器单元 12a-12d 的晶体管的源区)。此外, 源脉冲可以在栅脉冲之前、与栅脉冲同时 (如在图 29 中所示) 或者在栅脉冲结束之后才停止或者终止。

[0165] 值得注意的是, 对那些未被读取的存储器单元 (即那些耦合到字线 28_{i+1} 、 28_{i+2} 和 28_{i+3} 的存储器单元), 可以施加或者建立保持条件以防止、最小化或者避免对未选定存储器单元的数据状态的干扰。在这点上, 可将电压 (例如 -1.2V) 施加到未选定存储器单元的栅 16 而将电压 (例如 0V) 施加到未选定存储器单元的晶体管的源区, 以防止、最小化或者避免在读取操作期间对未选定存储器单元的数据状态的干扰。在这些情况下, 未选定存储器单元的状态在例如选定存储器单元 12a-d 的读取期间不受影响。

[0166] 如上所述, 所示的 / 示例性的用于执行写入和读取操作的电压电平仅为示例性的。所示的电压电平可以是相对的或者绝对的。可替换地, 所示的电压可以是相对的, 因为每个电压电平例如可以增加或者减少给定的电压量 (例如每个电压可以增加或者减小 0.25、0.5、1.0 和 2.0 伏特), 不管这些电压中的一个或者多个 (例如, 源、漏或栅电压) 变为或者成为正的或负的。

[0167] 在读取操作期间, 在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过: 基本上使用双极晶体管电流来感测和 / 或基本上基于双极晶体管电流而得以确定, 该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量, 该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0168] 此外, 在此所述的读取技术可以减小由电荷抽运 (电荷抽运干扰) 引起的浮置体电荷的退化, 因此允许准无干扰读取 (参看例如图 28)。结果, 当没有刷新操作或者在刷新操作之前多次读取存储器单元 12 时, 读取窗口保持相对稳定以便于后续的几个读取操作。

[0169] 如上所述, 存储器阵列 10 可以包括 N 沟道型晶体管、P 沟道型晶体管和 / 或两种类型的晶体管。当然, 存储器阵列外围的电路 (例如, 感测放大器或者比较器、行和列地址译码器、以及线驱动器 (此处未示出)) 可以包括 P 沟道型晶体管和 / 或 N 沟道型晶体管。当 P 沟道型晶体管用作存储器阵列中的存储器单元 12 时, 依据本公开内容, 本领域技术人员熟知适当的写入电压和读取电压 (例如负电压)。例如, 参照图 31, 在 P 沟道型晶体管被用作存储器单元 12 时, 可以采用图 32 的示例性控制电压和时序关系, 以便 (i) 将逻辑状态“1”编程或者写入一个或者多个 P 沟道型存储器单元、(ii) 将逻辑状态“0”编程或者写入一个或者多个 P 沟道型存储器单元和 (iii) 读取一个或者多个 P 沟道型存储器单元。

[0170] 简而言之, 通过施加合适的位线电压将逻辑“1”和“0”写入到具有 P 沟道型晶体管的一个或者多个选定存储器单元。在这点上, 通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元, 而通过施加幅度为 -0.5V 的漏脉冲 ($V_{dw}^{“0”}$) 将逻辑“0”写入存储器单元。例如, 通过将 0V 的电压脉冲分别施加到位线 32_j 和 32_{j+3} 可将逻辑“1”编程或者写入存储器单元 12a 和 12d。通过将 -0.5V 的电压脉冲分别施加到位线 32_{j+1} 和 32_{j+2} 可将逻辑“0”编程到存储器单元 12b 和 12c。

[0171] 此外, 将 -3V 的电压 (经源线 32_i - 32_{i+4}) 施加到存储器单元 12a-12d 的晶体管的源区并将 -0.5V 的电压脉冲 (经字线 28_i) 施加到存储器单元 12a-12d 的晶体管的栅。与

N 沟道型存储器单元相同,可以在栅脉冲被施加到存储器单元的栅之前、同时或者之后施加源脉冲。优选的是,源脉冲以足够的幅度被施加到存储器单元的源区,以维持足够的双极电流来将逻辑状态“1”编程进存储器单元。从相对的时序来看,优选的是源脉冲延伸超过栅脉冲的减小或者结束的时刻(参见图 32)。这样,在电浮置体中生成多数载流子并且多数载流子可以积聚(和被存储)在存储器单元 12 的晶体管的电浮置体区的一部分中,该部分与栅介质(其设置在栅与电浮置体区之间)邻近或者在其附近。

[0172] 值得注意的是,在该示例性实施例中,当编程逻辑“0”时,漏脉冲(在该例子中为 0.5V 的幅度)被施加到存储器单元 12b 和 12c 的晶体管的漏区,以防止、禁止、限制和/或阻止双极电流(如果有的话)在晶体管的电浮置体区中造成或者生成足够的电荷来将逻辑状态“1”编程或者写入存储器单元 12b 和 12c 的晶体管中。由此,漏脉冲可以表征为“闭锁”脉冲。从相对的时序来看,优选的是,漏脉冲被施加到存储器单元 12b 和 12c 的晶体管的漏区一段时间,该段时间延伸超过源脉冲和栅脉冲,或者漏脉冲在源脉冲和栅脉冲之前、期间和之后(例如启动、开始、倾斜、下降和/或结束)被施加,如图 32 中所示。

[0173] 从相对的时序来看,优选的是,漏脉冲被施加到被编程至逻辑状态“0”的存储器单元的漏区一段时间,该段时间延伸超过源脉冲和栅脉冲,或者漏脉冲在源脉冲和栅脉冲之前、期间和之后(例如启动、开始、倾斜、下降和/或结束)被施加,如图 32 中所示。

[0174] 值得注意的是,对那些未选定存储器单元(即耦合到未使能字线的存储器单元),可以施加或者建立保持条件以防止、最小化或者避免对未选定存储器单元的数据状态或者存储在未选定存储器单元中的电荷的干扰。在这点上,可将电压(例如 1.2V)施加到未选定存储器单元的栅而将电压(例如 0V)施加到未选定存储器单元的源区和漏区,以防止、最小化或者避免在编程或写入操作期间对未选定存储器单元的数据状态的干扰。在这些情况下,未选定存储器单元的数据状态没有受到对选定存储器单元的编程或写入的影响(或者,基本上不受影响)。

[0175] 可以通过施加以下读取控制信号来从 P 沟道型存储器单元读取数据:(i) 经相关字线施加到栅的电压(V_{gr})和(ii)经源线施加到源的电压(V_{sr})。在相关位线(分别为 32_j-32_{j+3})上感测、确定和/或采样每个存储器单元(例如 12a-12d)的逻辑状态。特别是,在读取操作期间,栅脉冲(V_{gr})包括 0.5V 的幅度,且源脉冲(V_{sr})包括 -3V 的幅度。在该实施例中,在将栅脉冲施加到字线 28(以及例如存储器单元 12a-12d 的晶体管的栅)之前、同时或者之后,可以将源脉冲(V_{sr})施加到源线 30(以及例如存储器单元 12a-12d 的晶体管的源区)。此外,源脉冲可以在栅脉冲之前、与栅脉冲同时(如在图 29 中所示)或者在栅脉冲结束之后才停止或者终止。

[0176] 在读取操作期间,在那些存储逻辑“1”的存储器单元中生成双极电流而在那些存储逻辑“0”的存储器单元中几乎不生成双极电流。数据状态主要通过:基本上使用双极晶体管电流来感测和/或基本上基于双极晶体管电流而得以确定,该双极晶体管电流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和/或可被忽略。

[0177] 值得注意的是,对那些未被读取的存储器单元(即耦合到未使能字线或未选定字线的存储器单元),可以施加或者建立保持条件以防止、最小化或者避免对未选定存储器单元的数据状态的干扰。在这点上,可将电压(例如 1.2V)施加到未选定存储器单元的栅而

将电压（例如 0V）施加到未选定存储器单元的源区，以防止、最小化或者避免在读取操作期间对未选定存储器单元的数据状态的干扰。在这些情况下，未选定存储器单元的状态在选定存储器单元的读取期间不受影响（或者，基本上不受影响）。

[0178] 在图 32 中所示的用于执行某些操作的电压幅度仅为示例性的。当然，所示的电压电平可以是相对的或者绝对的。可替换地，如上所述，所示的电压可以相对的，因为每个电压电平例如可以增加或者减小给定的电压量（例如每个电压可以被增加或者减小 -0.1、-0.25、-0.5、-1.0 和 -2.0 伏特），不管这些电压中的一个或者多个（例如，源、漏或栅电压）变为或者成为正的或负的。

[0179] 如上所述，本发明可以实施在任何电浮置体存储器单元和存储器单元阵列中。例如，在某些方面，本发明涉及一种存储器阵列和 / 或将数据编程进这种存储器阵列的一个或者多个存储器单元的技术，该存储器阵列具有多个存储器单元，每个存储器单元包括电浮置体晶体管。在本发明的这个方面中，可以单独地或不单独地编程相邻存储器单元和 / 或共享字线的存储器单元的数据状态。

[0180] 参照图 12A 和 12B，存储器阵列 10 可以包括 N 沟道型、P 沟道型和 / 或这两种类型的电浮置体晶体管的多个存储器单元 12。存储器阵列 10 包括多行和多列的存储器单元 12（例如以矩阵形式）。

[0181] 存储器阵列 10 外围的电路（例如，数据写入和感测电路 36（如，感测放大器或者比较器）、存储器单元选择和控制电路 38（如，地址译码器和字线驱动器））可以包括 P 沟道型晶体管和 / 或 N 沟道型晶体管。当 N 沟道型晶体管或 P 沟道型晶体管用作存储器阵列 10 中的存储器单元 12 时，本领域技术人员知道适当的写入电压。因此，为了简便，这些讨论将不再重复。

[0182] 如上所述，本发明的存储器单元 12（具有电浮置体晶体管 14）和存储器单元阵列 10 可以实施在具有存储器部分和逻辑部分（参看例如图 12A）的集成电路器件中，或者实施在主要是存储器器件的集成电路器件中（参看例如图 12B）。当然，本发明可以实施在具有一个或者多个存储器单元 12（具有电浮置体晶体管）和 / 或存储器单元阵列 10 的任何器件中。例如，参照图 12A，集成电路器件可以包括具有多个存储器单元 12（具有电浮置体晶体管）的阵列 10，数据写入和感测电路以及存储器单元选择和控制电路（未详细示出）。数据写入和感测电路将数据写入一个或者多个存储器单元中并感测一个或者多个存储器单元的数据状态。存储器单元选择和控制电路选择和 / 或使能一个或者多个预定的存储器单元 12 以在读取操作期间通过数据感测电路读取。

[0183] 例如，利用本发明的技术来编程（写入）、控制和 / 或读取的电浮置体晶体管可以用于任何电浮置体存储器单元中和 / 或采用这种电浮置体存储器单元的存储器单元阵列架构、布局、结构和 / 或配置中。在这点上，利用本发明的技术来读取状态的电浮置体晶体管可以实施在以下非临时美国专利申请所说明和示出的存储器单元、架构、布局、结构和 / 或配置中：

[0184] (1) 申请序列号为 10/450, 238，其由 Fazan 等人于 2003 年 6 月 10 日提交，标题为“Semiconductor Device”（现为美国专利 6, 969, 662）；

[0185] (2) 申请序列号为 10/487, 157，其由 Fazan 等人于 2004 年 2 月 18 日提交，标题为“Semiconductor Device”（美国专利申请公开号 2004/0238890）；

[0186] (3) 申请序列号为 10/829,877, 其由 Ferrant 等人于 2004 年 4 月 22 日提交, 标题为“Semiconductor Memory Cell, Array, Architecture and Device, and Method of Operating Same”(美国专利申请公开号 2005/0013163);

[0187] (4) 申请序列号为 10/840,009, 其由 Ferrant 等人于 2004 年 5 月 6 日提交, 标题为“Semiconductor Memory Device and Method of Operating Same”(美国专利申请公开号 2004/0228168), 以及

[0188] (5) 申请序列号为 10/941,692, 其由 Fazan 等人于 2004 年 9 月 15 日提交, 标题为“Low Power Programming Technique for a One Transistor SOI Memory Device & Asymmetrical Electrically Floating Body Memory Device, and Method of Manufacturing Same”(美国专利申请公开号 2005/0063224)。

[0189] 这五个美国专利申请的全部内容, 包括例如在其中说明和示出的发明、特征、属性、架构、配置、材料、技术和优点, 在此通过引用结合于此。出于简短的原因, 这些讨论将不再重复, 而包括涉及存储器单元、架构、布局、结构的那些讨论(文本或者附图)通过引用结合于此。

[0190] 值得注意的是, 可以利用在上面引用的五个美国专利申请所说明和示出的任何控制电路来控制存储器单元。出于简短的原因, 这些讨论将不再重复, 该控制电路通过引用结合于此。当然, 所有用于编程、读取、控制和/或操作包括电浮置体晶体管的存储器单元的存储器单元选择和控制电路将落入本发明的范围内。

[0191] 此外, 数据写入和数据感测电路可以包括感测放大器(在此未详细示出)以读取存储在存储器单元 12 中的数据。感测放大器可以利用电压或者电流感测电路和/或技术来感测存储在存储器单元 12 中的数据。在电流感测放大器的情况下, 该电流感测放大器可以将单元电流与例如参考单元(未示出)电流的参考电流进行比较。通过比较, 可以确定存储器单元 12 包含逻辑高数据状态(在体区 18 内包含相对较多的多数载流子 34)还是逻辑低数据状态(在体区 18 内包含相对较少的多数载流子 34)。这样的电路和配置在本领域中是公知的。

[0192] 此外, 本发明可以采用在序列号为 60/718,417 的美国临时专利申请所说明和示出的参考生成技术(与用于读取操作的数据感测电路结合使用), 该申请由 Bauser 于 2005 年 9 月 19 日提交且标题为“Method and Circuitry to Generate a Reference Current for Reading a Memory Cell Having an Electrically Floating Body Transistor, and Device Implementing Same”。序列号为 60/718,417 的美国临时专利申请的全部内容通过引用结合于此。此外, 本发明也可以采用在序列号为 10/840,902 的美国专利申请中说明和示出的读取电路和技术, 该申请由 Portmann 等人于 2004 年 5 月 7 日提交且标题为“Reference Current Generator, and Method of Programming, Adjusting and/or Operating Same”(现为美国专利 6,912,150)。序列号为 60/718,417 的美国临时专利申请和美国专利 6,912,150 的内容通过引用结合于此。

[0193] 此外, 还应该注意的是, 尽管在该示例性实施例(如上所示)中每个存储器单元 12 包括一个晶体管 14, 但存储器单元 12 可以包括两个晶体管, 如序列号为 10/829,877 的申请中说明和示出的, 该申请由 Ferrant 等人于 2004 年 4 月 22 日提交, 其标题为“Semiconductor Memory Cell, Array, Architecture and Device, and Method of

Operating Same”(美国专利申请公开号 2005/0013163)。公开号为 2005/0013163 的美国专利申请的内容通过引用结合于此。

[0194] 可以利用公知的技术和 / 或材料来制造电浮置存储器单元、晶体管和 / 或存储器阵列。当然,任何制造技术和 / 或材料,不管现在已知的还是以后开发的,都可以用来制造电浮置体存储器单元、晶体管和 / 或存储器阵列。例如,本发明可以采用其中可形成晶体管的硅、锗、硅 / 锗、砷化镓或者其它半导体材料(不管是体型或者 SOI)。这样,电浮置存储器单元可以设置在 SOI 型衬底或者体型衬底上或者在 SOI 型衬底或者体型衬底中(统一为“在其上”)。

[0195] 当然,电浮置晶体管、存储器单元和 / 或存储器阵列可以采用以下申请中所说明和示出的技术,这些申请包括:由 Fazarn 于 2004 年 7 月 2 日提交的标题为“Integrated Circuit Device, and Method of Fabricating Same”且序列号为 10/884,481 的非临时专利申请(美国专利申请公开号 2005/0017240);由 Bassin 于 2005 年 10 月 19 日提交的标题为“One Transistor Memory Cell having Mechanically Strained Electrically Floating Body Region, and Method of Operating Same”且序列号为 60/728,060 的临时专利申请;和 / 或由 Okhonin 等人于 2005 年 10 月 19 日提交的标题为“Memory Cell, Array and Device, and Method of Operating Same”且序列号为 60/728,061 的临时专利申请(在此统一称作“集成电路器件专利申请”)。这些集成电路器件专利申请的全部内容通过引用结合于此。

[0196] 在其它方面,本发明涉及用于编程、读取、控制和 / 或操作包括电浮置体晶体管的半导体存储器单元、阵列、架构和器件的技术,该电浮置体晶体管具有例如完全耗尽(FD)、环绕栅、双栅、三栅和 / 或 Fin-FET 的特征,且其中电荷存储在晶体管的体中。本发明也涉及半导体存储器单元、阵列、架构和器件,它们实现用于实施读取、控制和 / 或操作技术的电路。编程 / 读取技术可以采用在此所说明和 / 或示出的任何技术。

[0197] 图 33 示出了根据本发明的处于保持状况的 FD 晶体管(N 沟道型)。通过施加负的偏压或者将电压施加到前栅(即栅 16)来引起积聚层。如果 FD 晶体管 14 起 PD 晶体管的作用,其也可以用作浮置体存储器单元。当这样使用时,该实施例的优点在于不需要施加背栅偏压。

[0198] 图 34 和 35 分别示出了将本发明的技术应用到双栅和三栅晶体管,其中电浮置体晶体管用作存储器单元。参照图 34,双栅晶体管(N 沟道型)14 处于保持状况。通过施加负偏压或者将电压施加到前栅(即栅 16-在横截面视图中所示的 g1 和 g2)来引起积聚层,双栅晶体管 14 起到 PD 晶体管的作用或者类似 PD 晶体管的作用。这样,晶体管 14 可以被用作浮置体存储器单元。再者,不需要施加背栅偏压,但是可以结合使用。

[0199] 类似地,参照图 35,三栅晶体管(N 沟道型)14 处于保持状况。通过施加负的偏压或者将电压施加到前栅(即栅 16)来引起积聚层,晶体管 14 起到 PD 晶体管的作用或者类似 PD 晶体管的作用,并且同样,晶体管 14 可以被用作浮置体存储器单元。

[0200] 图 36 示出,通过去掉与某些其它技术 / 实施有关的附加制造步骤,本发明的使用简化了存储器阵列(参看例如 Fazan 的序列号为 10/487,157 的美国专利申请中的常规 FD-SOI 或者 PD-SOI 晶体管集成)。在该实施例中,电压可以被施加到整个衬底或者衬底的预定部分或区(例如存储器阵列所处的区)以提供或者产生类 PD 的区,在该区中设置有包

括具有电浮置体的晶体管的存储器单元。

[0201] 此外,存储器阵列 10(包括 SOI 存储器晶体管)可以与 SOI 逻辑晶体管集成在一起,如集成电路器件专利申请所描述或者所示出的那样。例如,在一个实施例中,集成电路器件包括存储器段(具有例如 PD 或者 FDSOI 存储器晶体管 14)和逻辑段(具有例如高性能晶体管,例如 FinFET、多栅晶体管和/或非高性能晶体管(例如,单栅晶体管,其不具有高性能晶体的性能特征-未示出))。

[0202] 此外,存储器阵列 10 可以包括 N 沟道型、P 沟道型和/或这两种类型的晶体管,以及部分耗尽和/或完全耗尽型晶体管。例如,存储器阵列外围的电路(例如,感测放大器或者比较器、行和列地址译码器、以及线驱动器(此处未示出))可以包括完全耗尽型晶体管(P 沟道型和/或 N 沟道型)。可替换地,这种电路可以包括部分耗尽型晶体管(P 沟道型和/或 N 沟道型)。存在许多将部分耗尽和/或者完全耗尽型晶体管集成在同一衬底上的技术(参看例如由 Fazan 等人于 2004 年 2 月 18 日提交的、标题为“Semiconductor Device”且序列号为 10/487,157 的申请(美国专利申请公开号 2004/0238890))。所有这些技术,不管现在已知的还是今后开发的,都将落入本发明的范围内。

[0203] 值得注意的是,电浮置体晶体管 14 可以是对称或者不对称的器件。当晶体管 14 为对称时,源区和漏区实际上可互换。然而,在晶体管 14 为不对称时,晶体管 14 的源或漏区具有不同的电、物理、掺杂浓度和/或掺杂分布特征。由此,不对称器件的源区或者漏区通常是不能互换的。尽管这样,存储器单元的电浮置 N 沟道晶体管的漏区(不管源和漏区能互换还是不能互换)是晶体管连接到位线/感测放大器的区。

[0204] 如上所述,存储器阵列可以包括 N 沟道型晶体管、P 沟道型晶体管和/或这两种类型的晶体管。当然,存储器阵列外围的电路(例如,感测放大器或者比较器、行和列地址译码器、以及线驱动器(此处未示出))可以包括 P 沟道型晶体管和/或 N 沟道型晶体管。当 P 沟道型晶体管用作存储器阵列中的存储器单元 12 时,依据本公开内容,本领域技术人员熟知适当的写入电压和读取电压(例如负电压)。因此,为了简便,这些讨论将不作重复。

[0205] 在此描述和示出了许多发明。尽管说明和示出了发明的某些实施例、特征、属性和优点,但应理解的是,通过说明书和附图,本发明的许多其它、以及不同的和/或类似的实施例、特征、属性和优点是显而易见的。同样,在此说明和示出的本发明的实施例、特征、属性和优点不是穷举的,而应该理解的是,本发明的这些其它的、类似的以及不同的实施例、特征、属性和优点在本发明的范围内。

[0206] 如上所述,所示的/示例性的用于执行读取和写入操作的电压电平仅为示例性的。所示的电压电平可以是相对的或者绝对的。可替换地,所示的电压可以相对的,因为每个电压电平例如可以增加或者减小给定的电压量(例如每个电压可以被增加或者减小 0.1、0.15、0.25、0.5 和 1 伏特),不管这些电压中的一个或者多个(例如,源、漏或栅电压)变为或者成为正的或负的。

[0207] 所示的/示例性的用于执行写入和读取操作的电压电平仅为示例性的。在这点上,在某些实施例中,控制信号增加了存储器单元的晶体管的电浮置体区的电势,该电势“接通”或产生晶体管中的双极电流。在写入操作的情况下,双极电流在电浮置体区中生成多数载流子,然后多数载流子被存储。在读取操作的情况下,数据状态主要通过:基本上使用双极晶体管电流来感测和/或基本上基于双极晶体管电流而得以确定,该双极晶体管电

流是对读取控制信号的响应并且显然少了界面沟道电流分量,该界面沟道电流分量相对于双极分量并不显著和 / 或可被忽略。

[0208] 例如,参照图 27 和 37,用于执行写入操作的随时间变化的控制信号包括:(i) 经相关字线施加到栅的电压 (V_{gw}) 和 (ii) 经相关位线施加到漏区的电压 (V_{dw})。通过施加合适的位线电压将逻辑状态“1”和“0”写入到一个或者多个选定单元。在这点上,通过施加幅度为 0V 的漏脉冲 ($V_{dw}^{“1”}$) 将逻辑“1”写入存储器单元。相反地,通过施加幅度为 0.5V 的漏脉冲 ($V_{dw}^{“0”}$) 来将逻辑“0”写入存储器单元中。此外,在写入操作的阶段 1 中,栅脉冲 (V_{gw1}) 包括 0.5V 的幅度。在写入操作的阶段 2 中,栅脉冲 (V_{gw2}) 包括 -1V 的幅度。施加到源线 (及由此,该行存储器单元的晶体管的源区) 的电压为 3V。

[0209] 在这些情况下,提供了适于将存储器单元编程到逻辑“1”的双极电流。此外,为了将存储器单元编程到逻辑“0”几乎不生成双极电流。在此,漏脉冲可以表征为“闭锁”脉冲。从相对的时序来看,优选的是,漏脉冲被施加到存储器单元 12 的晶体管的漏区一段时间,该段时间延伸超过源脉冲和栅脉冲,或者漏脉冲在源脉冲和栅脉冲之前、期间和之后 (例如启动、开始、倾斜、下降和 / 或结束) 被施加,如图 37 中所示。

[0210] 如上所述,在前面关于示例性写入操作的讨论中,出于解释目的引用写入操作的第一阶段和第二阶段,以突出在示例性实施例中控制信号的电压状况的变化。有利之处在于,当写入逻辑“1”和“0”时,在已标为写入阶段 1 和 2 的阶段期间或者在该阶段中,可以将恒定的或者不变的电压施加到栅、漏区和 / 或源区。

[0211] 在该实施例中,控制技术有助于进一步写入操作,由此选定行的选定存储器单元被有选择地写入或者编程逻辑“1”或者逻辑“0”,而没有首先执行“清除”操作。

[0212] 值得注意的是,图 37 的实施例的存储器单元 (例如 12a-12d) 可以以与图 26 和 27 所描述的方式相同的方式来读取。

[0213] 在一行存储器单元的读取和 / 或写入操作之后,可以有利地对相邻行的存储器单元采用刷新操作。在这点上,相邻行的存储器单元是“共享”源线 30 的那些行的存储器单元。因此,参照图 27,当在与字线 28_i 相关的那行存储器单元上进行读取和 / 或写入操作时,相邻行的存储器单元是与字线 28_{i+1} 相关的存储器单元。字线 28_i 和 28_{i+1} “共享”源线 30_i 。

[0214] 此外,有利之处在于,可以对存储器单元阵列 10 中的其它存储器单元采用“保持”操作或者条件以最小化和 / 或减小连接到字线 28_i 的存储器单元 12a-12d 的读取和写入操作造成的影响。例如,参照图 27 和 37,在一个实施例中,保持电压被施加到存储器单元阵列 10 的其它存储器单元 (例如连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的每个存储器单元) 的晶体管的栅。在一个示例性实施例中,-1.2v 的保持电压被施加到连接到字线 28_{i+1} 、 28_{i+2} 、 28_{i+3} 和 28_{i+4} 的存储器单元的每个晶体管的栅。这样,存储器单元 12a-12d (其连接到字线 28_i) 的写入操作对存储器单元阵列 10 的其它存储器单元的影响被最小化和 / 或减小。

[0215] 如上所述,本发明的每个方面和 / 或其实施例可以被单独应用或者与本发明和 / 或其实施例的一个或者多个其它方面组合地应用。为了简便,这些排列和组合不再单独讨论。这样,本发明既不限于任何单个方面 (也不限于其实施例),也不限于这些方面和 / 或实施例的任意组合和 / 或排列。

[0216] 此外,本发明的以上实施例仅为示例性实施例。它们并非旨在穷举或者将本发明限制在所公开的精确的形式、技术、材料和 / 或配置。依照以上教导,许多修改方案和改型

方案都是可能的。应理解的是,可以做出可行的改变和利用其它的实施例,而不脱离本发明的范围。同样,为了图示和说明的目的,已给出了本发明的示例性实施例的前述说明。依据以上教导,许多修改方案和改型方案都是可能的。本发明的范围并非仅限于以上说明。

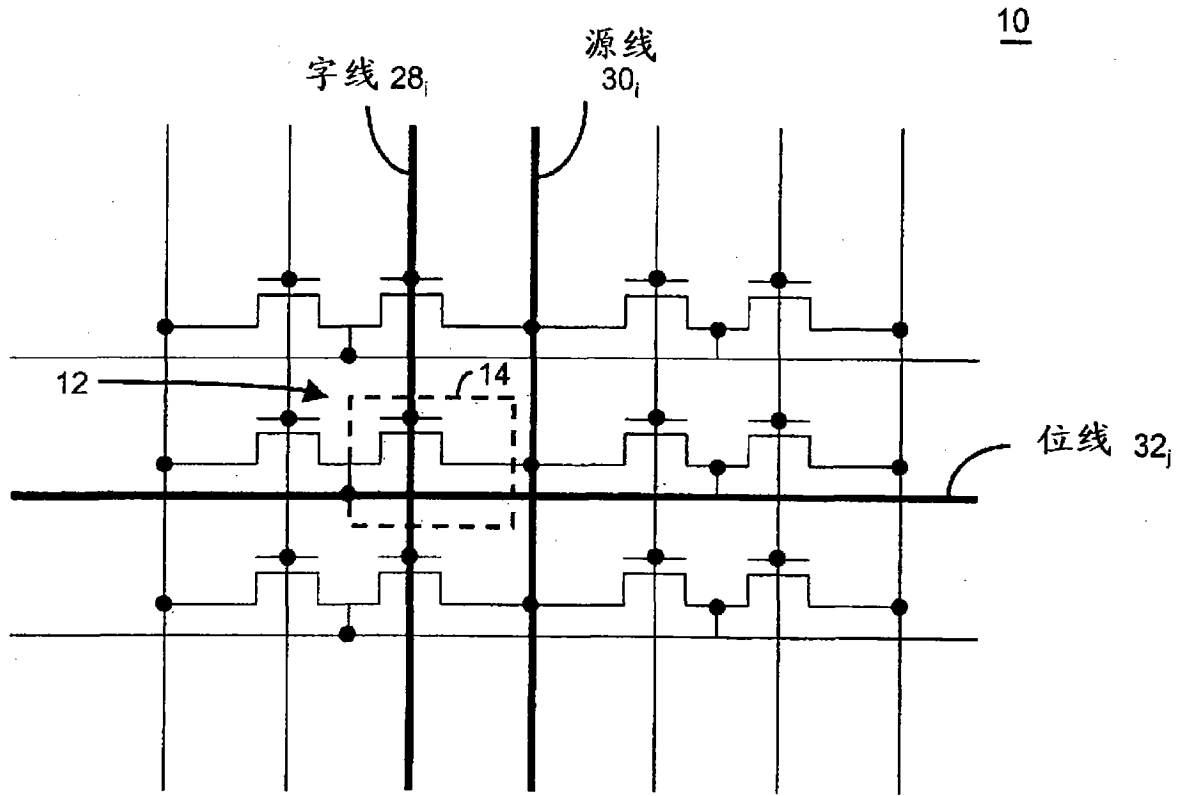


图1A
(现有技术)

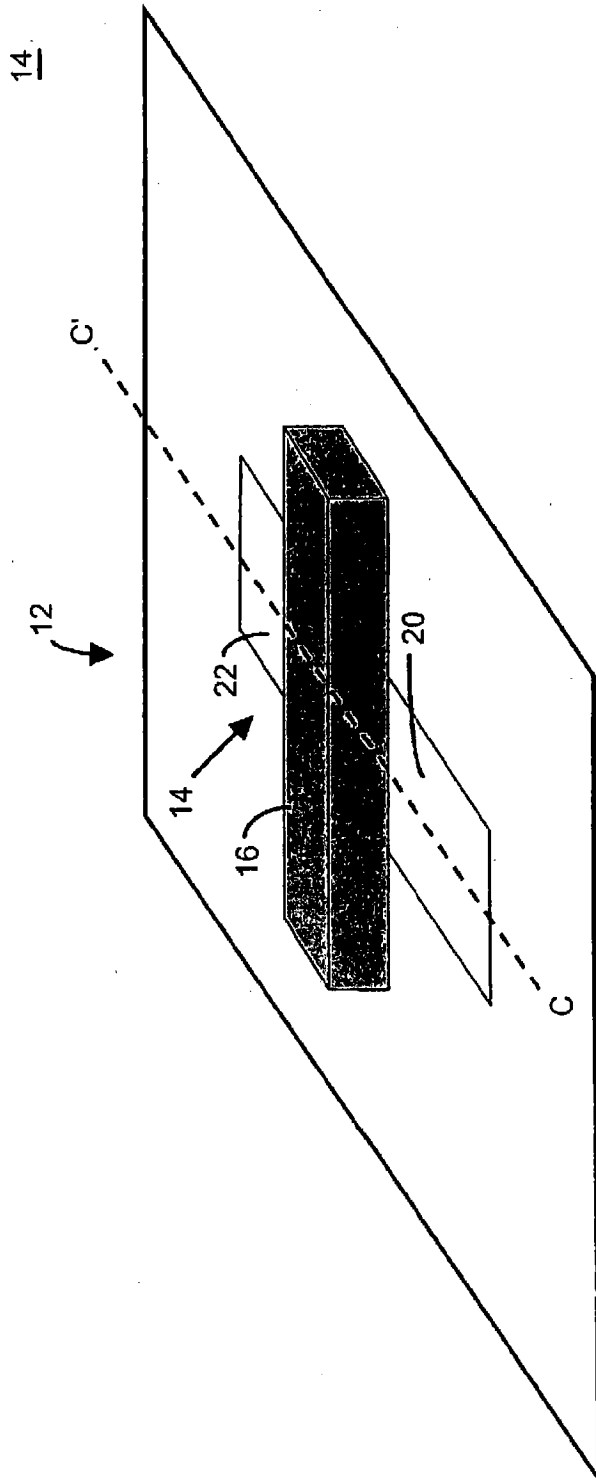


图1B
(现有技术)

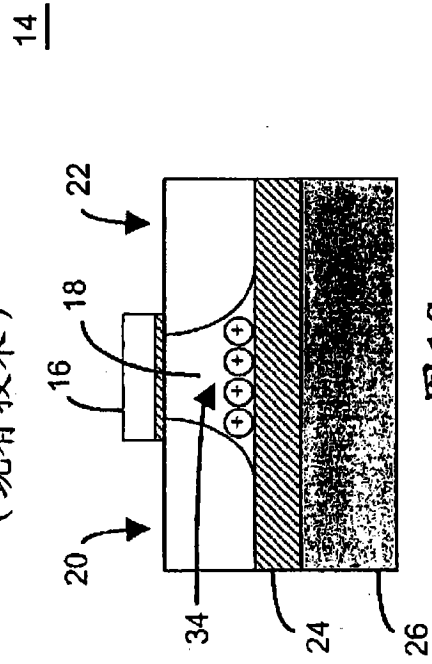


图1C
(现有技术)

14

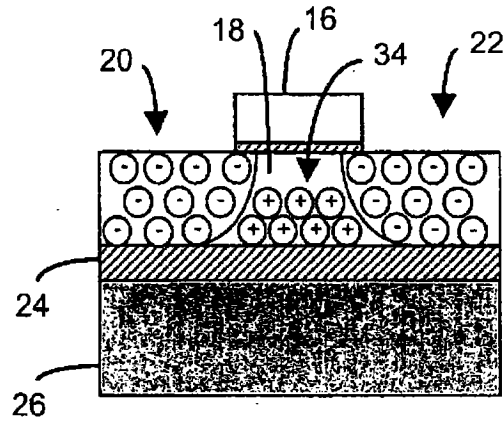


图 2A
(现有技术)

14

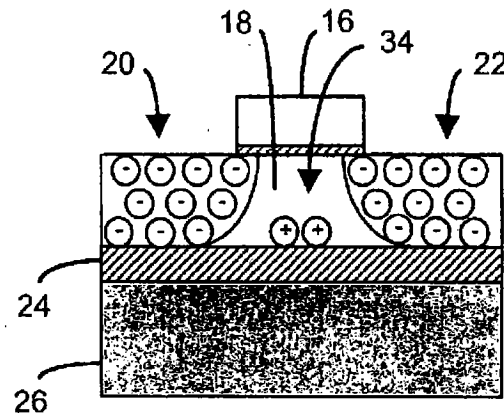


图 2B
(现有技术)

14

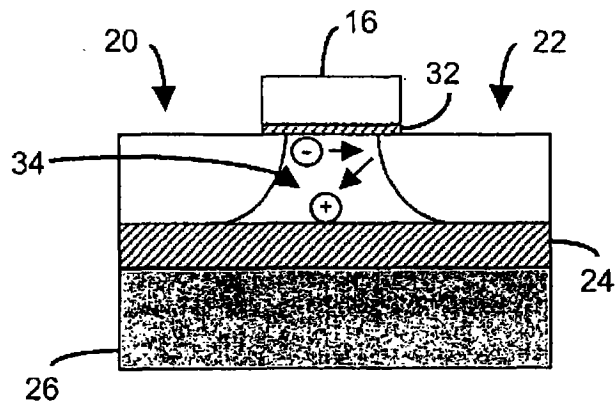


图 3A
(现有技术)

14

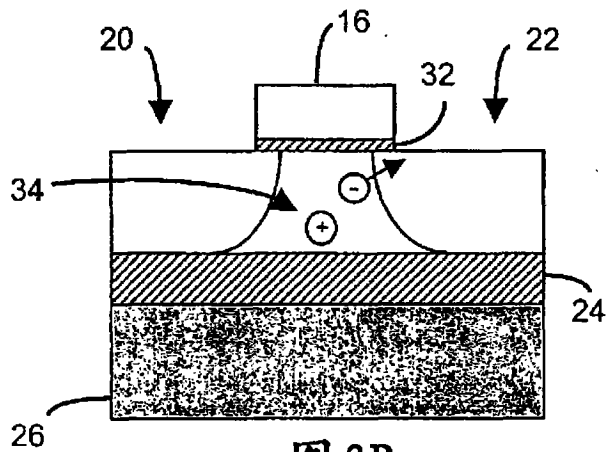


图 3B
(现有技术)

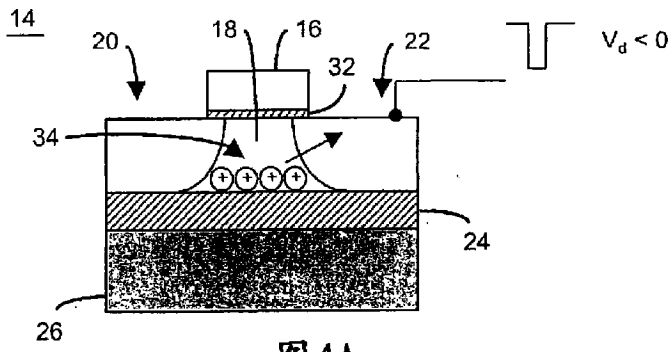


图 4A
(现有技术)

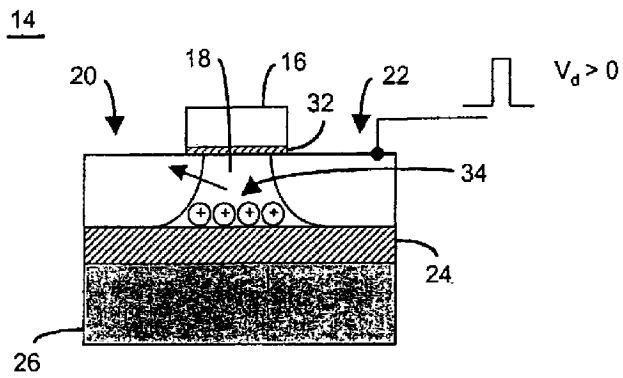


图 4B
(现有技术)

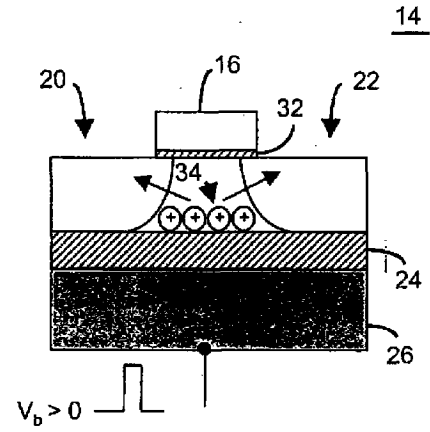
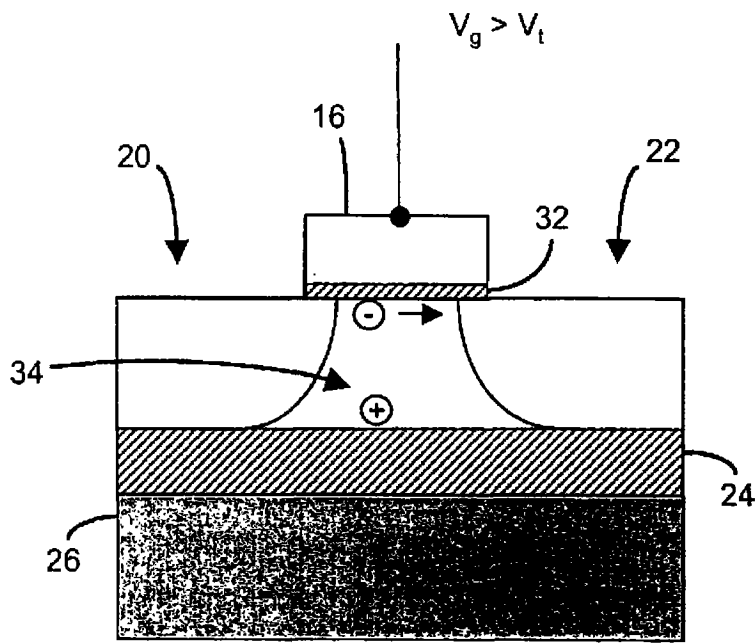


图 4C
(现有技术)



14

图5
(现有技术)

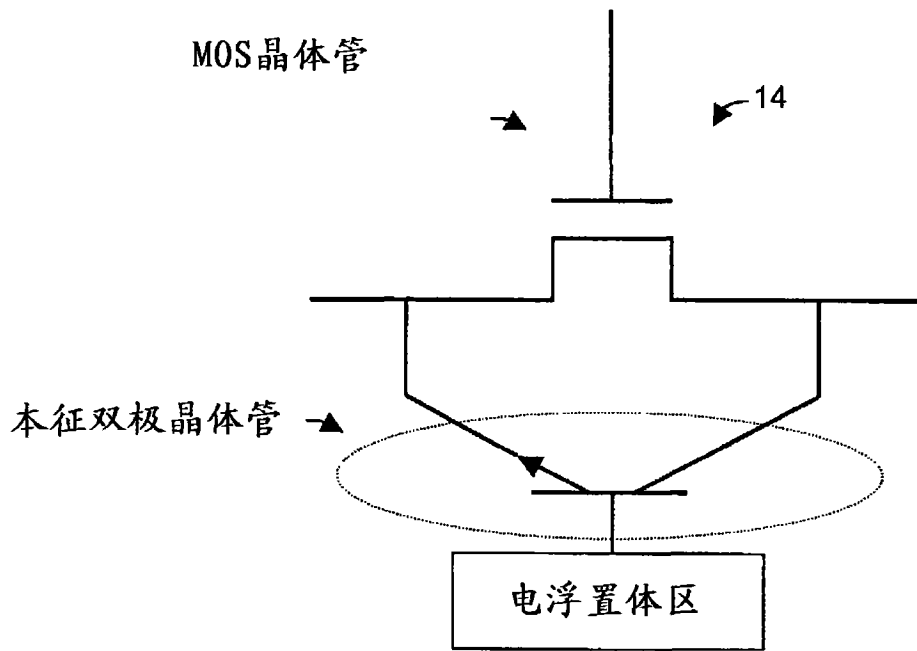
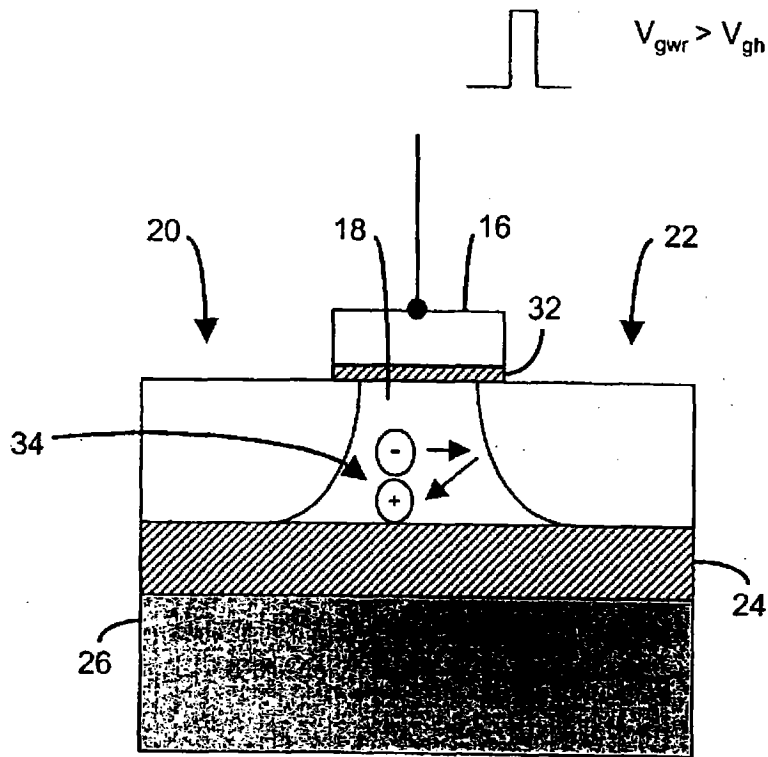


图6A



14

图6B

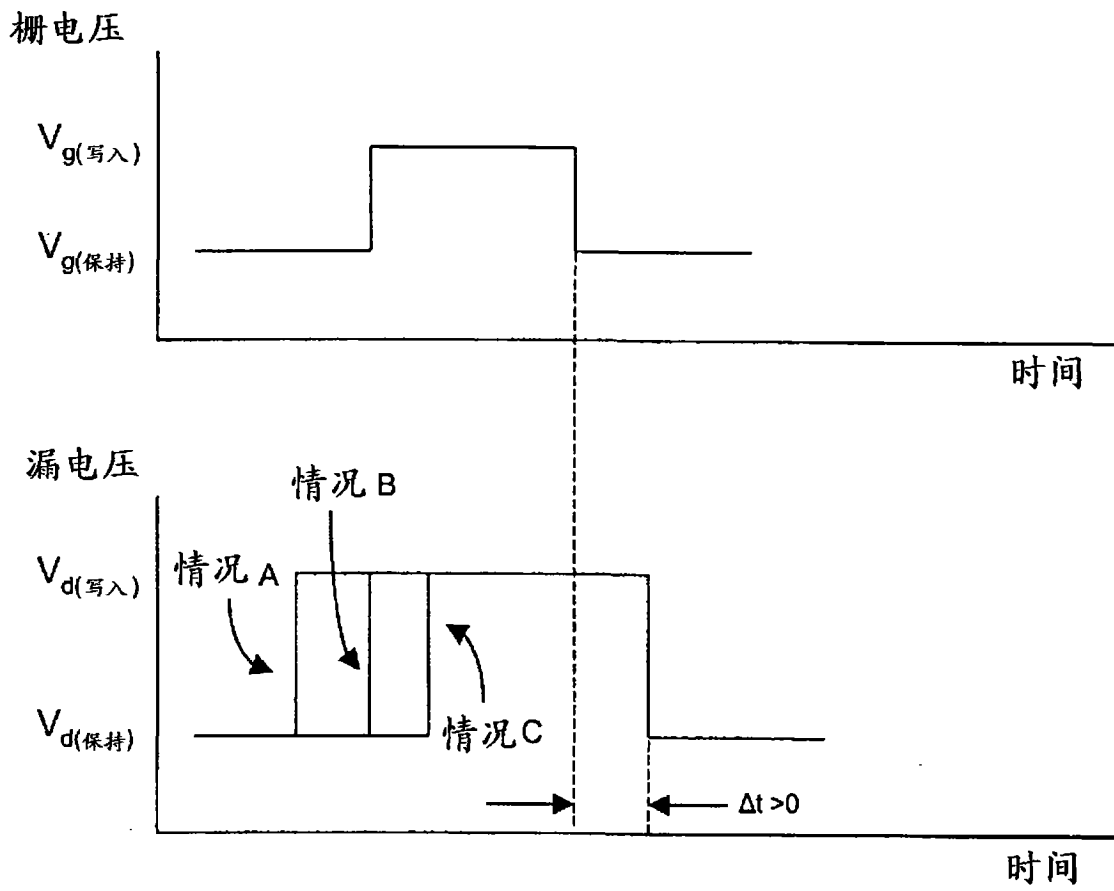


图6C

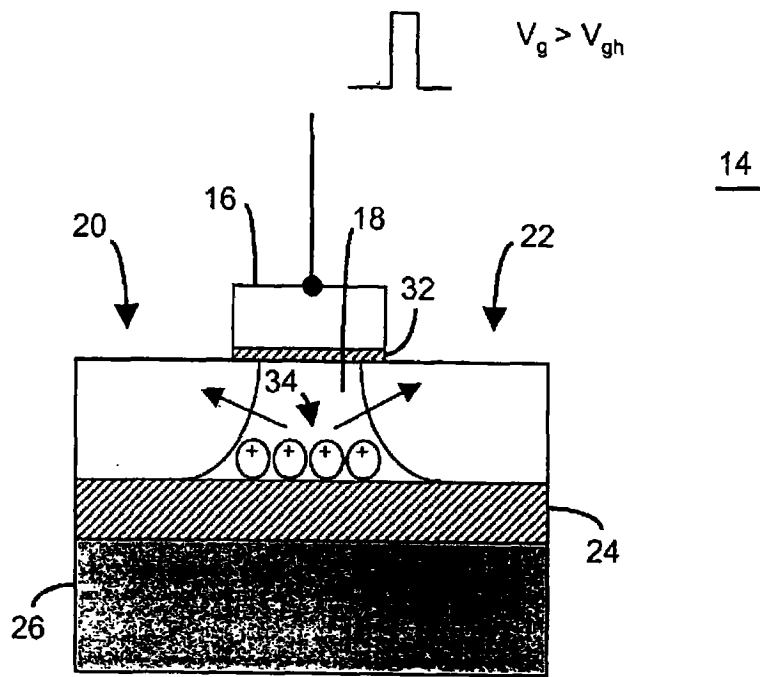


图7

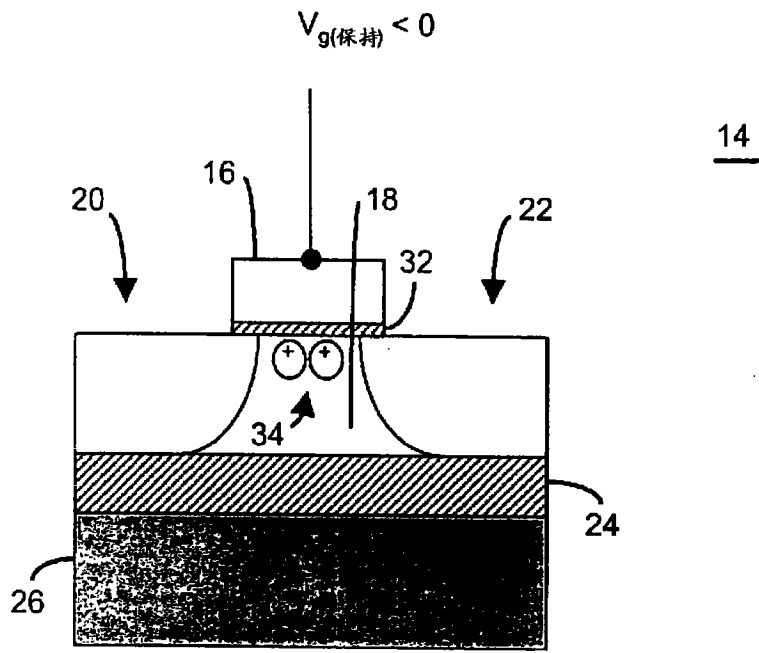


图 8

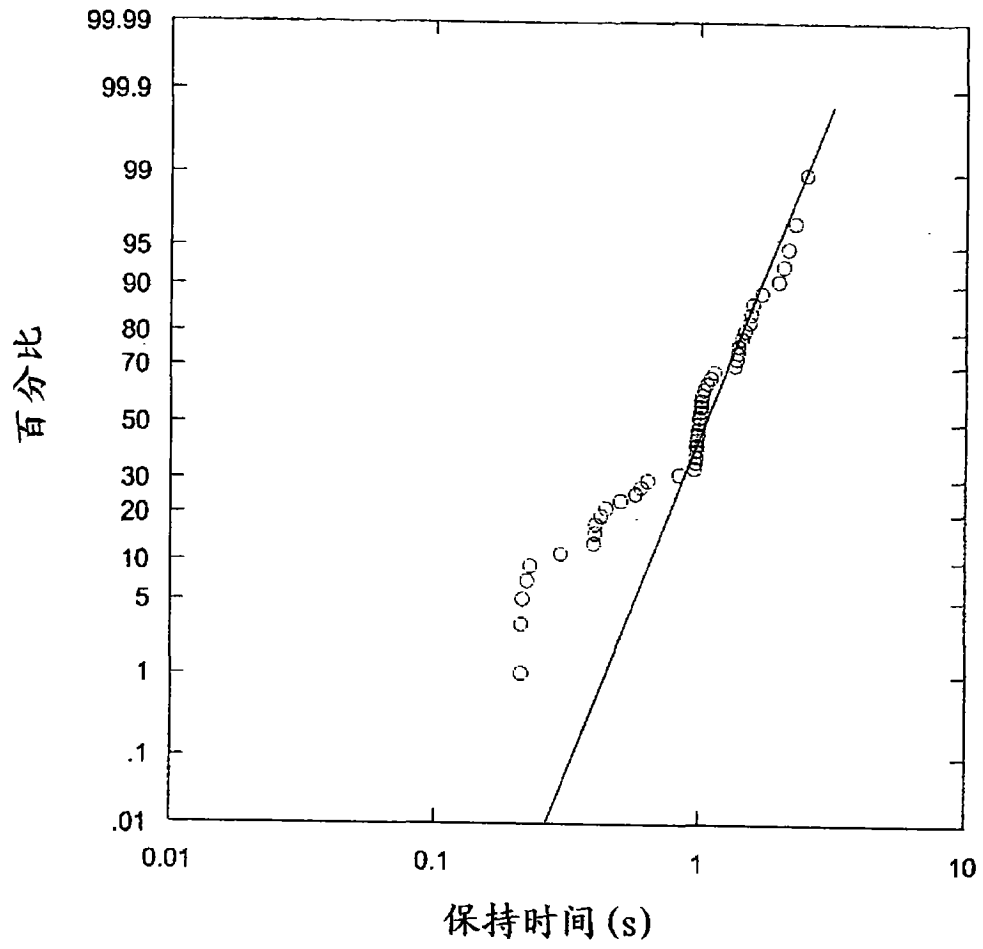
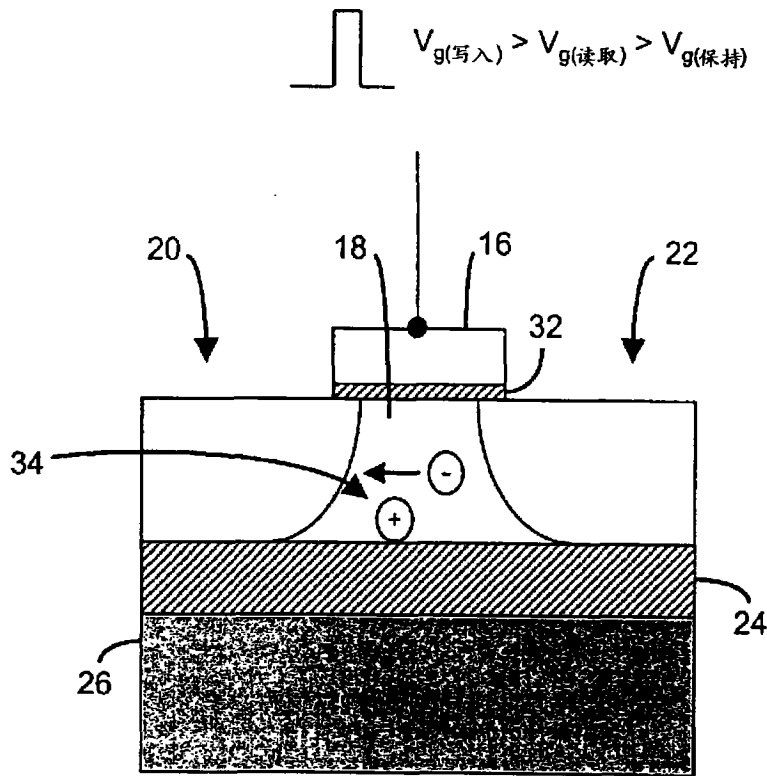


图9



14

图10

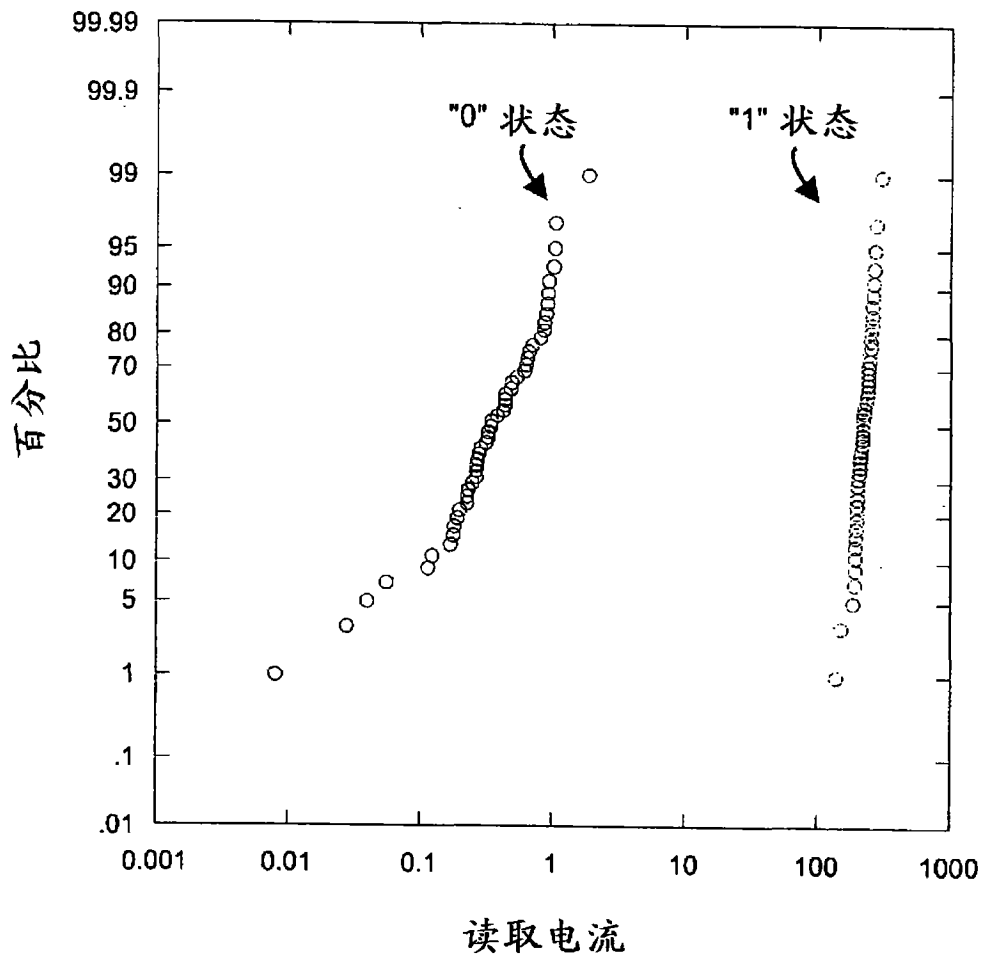


图 11

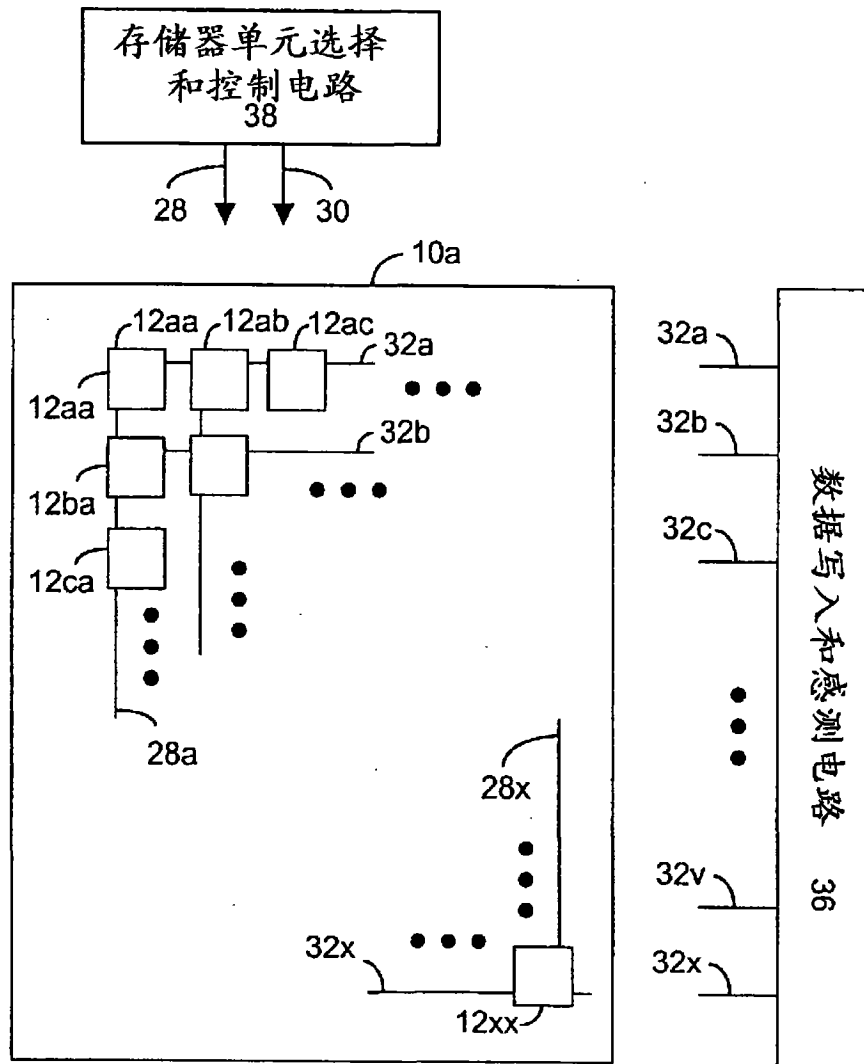


图12A

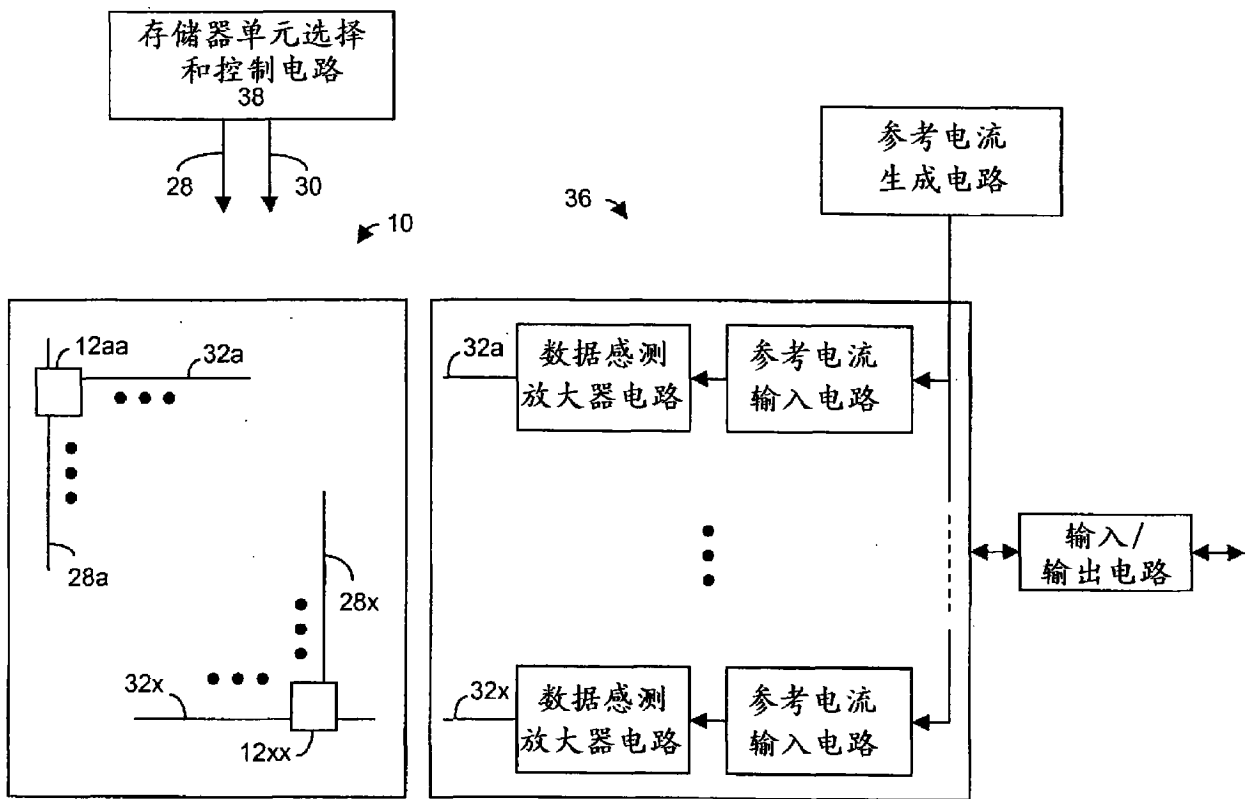


图12B

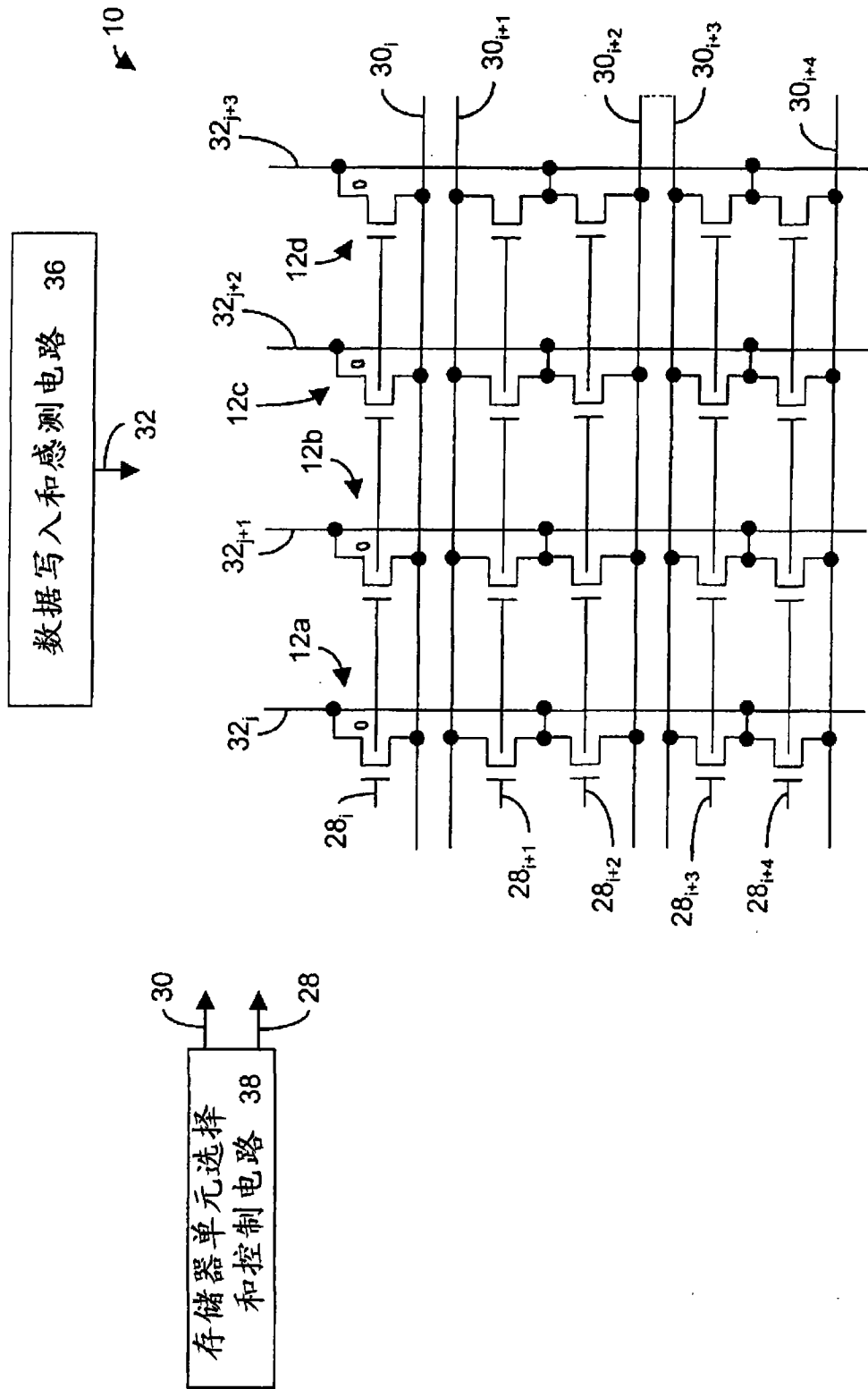


图13

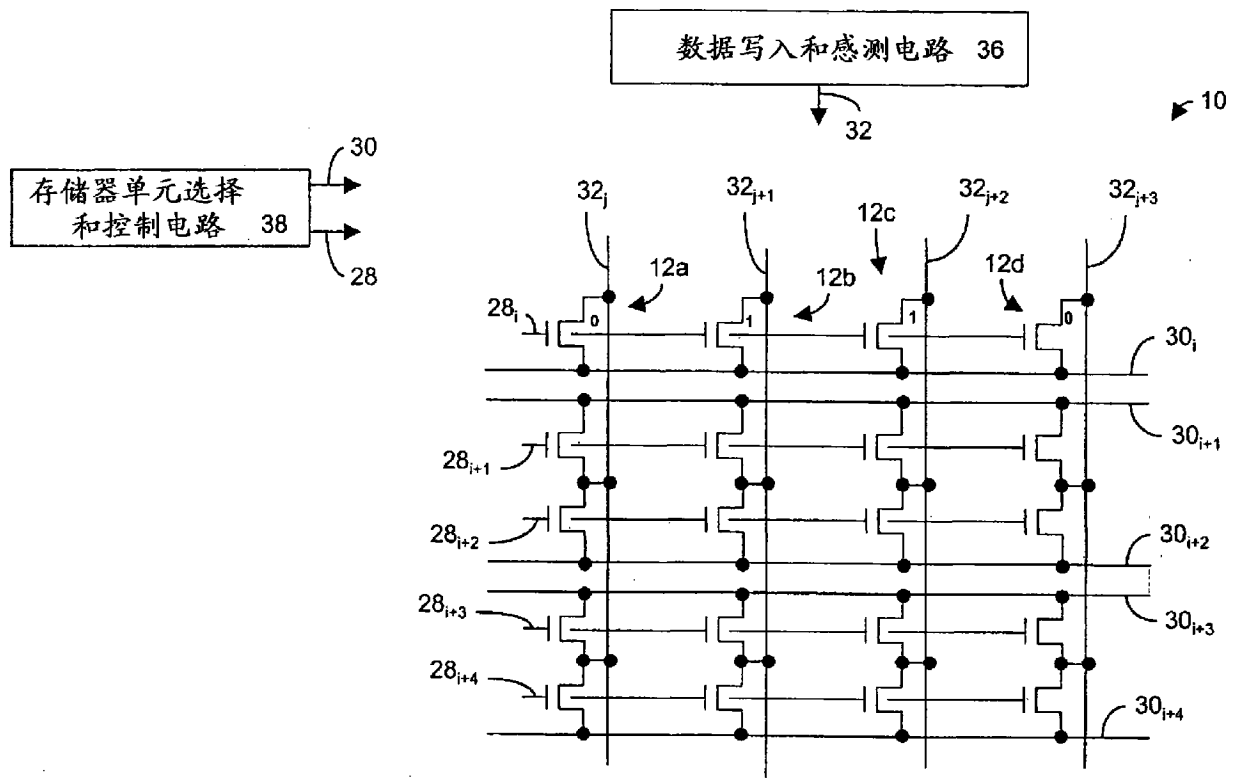


图14A

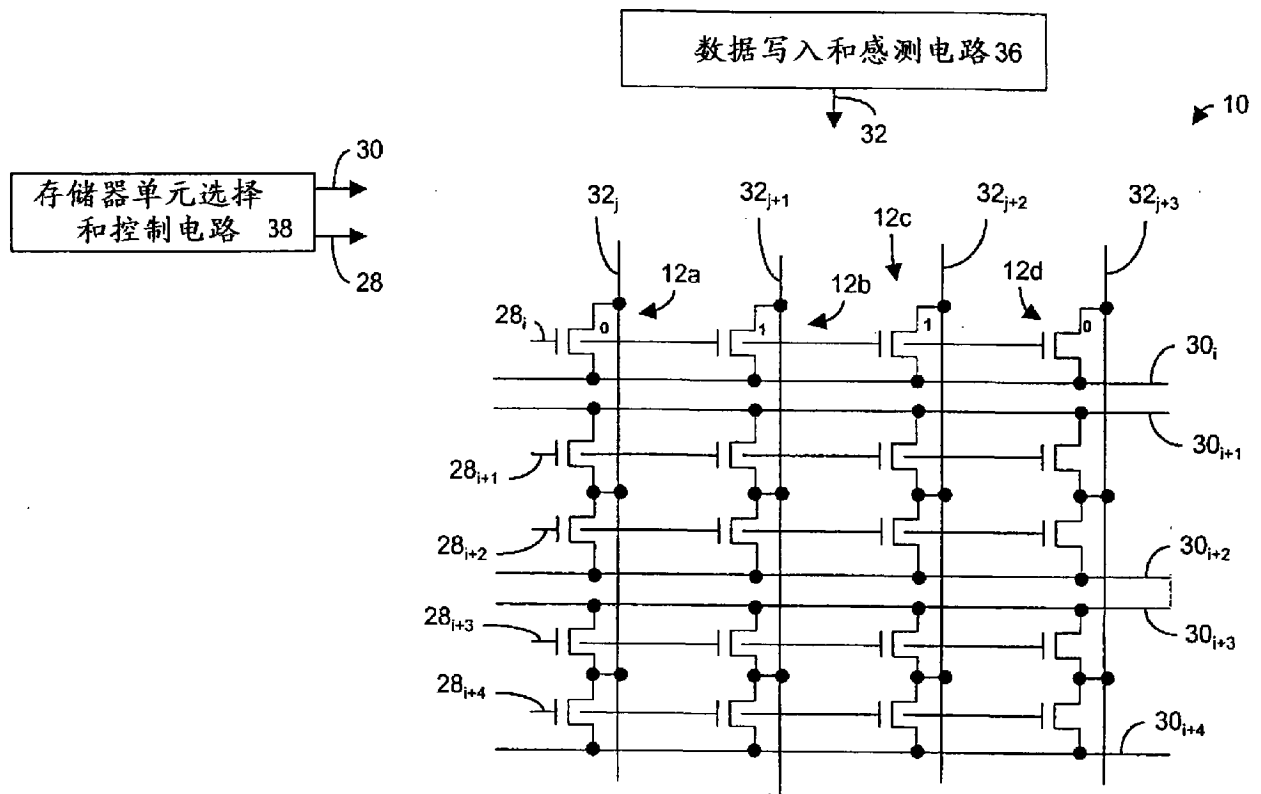


图 14B

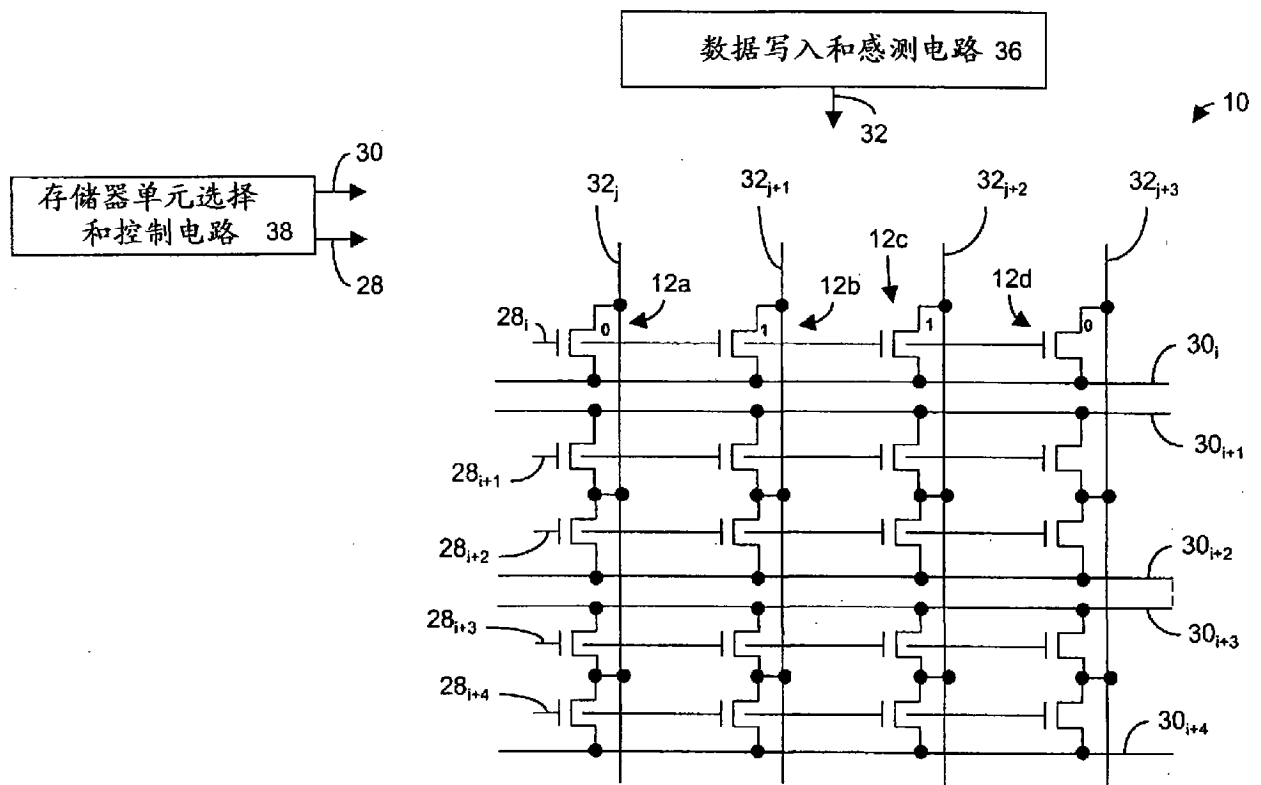


图15

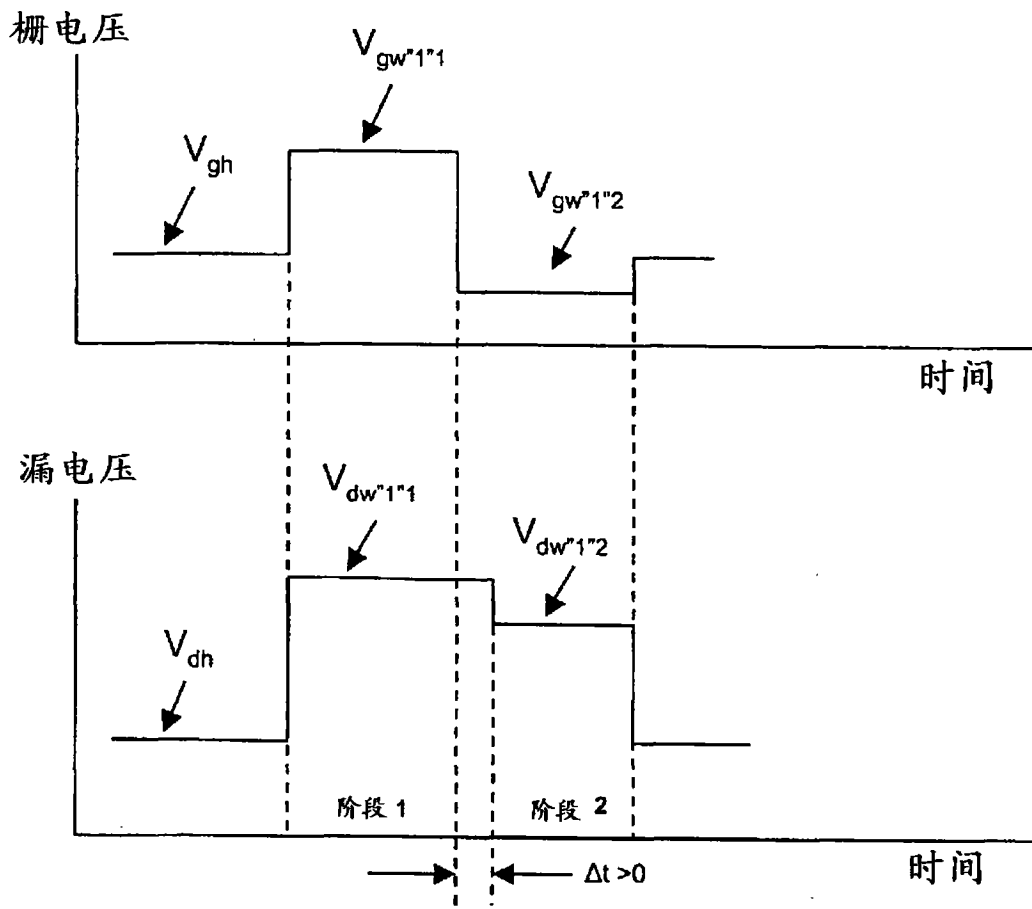


图16

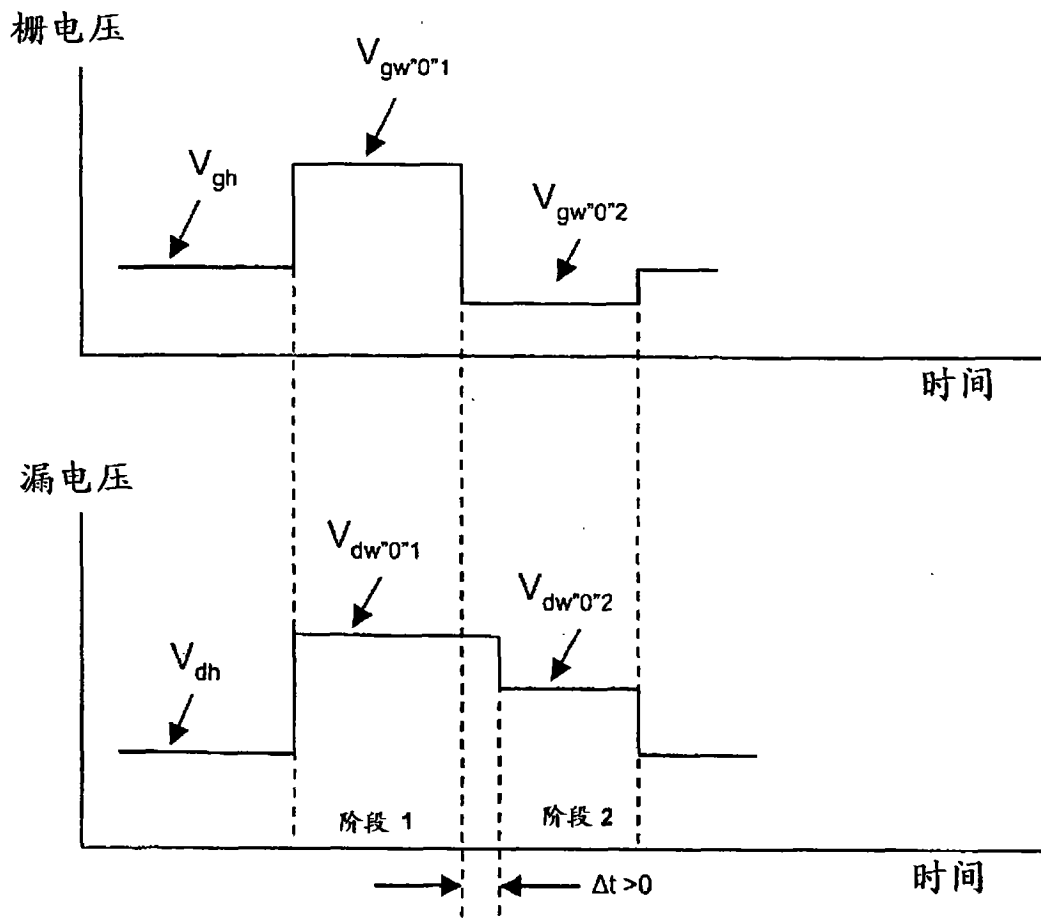


图17

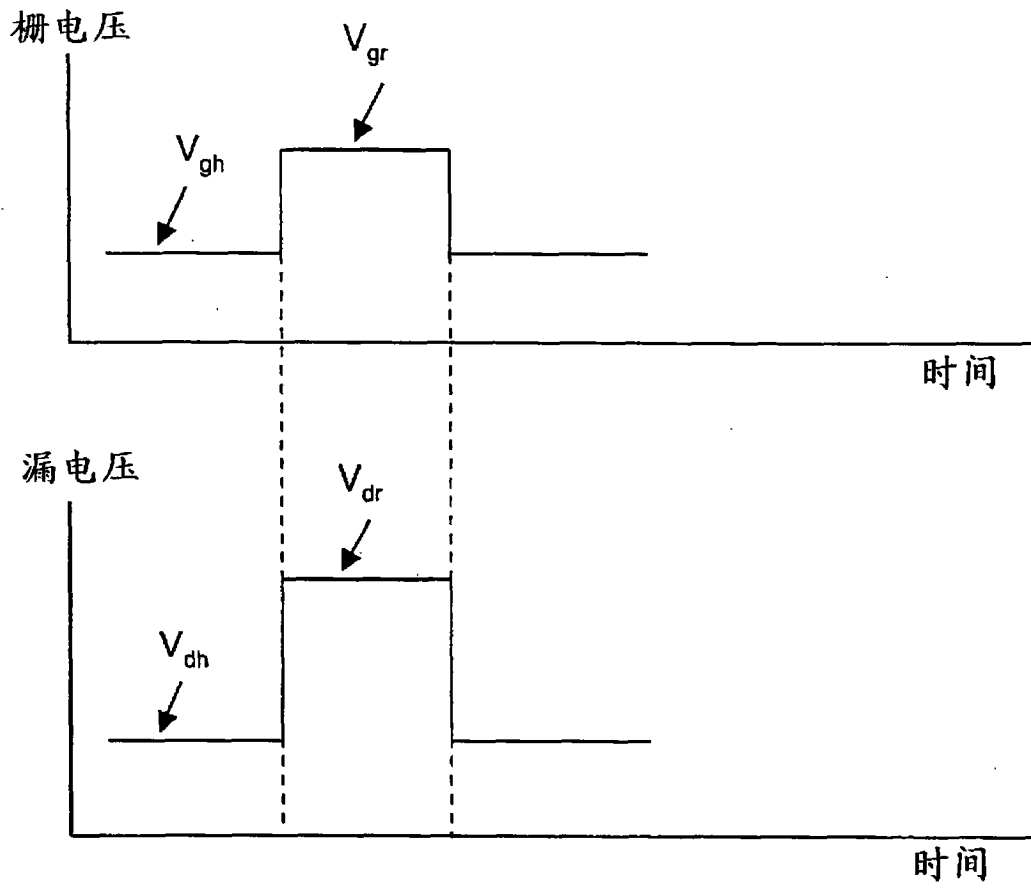


图18

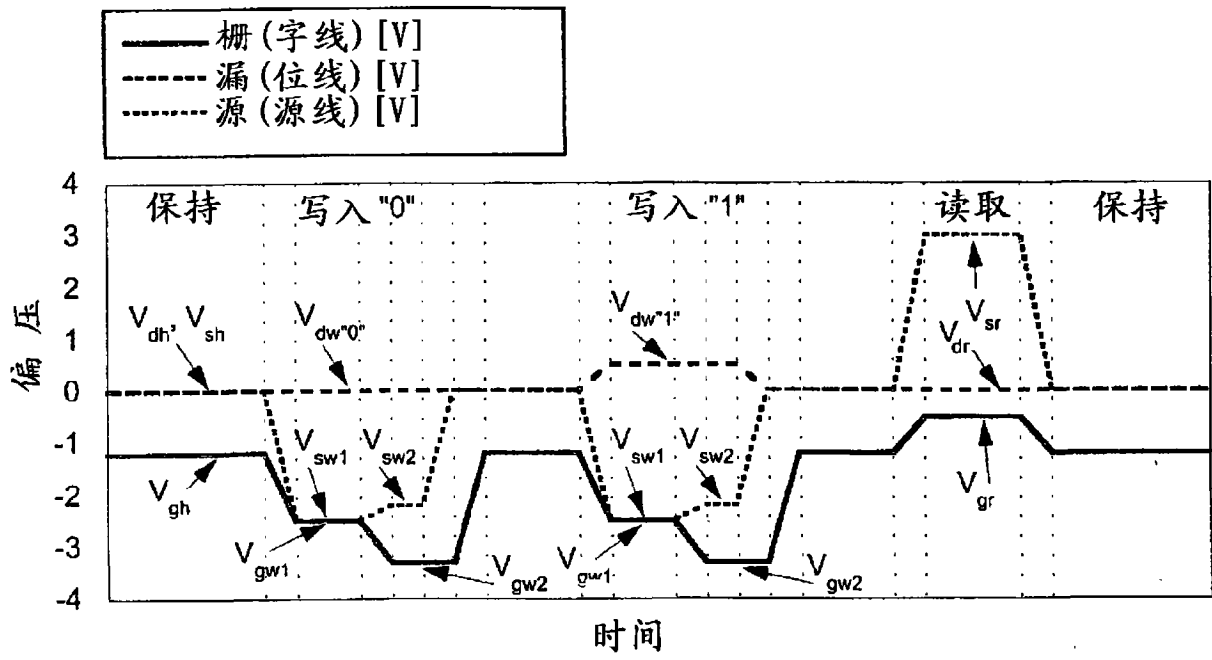


图19

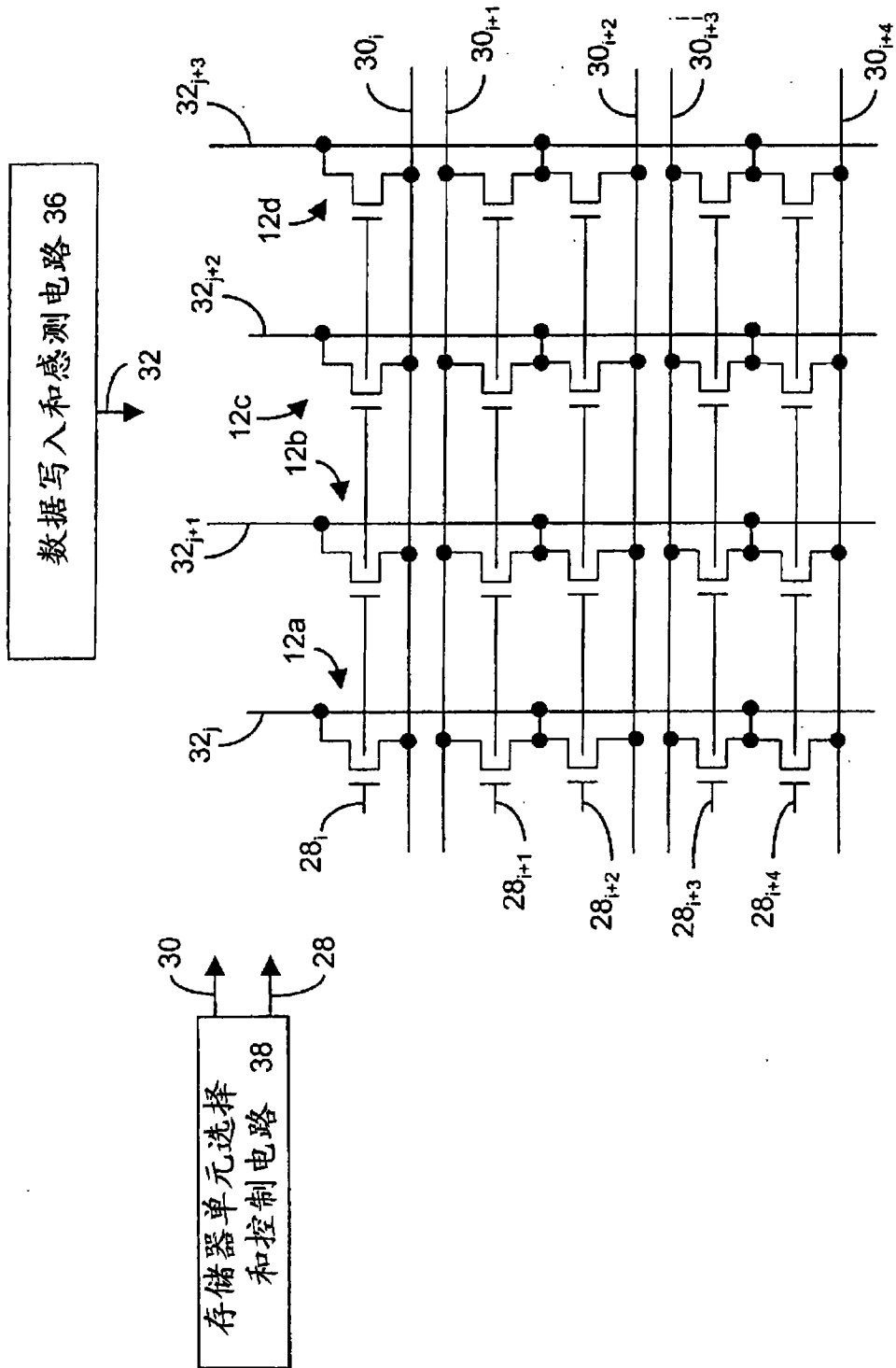


图20

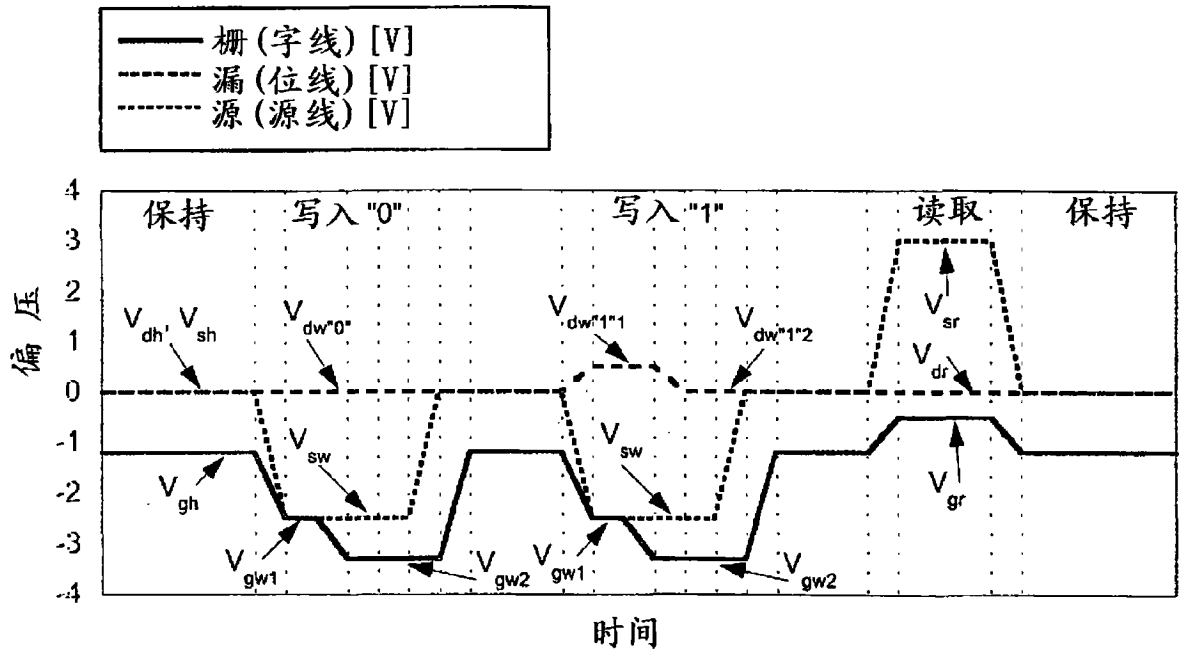


图 21

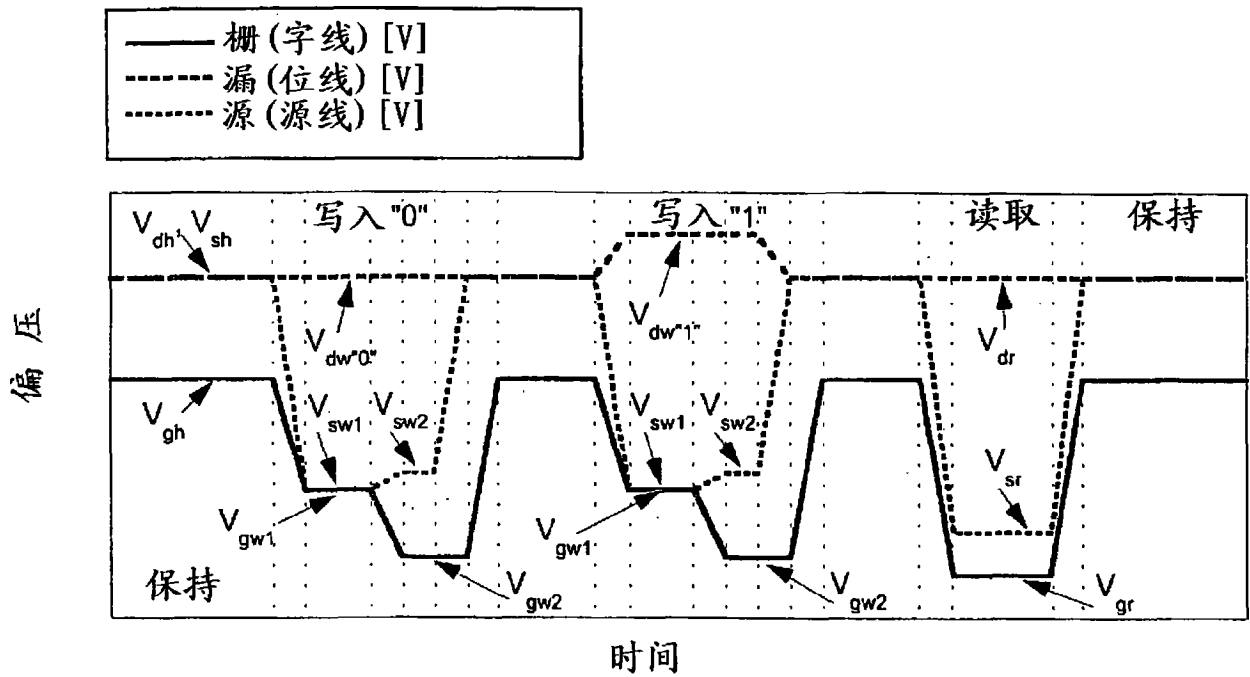


图 22

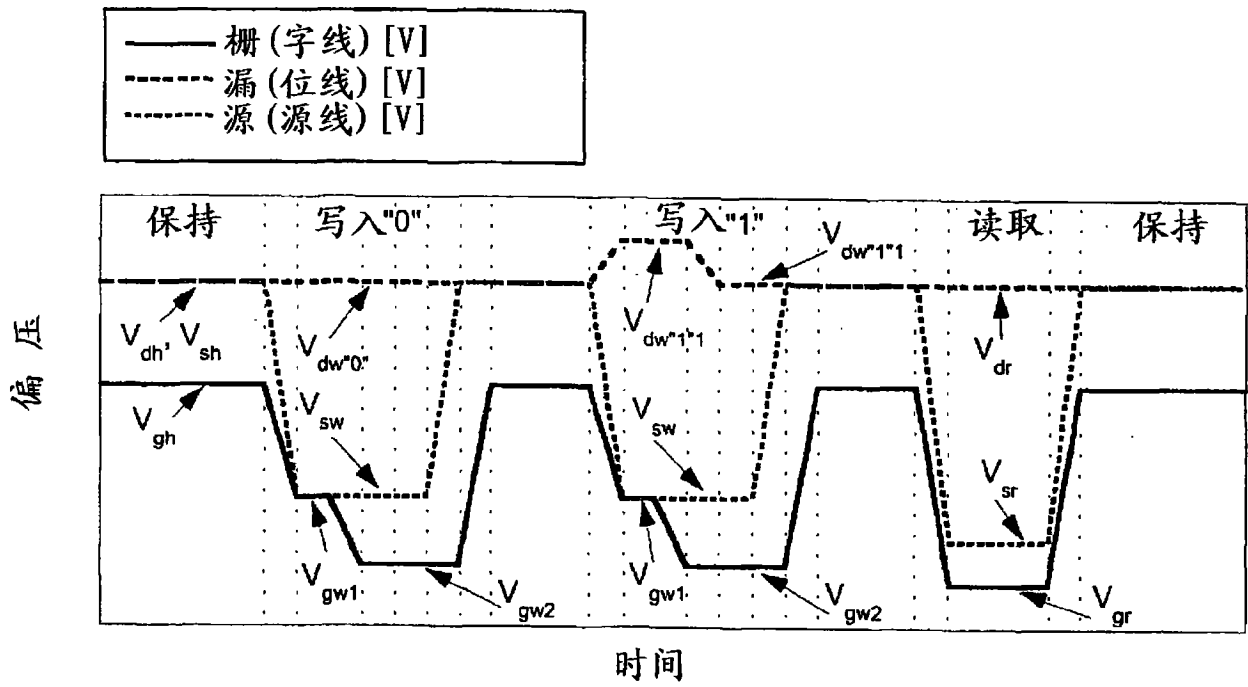


图 23

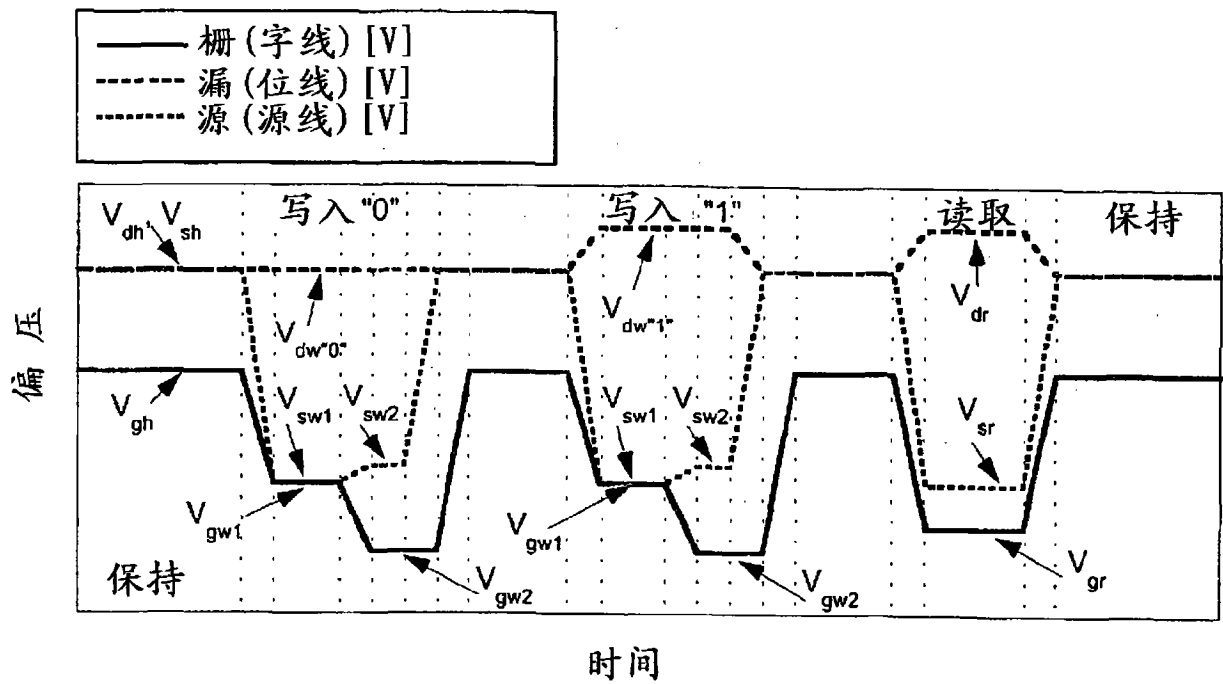


图 24

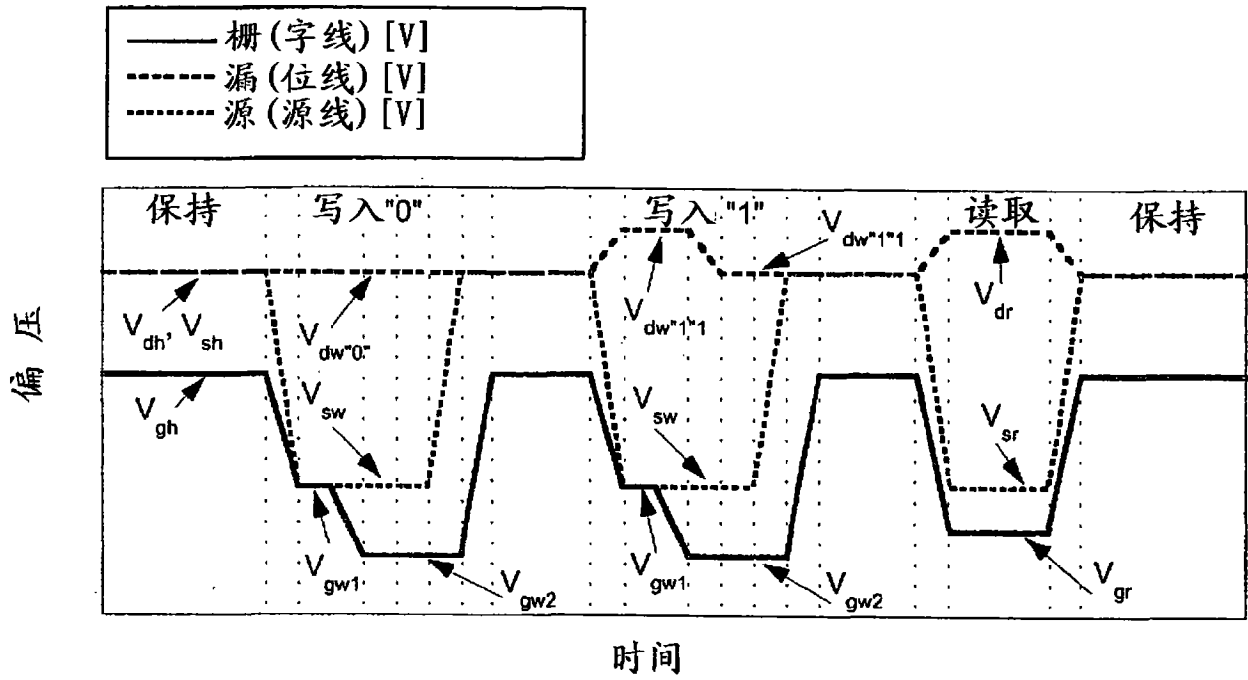


图 25

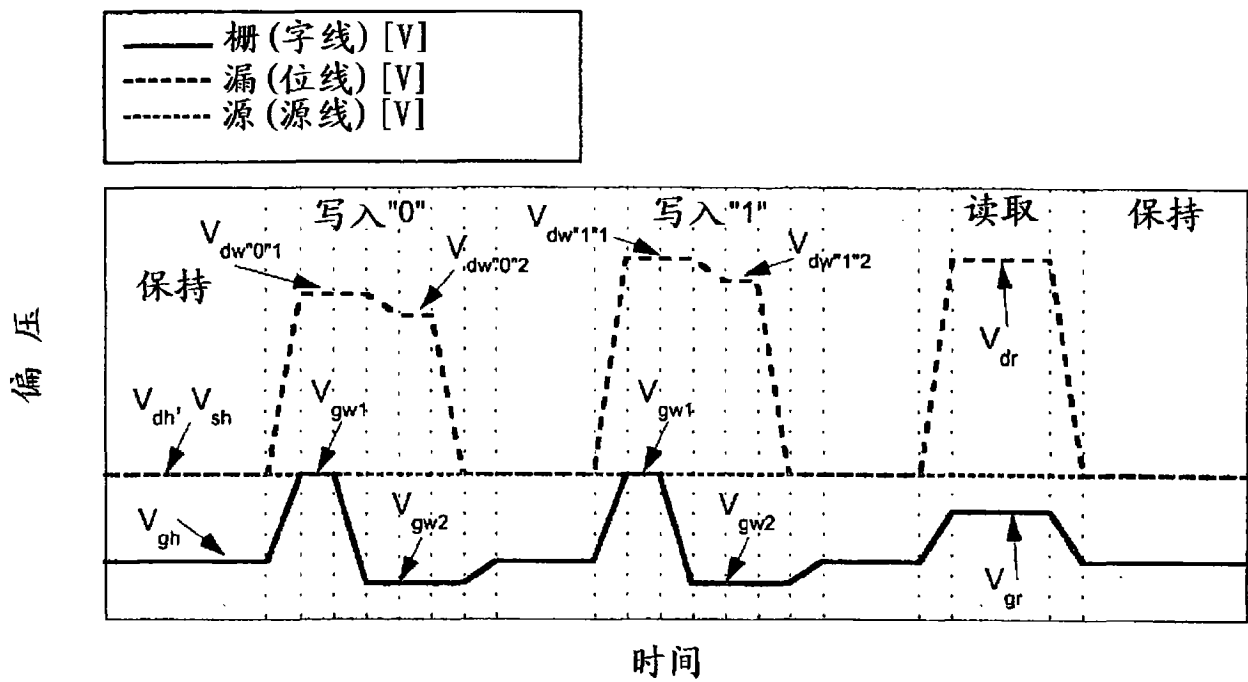


图 26

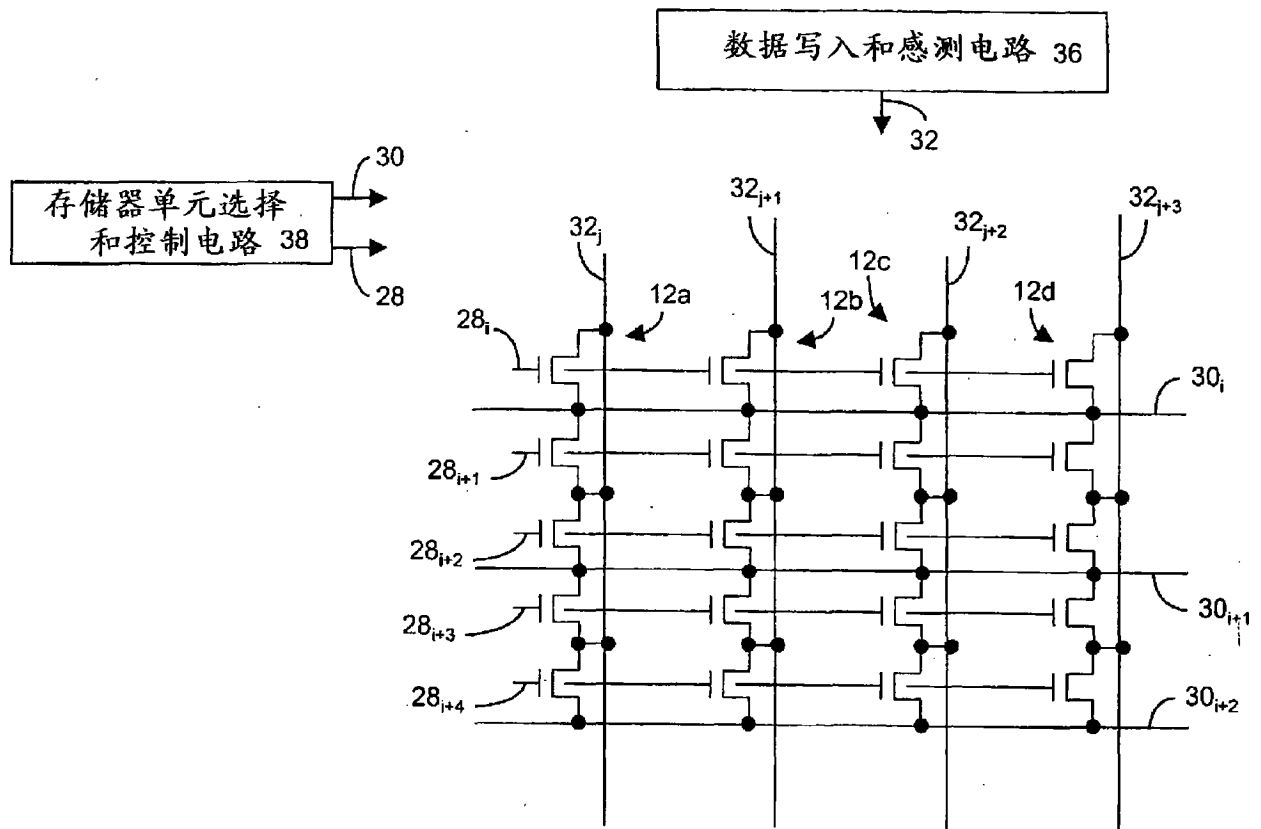


图 27

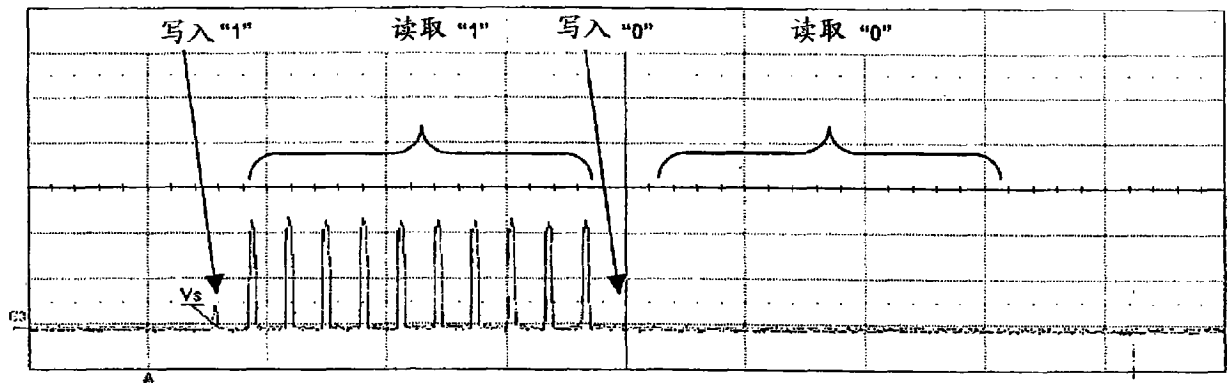


图 28

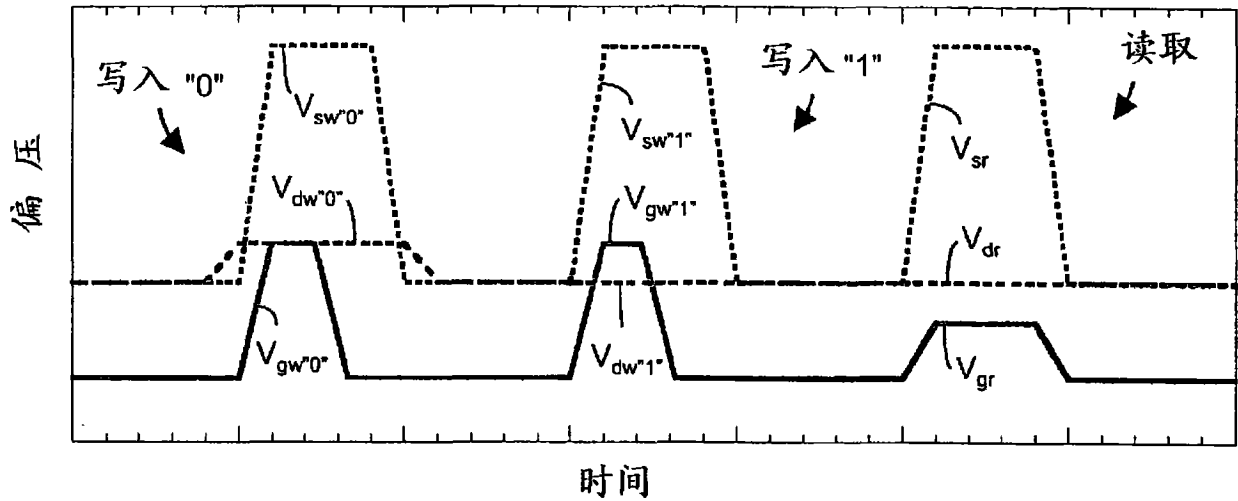
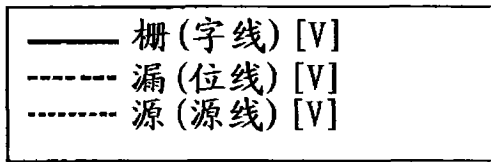


图29

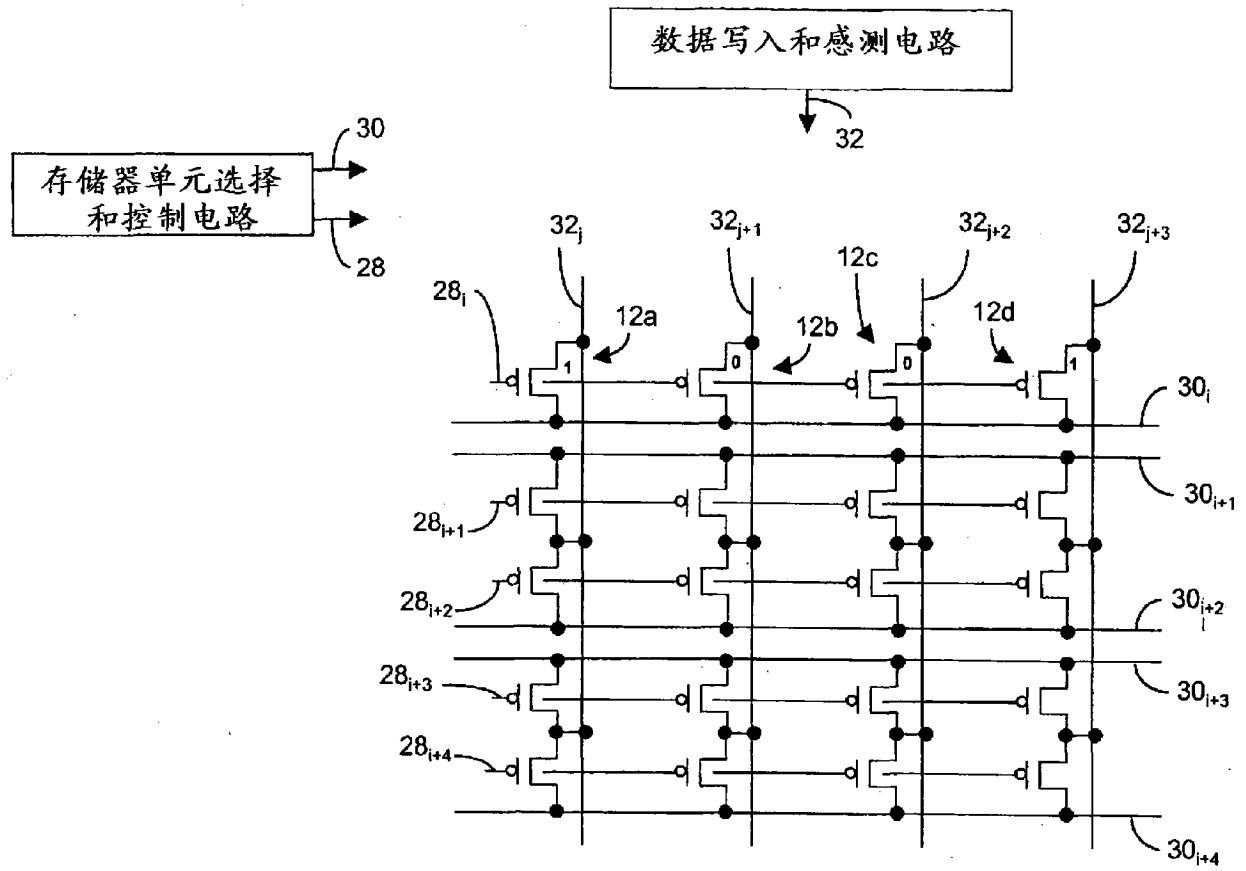


图 31

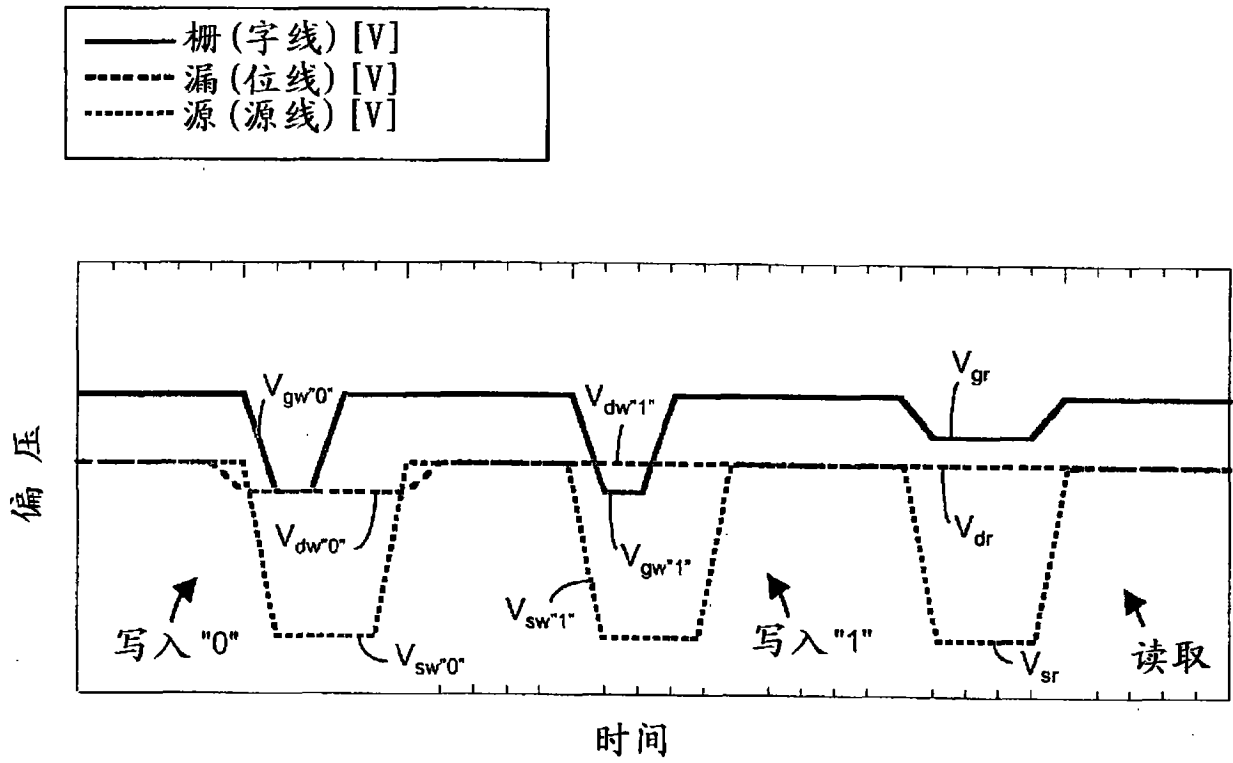


图 32

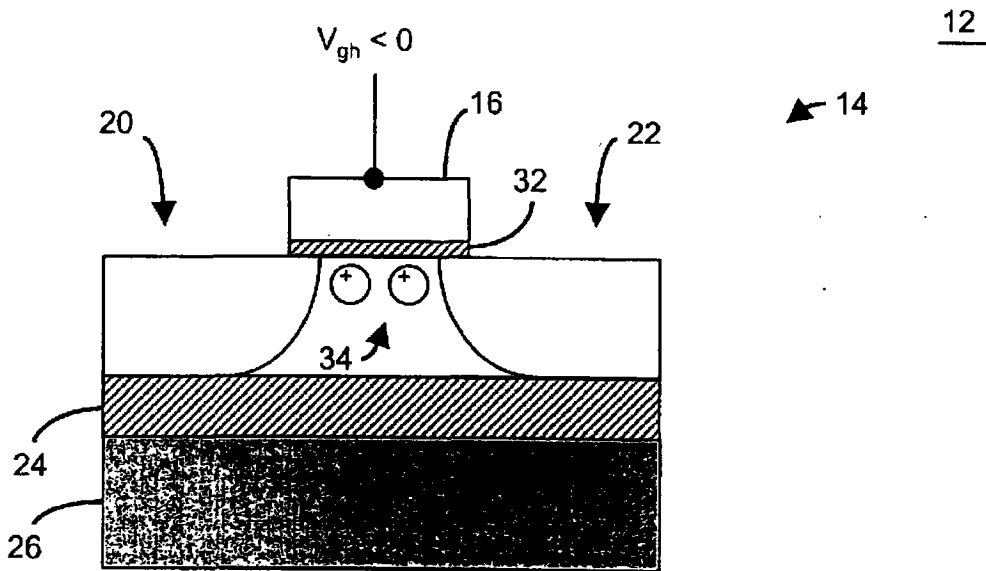


图 33

12

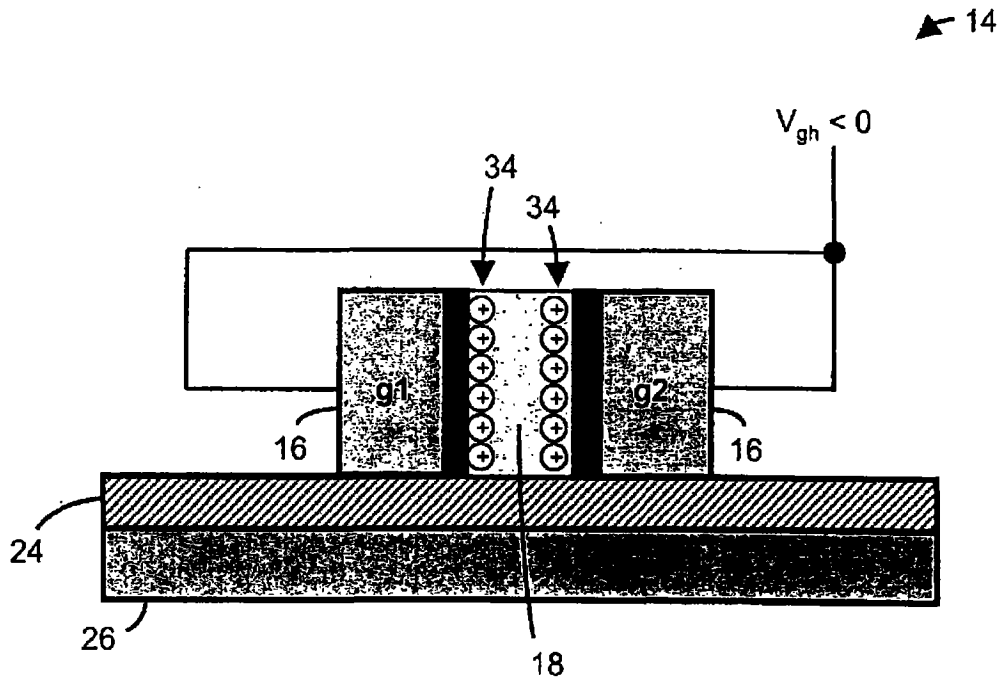


图 34

12

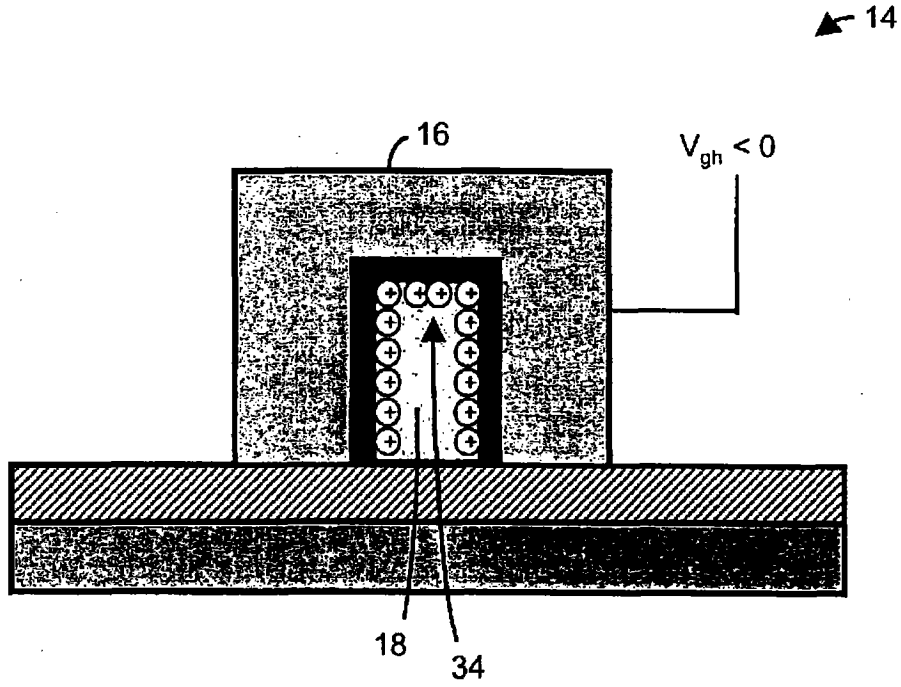


图 35

← 14

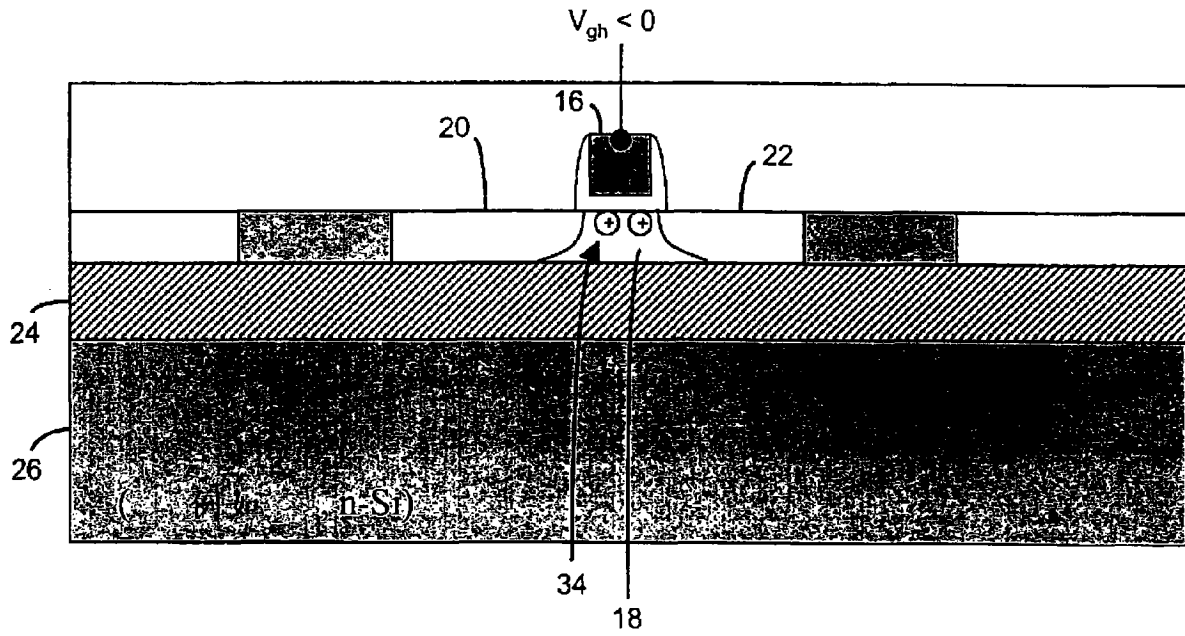


图 36

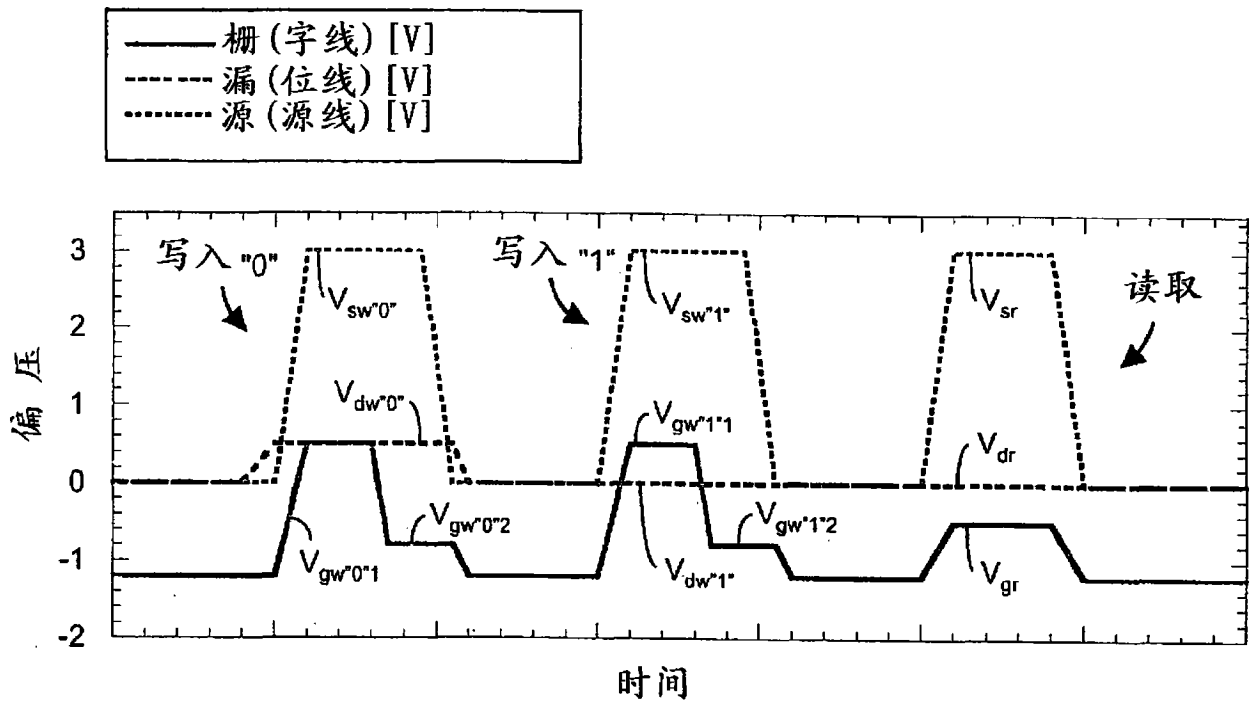


图 37