



(12) 发明专利申请

(10) 申请公布号 CN 102576050 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201080047768. 4

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

(22) 申请日 2010. 10. 22

代理人 赵蓉民

(30) 优先权数据

12/604, 397 2009. 10. 23 US

(51) Int. Cl.

G01R 31/307(2006. 01)

(85) PCT申请进入国家阶段日

G01R 31/317(2006. 01)

2012. 04. 23

(86) PCT申请的申请数据

PCT/US2010/053806 2010. 10. 22

(87) PCT申请的公布数据

W02011/050292 EN 2011. 04. 28

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 A·D·黑尔斯 S·K·纳基蒂

R·A·帕雷克吉 S·拉维

R·K·蒂瓦里

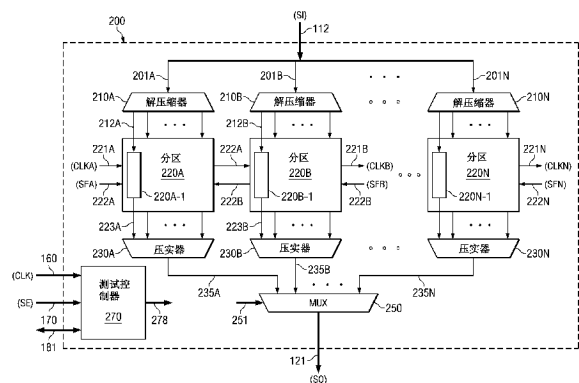
权利要求书 4 页 说明书 14 页 附图 14 页

(54) 发明名称

具有分区扫描链的集成电路的扫描测试中的增强控制

(57) 摘要

本发明涉及在具有分区的扫描链的集成电路(IC)中实施的测试控制器,其提供了执行扫描测试中的增强的控制。根据一个方面,测试控制器能够选择性地控制用于独立的IC的不同扫描链的扫描测试的扫入、扫出和捕获相位。测试控制器与外部测试器接合所需要的管脚的数目小于测试控制器能够支持的分区数目。根据另一个方面,IC包括相应于每个分区的寄存器,从而支持跳变故障(或者LOS)测试。根据另一个方面,具有分区的扫描链的IC包括串并转换器和并串转换器,由此最小化支持扫描测试所需要的外部管脚。



1. 一种集成电路,包括:

多个贮存元件,其可操作为多个扫描链;和

测试控制器,其被设计为接收指示相应的具体持续时间的数字数据,其中所述多个扫描链中的每个扫描链被置于扫描模式,所述测试控制器在由所述数字数据指示的相应的所述持续时间中扫描所述多个扫描链中的每个扫描链中的数据,所述数字数据具有独立地指示每个所述具体持续时间的能力,并且所述数字数据自连接到外部测试器的管脚组接收,其中所述管脚组中的管脚数目小于所述多个扫描链的数目。

2. 根据权利要求 1 所述的集成电路,其中所述多个扫描链中的每一个包括在多个分区中相应的一个分区中;并且

其中所述多个分区的数目大于 2,以便所述测试控制器在彼此独立的各自的持续时间中扫描相应分区中的所述扫描链的扫描数据。

3. 根据权利要求 2 所述的集成电路,其中所述管脚组中的管脚的所述数目等于 1。

4. 根据权利要求 1 所述的集成电路,其中所述测试控制器包括用于所述多个扫描链中的每个的延迟寄存器和计数寄存器,所述延迟寄存器和所述计数寄存器耦合为链,从而经由所述管脚组接收相应的值;并且其中在所述计数寄存器中加载的值指示所述相应扫描链的扫描的相应持续时间的长度,并且所述延迟寄存器指示所述扫描持续时间开始的起始信号之后的延迟。

5. 根据权利要求 4 所述的集成电路,其中所述测试控制器进一步包括多个级,每个级接收在相应的所述延迟寄存器和所述计数寄存器中存储的值,并且生成多个分区选择信号中相应的一个分区选择信号;所述分区选择信号指示执行所述相应扫描链的扫描的所述具体持续时间。

6. 根据权利要求 5 所述的集成电路,其中所述多个级中的每个级包括:

延迟元件,其延迟所述起始信号并且提供延迟信号作为输出;

计数器,其在接收所述延迟信号的跳变后开始计数;

比较器,其比较所述计数器中的值和相应于相同级的所述计数寄存器中的值;和

一组组合门,其基于所述比较器的输出和所述延迟信号生成所述分区选择信号。

7. 根据权利要求 6 所述的集成电路,其中所述测试控制器进一步包括用于除了初始级以外的所述多个级中的每个级的旁路寄存器;其中所述起始信号是用于除了所述初始级以外的所述多个级中的每个级的本地起始信号,所述起始信号是自用于所述初始级的所述外部测试器接收的全局起始信号;并且其中除了所述初始级以外的所述多个级中的每个级包括多路复用器,从而基于从相应的所述旁路寄存器接收的选择值而选择所述全局起始信号或者来自先前级的结束信号以作为所述本地起始信号,其中所述结束信号指示用于先前级的扫描持续时间的结束。

8. 根据权利要求 5 所述的集成电路,其中所述测试控制器进一步包括:

第一逻辑门,其相应于所述多个级中的每个级,其中所述第一逻辑门以相应的所述分区选择信号门控自所述外部测试器接收的全局主时钟,从而生成分区时钟信号,该分区时钟信号对相应的扫描链中的每个贮存元件计时;和

第二逻辑门,其相应于所述多个级中的每个级,其中所述第二逻辑门以相应的所述分区选择信号门控自所述外部测试器接收的主扫描使能,从而生成用于所述相应的扫描链的

分区扫描使能信号。

9. 根据权利要求 8 所述的集成电路,其中根据相应的所述分区扫描使能信号和所述分区时钟信号,多个测试向量中相应的一个测试向量被扫描到所述多个扫描链中各自的一个扫描链中;并且其中所述多个测试向量被设计为在所述集成电路中执行固定故障测试。

10. 根据权利要求 9 所述的集成电路,其中所述多个扫描链包括第一扫描链和第二扫描链;

所述第一扫描链在第一时钟周期序列中扫入除第一向量的最后一比特以外的第一比特序列中的每个比特;

所述第二扫描链在第二时钟周期序列中扫入第二向量的第二比特序列中的每个比特,所述第二时钟周期序列的至少一些接着所述第一时钟周期序列中的最后一个时钟周期;和

寄存器,其在所述第二时钟周期序列的最后的时钟周期之前存储所述最后一比特;

其中所述寄存器中存储的比特随着所述第二时钟周期序列的所述最后的时钟周期被扫入,并且所述第一扫描链和所述第二扫描链中的至少一个在所述最后的时钟周期之后被置于捕获相位,从而执行跳变故障测试。

11. 根据权利要求 10 所述的集成电路,进一步包括多路复用器,其在第一路径上接收所述第一比特序列中的每个比特并且在第二路径上接收所述寄存器中的值,并且基于选择的值选择所述两个输入中的一个;其中所述测试控制器在所述第一时钟周期序列中的每个时钟周期中为所述选择的值提供一个值,而在所述第二时钟周期序列中的所述最后的时钟周期中为所述选择的值提供另一个值。

12. 根据权利要求 11 所述的集成电路,进一步包括串并转换器,其在第一路径上以第一频率接收数据单元序列,所述串并转换器通过连接包括在所述数据单元序列中的多个数据单元而形成更大的数据单元序列,所述串并转换器在包括第二组线路的第二路径上以比所述第一频率更低的频率提供所述更大的数据单元序列,所述第二组线路中的每个线路以所述更低的频率在每个扫描时钟周期中承载所述更大的数据单元序列中的一个比特;和

其中所述多个扫描链中的每个扫描链在所述第二组线路中相应的一个线路上接收相应的比特序列中连续的比特;

其中所述第一路径包括第一组线路,该第一组线路连接到所述外部测试器的相应管脚,其中所述第一路径中的线路的数目小于所述第二路径中的线路的数目;和

由此所述集成电路以比所述多个扫描链中的扫描链的数目更少的接合所述外部测试器的管脚操作。

13. 根据权利要求 12 所述的集成电路,进一步包括并串转换器,其在第三路径上以扫出频率从所述多个扫描链接收评估输出,所述第三路径包括第三组线路,每个线路用于在一个扫出周期中传送相应扫描链的所述扫描输出的比特,在每个扫出周期中从全部所述多个扫描链接收的比特形成输出单元,使得在连续扫出周期中接收输出单元的序列,所述并串转换器通过将每个输出单元分为多个更小的单元而将每个输出单元转换为多个更小的单元;

其中所述更小的单元以比所述扫出频率更高的频率传送;和

其中更小的单元中的每个比特在第四组管脚中相应的一个管脚上传送到所述外部测试器,使得接合所述外部测试器需要的管脚的数目也被减少。

14. 一种集成电路,包括:

可操作为第一扫描链的多个第一贮存元件;和可操作为第二扫描链的多个第二贮存元件;所述第一扫描链在第一时钟周期序列中扫入第一向量的除最后的比特以外的第一比特序列中的每个比特;并且所述第二扫描链在第二时钟周期序列中扫入第二向量的第二比特序列中的每个比特,所述第二时钟周期序列中的至少一些在所述第一时钟周期序列的最后一个时钟周期之后;和

寄存器,其在所述第二时钟周期序列的最后的时钟周期之前存储所述最后的比特;

其中所述寄存器中存储的比特随着所述第二时钟周期序列的所述最后的时钟周期而扫入,并且所述第一扫描链和所述第二扫描链中的至少一个在所述最后的时钟周期之后被置为捕获相位,从而执行跳变故障测试。

15. 根据权利要求 14 所述的集成电路,其中所述第一扫描链和所述第二扫描链具有在独立的持续时间中扫描的能力。

16. 根据权利要求 14 所述的集成电路,进一步包括:

多路复用器,其在第一路径上接收所述第一比特序列中的每个比特并且在第二路径上接收所述寄存器中的值,并且基于选择的值选择两个输入中的一个;和

测试控制器,其生成所述选择的值,其中在所述第一时钟周期序列中的每个时钟周期中是一个值,而在所述第二时钟周期序列的所述最后的时钟周期中是另一个值。

17. 一种集成电路,包括:

串并转换器,其在第一路径上以第一频率接收数据单元序列,所述串并转换器通过连接包括在所述数据单元序列中的多个数据单元而形成更大的数据单元序列,所述串并转换器在包括第二组线路的第二路径上以比所述第一频率更低的频率提供所述更大的数据单元序列,所述第二组线路中的每个线路以所述更低的频率在每个扫描时钟周期中承载所述更大的数据单元序列中的一个比特;和

多个贮存元件,其可操作为多个扫描链,每个扫描链被设计为在所述第二组线路中相应的一个线路上接收相应的比特序列中的连续的比特以作为扫描链;

其中所述第一路径包括连接到测试器的相应管脚的第一组线路,其中所述第一路径中的线路的数目小于所述第二路径中的线路的数目;和

由此所述集成电路以比所述扫描链的数目更少的接合所述测试器的管脚操作。

18. 根据权利要求 17 所述的集成电路,其中所述第一频率是所述更低的频率的整数倍,所述串并转换器包括:

两倍于所述整数数目的单元,该单元组织为两行和整数数目列的形式,每个单元包括寄存器和输入多路复用器,所述输入多路复用器被设计为以逐行的方式然后以逐列的方式存储所述数据单元序列;和

多个输出多路复用器,每个与一列相关联并且在所述更低的频率的时钟周期中的每个时钟周期中选择所述相关联的列中的多个寄存器中的一个寄存器的输出;

全部所述多个输出多路复用器的所述输出在每个更低的频率的时钟周期中被连接,从而形成所述更大的数据单元中的一个。

19. 根据权利要求 17 所述的集成电路,进一步包括:

并串转换器,其在第三路径上以扫出频率从所述多个扫描链接收评估输出,所述第三

路径包括第三组线路,每个线路用于在一个扫出周期中传送相应扫描链的所述扫描输出的比特,在每个扫出周期中从全部所述多个扫描链接收的比特形成输出单元,使得在连续扫出周期中接收输出单元的序列,所述并串转换器通过将每个输出单元分为多个更小的单元而将每个输出单元转换为多个更小的单元;

其中所述更小的单元以比所述扫出频率更高的频率传送;和

其中更小的单元中的每个比特在第四组管脚中相应的一个管脚上传送到所述测试器,使得接合所述测试器需要的管脚的数目也被减少。

20. 根据权利要求 19 所述的集成电路,其中所述第一频率是所述更低的频率的整数倍,其中所述并串转换器包括多路复用器,该多路复用器以所述扫出频率接收所述评估输出,并且在所述更高的频率的时钟周期中的每个时钟周期中选择接收到的评估输出的连续的 $1/\text{整数部分}$ 以作为所述更小的单元。

具有分区扫描链的集成电路的扫描测试中的增强控制

技术领域

[0001] 本公开的实施例通常涉及集成电路的测试,并且更具体地涉及在具有分区的扫描链的集成电路的扫描测试中提供增强控制。

背景技术

[0002] 基于扫描的测试(扫描测试)通常被执行以测试集成电路(IC)。扫描测试通常涉及测试方法,其中 IC 中的存储元件(例如,触发器(flip-flop))被连接为扫描链,测试向量经由在 IC 上提供的输入测试管脚移位到扫描链中,所述 IC 被置为评估模式(捕获相位),使得所述输入被评估,并且捕获周期中所获得的相应的响应向量经由输出测试管脚移出。响应向量中的比特值与期望的输出相比较,从而确定 IC 中的任何故障状态。

[0003] IC 通常设计有分区的扫描链,意味着每个分区的扫描链包含相应的存储元件组,其可操作为扫描链从而接收相应的测试向量。如相关领域中公知的,为了一些原因使用分区的扫描链,例如为了期望的隔离的分区组的可测试性、不同频率中的不同分区的可操作性、电源管理等等。

[0004] 通常期望在这些环境中提供更多控制,以便可以采用适于相应的环境的测试。

发明内容

[0005] 具有分区的扫描链的集成电路(IC)中实现的测试控制器提供执行扫描测试中的增强控制。根据一方面,测试控制器可以选择性地将用于 IC 的不同的扫描链的扫描持续时间控制为独立的。独立性显示在为分区选择扫描持续时间(持续时间的开始和长度)而不考虑用于相同测试的另一个分区的扫描持续时间的能力。这意味着任何两个扫描持续时间能够适合具体情况地被重叠或不重叠。将测试控制器与外部测试器接合所需要的管脚的数目小于测试控制器能够支持的分区的数目。

[0006] 根据另一个方面,IC 包括具有相应于每个分区的比特的寄存器的寄存器,从而当能够独立地扫描每个扫描链时,支持跳变故障(或者 LOS)测试。寄存器用于将被扫描的第一向量的最后的比特存储到第一扫描链,并且与被扫描的第二向量的最后的比特一起提供到第二扫描链。在(进入各自的链的)两个最后的比特中进行扫描之后即评估该电路,从而执行 LOS 测试。所述寄存器可以包含多个比特,从而存储多个扫描链的最后的比特,以便 LOS 测试能够关于多个扫描链被支持。

[0007] 根据另一个方面,具有分区的扫描链的 IC 包括串并(SPC)和并串(PSC)转换器,从而最小化支持扫描测试所要求的外部管脚。在一个实施例中,在较高频率下提供更小的数据单元到 SPC,其连接多个更小的数据单元,从而形成更大的单元,然后该单元的比特被扫描到相应的扫描链中。因此减少了在 IC 上从外部测试器接收比特的管脚的数目。逆向逻辑可以用于 PSC 中,从而同样减少发送被扫描出的数据的管脚的数目。下面参考用于说明的示例描述本发明的一些方面。

[0008] 应该理解,阐述多个具体细节、关系和方法从而提供对本发明的充分理解。然而,

相关领域的技术人员会容易认识到,本发明能够在不具有一个或更多个具体细节的情况下被实践或者以其他方法实践,等等。在其他的情况下,公知的结构或者操作未被详细示出,从而避免了混淆本发明的特征。

附图说明

- [0009] 图 1 是其中能够实现本发明的一些特征的示例环境的框图。
- [0010] 图 2 是示出了在本发明的实施例中的具有多个扫描分区的 IC 的框图。
- [0011] 图 3 是在本发明的实施例中在具有分区的扫描链的 IC 中实现的分区选择器电路的框图。
- [0012] 图 4A 和 4B 是示出了在本发明的实施例中在 IC 中的扫描测试期间的波形的时序图。
- [0013] 图 5 是本发明的实施例中的测试控制器的框图。
- [0014] 图 6 是描述了在本发明的实施例中提供作为到 ATPG 工具的输入的 IC 的设计信息的图示。
- [0015] 图 7 是示出了在实施例中由 ATPG 工具生成的示例性测试向量 / 比特的图示。
- [0016] 图 8A 和 8B 是示出了在实施例中可以执行启动捕获 (LOC) 测试的方式的示例性时序图。
- [0017] 图 9 是在本发明的实施例中支持跳变故障测试的 IC 的框图。
- [0018] 图 10A 是示出了用于启动移位 (LOS) 测试的示例性测试方案的简化的框图。
- [0019] 图 10B 是在实施例中指定启动和捕获脉冲将应用的分区的示例性表格的图示。
- [0020] 图 10C-10G 是相应于在图 10B 的表格中列出的测试方案的时序图。
- [0021] 图 11 是在实施例中具有用于扫描测试的减少数目的测试管脚的 IC 的框图。
- [0022] 图 12 是示出了在本发明的实施例中实现串并转换器的方式的框图。
- [0023] 图 13 是示出了在本发明的实施例中实现并串转换器的方式的框图。

具体实施方式

- [0024] 下面用一些用于说明的示例描述各种实施例。
- [0025] 1. 示例性环境
- [0026] 图 1 是示例性环境的框图,其中能够实现本发明的一些特征。所述框图示出了包括测试器 110 和集成电路 (IC) 120。示出 IC 120 (可以是片上系统 /SoC) 包括解压缩器 130、扫描链 140 和压实器 150。为了简明,图中只示出了单个 IC。然而,能够使用测试器 110 对多个 IC 同时测试。
- [0027] 测试器 110 在到 IC 120 中的解压缩器 130 的路径 112 (SI) 上提供压缩形式的测试向量,并且在自压实器 150 的路径 121 (SO) 上接收表示压缩形式的测试的捕获的结果的响应向量。测试器 110 可以比较响应向量中的比特值与期望值,从而确定 IC 120 中的故障。测试器 110 在路径 170 上提供了扫描使能信号 (SE),并且经由路径 160 (CLK) 提供一个或多个时钟到 IC 120,其中所述时钟在扫描测试期间配合 IC 120 的操作。测试器 110 也可以提供配置数据,以便经由路径 181 指定时钟的配置并在 IC 120 中产生控制信号,以用于指定 IC 120 中的分区的数目等等。

[0028] 解压缩器 130 解压缩在路径 112(SI) 上接收的测试向量, 并且经由路径 134 将测试向量以未压缩的形式提供到扫描链 140。压实器 130 压缩在路径 145 上接收的响应向量, 并且经由路径 121(SO) 提供相应的压缩响应向量到测试器 110。如相关领域中公知的, 能够使用各种方法基于组合和 / 或时序电路实现解压缩器和压实器模块。

[0029] 扫描链 140 包括 IC 120 的触发器元件, 其设法使用基于扫描的方法被测试。贮存元件可以被设计为操作为一个或多个扫描链 (例如, 其可以实现为分区的扫描链), 每个贮存元件均包括存储元件, 该存储元件在测试向量的移入和响应向量的移出期间连接作为移位寄存器。响应向量包含 (在捕获循环期间的) 组合逻辑的评估的结果 (响应比特), 该组合逻辑在测试向量的移入完成时进行测试。

[0030] 尽管为了简明没有示出, 但是 IC 120 包含各种其他元件, 例如设计出组合逻辑元件, 其与扫描链 140 中的贮存元件结合操作以提供实用的 IC 120。此外, IC 120 可以包含相应的电路 (例如, 测试控制器), 从而在内部产生各种时钟和控制信号, 该时钟和控制信号用于协调扫描测试操作并且被提供到扫描链 140 中的存储元件。基于自测试器 110 接收的时钟 160 (CLK) 可以产生时钟。应当注意, 路径 SI 和 SO 可以包含 / 表示多个信号线路 (每个线路在给定时间传送单个比特), 并且因此, IC 120 可以包含相应数目的管脚, 从而连接到信号线路, 并且被显示标记为 SI 和 SO。

[0031] 本发明的一些特征使在具有分区的扫描链的集成电路的扫描测试中的增强控制成为可能。因此, 下面描述包含扫描链的示例性集成电路的细节。

[0032] 2. 集成电路

[0033] 图 2 是示出了一个实施例中的 IC 的细节的框图。可以用于代替图 1 中的 IC 120 的 IC 200 被显示为包括解压缩器 210A-210N、分区 220A-220N、压实器 230A-230N、多路复用器 (MUX) 250 和测试控制器 270。

[0034] 解压缩器 210A-210N 中的每一个解压缩经由信号线路 112(SI) 接收的压缩的测试向量, 并且将解压缩的向量提供到在相应分区中的扫描链。路径 112(SI) 表示多个扫入路径 (scan-in path) (信号线路 / 数据路径), 所述扫入路径中的一些或者全部可以基于例如每个分区 220A-220N 中的扫描链的数目而被提供到解压缩器 210A-210N 中的每个。因此, 例如, 当路径 112(SI) 可以包含十六个分离的信号线路 / 数据路径时, 解压缩器 210A-210N 可以每个都连接到全部十六个扫入路径或者少于十六个扫入路径, 即每个扫入路径 201A-201N (连接到各自的解压缩器 210A-210N) 可以是 16 比特宽或者更少。进一步, 连接到一个解压缩器的扫入路径的数目可以不同于连接到另一个解压缩器的扫入路径的数目, 并且因此由一个解压缩器接收的 (同时) 输入向量的数目可以不同于由另一个解压缩器接收的输入向量的数目。

[0035] 分区 220A-220N 可以每个都包含由存储元件形成的一个或多个扫描链, 其中在每个分区中的扫描链通常可由相应的时钟操作。所述时钟可以全部关于彼此同步, 或者具有关于彼此的不同的相位 / 频率关系。因此, 在分区 220A-220N 中的扫描链元件被显示为由各自的时钟 221A (CLKA) - 221N (CLKN) 计时。在一个实施例中, 时钟 221A-221N 彼此同步。通常, 每个分区 (其可以包含多个扫描链) 可以被视为单个扫描链。

[0036] 每个分区可以从其他分区经由“分区间路径 (inter-partition path)”接收数据输入。每个分区间路径将数据值从一个分区中的贮存元件 (寄存器、触发器等) 传送到其

他分区中的贮存元件,其间具有任意的组合逻辑。该组合逻辑可以被视为包含在图 2 中所示的逻辑路径 / 箭头内。例如,分区 220A 可以从分区 220B 经由路径 222B 接收一个或更多个数据输入,并且在路径 222A 上将一个或更多个数据输入提供到分区 220B。尽管未示出,但是这些分区间数据路径也可以存在于其他对分区之间。同样,在路径 222B 上提供的数据输入可以进一步由分区 220A 中的贮存元件评估 / 处理,其依次在路径 222A 上提供数据输入。

[0037] 在基于扫描的测试期间,在每个分区中,可以使用贮存 / 存储元件 (例如,触发器) 形成一个或更多个扫描链。为了便于说明,图 2 中只示出了每个分区中的一个扫描链 (分区 220A 中的扫描链 220A-1,分区 220B 中的扫描链 220B-1,以及分区 220N 中的扫描链 220N-1)。然而,每个分区可以包含多个扫描链。通常,分区指提供限定 / 特定功能的 IC 的一部分 (例如,ALU、USB 控制器,可以提供作为各自的功能块)。

[0038] 扫描链 220A-1 在路径 212A 上接收解压缩的测试向量,并且在路径 223A 上提供响应向量。类似地,扫描链 220B-1 在路径 212B 上接收解压缩的测试向量,并且在路径 223B 上提供响应向量。分区 220A 以及分区 220B-220N 中的其他扫描链以相应的类似方式操作。

[0039] 压实器 230A-230N 从各自的分区 220A-220N (中的扫描链) 接收响应向量,压缩所述响应向量,并且经由各自的“扫出 (scan-out)”路径 235A-235N 提供被压实 / 压缩的响应向量。路径 235A-235N 中的每个可以包含多个路径,并且在一个实施例中,分别包含与扫入路径 201A-201N 中的路径数目相同的路径数目。

[0040] MUX 250 在测试输出端 121 (S0) 上基于选择信号 251 的值提供输入 235A-235N 中的一个。因此,路径 121 (S0) 可以表示多个输出信号线路。

[0041] 可以使用任意一些公知的技术执行在解压缩器中的解压缩和在压实器中的压实。在一个实施例中,使用组合元件实现解压缩器 210A-210N 和压实器 230A-230N。然而,在其他实施例中,解压缩器和压实器能够使用时序 (时钟) 元件实现,或者使用组合元件和时序元件的结合实现。还应注意,虽然 IC 200 在以上说明为包括解压缩器和压实器,但是可以仅为了一些原因而要求实施解压缩器和压实器,所述原因例如为减少提供测试向量的外部装置 (例如测试器) 的存储需求、减少测试应用时间并因此减少测试成本、减少测试器管脚的数目、等等。在不具有解压缩器和压实器的 IC 中同样能够实现本发明的一些特征。

[0042] 测试控制器 270 从测试器 (例如,测试器 110) 接收主时钟 160 (CLK) 和主扫描使能 (scan enable) SE (170), 并且为分区 220A-220N 中的每个分区生成时钟和扫描使能信号。如下面详细说明的,测试控制器 270 提供生成时钟信号 (221A-221N) 和扫描使能信号 (222A-222N) 中的增强控制,所述信号被认为包含在路径 278 中。测试控制器 270 生成提供到 MUX 250 的选择信号 251。测试控制器 270 可以接收由测试器在路径 181 上提供的配置数据。

[0043] 测试控制器 270 提供增强的控制,同时在分区的扫描链 (即,在不同的分区 220A-220N 中的扫描链) 中执行基于扫描的测试。这种增强的控制包括将测试向量扫入一些分区,而不将测试向量扫入其他一些分区,将测试向量并行扫入全部分区或者仅扫入一些分区,等等。根据本发明的一个方面,测试控制器 270 提供这种增强的控制,同时包括与测试器 (例如,测试器 110) 接合的较少的控制管脚,所述控制管脚指定将被使能 / 禁用的具体分区,该具体分区能够是 (小于) 其控制的分区总数的任何子集。结合一个实施例中

的这种电路的图示继续说明。

[0044] 4. 分区选择器

[0045] 图 3 是在本发明的一个实施例中在具有分区的扫描链的 IC (的测试控制器 270) 中实现的分区选择器电路的框图。尽管图中仅示出了相应于两个分区的组件 / 块, 但是图 3 的分区选择器 300 被假设实现为用以生成用于四个分区 P1-P4 的分区选择 (分区使能 / 禁用) 信号。进一步地, 如相关领域技术人员在阅读本公开后显而易见的, 通过图 3 中所示的块 / 组件的适当的配置和 / 或复制, 能够支持比四个分区更多或更少的分区。

[0046] 块 395 和 396 分别为分区 P1 和 P2 生成相应的选择信号 381 (P1_s) 和 382 (P2_s)。未示出类似于或者等同于块 396 的两个额外的块, 其中每个块用于为分区 P3 和 P4 生成选择信号, 但假设所述两个额外的块存在, 并且为分区 P3 和 P4 生成各自的选择信号 383 (P3_s) 和 384 (P4_s)。例如 395、396 的块以及相应于分区 P3 和 P4 的块被称为级。

[0047] 延迟寄存器 309 和 312、计数寄存器 311 和 313、以及旁路寄存器 318 根据 IEEE 1149.1 标准 JTAG 技术规范形成 IC 200 的边界扫描寄存器 (303) 的一部分。边界扫描寄存器 303 被配置为包含用于四个分区中的每个分区的延迟寄存器和计数寄存器 (例如用于第二分区的延迟寄存器 312 和计数寄存器 313), 并且包含旁路寄存器以用于除了分区 P1 以外的全部分区。

[0048] 如以下部分中所述, 计数寄存器指定扫描持续时间的长度, 并且延迟寄存器指定相对于起始信号的延迟。用于第一级的起始信号自测试器 110 (作为信号 305) 接收, 而对于随后的级, 起始信号由相应的旁路寄存器中的值确定。由旁路寄存器提供的值指定用于级的起始信号是由前一级的输出提供, 还是由直接来自测试器 110 的信号 305 提供。在这些寄存器中设定的值的作用是使得每个分区的扫描起始和扫描持续时间能够由边界扫描寄存器 303 中的每个寄存器的 (由测试器 110 进行的) 适当编程而独立控制。

[0049] 边界扫描寄存器 303 经由 IC 200 的管脚 TDI (301) 从外部测试器串行地接收数字值。在计数寄存器、延迟寄存器和旁路寄存器中保存的数据值可以被看作指示相应的具体持续时间的数字数据, 其中在相关联的分区中的扫描链被置为扫描模式。虽然根据图 3 的方法的配置不需要使用输出管脚 TDO (302), 但是管脚 TDO (302) 可以 (选择性地) 用于各种数据的可观察性。例如, 编程到边界扫描寄存器 303 的部分中的数据值 (通过 TDI 完成) 能够在 TDO (302) 上被校验。

[0050] 边界扫描寄存器 303 中的寄存器被显示为串联连接, 以便单个管脚 (在测试器上) 能够可行地用于提供数据比特, 该数据比特控制在每个时间实例 (或者相应时钟周期) 中扫描的具体分区。然而, 能够采用替换方法而使用来自测试器 110 的更多管脚 / 路径, 但是这些管脚 / 路径的数目比试图控制的分区的数目更少。相关领域技术人员通过阅读本文提供的公开将显而易见一些这样的方法, 而不脱离本发明的一些方面的范围和精神。

[0051] 块 395 包含延迟寄存器 309、计数寄存器 311、计数器 310、比较器 320、延迟元件 360、反相器 375 和与 (AND) 门 370。块 396 类似地包含延迟寄存器 312、计数寄存器 313、计数器 330、比较器 340、MUX 355、延迟元件 350、反相器 385 和与门 380。信号 305 (全局起始 (Global Start)) 也由外部测试器提供。为了简明, 只提供关于块 396 的描述, 尽管该描述同样适用于类似块 395 的元件。

[0052] 多路复用器 355 基于旁路寄存器 318 的值而选择全局起始信号 305 或者前一个块

395 的扫描结束信号 328 作为本地起始信号。因此,用于每个非第一分区的扫描的起始能够关于前一个分区的扫描结束或者全局起始 305 而被控制。延迟元件 350 延迟本地起始信号一定的持续时间,该持续时间由延迟寄存器 312 指定,并且将延迟信号传送到与门 380 和计数器 330 两者。

[0053] 计数器 330 从接收到延迟信号 353 的上升沿开始启动计数(从 0),并且当计数寄存器 313 和计数器 330 中的数值相等时,比较器 340 指示扫描循环的结束。反相器 385 翻转信号 348 的逻辑电平。与门 380 接收反相器 385 的输出和信号 353,并且通过信号 353 和翻转的信号 348 的与操作而为第二分区生成扫描使能信号 P2_s。参考下面图 4A 和 4B 的时序图进一步详细说明图 3 的电路的操作。

[0054] 4. 用于分区扫描使能的时序图

[0055] 图 4A 是示出了能够为四个分区 P1-P4 执行的测试向量的顺序(不相重叠的)扫入的方式的波形。延迟寄存器 309 假设加载有零延迟值。计数寄存器 311 和 313 以及延迟寄存器 312(以及用于相应分区 P3 和 P4 的延迟寄存器和计数寄存器)假设加载有期望的计数值。全部旁路寄存器(例如,318)加载有逻辑高值,其意味着扫描操作将随前一分区的扫描结束而开始。

[0056] 信号 305(全局起始)被置为逻辑高,并且由延迟元件 360 以零延迟传送。由此,在时间实例 t₄₁₁,信号 361 转向逻辑高,并且使得计数器 310 开始计数。比较器 320 比较在路径 312 和 321 上的计数值。在时间实例 t₄₁₂,计数器 310 的计数值 312 等于计数寄存器 311 中初始化的计数值,并且比较器 320 在路径 328 上提供逻辑高。与门 370 接收信号 361 以及信号 328(通过反相器 375)的逻辑翻转,并且在间隔 t₄₁₁-t₄₁₂ 中在输出端 381(P1_s)上生成逻辑高。因此,间隔 t₄₁₁-t₄₁₂ 表示期间测试向量被扫入分区 P1 中的间隔,并且该间隔由计数寄存器 311 中的计数值确定(相等)。

[0057] 路径 328 上的逻辑高转换由 MUX 355 在路径 365 上传送(由于来自旁路寄存器 318 的选择信号是逻辑高),并且依次由延迟元件 350 在时间实例 t₄₁₃ 处作为逻辑高转换而传送(在路径 353 上)。延迟元件 350 基于在路径 352 上自延迟寄存器 312 接收的延时计数而生成延迟 t₄₁₃-t₄₁₂。

[0058] 在时间实例 t₄₁₃ 被置为逻辑高的信号 353 使计数器 330 开始计数。比较器 340 比较路径 334 和 341 上的计数值。在时间实例 t₄₁₄,计数器 330 的计数值 334 等于计数寄存器 313 中初始化的计数值(路径 341),并且比较器 340 在路径 348 上提供逻辑高。与门 380 接收信号 353 以及信号 348(通过反相器 385)的逻辑翻转,并且在间隔 t₄₁₃-t₄₁₄ 中在输出端 382(P2_s)上生成逻辑高。因此,间隔 t₄₁₃-t₄₁₄ 表示期间测试向量被扫入分区 P2 中的间隔,并且该间隔由计数寄存器 313 中的计数值确定(相等)。

[0059] 路径 348 上的逻辑高转换被传送到下一级,并且在相应于 P3 和 P4 的级中的操作类似于上面关于级/块 395 和 396 所述的操作。图 4A 的信号 401 和 403 表示分别相应于信号 361 和 353 的信号,而不是分别用于分区 P3 和 P4。类似地,信号 402 和 404 表示分别相应于信号 328 和 348 的信号,而不是分别用于分区 P3 和 P4。如图 4A 所示,信号 383(P3_s) 和 384(P4_s) 表示为分区 P3 和 P4 生成的选择信号。

[0060] 图 4B 是示出了用于分区 P1 和 P2 的测试向量的扫入相位在时间上重叠的方式的波形,而分区 P3 和 P4 的扫入相位是顺序的(不相重叠的)。延迟寄存器 309 和 312 假设加

载有零延迟值。计数寄存器 311 和 313 以及延迟寄存器 312 (以及相应于分区 P3 和 P4 的延迟寄存器和计数寄存器) 假设加载有期望的计数值。MUX 355 的选择输入由旁路寄存器 318 提供为逻辑低 (而不是相应于图 4A 的波形的逻辑高)。然而,相应于分区 P3 和 P4 的多路复用器的选择输入被提供为逻辑高。

[0061] 由于延迟寄存器 309 和 312 具有零延迟计数,所以如由在图 4B 中的时间实例 t_{421} 处被置为逻辑高的信号 361 和 353 两者所指示的,计数器 310 和 330 同时开始计数。

[0062] 比较器 320 比较路径 312 和 321 上的计数值。在时间间隔 t_{422} 处,计数寄存器 310 的计数值 312 等于计数寄存器 311 中初始化的计数值,并且比较器 320 在路径 328 上提供逻辑高。与门 370 在间隔 t_{421} - t_{422} 中在输出端 381 (P1_s) 上生成逻辑高。因此,间隔 t_{421} - t_{422} 表示期间测试向量被扫入分区 P1 中的间隔,并且该间隔由计数寄存器 311 中的计数值确定 (相等)。

[0063] 比较器 340 比较在路径 334 和 341 上的计数值。在时间间隔 t_{423} 处,计数器 330 的计数值 334 等于计数寄存器 313 中初始化的计数值 (在路径 341 上),并且比较器 340 在路径 348 上提供逻辑高。与门 380 在间隔 t_{421} - t_{423} 中在输出端 382 (P2_s) 上生成逻辑高。因此,间隔 t_{421} - t_{423} 表示期间测试向量被扫入分区 P2 中的间隔,并且该间隔由计数寄存器 313 中的计数值确定 (相等)。如图 4B 所示,路径 348 上的逻辑高转换被传送到下一级,并且信号 401-404 和选择信号 383 (P3_s) 和 384 (P4_s) 以顺序且不相重叠的方式生成,这是因为在相应于分区 P3 的级中的计数起始由级 / 块 396 的输出 348 触发,并且在相应于分区 P4 的级中的计数起始由相应于分区 P3 的级的相应输出触发。

[0064] 从上面的描述中,可以意识到,根据本发明的一个方面提供了扫描测试中的增强的控制。例如,当图 4B 的示例中的分区一和二中的测试向量的扫入相位基本重叠时,在图 4A 的示例中,用于分区一和二中的扫入相位不重叠。也可以理解,通过对计数寄存器、延迟计数寄存器和 MUX 选择 (旁路寄存器) 的相应于每个分区的适当值的选择和供给,能够获得用于每个分区的顺序和重叠相位的全部可能的组合。通常,由于上面提供的控制,每个分区能够在具体期望的持续时间中被独立地 (即,独立于另一分区的扫描持续时间) 扫描。

[0065] 例如,通过在延迟寄存器 309 中编程较大的值,并选择 MUX 355 提供逻辑低,能够将 P2_s (382) 生成为比 P1_s (381) 起始得更早。进一步,适当选择计数寄存器 311 和 313 中的值, P2_s (382) 的逻辑高持续时间能够被设计为在 P1_s (381) 的逻辑高持续时间之前发生,并且不与 P1_s (381) 的逻辑高持续时间重叠 (或者与其部分重叠)。

[0066] 此外,类似的增强的控制可以独立提供用于每个分区的捕获和扫出相位。这种增强的控制能够被用于最小化功率耗散 / 消耗。例如,可以完成计算,从而在扫描测试期间估计功率消耗,并且如果确定功率消耗超过期望的限度,那么扫入、捕获和 / 或扫出可以被顺序执行,而不是并行执行。

[0067] 也可以理解,图 3 的方法需要比可以控制的分区数目更少的与外部测试器接合的管脚 (在图 3 的示例实施例中是三个)。注意,图 3 的方法能够支持更多的分区,而不会关联地增加与外部测试器接合所需要的管脚的数目。

[0068] 注意到可以复制与图 3 中的电路类似的电路,从而独立于用于移入相位的上述选择信号而生成用于使能针对每个分区 P1-P4 的扫描测试的捕获和移出相位的选择信号。为了便于描述,下面参考图 4A 和 4B 的时序图描述仅用于测试向量的移入 (或者扫入) 相位

的图 3 中的电路的操作。然而,如相关领域技术人员在阅读本公开后显而易见的,类似的控制同样能够独立提供以用于捕获和移出(扫出)相位。假设图 3 的电路的寄存器和计数器在操作之前以适当的期望值初始化。

[0069] 如下所述,由分区选择器 300 生成的分区选择信号通过外部测试器(测试器 110)提供的主时钟和主扫描使能信号进行门控制,从而生成提供到每个分区的相应时钟和扫描使能信号。

[0070] 5. 测试控制器

[0071] 图 5 是本发明的一个实施例中测试控制器的框图。测试控制器 270(也在图 2 中示出)被显示为包含分区选择器 300、与门 520A-520D 和 530A-530D 和寄存器 540A-540D。虽然这是用于控制分区的一个可行的实施例,但其他实施例也可以包括直接从装置管脚提供信息(而不是使用测试控制器),或者在装置管脚和测试控制器之间分配控制。

[0072] 进一步地,虽然测试控制器 270 被显示出实施为支持四个分区,但类似的技术也能够用于更多或更少数目的分区。虽然未示出,但是测试控制器 270 也可以设计为包含类似于分区选择器 300 的电路块,以便用于扫描测试的其他相位(例如捕获、扫出相位)的分区时钟和扫描使能信号的独立控制。

[0073] 路径 501 被认为包含图 3 的路径 301、302 和 305,并且被认为包括在图 1 的路径 181 中。主时钟 160(CLK)与使能信号 381、382、383 和 384(由分区选择器 300 生成)逻辑与,从而生成用于四个分区中相应的分区的分区时钟 521A、521B、521C 和 521D。

[0074] 主扫描使能 170(SE)与使能信号 381、382、383 和 384 逻辑与,从而生成用于四个分区中相应的分区的扫描使能信号 531A、531B、531C 和 531D。如下面详细所述,移位(经由管脚 540)到寄存器 540A-540D 的逻辑比特作为选择信号提供给在图 9 的电路中使用的多路复用器(用于跳变故障测试)。

[0075] 下面描述生成测试向量的方式,该测试向量用于根据本发明的方面实施的 IC(例如,用于图 2 的电路)中。

[0076] 6. 测试向量生成

[0077] 图 6 是描述了 IC 200 的设计信息的图示,该信息被提供作为 ATPG(自动测试向量生成)工具的输入。尽管示为图 6 中的电路图,但是提供到 ATPG 工具的设计信息是相应于图 6 中的结构的网表(netlist)(指定组件、相互连接、和组件/相互连接的性质)。再次,为了便于描述,假设 IC 200 只包含两个分区 220A 和 220B,每个分区示出为分别包含“N”个链(220A-1 到 220A-N,和 220B-1 到 220B-N)。

[0078] 每个链被示出为包含四个触发器,其中在链 220A-1 中的触发器示出标记为(F11-F14)。然而,通常所述网表将包含与 IC 200(图 2)的实际结构一样多的分区和组件的细节。与分区 220A 和 220B 的电路结构有关的全部信息与图 5 中所示的控制结构(测试控制器 500)一起被提供到 ATPG 工具。

[0079] 基于因此提供的信息,ATPG 工具生成用于测试每个分区的测试向量,然后其能够在测试运行期间以期望的方式被提供(如参考图 4A 和 4B 所述,重叠或者不重叠)。图 7 中示出了一个实施例中生成的测试向量/比特。在图 7 中,测试比特(700)示出为包含比特 P11-P14、P21-P24、P31-P34、P41-P44、P51-P54、P61-P64、P71-P74 和 P81-P84。然后,如下面简要提到的,测试器 110 能够被编程以测试 IC 200。测试器 110 的一些示例是来自 LTX

公司的 FUSION[™] 测试器、来自 Texas Instruments 的 VLCT[™] 测试器和来自 Verigy 的 OCELOT[™] 测试器,等等。

[0080] 假设期望将测试向量时序移入到两个分区 220A 和 220B(例如,移位到分区 220A 中,随后移位到分区 220B 中)中,则比特 P14、P24、P34 和 P44 在一个时钟周期中被移入分区 220A 中,在随后的连续时钟周期中跟随有比特 (P13、P23、P33 和 P43)、(P12、P22、P32 和 P42) 和 (P11、P21、P31 和 P41)。比特 (P54、P64、P74 和 P84)、(P53、P63、P73 和 P83)、(P52、P62、P72 和 P82) 和 (P51、P61、P71 和 P81) 之后在相应的连续时钟周期中被移入分区 220B 中。

[0081] 一旦如上所述完成移入,则产生捕获周期(同样是同时地或者以不重叠的方式,基于用于捕获相位的相应的分区使能信号),捕获组合逻辑的响应比特,并且移出。再一次,能够并行或者以不重叠的方式执行移出。下面说明在一个实施例中基于生成的测试向量执行启动捕获测试的方式。

[0082] 7. 启动捕获测试的时序图

[0083] 图 8A 和 8B 是示出了示例波形的图示,该波形表示用如上所述生成的测试向量执行的 LOC(启动捕获,也称为固定故障测试(stuck-at fault tests))扫描测试。参考图 8A,间隔 811 和 812 分别表示测试和响应向量的扫入和扫出持续时间,其每个都包含四个时钟周期,该四个时钟周期相应于在分区 220A 和 220B 的扫描链中串联连接的四个存储元件。间隔 t_{8-81} 表示捕获相位,并且包含启动脉冲 813(用于分区 220A)和 815(用于分区 220B),以及捕获脉冲 814(用于分区 220A)和 816(用于分区 220B)。在图 8A 的示例中,用于两个分区中的每一个的扫入、捕获和扫出相位被显示为重叠。

[0084] 参考图 8B,间隔 817 和 819 分别表示用于分区 220A 和 220B 的测试向量的扫入间隔,而间隔 818 表示用于两个分区的响应向量的扫出间隔。再一次,扫入和扫出相位中的每一个被显示为关于四个时钟周期执行,依次相应于在分区 220A 和 220B 的扫描链中的四个串联连接的存储元件。间隔 t_{82-83} 表示捕获相位,并且包含启动脉冲 820(用于分区 220A)和 822(用于分区 220B),和捕获脉冲 821(用于分区 220A)和 823(用于分区 220B)。

[0085] 在图 8B 的示例中,用于两个分区中的每个分区的捕获和扫出相位重叠,而用于两个分区的扫入相位是顺序的。如上所述,也能够使用扫入、捕获和扫出相位的其他组合。在任何分区中还可能存在变化数目的捕获脉冲(0、1 或更多),从而支持不同形式的顺序 ATPG,同时提供在多个分区之间存在的逻辑的覆盖。进一步地,在图 8A 和 8B 中,仅为了说明而将时钟 221A 和 221B 的频率显示为相同。然而,通常,频率能够是不同的,伴随在图 8A 和 8B 的图示中的扫入、扫出和捕获相位中的相应的改变。

[0086] 如上关于 LOC 测试所述的方法可能不能支持启动移位(LOS)测试,通常被设计用于捕获跳变故障的另一种类型的扫描测试,也称为延迟测试。同样在 LOS 测试中,提供从扫描链到组合电路的输入,以便在随后的捕获周期之前在组合电路的节点/网路中引起跳变的发生。然而,与 LOC 测试方法相反,从用于启动所述跳变的最后一个移位时钟周期中的扫描链直接提供启动值。在等于功能时钟的一个时钟周期的持续时间之后产生捕获周期。捕获、移出输出值,并且在测试器 110 中针对潜在故障进行分析。

[0087] 因此,在 LOS 测试中,需要移入扫描链中的最后一个比特引起被测试的组合逻辑中的跳变。然而,从图 8B 可以观察到,在分区 220A 中的扫描链中的启动脉冲(最后一个测

试比特移入)的发生和捕获脉冲 821 的发生之间可能存在不可接受的大时间间隔“td”。这种延迟“td”可能过大以至于不能捕获任何关于信号跳变的故障。

[0088] 应当注意,对于有效的跳变故障测试,在相应的组合电路/元件或者互连网路中生成数据值跳变的时间实例和捕获时间实例之间的延迟通常必须不超过一个功能时钟周期(与扫描测试期间相比,通常为在实际操作中使用的时钟周期)。本发明的一个实施例解决了上面提到的要求,并且在下面描述。

[0089] 7. 用于 LOS 测试的增强

[0090] 图 9 是在本发明的另一个实施例中的 IC 的框图,该 IC 支持 LOS(启动移位)跳变故障测试,同时仍提供增强控制的益处,例如降低功率消耗,减少或者不影响测试覆盖或者测试应用时间。IC 900 被显示为包含寄存器(或者通常为存储元件)910A 和 910B、MUX 920A 和 920B、解压缩器 930A 和 930B、分区 940A 和 940B、压实器 950A 和 950B 和 MUX 960。为了简明并易于描述,在图 9 中仅示出了两个分区和相应电路(解压缩器、压实器等等)。然而,能够以多于两个分区实施可替换的实施例(连同相应的解压缩器、压实器和寄存器),而不偏离本发明的一些方面的范围和精神。

[0091] 类似于如上参考图 2 所述的相应组件实现(以及操作)解压缩器 930A 和 930B、分区 940A 和 940B、压实器 950A 和 950B 和 MUX 960,并且为了简明在此处不再重复所述说明。扫描使能信号 980A 和 980B 被提供到各自的分区 940A 和 940B。各自的时钟 CLK9A 和 CLK9B 分别经由路径 941 和 942 提供到所述分区。

[0092] MUX 960 基于控制输入 961 在扫描输出信号线路/管脚 999(S0)上提供输入 951A 和 951B 中的一个。路径 901 可以表示多个扫入(SI 输入)信号线路,期望数目的信号线路被提供到寄存器 910A(以及 MUX 920A)和寄存器 910B(以及 MUX 920B)。

[0093] 路径 901(SI)中相应于分区 940A 的比特被提供到寄存器 910A 以及 MUX 920A 两者。同样地,路径 901(SI)中相应于分区 940B 的比特被提供到寄存器 910B 以及 MUX 920B 两者。寄存器 910A 和 910B 由各自的时钟 941(CLK 9A)和 942(CLK 9B)计时。如相关领域技术人员通过阅读本公开而显而易见的,虽然 MUX 920A 和 920B 被显示为分别位于解压缩器 930A 和 930B 之前(在信号路径上)(从而减少寄存器所要求的比特宽度),但可替换的实施例可以被实施为将寄存器置于解压缩器之后(或者其他位置),而不偏离本发明的一些方面的范围和精神。放置在解压缩器之后的寄存器也能够提供独立的扫描链的混合控制,其中在一些扫描链中,使用扫描移位路径启动跳变,而在一些扫描链中,使用启动捕获时钟启动跳变。

[0094] 寄存器 910A 在时钟 CLK9A 的激活沿(或者激活电平)上存储输入信号 901(SI)的相应比特(在路径 901(SI)中的信号线路上,其被期望提供到分区 940A)。寄存器 910B 在时钟 CLK9B 的激活沿(或者激活电平)上存储输入信号 901(SI)中相应的输入信号。时钟 941(CLK9A)、942(CLK9B)、扫描使能信号 980A 和 980B 和 MUX 选择信号 961 可以由类似于测试控制器 270 的控制器提供,或者直接来自测试器(例如测试器 110)。

[0095] 可以期望进行测试的一些方案,并且因此,图 10A 说明了一些示例性方案。在该图中,为了方便起见,已经省略了图 9 中的相应的解压缩器和压实器。标记为 A、B、C、D 和 E 的椭圆形块中的每个表示要求进行跳变故障的测试的一个或更多个组合逻辑块。区块 A 接收“启动”输入(在路径 1001 和 1002 上的数据,其在块 A 的组合逻辑中引起逻辑跳变),并且

将相应的组合输出提供回分区 940A。

[0096] 块 B 从分区 940A 和 940B 中的每个接收“启动”输入，并且将相应的组合输出提供回分区 940A。块 C 从分区 940A 接收“启动”输入，并且将相应的组合输出提供到分区 940B。块 D 从分区 940A 和 940B 中的每个接收“启动”输入，并且将相应的组合输出提供回分区 940A 和 940B 中的每个。块 E 从分区 940A 接收“启动”输入，并且将相应的组合输出提供回分区 940A 和 940B 中的每个。

[0097] 在图 10B 的表格中提供了包含关于图 10A 的结构执行的扫描测试（扫入、捕获或者扫出）的期望相位的示例表格。表格的列 1070 列出将被测试的块。列 1071 列出相应的测试相位，其中“L”表示启动，“C”表示捕获，并且 P1 和 P2 分别表示分区 1 和分区 2。可以注意，图 10B 的表格中的“测试实例”相应于图 10A 中的方案。

[0098] 图 10C、10D、10E、10F 和 10G 的时钟波形分别相应于图 10B 的行 1080、1081、1082、1083 和 1084 中的五种测试实例。在附图中，标记为“S”的时钟脉冲表示移入脉冲（不包括最后一个移入脉冲，其被标记为“L”，即启动脉冲）。捕获脉冲在波形中被标记为“C”。为简单起见，波形中的移入相位被认为仅需要三个时钟周期。

[0099] 因此，在图 10C 的波形中，从分区 1 生成（提供）移入、启动（1100）和捕获脉冲，并且在分区 1 (P1) 中也执行相应的捕获。如平整线所示分区 2 (P2) 未被测试。在图 10E 的波形中，从 P1 生成（提供）移位脉冲（包括启动脉冲 1104），而在 P2 中执行相应的捕获。

[0100] 在图 10G 的波形中，从 P1 生成（提供）移位脉冲（包括启动脉冲 1108），并且在 P1 和 P2 中执行相应的捕获。用于图 10C、10E 和 10G 的波形中的扫入相位的数据比特直接从路径 901 (SI) 提供到各自的解压缩器 930A 和 930B，即选择信号 541A 和 541B 在路径 901 (SI) 上将输入提供到各自的解压缩器。

[0101] 参考图 10D，首先执行移入 P2 中，随后是移入 P1 中。由于期望被测试的跳变将从 P1 和 P2 启动，所以可以注意到，由于测试比特的顺序移入，来自 P2 的移入脉冲 1101（相应于最后的比特移入）比 P1 中的捕获脉冲更早地发生（比正常操作期间的时钟周期早至少一个时钟周期）。因此，可能不能准确测试块 B 的延时（跳变故障）。

[0102] 因此，紧接在 P1 中的捕获脉冲之前，来自 P2 的启动脉冲 1102 与来自 P1 的启动脉冲 1103 被同步（从寄存器 910B）提供。在时间实例 t_{101} 处（或者之前），提供选择信号 541B，从而使得寄存器 910B 的数据输出被传送作为 MUX 920B 的输出。可以从寄存器 910A 或者直接从 SI (901) 提供相应于启动脉冲 1103 的数据（来自 P1）。

[0103] 参考图 10F，首先执行移入 P2，随后是移入 P1。再一次，由于期望测试的跳变将从 P1 和 P2 启动，所以可以注意到，由于测试比特的顺序移入，来自 P2 的移入脉冲 1105（相应于最后的比特移入）比 P1 中的捕获脉冲更早发生。因此，可能不能准确测试块 B 的延时（跳变故障）。

[0104] 因此，紧接在 P1 和 P2 两者中的捕获脉冲之前，来自 P2 的启动脉冲 1106 与来自 P1 的启动脉冲 1107 被同步（从寄存器 910B）提供。在时间实例 t_{102} 处（或者之前），提供选择信号 541B，从而使得寄存器 910B 的数据输出被传送以作为 MUX 920B 的输出。可以从寄存器 910A 或者直接从 SI (901) 提供相应于启动脉冲 1107 的数据（来自 P1）。

[0105] 因此，当执行跳变故障测试时对提供最后的（启动）比特的寄存器 910A 和 910B 的使用使这些测试能被准确地执行。通常，寄存器（例如 910A 或者 910B）可以被提供以用

于 IC 中的每个分区。

[0106] 如下面参考实施例所述的,本发明的另一个方面减少了需要在 IC 上提供的 SI 和 SO 管脚的数目,而未不利地影响可获得的压缩水平和测试质量 / 测试覆盖。

[0107] 5. 减少测试管脚的数目

[0108] 图 11 是在实施例中具有减少数目的用于扫描测试的测试管脚的 IC 的框图。IC 1100 被显示为包含串并转换器 1110、并串转换器 1120、时钟分频器 1130、计数器 1150 和标记为 200/900 的部分。部分 200/900 类似于或者等同于图 2 的 IC 200 或者图 9 的 IC 900 的结构,并且为了简明,这里不再描述内部细节。同样,类似于控制器 270 的测试控制器可以在 IC 1100 内实现,但在图 11 中未示出。为了简洁,未示出各种信号(例如到图 11 的块的复位信号)。

[0109] 时钟 1140 控制 / 协调串并转换器 1110 和并串转换器 1120 的操作。时钟分频器 1130 使时钟 1140 除以因子(通常是整数),并且将路径 1113 上被分频的时钟提供到部分 200/900。通常,分频因子取决于路径 1101 上的数据的宽度与路径 1111 上的数据的宽度的比率。例如,如果在路径 1101 上每时钟 1140 的时钟周期接收 4 比特,并且串并转换器 1110 合并两个这种 4 比特数据输入以形成单个 8 比特数据输出,则分频比率将是 2。

[0110] 串并转换器 1110 在路径 1101 上每时钟 1140 的时钟周期接收 N 比特宽的测试数据。串并转换器 1110 结合在相应数目的多个时钟周期上接收的多组 N 比特数据,从而形成 M 比特宽数据(M 大于 N),并且在路径 1111 上将 M 比特数据传送到部分 200/900,其包含多个(M)线路。作为一个示例,假设部分 200/900 被设计为在时钟 1113 的每个时钟周期中接收 8 比特宽的输入,路径 1111 包含 / 表示 8 个路径。例如,路径 1101 可以是 4 比特宽。因此,串并转换器 1110 将实施为 4-8 转换器,并且在路径 1101 上结合两个 4 比特输入,从而在路径 1111 上提供一个 8 比特数据值。

[0111] 并串转换器 1120 在路径 1112 上每时钟 1140 的时钟周期接收 P 比特宽数据(响应在扫描测试中捕获的比特)。时钟 1113 的时钟频率等于响应比特的扫出频率,并且扫出周期等于时钟 1113 的一个时钟周期。并串转换器 1120 将 P 比特数据分开从而形成多个 Q 比特数据(P 大于 Q),并且在相应数目的多个时钟周期上在路径 1199 上传送 Q 比特数据。作为一个示例,假设部分 200/900 被设计为在时钟 1113 的每个时钟周期中提供 8 比特宽的输出(响应比特),则路径 1112 将包含 / 表示 8 个路径。例如,路径 1199 可以是 4 比特宽。因此,并串转换器 1120 将实施为 8-4 转换器,并且在路径 1112 上接收的每 8 比特数据分开为路径 1199 上传送的两个 4 比特数据。

[0112] 关于串并转换器 1110 的操作,应当注意到,由输入数据形成的输出数据被简单地连接。因此,在输出数据的比特(路径 1111)之间不存在关联。此处注意到这种操作清楚地区别于解压缩器(例如,图 2 和 9 的解压缩器)的操作,所述解压缩器可以在多个输出线路上提供相同的输入比特。因此,由解压缩器提供的输出比特关于彼此相关。压实器和并串转换器 1120 以类似方式区别。

[0113] 如以下参考图 12 和 13 的示例图示所述,计数器 1150 控制串并转换器 1110 的操作以及并串转换器 1120 的操作。计数器 1150 被设计为以循环方式计数,从而两倍表示时钟 1140 的时钟频率与时钟 1113 的比率的因子,即计数器是取 $[2 * \text{因子}]$ 的模数的计数器。

[0114] 可以理解,串并转换器 1110 和并串转换器 1120 的提供使将实现的 IC 1100 能具

有较少的用于测试目的的外部管脚 (1101 和 1199), 而在内部提供较宽的 (和非关联的) 测试比特到扫描链。这种方法使能具有高测试覆盖, 同时仍需要相对较少的外部管脚。

[0115] 应当注意, 使用用于解压缩器的较少输入管脚和用于压实器的较少输出管脚的可替换的方法可以导致不良的测试覆盖。另一个可替换的方法可以在测试向量本身中实现较高的压缩。然而, 较高压缩通常不利地影响测试覆盖。用图 11 的方法, IC 可以实现为具有减少的测试 / 扫描管脚 (SI 和 SO), 而不面临减少的测试覆盖。来自测试器的外部测试数据的扩展和来自 IC 的内部测试数据的压实能够是可缩放的, 从而得到针对给定测试覆盖的测试时间中 (由于扫描压缩) 的恰当的折衷, 并且在时钟分频器 (图 11 中的时钟分频器 1130) 中驱动分频值的选择。

[0116] 图 12 是说明了实施串并转换器 1110 的方式的框图, 并且该串并转换器 1110 在自计数器 1150 的控制下操作。在示例中, 假设串并转换器 1110 在路径 1101 上接收 4 比特输入, 并且在路径 1111 上提供 8 比特输出。

[0117] 计数器 1150 实施为由时钟 1040 计时的 2 比特二进制计数器, 并且在路径 1151 上提供 2 比特输出。为了方便起见, 下面将 2 比特输出称为 $Se1[1:0]$ 。块 1210、1220、1230 和 1240 的每个都表示 4 比特寄存器, 并且由时钟 1040 计时。

[0118] 多路复用器 (MUX) 1051、1052、1053 和 1054 的选择输入 (输入多路复用器) 如下限定:

[0119] s1 表示 $Se1[1:0]$ 的状态“00”

[0120] s2 表示 $Se1[1:0]$ 的状态“01”

[0121] s3 表示 $Se1[1:0]$ 的状态“10”

[0122] s4 表示 $Se1[1:0]$ 的状态“11”

[0123] 因此, 当 s1 等于“00”时, MUX 1051 选择输入 1101 作为其输出, 并且选择其他输入作为其另外的输出。MUX 1052、1053 和 1054 相应地操作。 $Se1[1:0]$ 的更高阶输出比特作为选择信号提供到 MUX 1055 和 1056 (输出多路复用器)。

[0124] 在操作中, 当计数器输出是“00”时, 路径 1101 上的 4 比特数据 (即, 具有 4 个线路) 保存在寄存器 1210 中。在时钟 1040 的下一个时钟周期中, 计数器输出是“01”, 并且路径 1101 上的 (下一个) 4 比特数据被保存在寄存器 1220 中。在时钟 1040 的下一个时钟周期中, 计数器输出是“10”, 并且路径 1101 上的 (下一个) 4 比特数据被保存在寄存器 1230 中。同样, 计数器输出“10”提供了寄存器 1210 和 1220 中存储的数据以作为输出端 1111 上的 8 比特数据。在时钟 1040 的下一个时钟周期中, 计数器输出是“11”, 并且路径 1101 上的 (下一个) 4 比特数据被保存在寄存器 1240 中。先前提供在路径 1111 上的 8 比特数据继续存在于所述路径上。

[0125] 在时钟 1040 的下一个时钟周期中, 当计数器输出再次是“00”时, 路径 1101 上的下一个 4 比特数据被保存在寄存器 1210 中。同样, 计数器输出“00”将寄存器 1230 和 1240 中存储的数据提供为输出端 1111 上的 8 比特数据。在时钟 1040 的下一个时钟周期中, 计数器输出是“01”, 并且路径 1101 上的 (下一个) 4 比特数据被保存在寄存器 1220 中。上述时钟周期的 8 比特输出继续在路径 1111 上提供。

[0126] 重复上述循环, 并且串并转换器 1110 继续提供由两个 4 比特输入形成的 8 比特输出。

[0127] 虽然以上的说明关于因子（频率比率）2 提供以便描述，但应该理解，这些特征向更大因子的扩展对本领域技术人员将是显然的。根据一个方法，对于因子 N，将存在（或类似于）MUX 1051 和寄存器 1210 的 $(2 \times N)$ 个单元 / 组合，其中所述单元被组织为 2 行和 N 列。如上所述，在路径 1101 上接收的数据单元可以以逐行的方式保存，同时在行的全部单元中保存之后移动到连续的列。N 输出多路复用器（例如 1051）将用于在每个输出时钟周期中选择在寄存器的一行中保存的数据。

[0128] 图 13 是说明了实施并串转换器 1120 的实施例的方式的框图，并且该并串转换器 1120 在自计数器 1150 的控制下操作。在示例中，假设并串转换器 1120 在路径 1112 上接收 8 比特输入，并且在路径 1199 上提供 4 比特输出。计数器 1150 的 2 比特输出的较低阶（零位置）比特（Sel[0]）提供作为到 MUX 1320 的选择输入。寄存器 1310 是 4 比特寄存器。在路径 1322 上提供路径 1112 的 8 比特的上部 4 比特，而在路径 1321 上提供路径 1112 的 8 比特的下部 4 比特。在操作中，当 Sel[0] 等于 0 时，路径 1321 上的输入被保存在寄存器 1310 中，并且被提供作为输出 1199。当 Sel[0] 等于 1 时，路径 1322 上的输入被保存在寄存器 1310 中，并且被提供作为输出 1199。

[0129] 本领域技术人员将理解，多个其他实施例和变型在本发明要求保护的范围内同样可行。因此，本发明同样意图覆盖在具有全部或者仅一些所述特征或者步骤的示例性实施例的上下文中说明的具有一个或更多个特征或者步骤的不同组合的多个实施例。

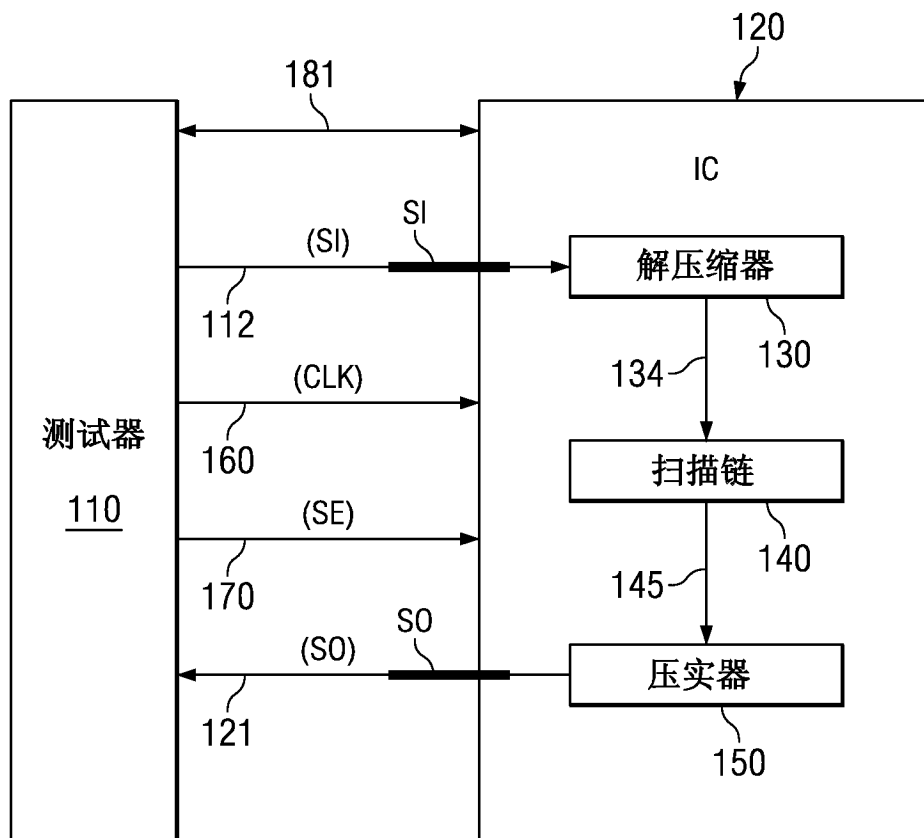


图 1

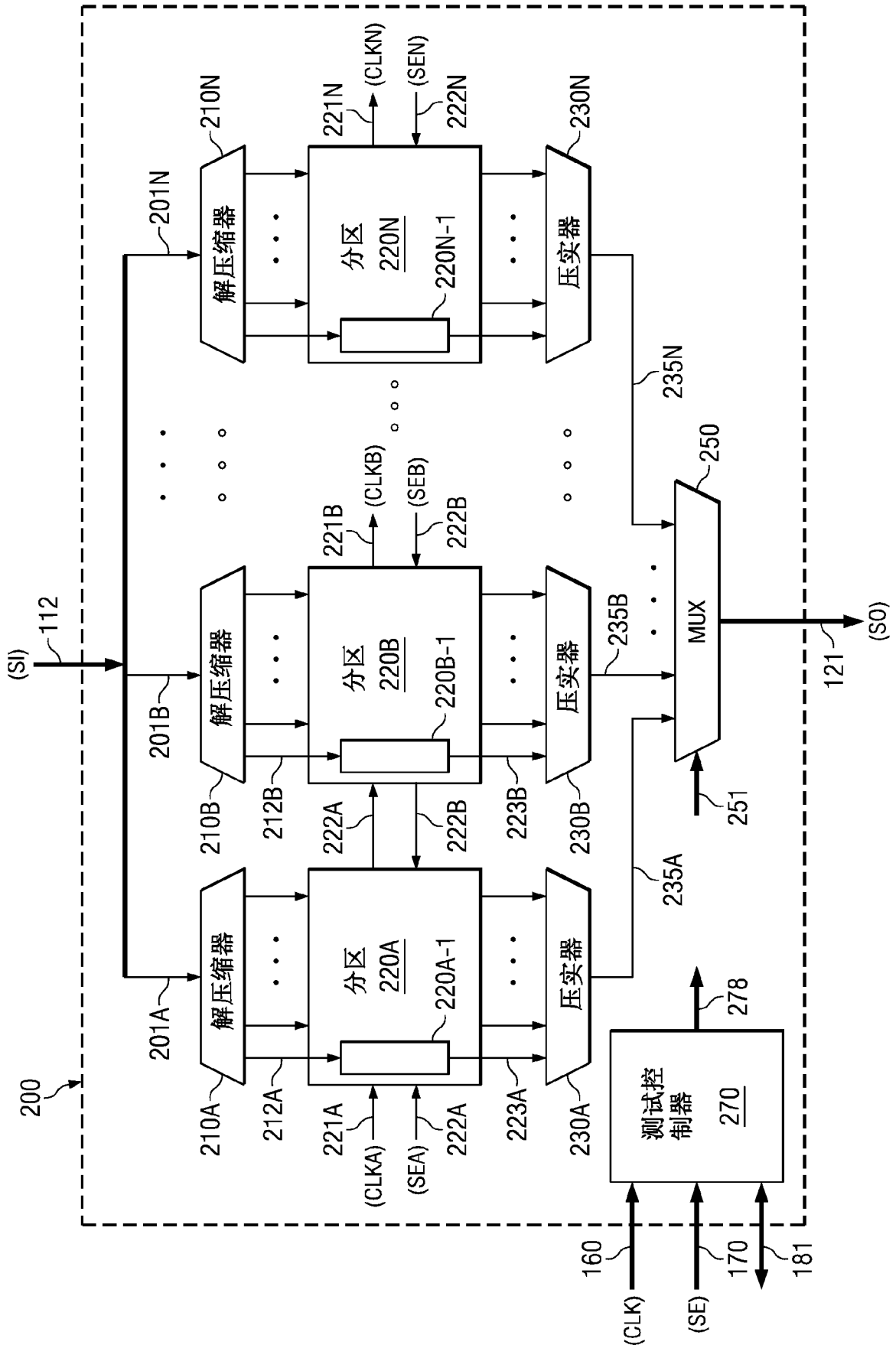


图 2

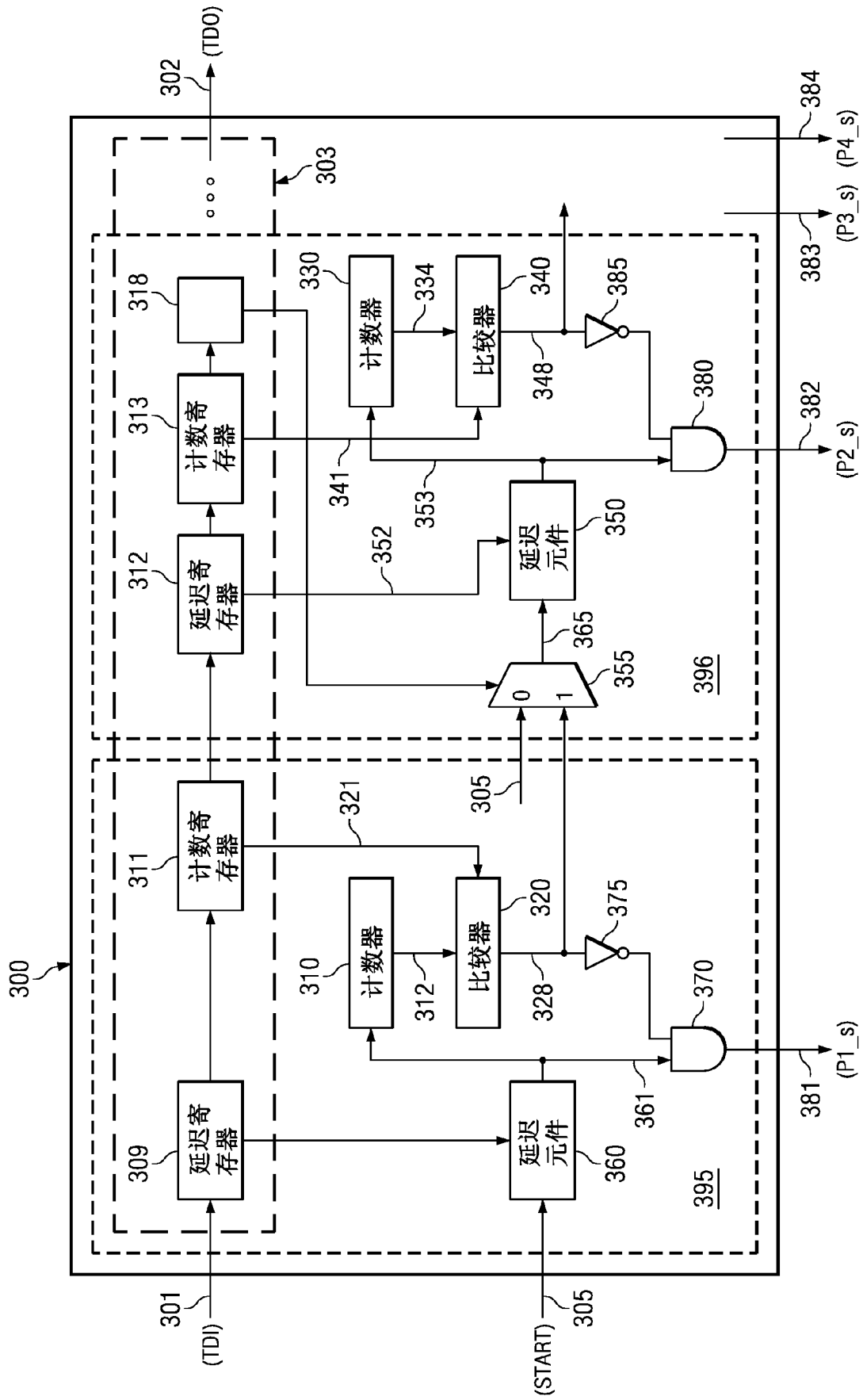


图 3

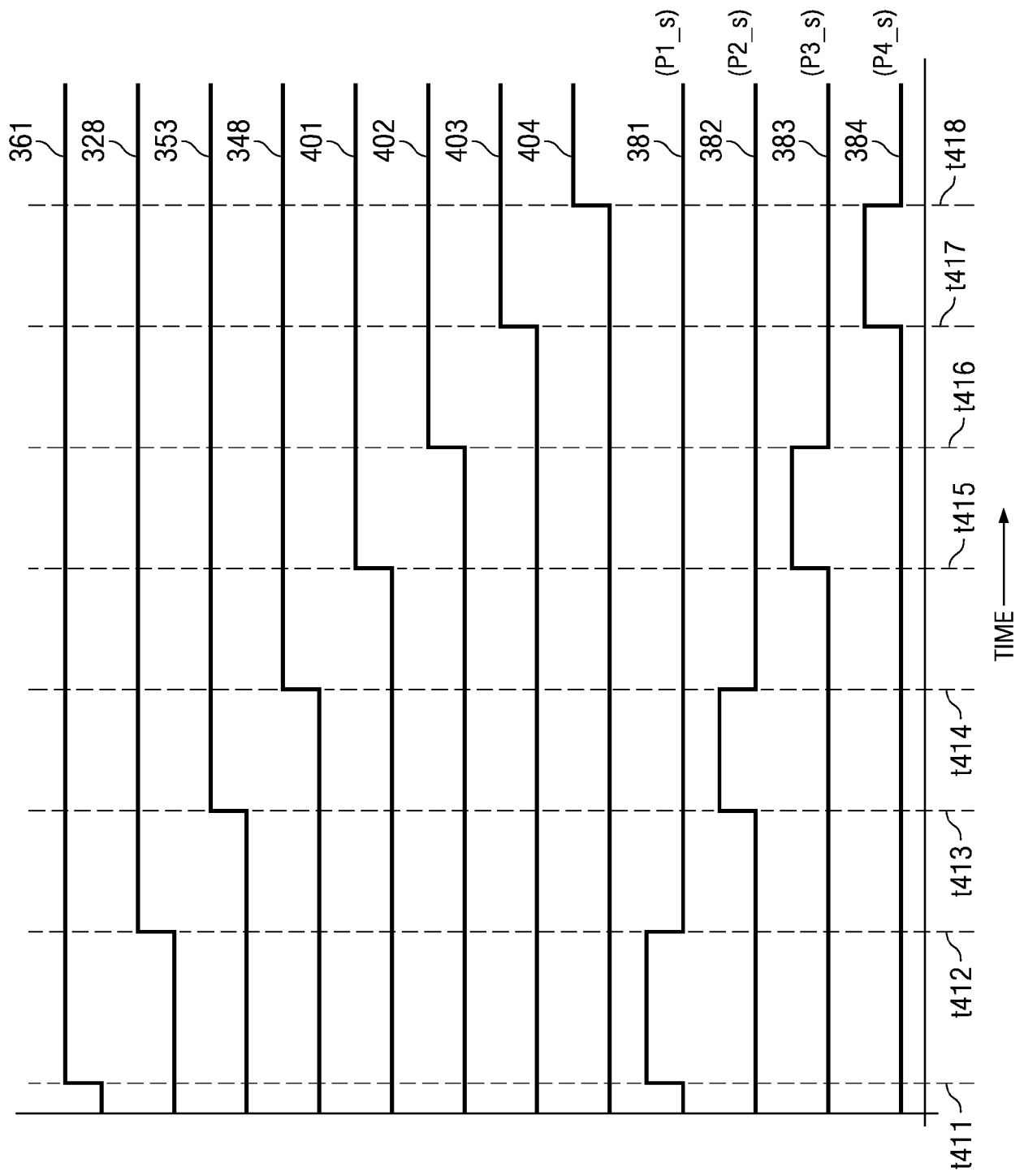


图 4A

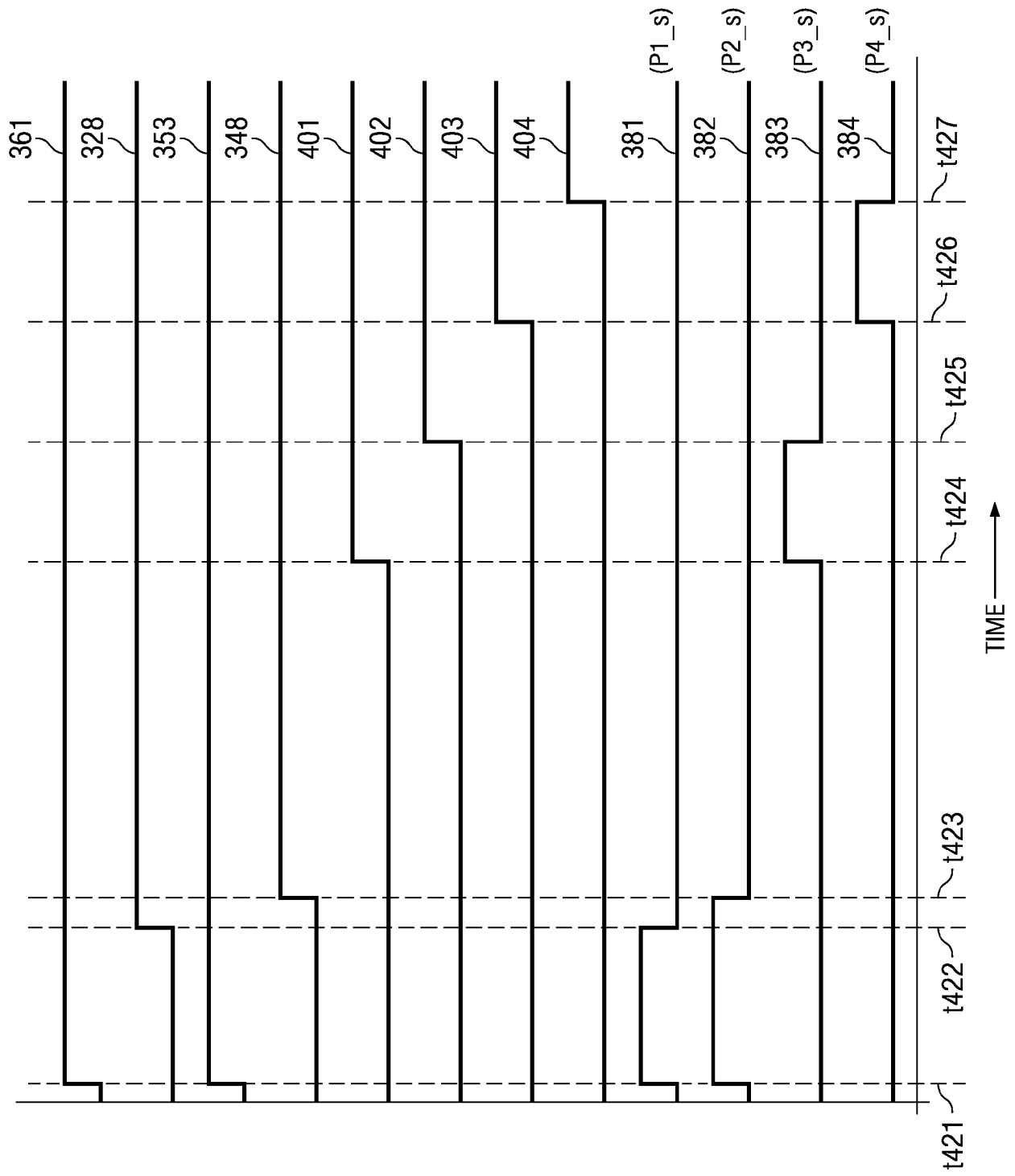


图 4B

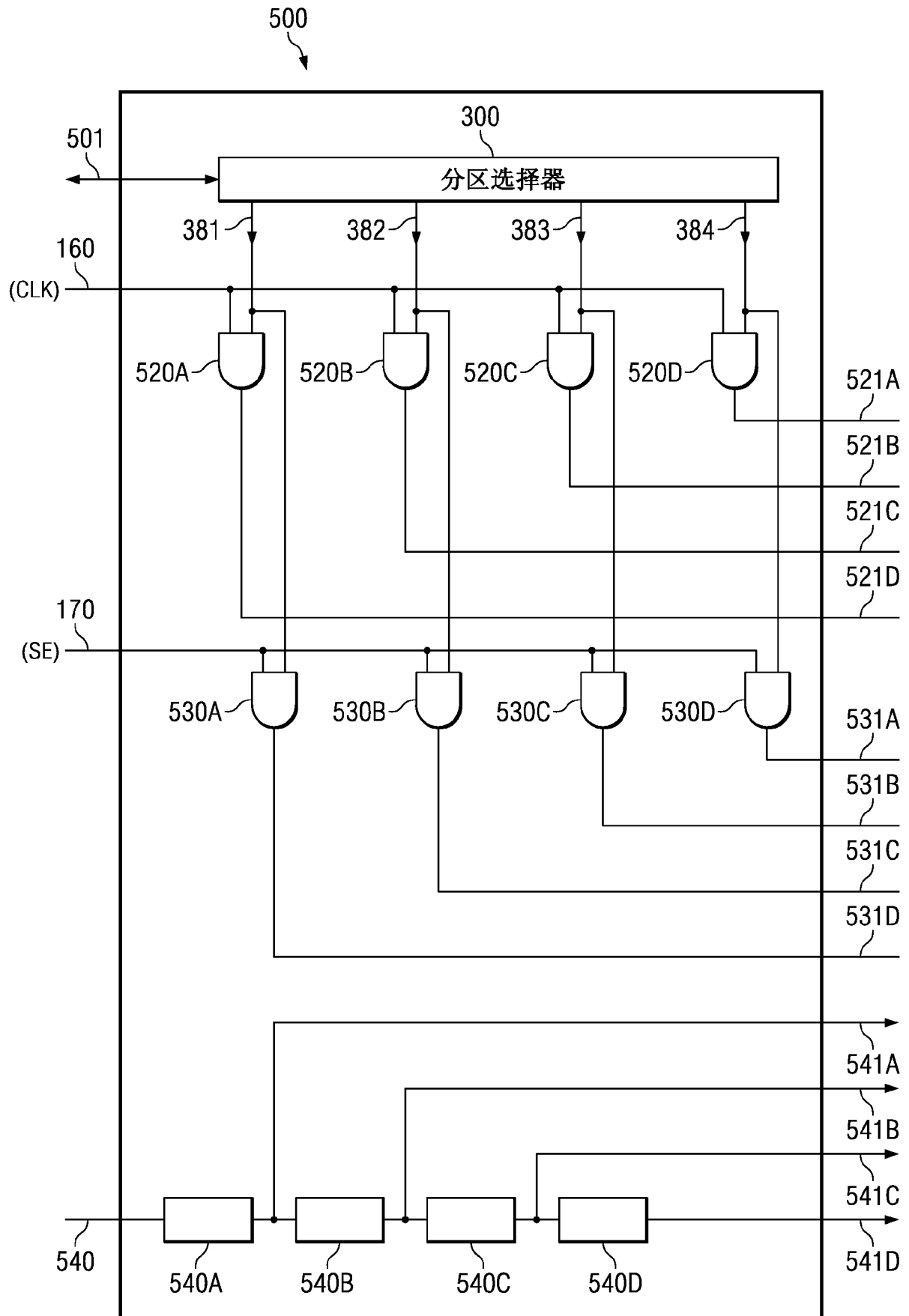


图 5

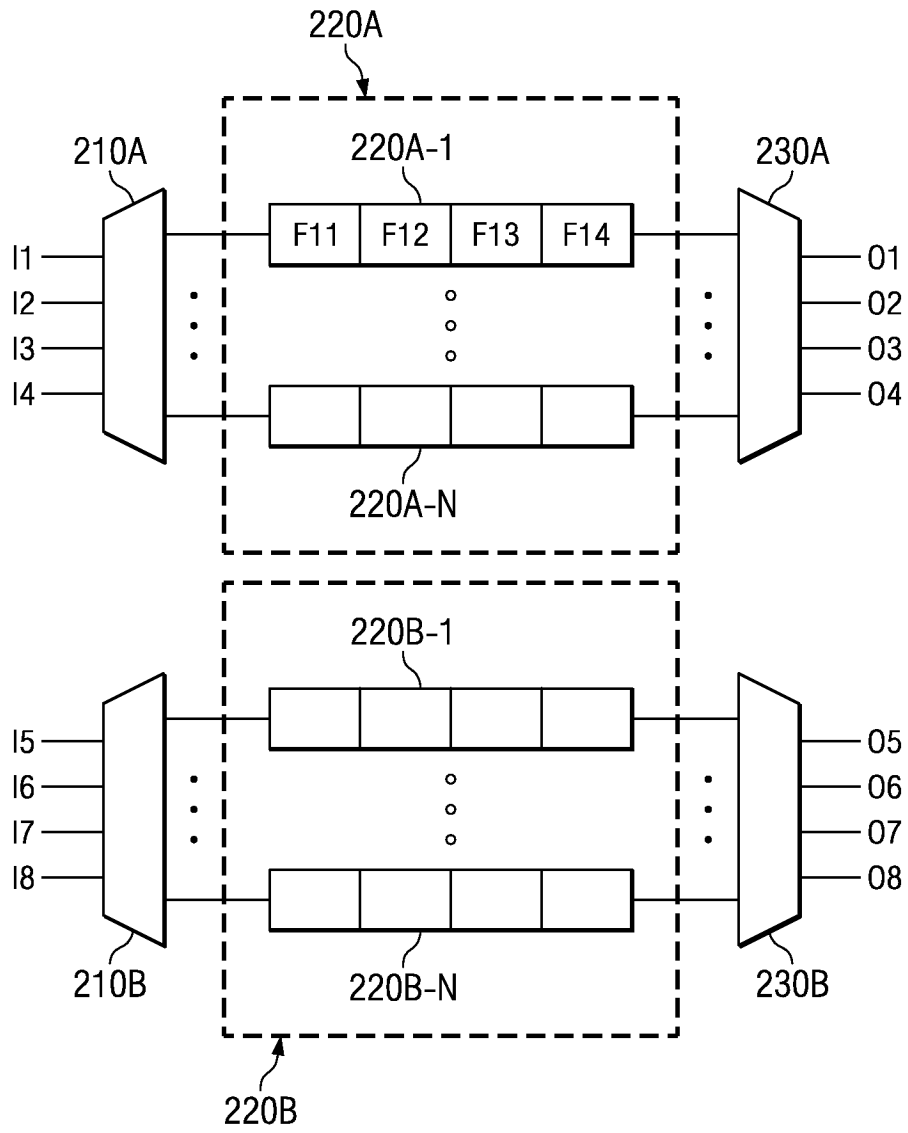


图 6

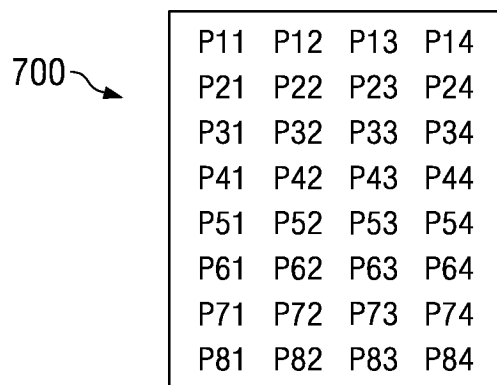


图 7

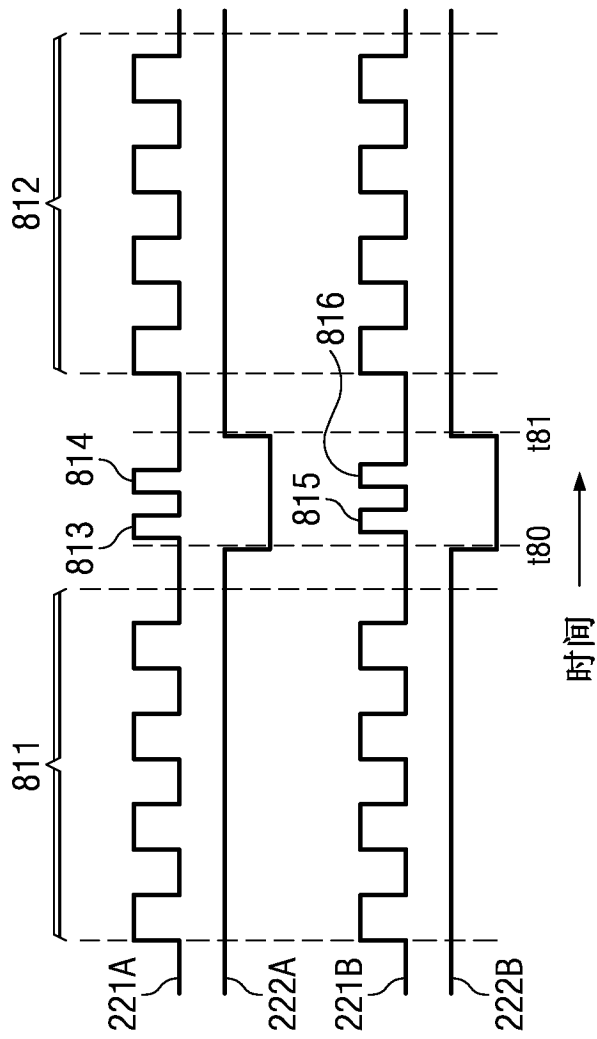


图 8A

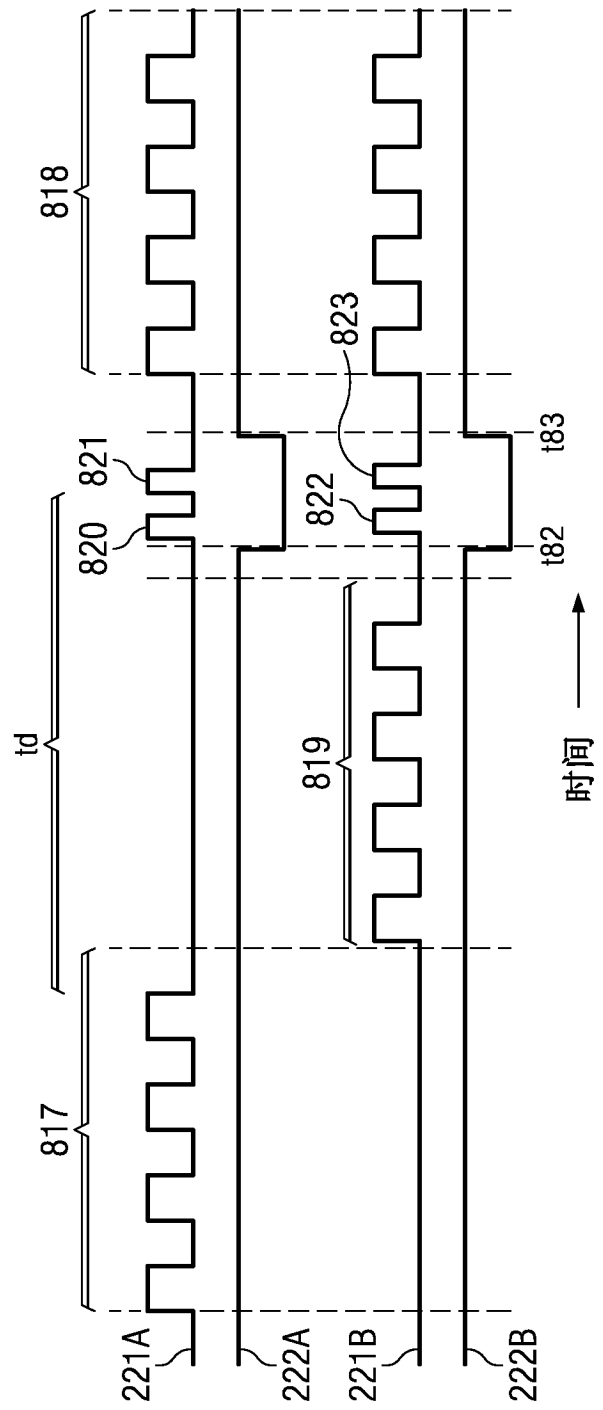


图 8B

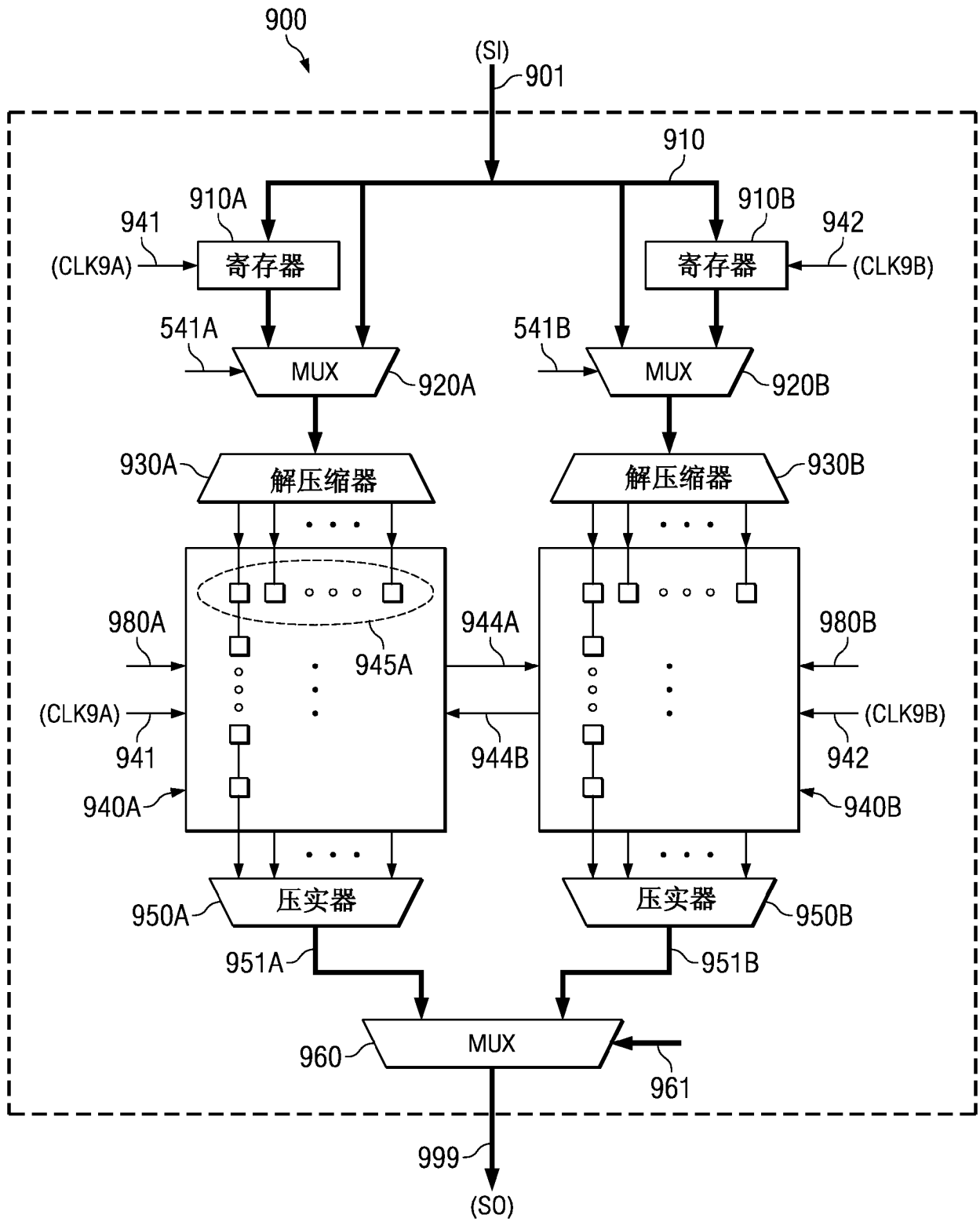


图 9

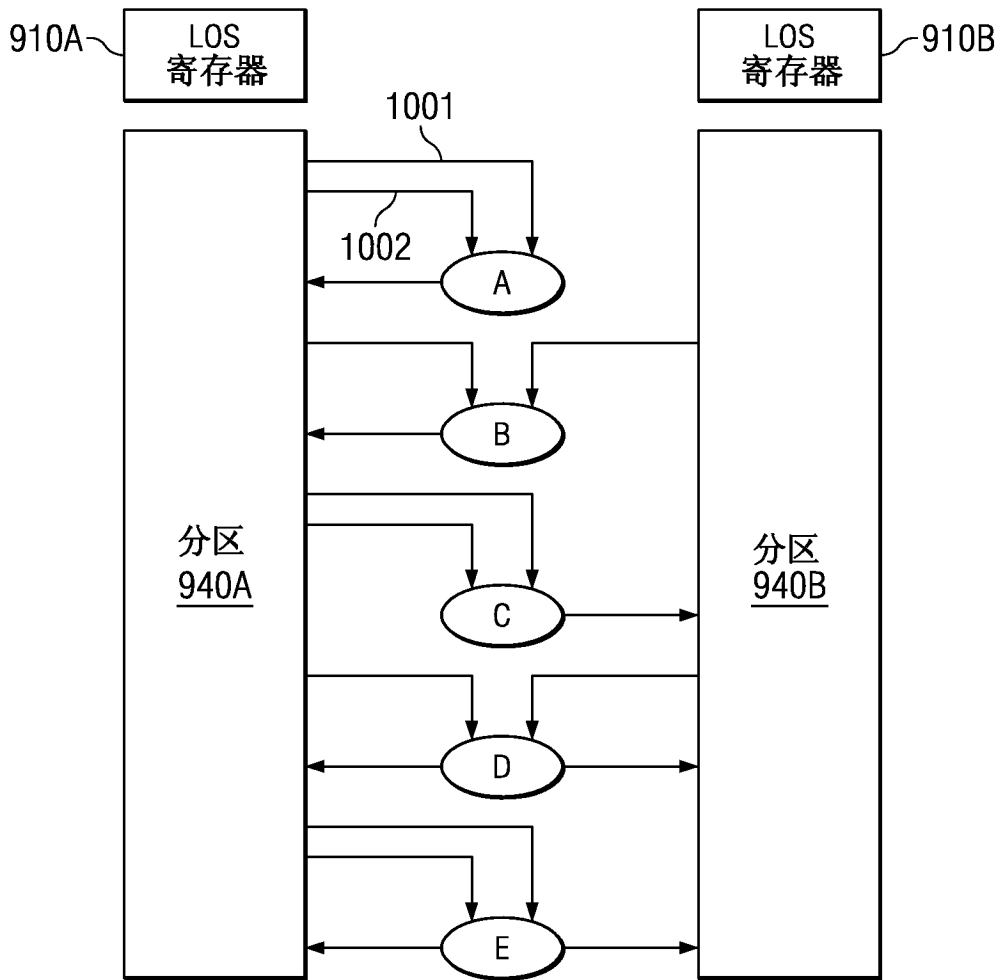


图 10A

实例	启动 (L) / 捕获 (C) 时钟
1080 A	L:P1,C:P1
1081 B	L:{P1,P2},C:P1
1082 C	L:P1,C:P2
1083 D	L:{P1,P2},C:{P1,P2}
1084 E	L:P1,C:{P1,P2}

图 10B

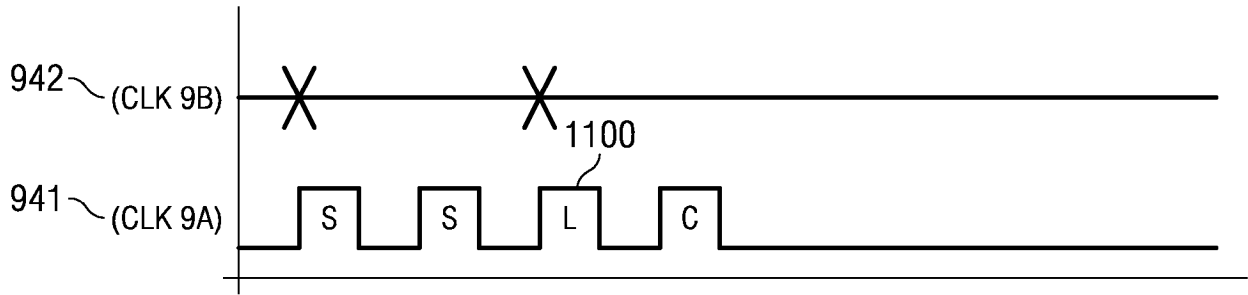


图 10C

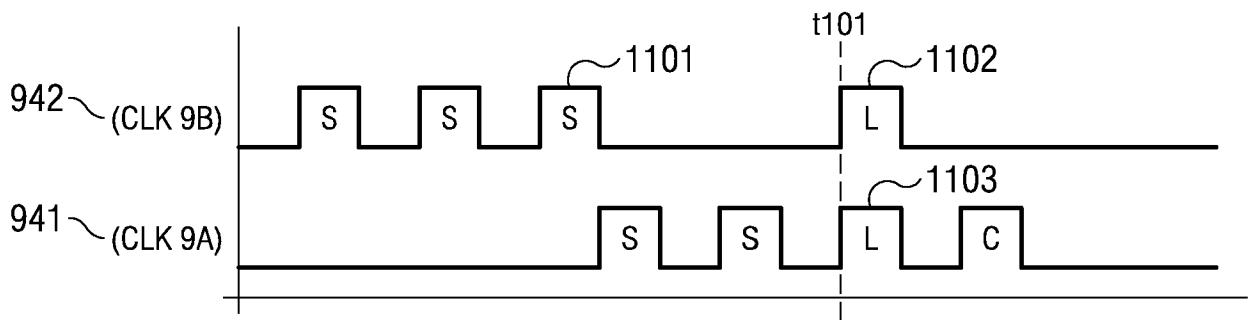


图 10D

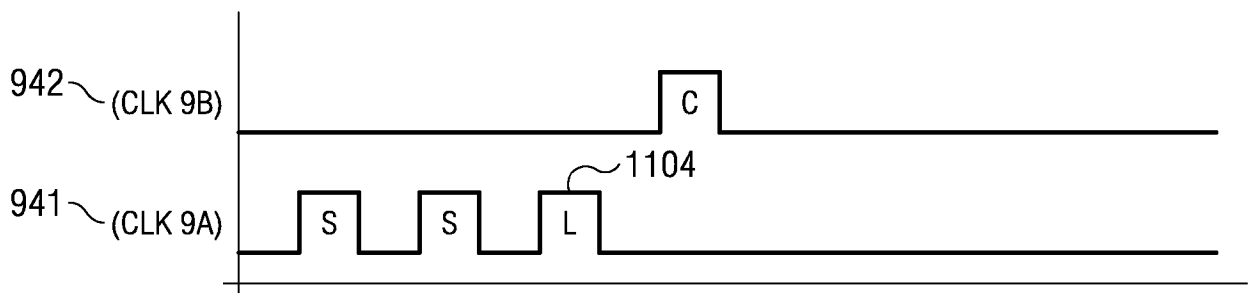


图 10E

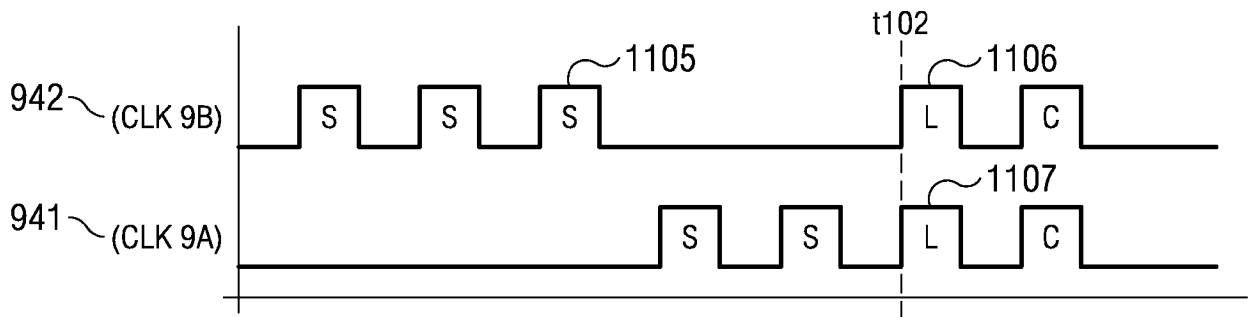


图 10F

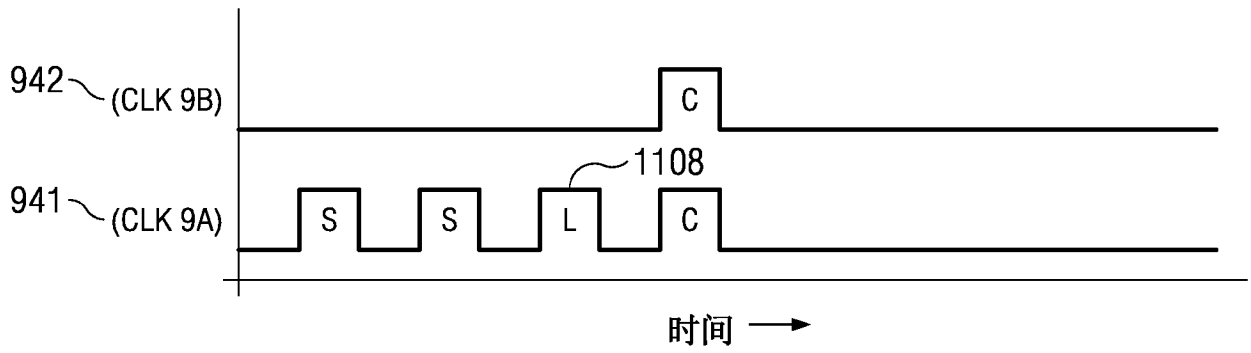


图 10G

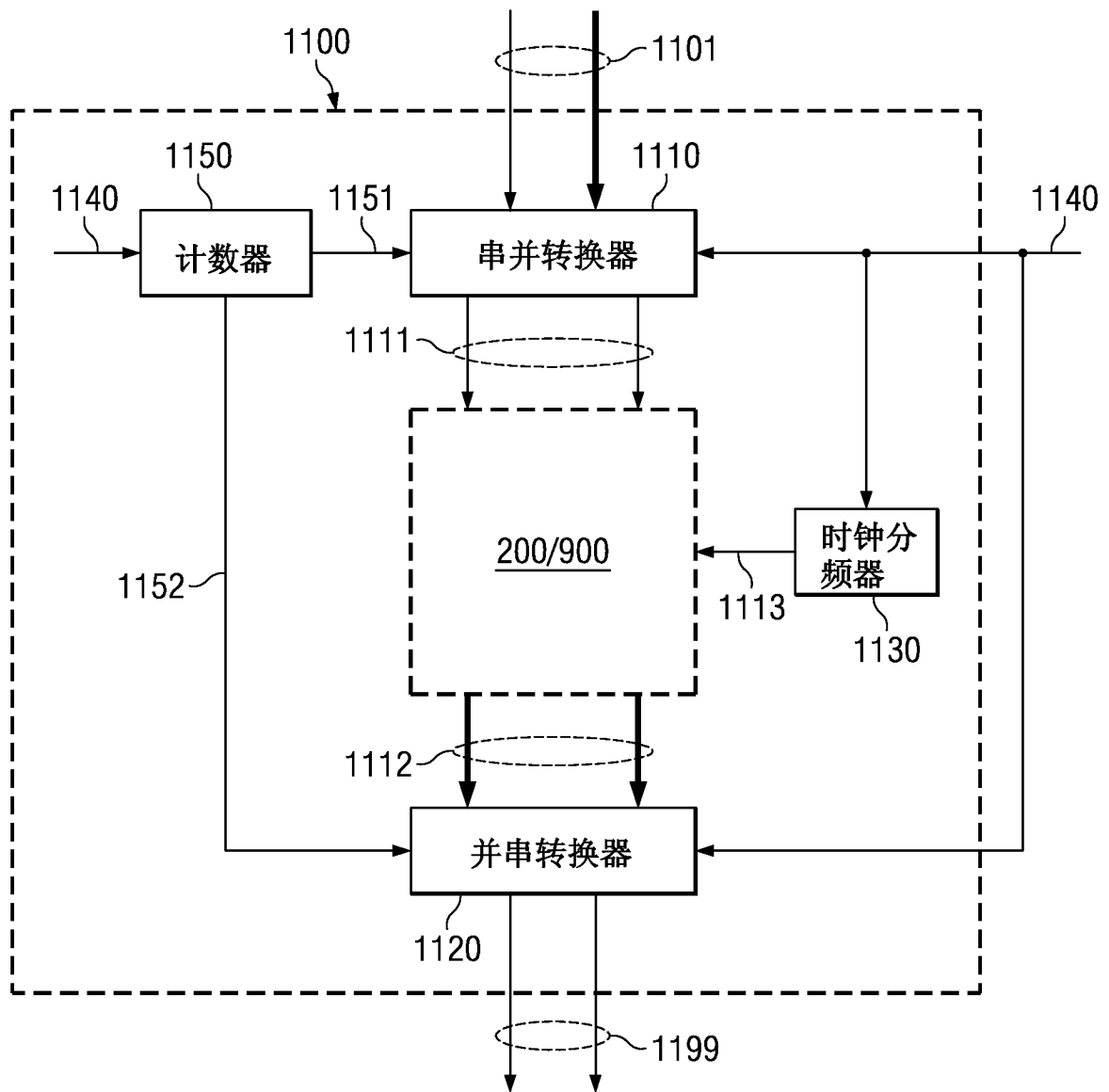


图 11

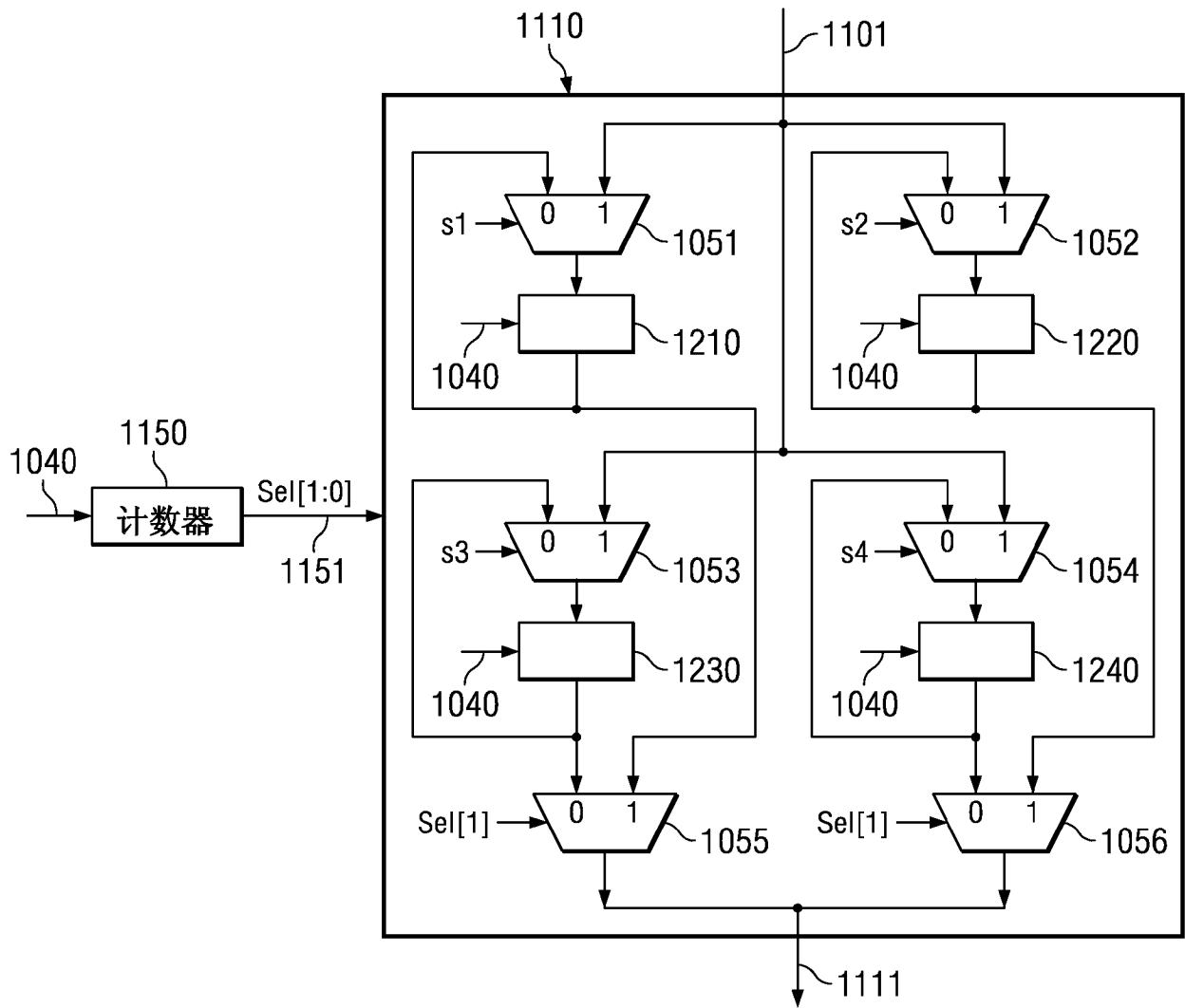


图 12

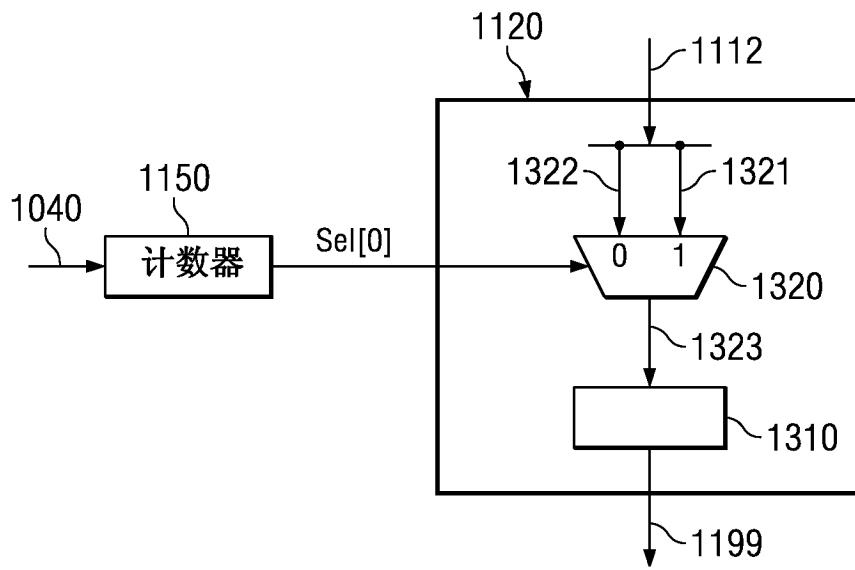


图 13