



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월21일  
(11) 등록번호 10-2615701  
(24) 등록일자 2023년12월14일

(51) 국제특허분류(Int. Cl.)  
H01L 23/528 (2006.01) H01L 23/00 (2006.01)  
(52) CPC특허분류  
H01L 23/5283 (2013.01)  
H01L 23/481 (2013.01)  
(21) 출원번호 10-2018-0068289  
(22) 출원일자 2018년06월14일  
심사청구일자 2021년05월27일  
(65) 공개번호 10-2019-0141472  
(43) 공개일자 2019년12월24일  
(56) 선행기술조사문헌  
KR1020170023643 A  
US20020190375 A1\*  
US20080217790 A1\*  
US20130087926 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
홍의관  
경기 용인시 기흥구 서천동로21번길 11-4 (서천동) 세인트캐슬 302동 102호  
김태성  
경기도 수원시 영통구 봉영로1517번길 30, 615동 703호 (영통동, 극동.풍림 아파트)  
(74) 대리인  
특허법인 고려

전체 청구항 수 : 총 8 항

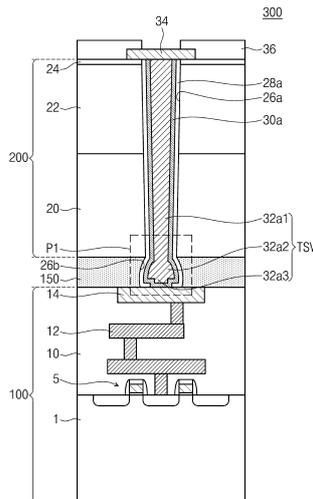
심사관 : 김기한

(54) 발명의 명칭 관통 비아를 포함하는 반도체 장치, 반도체 패키지 및 이의 제조 방법

(57) 요약

관통 비아를 포함하는 반도체 장치, 반도체 패키지 및 이의 제조 방법을 제공한다. 이 반도체 장치는 상부에 노출되는 제 1 도전 패턴을 포함하는 제 1 구조체; 상기 제 1 도전 패턴을 덮는 성형부; 상기 성형부 상에 배치되는 제 2 구조체; 및 상기 제 2 구조체와 상기 성형부를 관통하여 상기 제 1 도전 패턴과 전기적으로 연결되는 관통 비아를 포함하되, 상기 관통 비아는 상기 제 2 구조체 내에 위치하는 제 1 비아 부분과 상기 성형부 내에 위치하며 상기 제 1 비아 부분에 연결된 제 2 비아 부분을 포함하며, 상기 제 2 비아 부분의 상부는 제 1 폭을 가지고, 상기 제 2 비아 부분의 중간부분은 제 2 폭을 가지며, 상기 제 1 폭은 상기 제 2 폭보다 좁다.

대표도 - 도1a



(52) CPC특허분류

*H01L 23/49838* (2013.01)

*H01L 24/02* (2022.01)

*H01L 25/0657* (2023.08)

---

**명세서**

**청구범위**

**청구항 1**

상부에 노출되는 제 1 도전 패턴을 포함하는 제 1 구조체;

상기 제 1 도전 패턴을 덮는 성형부;

상기 성형부 상에 배치되는 제 2 구조체;

상기 제 2 구조체와 상기 성형부를 관통하여 상기 제 1 도전 패턴과 전기적으로 연결되는 관통 비아를 포함하되,

상기 관통 비아는 상기 제 2 구조체 내에 위치하는 제 1 비아 부분과 상기 성형부 내에 위치하며 상기 제 1 비아 부분에 연결된 제 2 비아 부분을 포함하며,

상기 제 2 비아 부분의 상부는 제 1 폭을 가지고, 상기 제 2 비아 부분의 중간부분은 제 2 폭을 가지며,

상기 제 1 폭은 상기 제 2 폭보다 좁고; 및

비아 절연 패턴을 포함하되,

상기 비아 절연 패턴은 :

상기 관통 비아와 상기 제2 구조체 사이에 개재되는 제1 절연 부분;

상기 관통 비아와 성형부 사이에 개재되는 제2 절연 부분; 및

상기 제2 비아 부분과 제1 도전 패턴 사이에 개재되는 제3 절연 부분을 포함하는 반도체 장치.

**청구항 2**

제 1 항에 있어서,

상기 관통 비아는 상기 제 2 비아 부분에 연결되며 상기 제 1 구조체에 인접한 제 3 비아 부분을 포함하며, 상기 제 3 비아 부분의 하단은 제 3 폭을 가지며,

상기 제 3 폭은 상기 제 2 폭보다 좁은 반도체 장치.

**청구항 3**

삭제

**청구항 4**

상부에 노출되는 제 1 도전 패턴을 포함하는 제 1 반도체 칩;

상기 제 1 도전 패턴과 접하며 상기 제 1 반도체 칩을 덮는 성형막;

상기 성형막 상에 배치되는 제 2 반도체 칩;

상기 제 2 반도체 칩과 상기 성형막을 관통하여 상기 제 1 도전 패턴과 전기적으로 연결되는 관통 비아를 포함하되,

상기 관통 비아는 상기 제 2 반도체 칩 내에 위치하는 제 1 비아 부분과 상기 성형막 내에 위치하며 상기 제 1 비아 부분에 연결된 제 2 비아 부분을 포함하며,

상기 제 2 비아 부분의 상부는 제 1 폭을 가지고, 상기 제 2 비아 부분의 중간부분은 제 2 폭을 가지며,

상기 제 1 폭은 상기 제 2 폭보다 좁고; 및

비아 절연 패턴을 포함하되,

상기 비아 절연 패턴은:

상기 관통 비아와 상기 제 2 반도체 칩 사이에 개재되는 제1 절연 부분;

상기 관통 비아와 성형부 사이에 개재되는 제2 절연 부분; 및

상기 제2 비아 부분과 제1 도전 패턴 사이에 개재되는 제3 절연 부분을 포함하는 반도체 패키지.

**청구항 5**

삭제

**청구항 6**

제 4 항에 있어서,

상기 제 2 반도체 칩에 분당된 제 3 반도체 칩을 더 포함하는 반도체 패키지.

**청구항 7**

상부에 노출되는 제 1 도전 패턴을 포함하는 제 1 구조체, 상기 제 1 도전 패턴을 덮는 성형부, 및 상기 성형부 상에 배치되는 제 2 구조체를 포함하는 예비 구조를 형성하는 단계;

상기 제 2 구조체를 식각하여 상기 성형부를 노출시키는 제 1 홀을 형성하는 단계;

상기 성형부를 식각하여 상기 제 1 도전 패턴을 노출시키며 상기 제 1 홀과 중첩되는 제 2 홀을 형성하는 단계;

상기 제1 홀 및 상기 제2 홀의 내측벽을 덮는 비아 절연 패턴을 형성하는 단계; 및

상기 제1 홀과 상기 제2 홀을 채우는 관통 비아를 형성하는 단계를 포함하되,

상기 관통 비아는 상기 제 2 구조체 내에 위치하는 제 1 비아 부분과 상기 성형부 내에 위치하며 상기 제 1 비아 부분에 연결된 제 2 비아 부분을 포함하며,

상기 비아 절연 패턴은:

상기 관통 비아와 상기 제2 구조체 사이에 개재되는 제1 절연 부분;

상기 관통 비아와 성형부 사이에 개재되는 제2 절연 부분; 및

상기 제2 비아 부분과 제1 도전 패턴 사이에 개재되는 제3 절연 부분을 포함하는 반도체 장치의 제조 방법.

**청구항 8**

제 7 항에 있어서,

상기 제 2 구조체를 식각하는 것은 이방성 식각 공정으로 진행되고,

상기 성형부를 식각하는 것은 등방성 식각 공정으로 진행되는 반도체 장치의 제조 방법.

**청구항 9**

제 7 항에 있어서,

상기 성형부를 식각하는 것은 제 1 식각액을 이용하여 진행되며,

상기 제 1 식각액은 상기 제 2 구조체의 표면과 상기 성형부의 표면에 대하여 10도~65도의 접촉각을 가지는 물질을 포함하는 반도체 장치의 제조 방법.

**청구항 10**

제 9 항에 있어서,

상기 제 1 식각액은 이소프로필알콜 및 아세톤 중 적어도 하나를 포함하는 반도체 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 관통 비아를 포함하는 반도체 장치, 반도체 패키지 및 이의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 최근 휴대폰, 노트북 등의 전자산업에서 제품의 경량화, 소형화, 고속화, 다기능화, 고성능화 및 높은 신뢰성에 대한 요구가 증가하고 있다. 이러한 요구들을 만족시키기 위한 하나의 해결 방안으로 반도체 패키지 기술에 대한 연구가 지속적으로 이루어지고 있다. 기존의 와이어 본딩을 사용하는 집적 회로 간의 2차원적 연결은 와이어에서 생기는 신호 손실, 높은 소비 전력 및 설계 방식의 제약 등의 단점을 가지고 있다. 이러한 단점을 극복하기 위해서 적층된 반도체 칩들을 수직 배선으로 연결시키는 3차원 집적 회로 패키지 기술이 제안되고 있다. 이때, 반도체 칩들을 수직으로 연결하는 수직 배선을 관통전극(Through Silicone Via: TSV)이라 한다. 관통전극(TSV)을 사용하는 3차원 집적 회로 패키지 기술은 동일 공간상에서 더 많은 집적 회로를 구현할 수 있고, 더 짧은 회로 간의 연결을 구현할 수 있다. 최근에 이러한 관통전극을 사용하는 3차원 집적 회로 패키지 기술을 이용하는 반도체 패키지의 신뢰성 및 전기적 특성을 개선시키기 위한 다양한 연구들이 이루어지고 있다.

**발명의 내용**

**해결하려는 과제**

- [0003] 본 발명이 해결하고자 하는 과제는 신뢰성이 향상된 반도체 장치를 제공하는데 있다.
- [0004] 본 발명이 해결하고자 하는 과제는 신뢰성이 향상된 반도체 패키지를 제공하는데 있다.
- [0005] 본 발명이 해결하고자 하는 다른 과제는 신뢰성이 향상된 반도체 장치의 제조 방법을 제공하는데 있다.

**과제의 해결 수단**

- [0006] 상기 과제를 달성하기 위한 본 발명의 실시예들에 따른 반도체 장치는 상부에 노출되는 제 1 도전 패턴을 포함하는 제 1 구조체; 상기 제 1 도전 패턴을 덮는 성형부; 상기 성형부 상에 배치되는 제 2 구조체; 및 상기 제 2 구조체와 상기 성형부를 관통하여 상기 제 1 도전 패턴과 전기적으로 연결되는 관통 비아를 포함하되, 상기 관통 비아는 상기 제 2 구조체 내에 위치하는 제 1 비아 부분과 상기 성형부 내에 위치하며 상기 제 1 비아 부분에 연결된 제 2 비아 부분을 포함하며, 상기 제 2 비아 부분의 상부는 제 1 폭을 가지고, 상기 제 2 비아 부분의 중간부분은 제 2 폭을 가지며, 상기 제 1 폭은 상기 제 2 폭보다 좁다.
- [0007] 상기 다른 과제를 달성하기 위한 본 발명의 실시예들에 따른 반도체 패키지는 상부에 노출되는 제 1 도전 패턴을 포함하는 제 1 반도체 칩; 상기 제 1 도전 패턴과 접하며 상기 제 1 반도체 칩을 덮는 성형막; 상기 성형막 상에 배치되는 제 2 반도체 칩; 및 상기 제 2 반도체 칩과 상기 성형막을 관통하여 상기 제 1 도전 패턴과 전기적으로 연결되는 관통 비아를 포함하되, 상기 관통 비아는 상기 제 2 반도체 칩 내에 위치하는 제 1 비아 부분과 상기 성형막 내에 위치하며 상기 제 1 비아 부분에 연결된 제 2 비아 부분을 포함하며, 상기 제 2 비아 부분의 상부는 제 1 폭을 가지고, 상기 제 2 비아 부분의 중간부분은 제 2 폭을 가지며, 상기 제 1 폭은 상기 제 2 폭보다 좁다.
- [0008] 상기 또 다른 과제를 달성하기 위한 본 발명의 실시예들에 따른 반도체 장치의 제조 방법은 상부에 노출되는 제 1 도전 패턴을 포함하는 제 1 구조체, 상기 제 1 도전 패턴을 덮는 성형부, 및 상기 성형부 상에 배치되는 제 2 구조체를 포함하는 예비 구조를 형성하는 단계; 상기 제 2 구조체를 식각하여 상기 성형부를 노출시키는 제 1 홀을 형성하는 단계; 상기 성형부를 식각하여 상기 제 1 도전 패턴을 노출시키며 상기 제 1 홀과 중첩되는 제 2 홀을 형성하는 단계; 및 상기 제 1 홀과 상기 제 2 홀을 채우는 관통 비아를 형성하는 단계를 포함한다.

**발명의 효과**

[0009] 본 발명의 관통 비아를 포함하는 반도체 장치, 반도체 패키지 및 이의 제조 방법에 따르면, 성형부를 식각 저지막으로 이용하여 제 2 구조체를 식각하고, 등방성 식각 공정으로 성형부를 식각함으로써 도전 패턴의 표면의 식각 손상을 최소화함과 동시에 낮 오픈(not-open) 불량을 방지할 수 있다. 이로써 신뢰성이 향상된 반도체 장치 및 반도체 패키지를 제공할 수 있다.

**도면의 간단한 설명**

- [0010] 도 1a는 본 발명의 실시예들에 따른 반도체 장치의 단면도이다.  
 도 1b는 도 1a의 'P1' 부분을 확대한 도면이다.  
 도 2a 내지 도 2g는 도 1a의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.  
 도 3a 내지 도 3d는 도 1a의 변형예들을 나타내는 단면도들이다.  
 도 4는 본 발명의 실시예들에 따른 반도체 장치의 단면도이다.  
 도 5는 본 발명의 실시예들에 따른 반도체 장치의 단면도이다.  
 도 6은 본 발명의 실시예들에 따른 반도체 패키지의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예들을 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.
- [0012] 도 1a는 본 발명의 실시예들에 따른 반도체 장치의 단면도이다. 도 1b는 도 1a의 'P1' 부분을 확대한 도면이다.
- [0013] 도 1a 및 도 1b를 참조하면, 본 실시예들에 따른 반도체 장치(300)는 제 1 구조체(100)과 상기 제 1 구조체(100) 상에 적층된 제 2 구조체(200)를 포함한다. 상기 반도체 장치(300)는 반도체 패키지의 일 부분일 수 있다. 상기 제 1 구조체(100)는 제 1 반도체 칩일 수 있다. 상기 제 2 구조체(200)는 제 2 반도체 칩일 수 있다. 상기 제 1 구조체(100)는 제 1 반도체 기관(1), 상기 제 1 반도체 기관(1) 상에 배치되는 제 1 트랜지스터들(5), 상기 제 1 트랜지스터들(5)을 덮는 다층 구조의 제 1 층간 절연막(10), 상기 제 1 층간 절연막(10) 내에 배치되는 제 1 배선들(12) 및 상기 제 1 배선들(12)과 전기적으로 연결되는 제 1 도전 패턴(14)을 포함할 수 있다. 상기 제 1 도전 패턴(14)은 상기 제 1 구조체(100)의 상부에 노출될 수 있다. 상기 제 1 반도체 기관(1)은 예를 들면 실리콘 단결정 기관일 수 있다. 상기 제 1 층간 절연막(10)은 예를 들면 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막이나 저유전율을 가지는 다공성 절연막 중 적어도 하나를 포함하는 다층의 막으로 구성될 수 있다. 상기 제 1 배선들(12)과 상기 제 1 도전 패턴(14)은 알루미늄, 구리 및 텅스텐과 같은 금속을 포함할 수 있다.
- [0014] 상기 제 2 구조체(200)는 제 2 반도체 기관(22)과 제 2 층간 절연막(20)을 포함할 수 있다. 도 1a에서 상기 제 2 반도체 기관(22)이 상기 제 2 층간 절연막(20) 상에 배치되지만, 상기 제 2 반도체 기관(22)과 상기 제 2 층간 절연막(20)의 위치는 서로 바뀔 수 있다. 도시하지는 않았지만, 상기 제 2 반도체 기관(22)에는 제 2 트랜지스터들이 배치될 수 있다. 상기 제 2 층간 절연막(20)은 다층의 절연막 구조를 가질 수 있다. 도시하지는 않았지만, 상기 제 2 층간 절연막(20) 내에 다층의 제 2 배선들이 배치될 수 있다. 상기 제 2 반도체 기관(22) 상에는 제 1 캐핑막(24)이 배치될 수 있다. 상기 제 2 반도체 기관(22)은 예를 들면 실리콘 단결정 기관일 수 있다. 상기 제 2 층간 절연막(20)은 예를 들면 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막이나 저유전율을 가지는 다공성 절연막 중 적어도 하나를 포함하는 다층의 막으로 구성될 수 있다.
- [0015] 상기 제 1 구조체(100)와 상기 제 2 구조체(200) 사이에는 성형막(150)이 개재될 수 있다. 상기 성형막(150)은 적어도 상기 제 2 구조체(200)를 구성하는 물질들(예를 들면, 실리콘막, 실리콘 질화막, 실리콘산화막, 실리콘 산화질화막 등)과 식각 선택비를 가지는 물질을 포함할 수 있다. 상기 성형막(150)은 바람직하게는 고분자 물질로 이루어질 수 있다. 구체적으로 상기 성형막(150)은 3 이하의 저유전 상수를 가질 수 있다. 상기 성형막(150)은 예를 들면 불소 계열 고분자 및 불소탄화 고분자막, 비극성 고분자, 극성 고분자 중 적어도 하나를 가질 수 있다. 상기 성형막(150)은 무전도성 필름(Non-conductive film, NCF), 열경화성 수지, 또는 광경화성 수지를 포함할 수 있다. 또는 상기 성형막(150)은 점성을 가지는 점착막일 수 있다.
- [0016] 상기 제 2 구조체(200) 내에는 제 1 홀(26a)이 배치될 수 있다. 상기 성형막(150) 내에는 상기 제 1 홀(26a)과 중첩되는 제 2 홀(26b)이 배치될 수 있다. 상기 제 1 홀(26a)은 상기 성형막(150)에 가까울수록 좁아지는 폭을 가질 수 있다. 상기 제 2 홀(26b)의 측면은 평탄하지 않고 곡면을 가질 수 있다. 상기 제 2 홀(26b)의 측면 프로파일은 타원형의 일부처럼 보일 수 있다.
- [0017] 상기 제 1 홀(26a)과 상기 제 2 홀(26b) 안에는 관통 비아(TSV)가 배치될 수 있다. 상기 관통 비아(TSV)는 상기 제 1 홀(26a) 안에 배치되는 제 1 비아 부분(32a1)과 상기 제 2 홀(26b) 안에 배치되는 제 2 및 제 3 비아 부분

들(32a2, 32a3)을 포함할 수 있다. 상기 제 1 내지 제 3 비아 부분들(32a1, 32a2, 32a3)은 서로 연결된 일체형 일 수 있다. 상기 제 2 비아 부분(32a2)의 상부는 제 1 폭(W1)을 가지고 상기 제 2 비아 부분(32a2)의 중간 부분은 제 2 폭(W2)을 가지며, 상기 제 1 폭(W1)은 상기 제 2 폭(W2)보다 작을 수 있다. 상기 제 3 비아 부분(32a3)은 상기 제 1 도전 패턴(14)에 인접할 수 있다. 상기 제 3 비아 부분(32a3)의 하단은 제 3 폭(W3)을 가질 수 있다. 상기 제 3 폭(W3)은 상기 제 2 폭(W2) 보다 작을 수 있다. 상기 관통 비아(TSV)는 예를 들면, 알루미늄, 구리 및 텅스텐과 같은 금속을 포함할 수 있다. 상기 제 2 및 제 3 비아 부분들(32a2, 32a3)은 랜딩 패드로 명명될 수도 있다.

[0018] 상기 제 1 홀(26a)과 상기 제 2 홀(26b)의 측벽은 비아 절연 패턴(28a)으로 덮인다. 상기 비아 절연 패턴(28a)의 일부는 상기 제 2 비아 부분(32a2)과 상기 제 1 도전 패턴(14) 사이에 개재될 수 있다. 상기 관통 비아(TSV)와 상기 비아 절연 패턴(28a) 사이 그리고 상기 관통 비아(TSV)와 상기 제 1 도전 패턴(14) 사이에는 비아 확산 방지 패턴(30a)이 개재될 수 있다. 상기 비아 절연 패턴(28a)은 바람직하게는 실리콘막, 실리콘 질화막, 실리콘산화막, 실리콘산화질화막과 같은 절연막으로 형성될 수 있다. 상기 비아 확산 방지 패턴(30a)은 예를 들면 티타늄질화막, 텅스텐 질화막 및 탄탈륨질화막과 같은 금속 질화막을 포함할 수 있다.

[0019] 상기 관통 비아(TSV) 상에는 제 2 도전 패턴(34)이 배치될 수 있다. 상기 제 1 캐핑막(24) 상에는 제 2 캐핑막(36)이 배치되어 상기 제 2 도전 패턴(34)을 일부 노출시킬 수 있다. 상기 제 2 도전 패턴(34)은 예를 들면 알루미늄, 구리 및 텅스텐과 같은 금속을 포함할 수 있다. 상기 제 1 캐핑막(24)은 예를 들면 실리콘 산화막 또는 실리콘 질화막 같은 절연막으로 형성될 수 있다. 상기 제 2 캐핑막(36)은 예를 들면 실리콘 질화막 또는 폴리이미드로 형성될 수 있다.

[0020] 도 2a 내지 도 2g는 도 1a의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.

[0021] 도 2a를 참조하면, 제 1 구조체(100)를 준비한다. 상기 제 1 구조체(100)는 제 1 반도체 기판(1), 상기 제 1 반도체 기판(1) 상에 배치되는 제 1 트랜지스터들(5), 상기 제 1 트랜지스터들(5)을 덮는 다층 구조의 제 1 층간 절연막(10), 상기 제 1 층간 절연막(10) 내에 배치되는 제 1 배선들(12) 및 상기 제 1 배선들(12)과 전기적으로 연결되는 제 1 도전 패턴(14)을 포함할 수 있다. 상기 제 1 도전 패턴(14)은 상기 제 1 구조체(100)의 상부에 노출될 수 있다. 상기 제 1 구조체(100) 상에 성형막(150)을 형성한다. 상기 성형막(150)은 바람직하게는 고분자 물질로 이루어질 수 있다. 구체적으로 상기 성형막(150)은 3 이하의 저유전 상수를 가질 수 있다. 상기 성형막(150)은 예를 들면 불소 계열 고분자 및 불소탄화 고분자막, 비극성 고분자, 극성 고분자 중 적어도 하나를 가질 수 있다. 상기 성형막(150)은 무전도성 필름(Non-conductive film, NCF), 열경화성 수지, 또는 광경화성 수지를 포함할 수 있다. 또는 상기 성형막(150)은 점성을 가지는 접착막일 수 있다.

[0022] 상기 성형막(150)을 형성하는 과정은 열경화성 수지액이나 고분자 수지액을 상기 제 1 구조체(100) 상에 코팅한 후에, 열을 가하거나 광을 조사하여 경화시킬 수 있다. 또는 상기 성형막(150)은 접착막일 수 있으며 상기 제 1 구조체(100) 상에 부착될 수 있다. 상기 제 1 구조체(100) 상에 제 2 구조체(200)를 본딩한다. 상기 제 2 구조체(200)는 제 2 반도체 기판(22)과 제 2 층간 절연막(20)을 포함할 수 있다. 상기 제 2 구조체(200)를 상기 성형막(150) 상에 본딩하기 위해 상기 성형막(150)의 표면에 대해 예를 들면 산소 등을 이용한 플라즈마 처리를 진행할 수 있다. 이로써 상기 성형막(150)의 표면의 본딩 에너지가 증가될 수 있다. 이후 상기 성형막(150) 상에 상기 제 2 구조체(200)를 접하게 하고 열압착시켜 본딩될 수 있다. 또는 상기 상기 성형막(150)이 접착막일 경우 상기 제 2 구조체(200)를 상기 성형막(150) 상에 접착시킬 수 있다.

[0023] 도 2b를 참조하면, 상기 제 2 구조체(200) 상에 제 1 캐핑막(24)을 형성한다. 상기 제 1 캐핑막(24)은 마스크 패턴(미도시)에 의해 패터닝될 수 있다. 상기 제 1 캐핑막(24)과 상기 마스크 패턴(미도시)을 식각 마스크로 이용하여 상기 제 2 구조체(200)를 식각하여 상기 성형막(150)을 노출시키는 제 1 홀(26a)을 형성한다. 이때 상기 제 2 구조체(200)를 구성하는 제 2 반도체 기판(22)과 상기 제 2 층간 절연막(20)이 연속적으로 식각될 수 있다. 상기 제 1 홀(26a)을 형성하는 과정에서 상기 마스크 패턴(미도시)은 모두 식각되어 제거될 수 있다. 상기 제 2 구조체(200)를 식각하는 과정은 이방성 식각 공정으로 진행될 수 있다. 상기 성형막(150)은 이때 식각 저지막으로써 기능할 수 있다.

[0024] 도 2c를 참조하면, 상기 제 1 홀(26a)에 노출된 상기 성형막(150)을 식각하여 상기 제 1 도전 패턴(14)을 노출시키는 제 2 홀(26b)을 형성한다. 상기 성형막(150)을 식각하는 과정은 제 1 식각액을 포함하는 등방성 식각 공정으로 진행될 수 있다. 이때 상기 제 1 식각액은 상기 제 2 구조체(200)를 구성하는 실리콘 반도체막, 실리콘 산화막 및 실리콘 질화막과 상기 성형막(150) 모두에 대해 10도~65도의 접촉각을 가지는 물질을 포함할 수 있다. 예를 들면 상기 제 1 식각액은 이소프로필알콜 및 아세톤 중 적어도 하나일 수 있다. 이때 상기 성형막

(150)의 두께, 상기 제 1 식각액의 농도, 상기 제 1 식각액의 접촉각, 및 상기 제 1 식각액의 적용 시간 등을 조절함으로써 상기 제 2 홀(26b)의 형태가 결정될 수 있다. 상기 제 2 홀(26b)은 이때 둥근 측벽을 가지도록 형성될 수 있다. 상기 성형막(150)이 등방성 식각 공정으로 식각되므로 상기 제 1 도전 패턴(14)의 표면의 식각 손상이 미미하거나 방지될 수 있다. 또한 낮 오픈 문제를 개선할 수 있다. 상기 등방성 식각 공정은 상기 제 2 홀(26b)에 노출되는 상기 제 1 도전 패턴(14)의 표면을 세정하는 효과를 제공할 수 있다. 이로 인해 세정 공정이 생략 가능하여 공정을 단순화시킬 수 있다. 또한 수율을 향상시킬 수 있다.

- [0025] 도 2d를 참조하면, 도 2c의 구조 상에 비아 절연막(28)을 콘포말하게 형성할 수 있다. 상기 비아 절연막(28)은 실리콘 산화막, 실리콘 질화막 및 실리콘산화질화막 중 적어도 하나로 형성될 수 있다. 상기 비아 절연막(28)은 상기 제 1 홀(26a)과 상기 제 2 홀(26b)의 내측벽과 제 1 도전 패턴(14)의 상부면을 덮도록 형성될 수 있다.
- [0026] 도 2e를 참조하면, 상기 비아 절연막(28)에 대하여 이방성 식각 공정을 진행하여 상기 제 1 캐핑막(24)의 상부면과 상기 제 1 도전 패턴(14)의 일부 상부면이 노출되고 비아 절연 패턴(28a)이 형성될 수 있다. 상기 비아 절연 패턴(28a)의 일부는 상기 제 1 도전 패턴(14)의 상부면과 접할 수 있다.
- [0027] 도 2f를 참조하면, 도 2e의 구조 상에 비아 확산 방지막(30)을 콘포말하게 형성한다. 상기 비아 확산 방지막(30) 상에 비아 도전막(32)을 적층하여 상기 제 1 홀(26a)과 제 2 홀(26b)을 채운다. 상기 비아 확산 방지막(30)은 티타늄 질화막, 탄탈륨 질화막 및 텅스텐 질화막과 같은 금속 질화막을 포함할 수 있다.
- [0028] 도 2g를 참조하면, CMP(Chemical Mechanical Polishing) 공정을 진행하여 상기 제 1 캐핑막(24) 상의 상기 비아 확산 방지막(30)과 상기 비아 도전막(32)을 제거하고 상기 제 1 홀(26a)과 제 2 홀(26b) 안에 비아 확산 방지 패턴(30a)과 관통 비아(TSV)를 형성할 수 있다.
- [0029] 다시 도 1a를 참조하면, 상기 관통 비아(TSV) 상에 제 2 도전 패턴(34)과 제 2 캐핑막(36)을 형성할 수 있다. 상기 제 2 도전 패턴(34)은 도전막을 증착하고 패터닝하여 형성될 수 있다. 상기 제 2 도전 패턴(34)의 일부는 재배선의 형태를 가질 수 있다. 이로써 상기 제 2 도전 패턴(34)의 일부는 연장되어 상기 제 2 구조체(200) 내에 배치되는 제 2 배선들(미도시)과 전기적으로 연결될 수 있다. 상기 제 2 캐핑막(36)은 예를 들면 실리콘 질화막 또는 폴리이미드로 형성될 수 있다.
- [0031] 도 3a 내지 도 3d는 도 1a의 변형예들을 나타내는 단면도들이다.
- [0032] 도 3a를 참조하면, 본 예에 따른 반도체 장치(300a)에서는 관통 비아(TSV)가 도 1a의 제 3 비아 부분(32a3)을 포함하지 않을 수 있다. 비아 절연 패턴(28a)은 관통 비아(TSV)의 제 2 비아 부분(32a2)과 제 1 도전 패턴(14) 사이에 개재되지 않을 수 있다. 그 외의 구조 및 구성은 도 1a를 참조하여 설명한 바와 동일/유사할 수 있다. 도 3a의 구조에서 상기 관통 비아(TSV)와 상기 제 1 도전 패턴(14) 간의 컨택 면적이 넓어져 접촉 저항이 작아질 수 있다. 이로써 컨택 신뢰성이 향상될 수 있다. 이로써 전력 소모를 개선할 수 있으며 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0034] 도 3b를 참조하면, 본 예에 따른 반도체 장치(300b)에서는 도 1a에 비해 성형막(150)의 두께가 얇을 수 있다. 이에 의해 제 2 홀(26b)의 측벽 프로파일이 도 1a과 다를 수 있다. 상기 제 2 홀(26b)의 측벽 프로파일은 사다리꼴 또는 반원의 일부처럼 보일 수 있다. 그 외의 구조 및 구성은 도 1a를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0035] 도 3c를 참조하면, 본 예에 따른 반도체 장치(300c)에서는 관통 비아(TSV)가 도 3b의 제 3 비아 부분(32a3)을 포함하지 않을 수 있다. 비아 절연 패턴(28a)은 관통 비아(TSV)의 제 2 비아 부분(32a2)과 제 1 도전 패턴(14) 사이에 개재되지 않을 수 있다. 그 외의 구조 및 구성은 도 3a를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0036] 도 3d를 참조하면, 본 예에 따른 반도체 장치(300d)에서는 비아 절연 패턴(28a)이 제 2 구조체(200)의 제 2 층간 절연막(20)의 하부면과 일부 접할 수 있다. 그 외의 구조 및 구성은 도 3a를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0037] 성형막(150)의 두께, 이방성 식각 공정 조절, 등방성 식각 공정의 식각액의 농도, 식각액의 접촉각 및 처리 시간 등을 조절함에 따라 도 1a, 및 3a 내지 도 3d에 개시된 바와 같이 다양한 형태의 관통 비아(TSV)가 형성될 수 있다. 이로써 관통 비아(TSV)의 상기 제 2 비아 부분(32a2)의 형태와 크기가 조절가능하며, 컨택 신뢰성이 향상되며, 컨택 면적을 충분히 확보하여 컨택 저항을 줄일 수 있다.
- [0039] 도 4는 본 발명의 실시예들에 따른 반도체 장치의 단면도이다.

- [0040] 도 4를 참조하면, 본 예에 따른 반도체 장치(300e)는 제 2 구조체(200a) 상에 제 1 구조체(100a)가 배치될 수 있다. 상기 제 2 구조체(200a)는 반도체 기관(1), 소자분리막(3), 트랜지스터(5) 및 이들을 덮는 제 1 층간 절연막(10a)을 포함할 수 있다. 상기 제 2 구조체(200a)는 상기 반도체 기관(1)의 하부면을 덮는 제 1 캐핑막(24a)을 더 포함할 수 있다. 상기 제 2 구조체(200a)와 상기 제 1 구조체(100a) 사이에 성형막(15)이 배치될 수 있다. 상기 성형막(15)은 상기 제 1 층간 절연막(10a) 상에 배치될 수 있다. 상기 성형막(15)은 고분자막 또는 실리콘 질화막을 포함할 수 있다.
- [0041] 상기 제 1 구조체(100a)는 상기 성형막(15) 상에 배치되는 도전 패턴들(14, 12a~12d), 이들을 덮는 제 2 내지 제 4 층간 절연막들(10b~10d) 및 상부 패시베이션막(13)을 포함할 수 있다. 상기 도전 패턴들(14, 12a~12d)은 제 1 도전 패턴(14), 제 2 도전 패턴(12a), 제 3 도전 패턴(12b), 제 4 도전 패턴(12c) 및 제 5 도전 패턴(12d)을 포함할 수 있다. 상기 제 1 도전 패턴(14)과 상기 제 2 도전 패턴(12a)은 같은 높이에 위치하며 서로 이격될 수 있다. 상기 제 2 도전 패턴(12a)은 상기 트랜지스터(5)와 전기적으로 연결될 수 있다.
- [0042] 상기 제 5 도전 패턴(12d) 상에는 도전 패드(16)이 배치될 수 있다. 상기 도전 패드(16) 상에는 상부 도전 필라(17)가 배치될 수 있다. 상기 상부 도전 필라(17) 상에는 상부 도전 범프(18)가 배치될 수 있다.
- [0043] 관통 비아(TSV)이 상기 제 2 구조체(20a)와 상기 성형막(15)을 관통하여 상기 제 1 도전 패턴(14)과 접한다. 상기 관통 비아(TSV)는 예를 들면, 도 3c와 유사한 형태를 가질 수 있다. 상기 관통 비아(TSV)는 상기 제 2 구조체(200a) 내에 형성된 제 1 홀(26a) 안에 배치되는 제 1 비아 부분(32a1)과, 상기 성형막(15)내에 형성된 제 2 홀(26b) 안에 배치되는 제 2 비아 부분(32a2)을 포함할 수 있다. 상기 제 1 홀(26a)과 상기 제 2 홀(26b)의 내측벽은 비아 절연 패턴(28a)으로 덮일 수 있다. 상기 비아 절연 패턴(28a)과 상기 관통 비아(TSV) 사이에는 비아 확산 방지 패턴(30a)이 개재될 수 있다.
- [0044] 상기 제 1 캐핑막(24a) 아래에는 재배선 패턴(35)이 배치될 수 있다. 상기 재배선 패턴(35)은 상기 관통 비아(TSV)와 접할 수 있다. 상기 제 1 캐핑막(24a)은 제 2 캐핑막(37)으로 덮일 수 있다. 상기 재배선 패턴(35)의 일부는 하부 도전 필라(38)와 접할 수 있다. 상기 하부 도전 필라(38)는 상기 제 2 캐핑막(37)을 관통하여 밖으로 돌출될 수 있다. 상기 하부 도전 필라(38) 아래에는 하부 도전 범프(39)가 배치될 수 있다. 그 외의 구조는 도 1a를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0045] 도 4의 반도체 장치(300e)를 형성하는 과정은 다음과 같다. 먼저, 반도체 기관(1)에 소자분리막(3)을 형성한다. 상기 반도체 기관(1)에 트랜지스터들(5)을 형성한다. 상기 제 1 반도체 기관(1)을 덮는 제 1 층간 절연막(10a)을 형성한다. 상기 제 1 층간 절연막(10a) 상에 성형막(15)을 형성한다. 상기 성형막(15) 상에 제 1 도전 패턴(14)과 제 2 도전 패턴(12a)을 형성한다. 상기 제 1 도전 패턴(14)과 상기 제 2 도전 패턴(12a) 상에 제 2 층간 절연막(10b), 제 3 도전 패턴(12b), 제 3 층간 절연막(10c), 제 4 도전 패턴(12c), 제 4 층간 절연막(10d) 및 제 5 도전 패턴(12d)을 차례로 형성한다. 상기 제 5 도전 패턴(12d) 상에 상부 패시베이션막(13)을 형성하고 패터닝하여 상기 제 5 도전 패턴(12d)을 노출시킨다. 상기 상부 패시베이션막(13) 상에 상기 제 5 도전 패턴(12d)과 접하는 도전 패드(16)를 형성한다. 상기 도전 패드(16) 상에 상부 도전 필라(17)와 상부 도전 범프(18)를 형성한다.
- [0046] 계속해서 상기 반도체 기관(1)의 하부면에 제 1 캐핑막(24a)을 형성한다. 상기 제 1 캐핑막(24a)과 상기 제 2 구조체(200a)을 순차적으로 이방성 식각하여 상기 성형막(15)을 노출시키는 제 1 홀(26a)을 형성한다. 등방성 식각 공정을 진행하여 상기 제 1 홀(26a)에 노출된 상기 성형막(15)을 식각하여 상기 제 1 도전 패턴(14)을 노출시키는 제 2 홀(26b)을 형성한다. 그리고 도 2d 내지 도 2g를 참조하여 설명한 과정과 동일/유사하게 관통전극(TSV)을 형성한다. 상기 제 1 캐핑막(24a) 아래에 상기 관통 비아(TSV)와 접하는 재배선 패턴(35)을 형성할 수 있다. 상기 제 1 캐핑막(24a) 아래에 제 2 캐핑막(37)을 형성하여 상기 재배선 패턴(35)을 형성한다. 그리고 하부 도전 필라(38)와 하부 도전 범프(39)를 형성할 수 있다.
- [0048] 도 5는 본 발명의 실시예들에 따른 반도체 장치의 단면도이다.
- [0049] 도 5를 참조하면, 본 예에 따른 반도체 장치(300f)는 제 1 층간 절연막(10a) 내에 배치되는 성형부(15a)를 포함한다. 상기 성형부(15a)는 도 1a를 참조하여 설명한 성형막(15)과 동일한 물질로 형성될 수 있다. 제 2 구조체(200b)는 반도체 기관(1)과 소자분리막(3)을 포함할 수 있다. 관통 비아(TSV)는 상기 제 2 구조체(200b)인 상기 반도체 기관(1)과 상기 소자분리막(3), 그리고 상기 성형부(15a)를 관통하여 상기 제 1 도전 패턴(14)과 접할 수 있다. 그 외의 구조는 도 4를 참조하여 설명한 바와 동일/유사할 수 있다. 상기 관통 비아(TSV)는 도 3a에 개시된 관통 비아(TSV)와 유사한 형태를 가질 수 있다.

- [0050] 도 5의 반도체 장치(300f)를 제조하는 과정은 도 4를 반도체 장치(300e)을 제조하는 과정과 유사하다. 단, 차이점으로 제 1 층간 절연막(10a) 안에 별도의 성형부(15a)를 형성하는 것을 들 수 있다.
- [0052] 도 6은 본 발명의 실시예들에 따른 반도체 패키지의 단면도이다.
- [0053] 도 6을 참조하면, 본 예에 따른 반도체 패키지(1000)는 제 1 반도체 칩(100c), 상기 제 1 반도체 칩(100c) 아래에 실장된 제 2 반도체 칩(200c) 및 상기 제 2 반도체 칩(200c) 아래에 실장된 제 3 반도체 칩(400)을 포함할 수 있다. 상기 제 1 내지 제 3 반도체 칩들(100c, 200c, 400)은 서로 다른 기능을 가질 수 있다. 상기 제 1 반도체 칩(100c)과 상기 제 2 반도체 칩(200c)은 서로 동일한 폭을 가질 수 있다. 상기 제 1 반도체 칩(100c)과 상기 제 2 반도체 칩(200c)의 측면들은 수직적으로 서로 정렬될 수 있다. 상기 제 1 반도체 칩(100c)과 상기 제 2 반도체 칩(200c) 사이에는 성형막(150)이 개재될 수 있다.
- [0054] 상기 제 1 반도체 칩(100c)은 예를 들면 이미지 센서 칩일 수 있다. 상기 제 2 반도체 칩(200c)은 예를 들면 상기 제 1 반도체 칩(100c)을 구동하기 위한 로직 칩일 수 있다. 상기 제 3 반도체 칩(400)은 예를 들면 디램과 같은 메모리 칩일 수 있다.
- [0055] 상기 제 1 반도체 칩(100c)은 제 1 반도체 기관(110)과 상기 제 1 반도체 기관(110) 상에 배치되는 제 1 절연층(120)을 포함할 수 있다. 상기 제 1 반도체 기관(110)은 뒤집어져 상기 제 1 반도체 기관(110)이 상기 제 1 절연층(120) 상에 배치될 수 있다. 상기 제 1 절연층(120)은 예를 들면 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막이나 저유전율을 가지는 다공성 절연막 중 적어도 하나를 포함하는 다층의 막으로 구성될 수 있다. 상기 제 1 반도체 기관(110)에는 깊은 소자 분리막들(DTI)이 배치되어 단위 화소들(UP)을 분리할 수 있다. 도시하지는 않았지만, 상기 단위 화소들(UP) 안의 상기 반도체 기관(110) 내에는 포토 다이오드 영역이 배치될 수 있다.
- [0056] 상기 제 1 반도체 기관(110)의 상부면은 제 1 패시베이션막(132)으로 덮일 수 있다. 상기 제 1 패시베이션막(132)은 예를 들면 실리콘 질화막이나 폴리이미드막일 수 있다. 상기 제 1 패시베이션막(132) 상에는 상기 단위 화소들(UP)에 대응되는 색의 칼라 필터(CF)가 배치될 수 있다. 상기 칼라 필터(CF)는 어레이 형태를 구성할 수 있으며 이 위에는 마이크로 렌즈 어레이(MR)가 배치될 수 있다. 상기 반도체 기관(110) 상에는 상기 포토다이오드 영역에서 생성된 전하들을 전송하기 위한 전송 게이트(TG)가 배치될 수 있다. 상기 제 1 절연층(120) 내에는 다층의 제 1 배선층들(122)이 배치될 수 있다. 상기 제 1 반도체 기관(110)의 가장자리에는 상기 제 1 반도체 기관(110)과 상기 제 1 절연층(120)의 일부를 관통하여 상기 제 1 배선층(122)에 전기적으로 연결되는 제 1 관통 비아(TSV1)이 배치될 수 있다. 상기 제 1 관통 비아(TSV1)에 인접하여 제 1 비아 절연막(112)이 배치될 수 있다. 상기 제 1 비아 절연막(112)은 상기 제 1 관통 비아(TSV1)과 이격될 수 있다. 도시하지는 않았지만, 평면적으로 상기 제 1 비아 절연막(112)은 상기 제 1 관통 비아(TSV1)를 둘러쌀 수 있다. 상기 제 1 비아 절연막(112)은 상기 제 1 관통 비아(TSV1)를 상기 제 1 반도체 기관(110)로부터 절연시킬 수 있다. 상기 제 1 비아 절연막(112)은 상기 제 1 반도체 기관(110)을 관통할 수 있다. 제 1 하부 도전 패드(14a)의 하부면은 상기 제 1 절연층(120)의 하부면과 공면을 이룰 수 있다.
- [0057] 계속해서, 상기 제 2 반도체 칩(200c)은 제 2 반도체 기관(1a)과 상기 제 2 반도체 기관(1a) 상의 제 2 절연층(220)을 포함할 수 있다. 상기 제 2 절연층(220)도 예를 들면 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막이나 저유전율을 가지는 다공성 절연막 중 적어도 하나를 포함하는 다층의 막으로 구성될 수 있다. 상기 제 2 반도체 기관(1a) 상에는 복수개의 트랜지스터들이 배치될 수 있다. 이들은 상기 제 2 절연층(220) 내에 배치되는 다층의 제 2 배선층들(222)과 전기적으로 연결될 수 있다. 제 2 관통 비아(TSV2)는 상기 제 2 반도체 칩(200c)의 가장자리 부분과 상기 성형막(150)을 관통하여 상기 제 1 하부 도전 패드(14a)와 접할 수 있다. 상기 제 2 관통 비아(TSV2)는 도 1a를 참조하여 설명한 바와 동일/유사한 구성 및 구조를 가질 수 있다. 상기 제 2 절연층(220) 아래에는 상기 제 2 관통 비아(TSV2) 및 상기 제 2 배선층들(222)과 전기적으로 연결되는 재배선 패턴들(35)이 배치될 수 있다. 상기 제 2 절연층(220)의 하부면은 제 2 패시베이션막(205)으로 덮일 수 있다.
- [0058] 상기 제 3 반도체 칩(400)은 제 3 반도체 기관(310)과 이 위에 배치되는 제 3 절연층(320)을 포함할 수 있다. 상기 제 3 절연층(320)도 예를 들면 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막이나 저유전율을 가지는 다공성 절연막 중 적어도 하나를 포함하는 다층의 막으로 구성될 수 있다. 상기 제 3 절연층(320) 안에는 하부 전극들(BE)을 포함하는 캐패시터들과 다층의 제 3 배선층들(322)이 배치될 수 있다. 상기 제 3 절연층(320)의 상부면에는 상기 제 3 배선층(322)과 전기적으로 연결되는 제 3 도전 패드(301)이 배치될 수 있다. 상기 제 3 절연층(320)의 상부면은 제 3 패시베이션막(305)으로 덮일 수 있다. 상기 제 3 도전 패드(301)과 상기 제 2 제

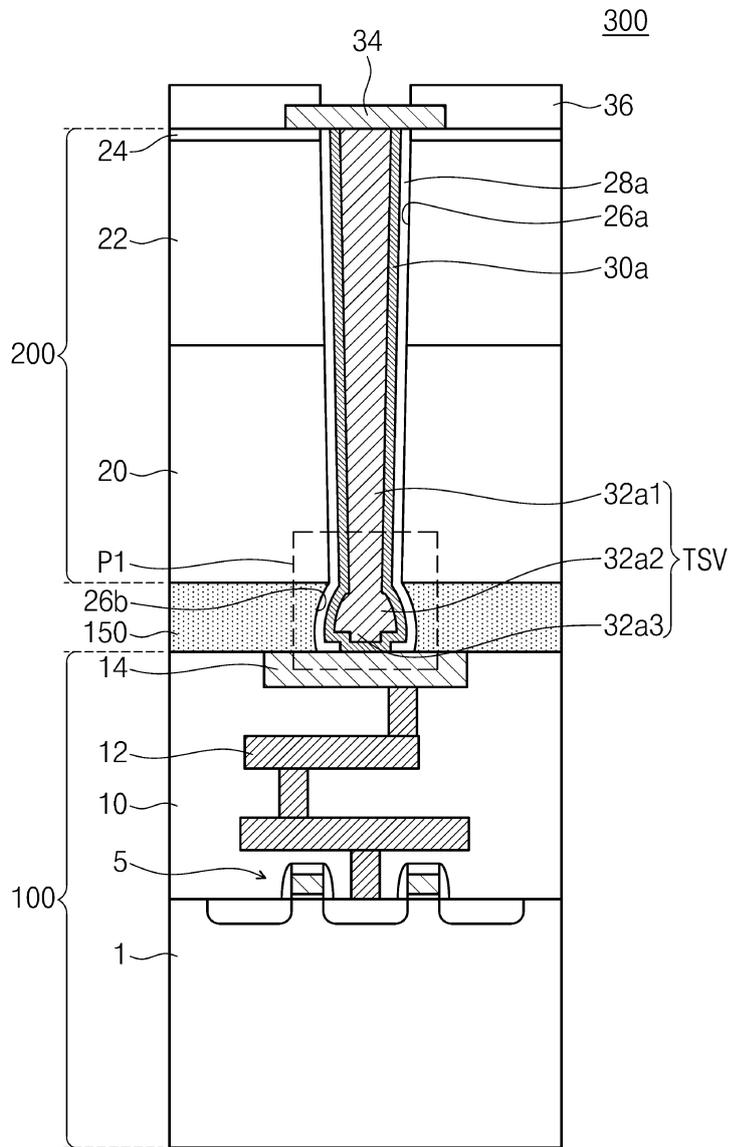
배선 도전 패드(203b)은 연결 수단(450)에 의해 연결될 수 있다.

[0059] 도 6의 반도체 패키지(1000)에서는 도 1a를 참조하여 설명한 효과에 더불어 상기 제 2 반도체 칩(200c)이 재배선 패턴들(35)을 포함함으로써, 상기 제 3 반도체 칩(400)이 상기 제 2 반도체 칩(200c)에 플립칩 본딩 방식으로 본딩될 수 있다. 또한 상기 제 1 반도체 칩(100c)이 상기 제 2 반도체 칩(200c)이 제 2 관통 비아(TSV2)에 의해 연결될 수 있다. 이로써 상기 제 1 내지 제 3 반도체 칩들(100c, 200c, 400) 간의 연결 길이가 짧아지게 되어 빠른 동작 및 빠른 판독(Fast readout) 기능을 제공할 수 있다. 상기 제 3 반도체 칩(400)이 디램인 경우 대량 생산하여 원가를 낮추기 위해 입출력 단자들의 위치와 규격이 표준화되어 있을 수 있다. 이 경우 로직 칩과 상기 디램 칩과 크기가 다르고 입출력 단자들의 위치가 서로 맞지 않을 수 있다. 본 발명에서는 상기 로직 칩일 수 있는 상기 제 2 반도체 칩(200c)이 재배선 패턴(35)을 포함함으로써 상기 제 2 반도체 칩(200c)과 상기 제 3 반도체 칩(400) 간의 연결을 위한 배선 자유도를 증가시킬 수 있다.

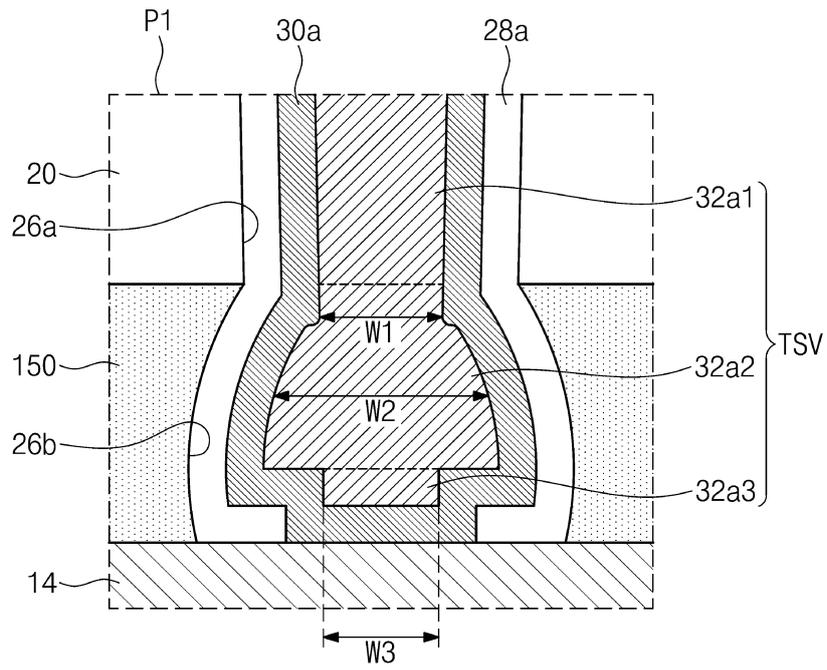
[0060] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

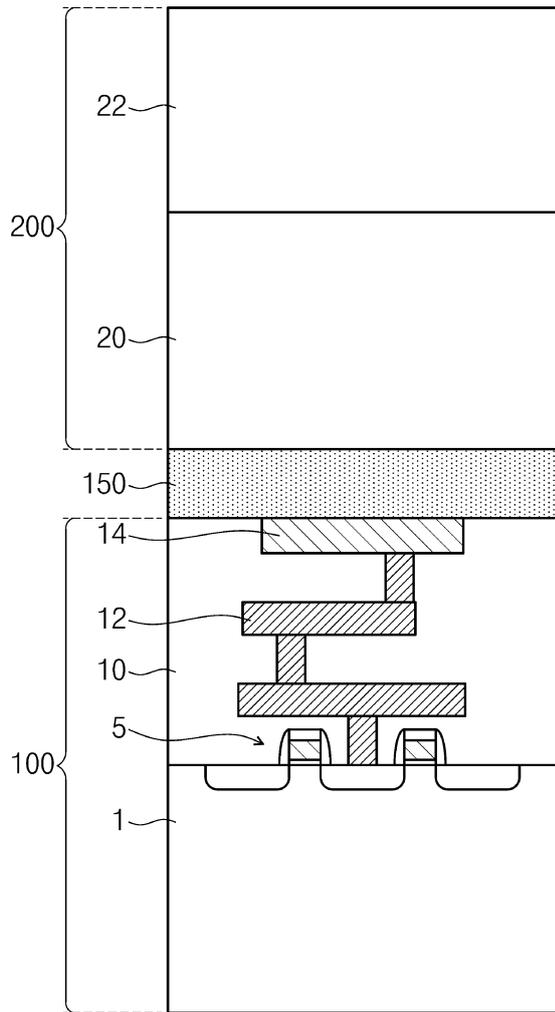
도면1a



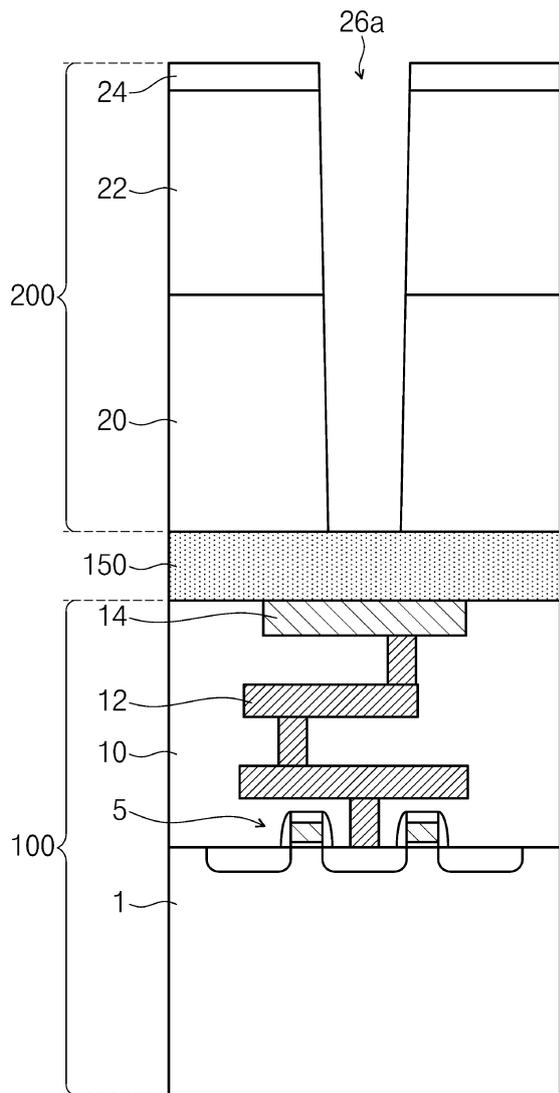
도면1b



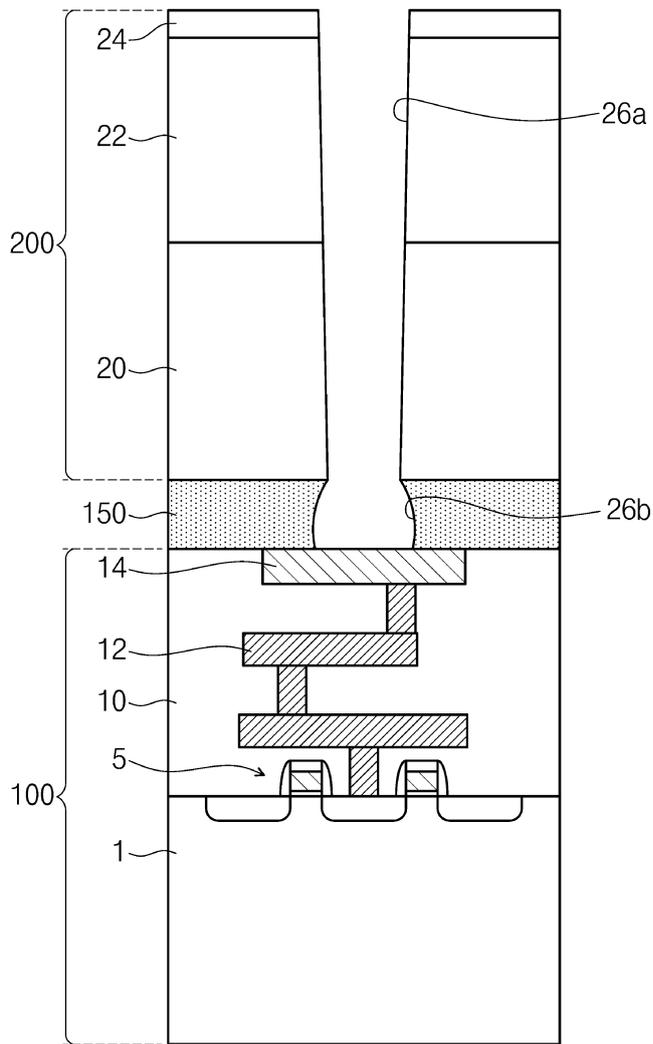
도면2a



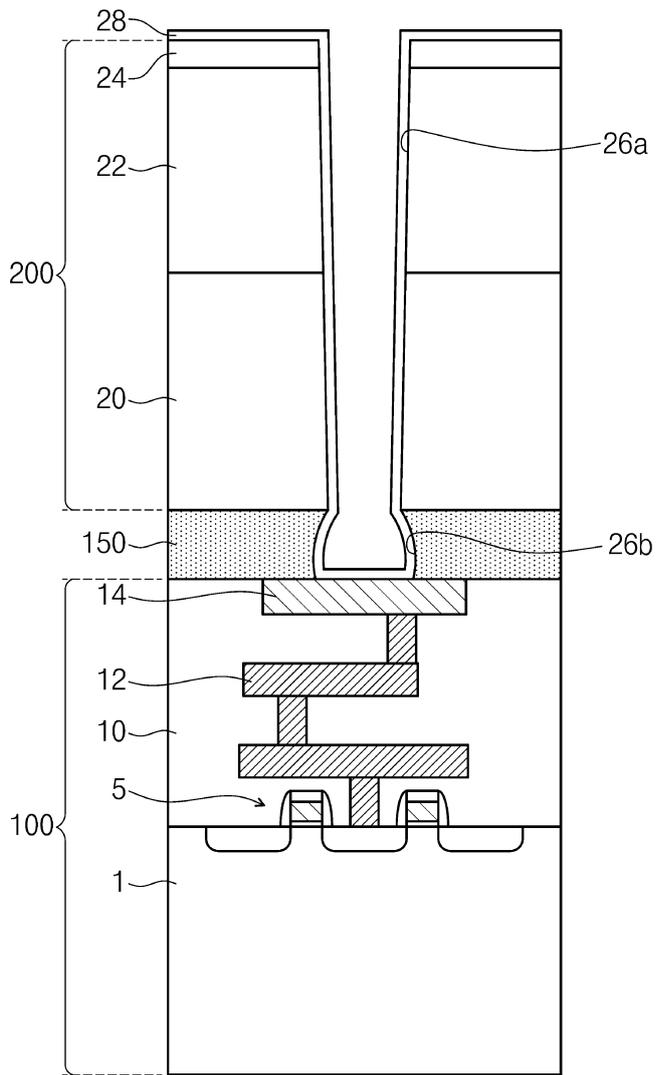
도면2b



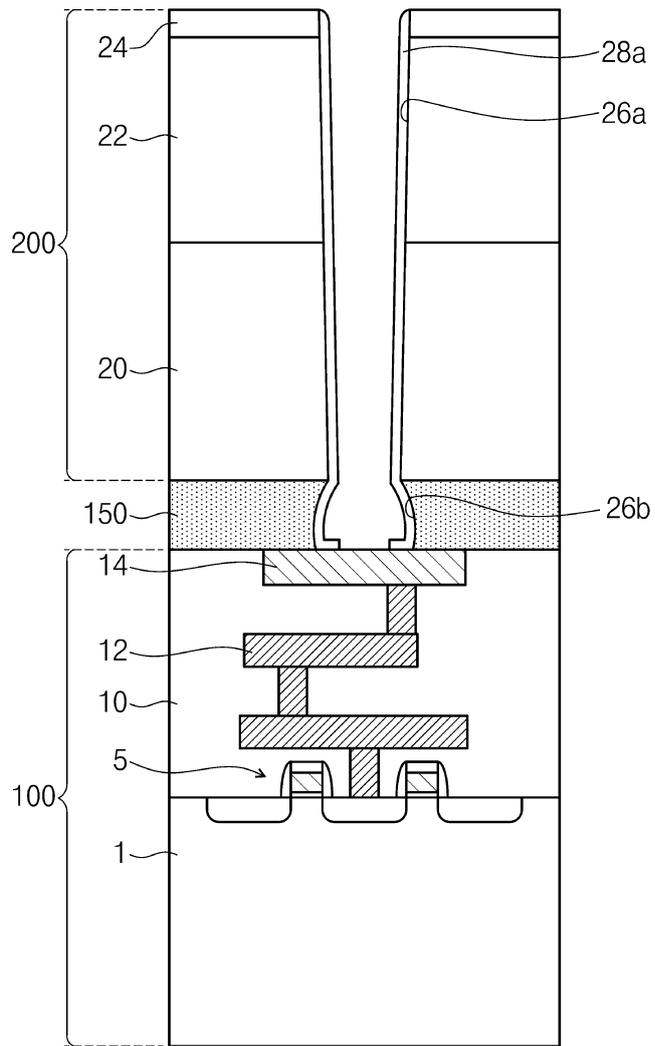
도면2c



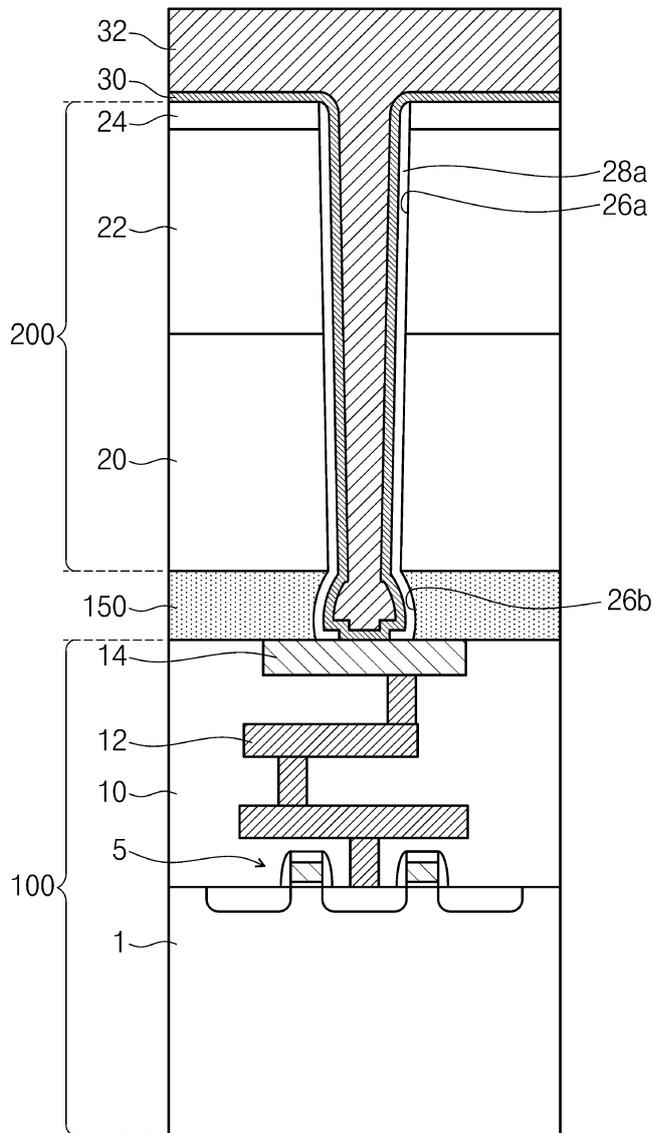
도면2d



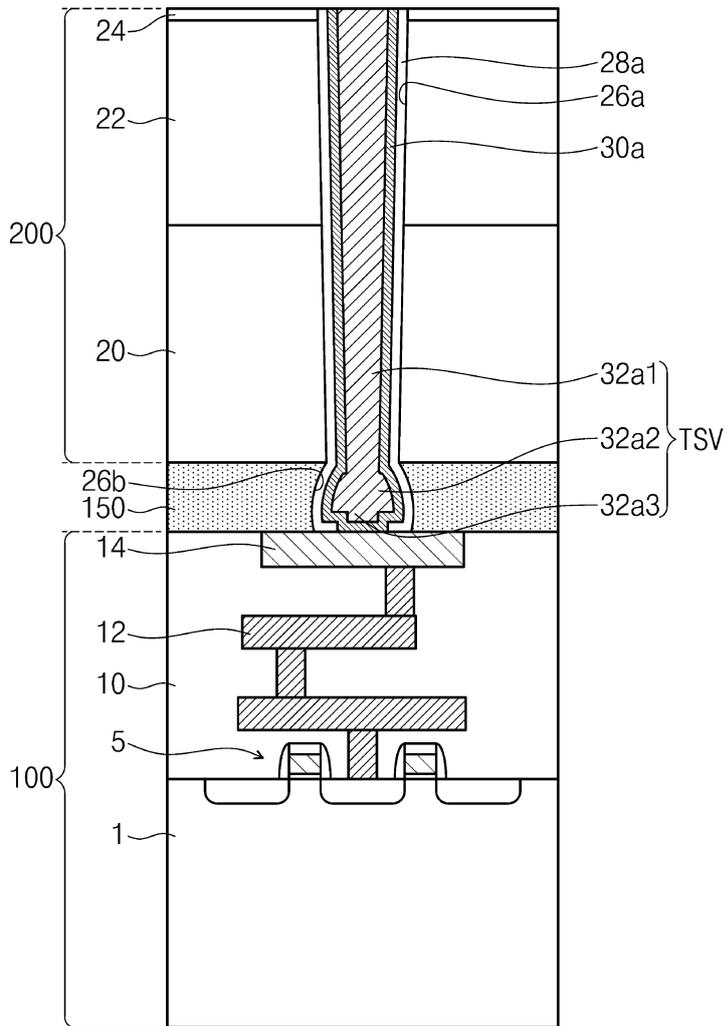
도면2e



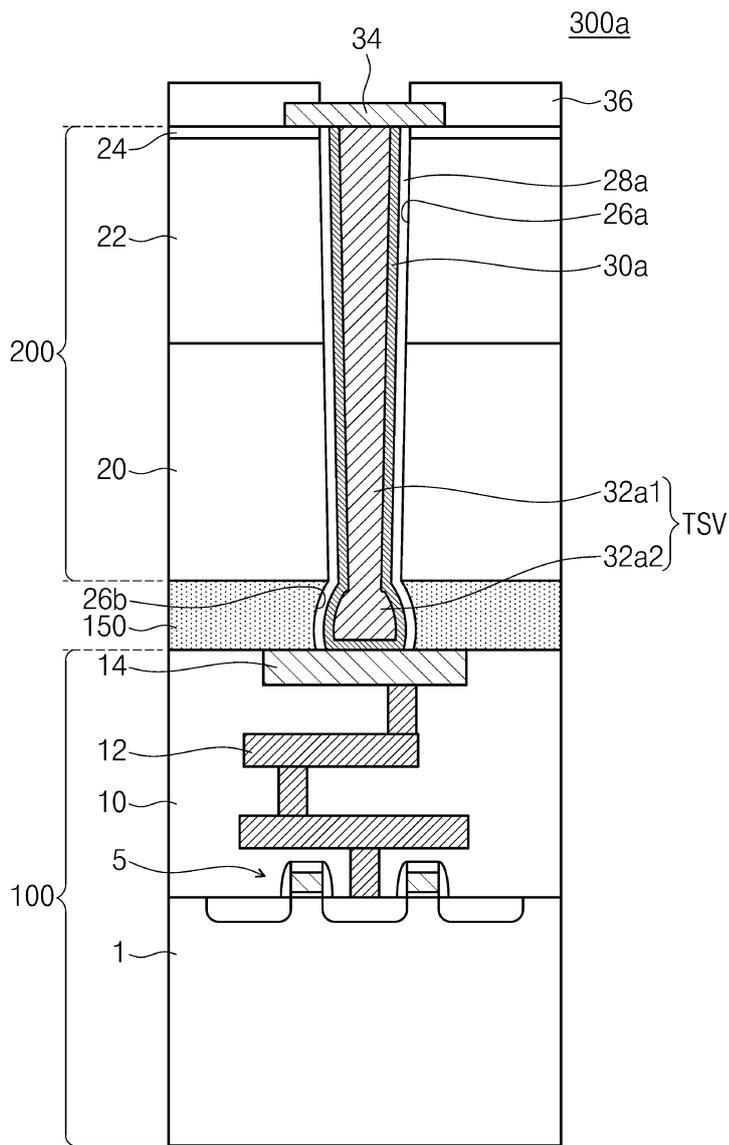
도면2f



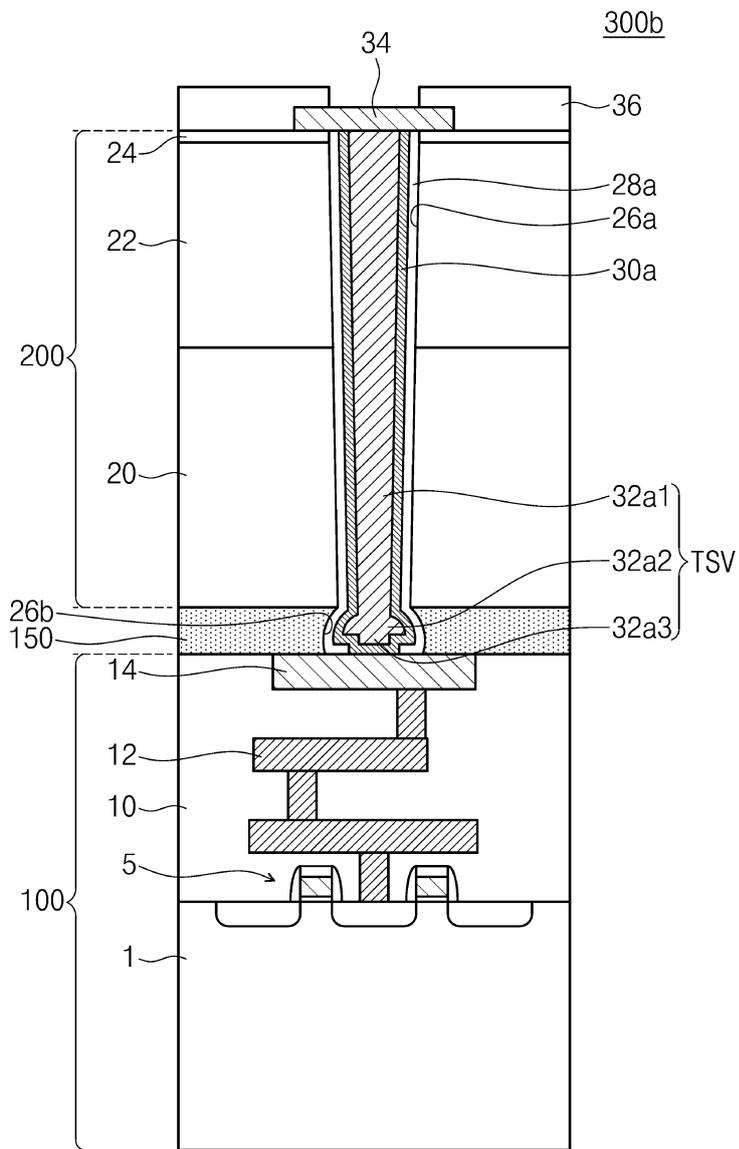
도면2g



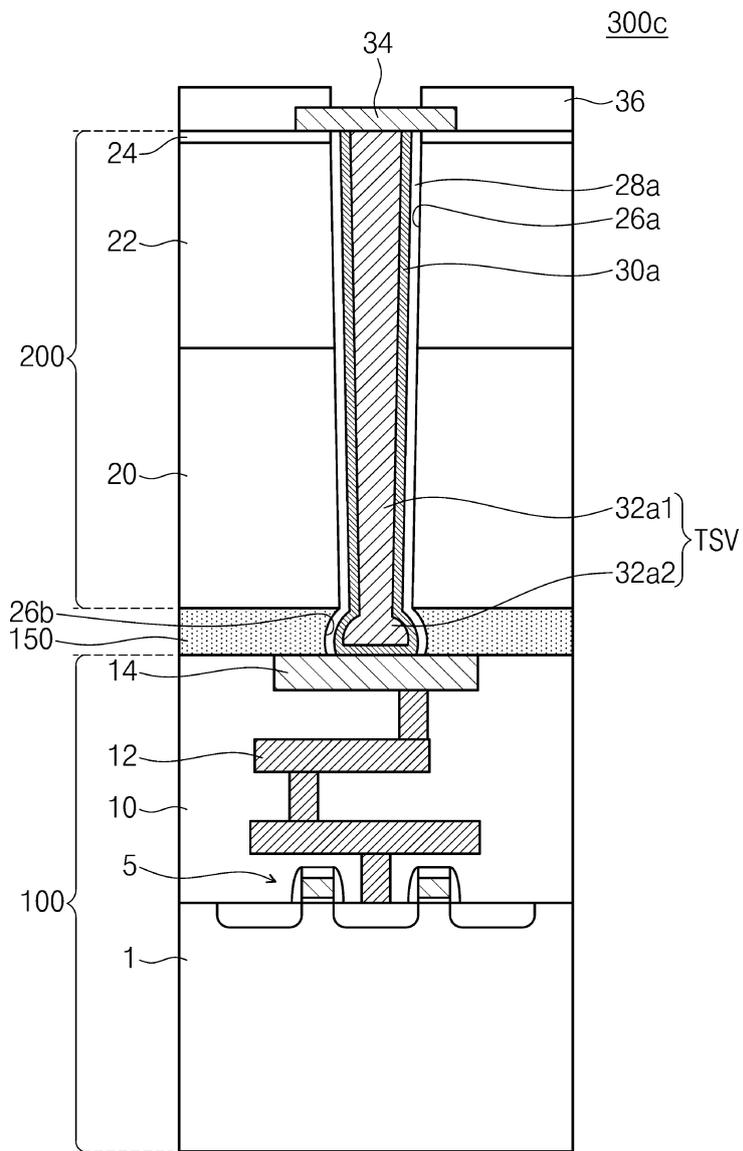
도면3a



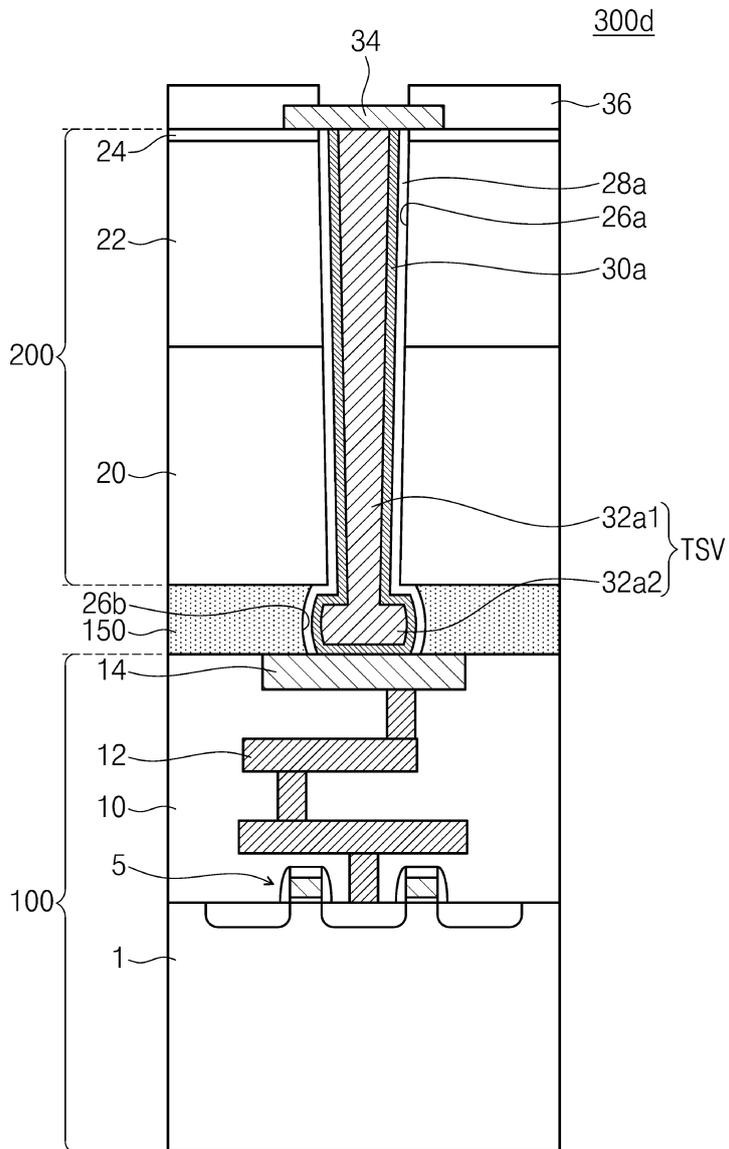
도면3b



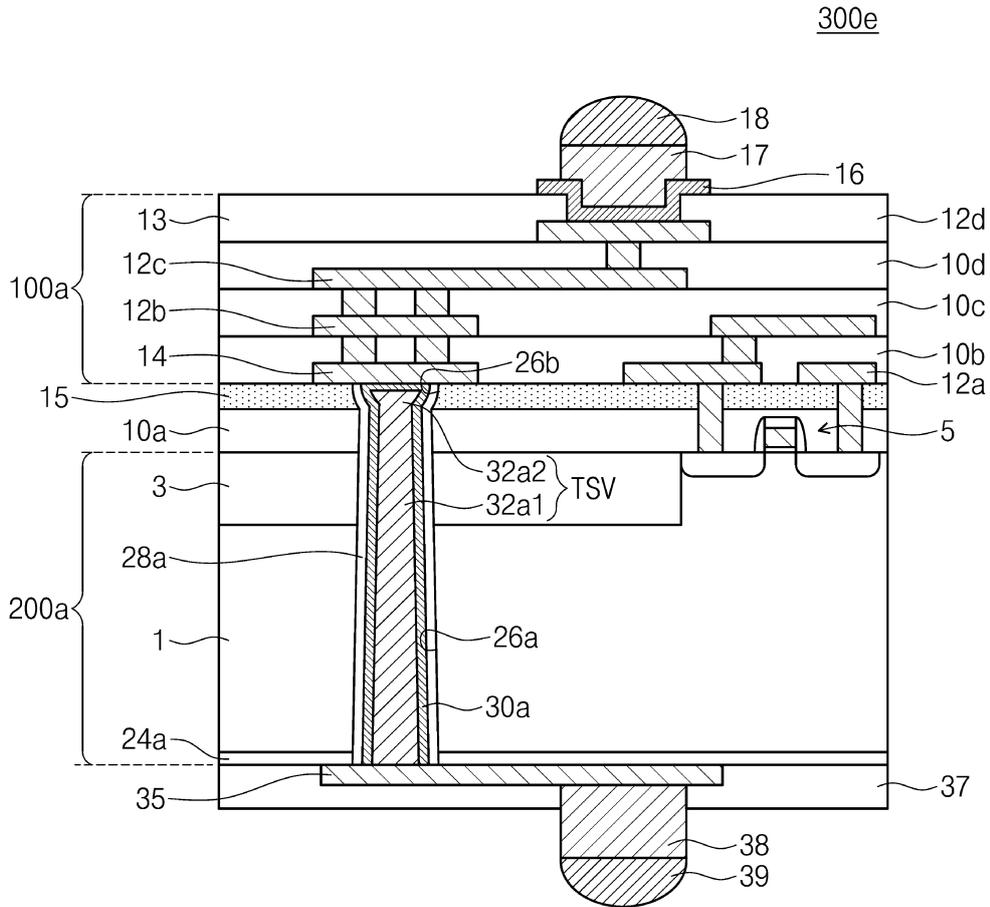
도면3c



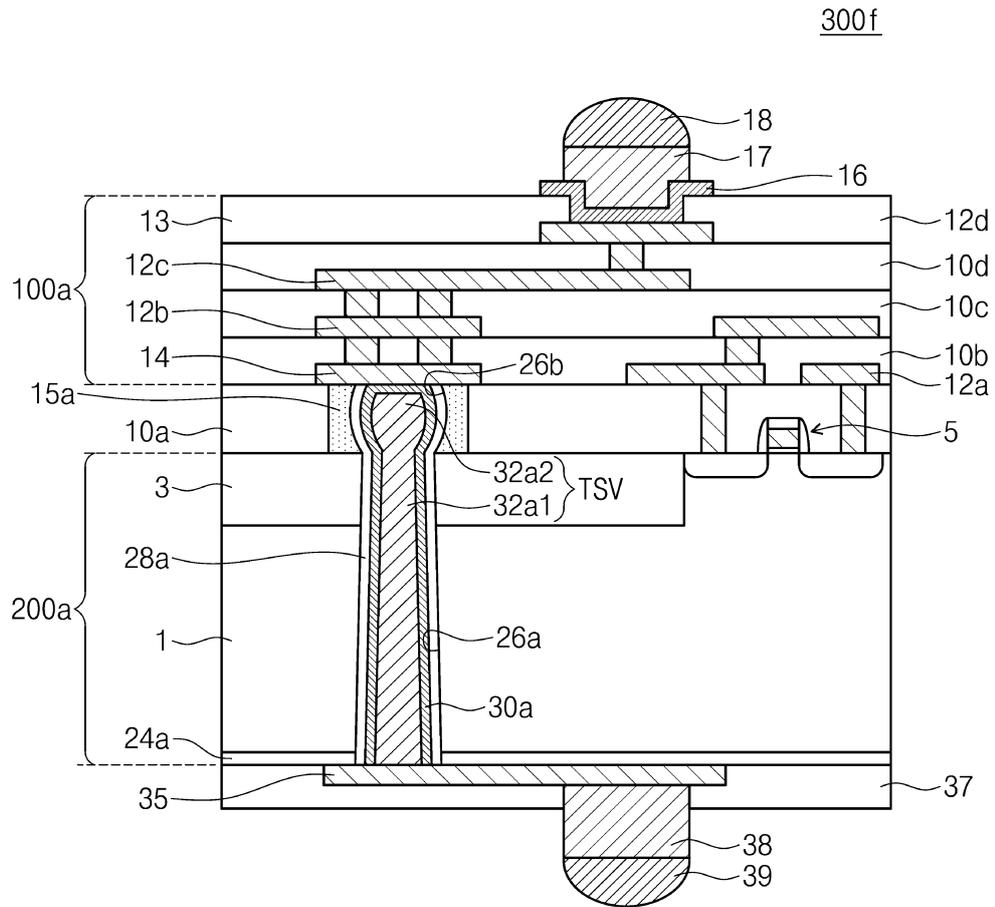
도면3d



도면4



도면5



도면6

