

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6360443号  
(P6360443)

(45) 発行日 平成30年7月18日(2018.7.18)

(24) 登録日 平成30年6月29日(2018.6.29)

(51) Int.Cl.		F I			
HO 1 L	21/82	(2006.01)	HO 1 L	21/82	C
GO 6 F	17/50	(2006.01)	GO 6 F	17/50	6 6 2 G
HO 1 L	21/336	(2006.01)	HO 1 L	21/82	W
HO 1 L	29/78	(2006.01)	HO 1 L	29/78	3 O 1 Z

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2015-5958 (P2015-5958)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成27年1月15日(2015.1.15)	(74) 代理人	110001195 特許業務法人深見特許事務所
(65) 公開番号	特開2016-134391 (P2016-134391A)	(72) 発明者	坂元 英雄 神奈川県横浜市神奈川区金港町3番地1 ルネサスシステムデザイン株式会社内
(43) 公開日	平成28年7月25日(2016.7.25)	審査官	宇多川 勉
審査請求日	平成29年11月14日(2017.11.14)		

最終頁に続く

(54) 【発明の名称】 回路シミュレーション装置、回路シミュレーション方法および回路シミュレーションプログラム

(57) 【特許請求の範囲】

【請求項1】

レイアウト設計データに基づいてトランジスタのゲート電極が延伸する方向に並ぶようにしてソース拡散層に設けられた複数の第1のコンタクトの隣接するコンタクト間の間隔、および前記方向に並ぶようにしてドレイン拡散層に設けられた複数の第2のコンタクトの隣接するコンタクト間の間隔を第1の間隔とし、前記複数の第1のコンタクトと前記ゲート電極との間隔および前記複数の第2のコンタクトと前記ゲート電極との間隔を第2の間隔として計測する計測部と、

前記計測部により計測された前記第1および前記第2の間隔に基づいて前記トランジスタの前記ゲート電極と前記ソース拡散層および前記ドレイン拡散層との間のフリンジ容量を算出する算出部と、

前記算出部で算出された前記トランジスタのフリンジ容量に基づいてレイアウトシミュレーションを実行する処理部とを備える、回路シミュレーション装置。

【請求項2】

前記算出部は、前記第1および第2の間隔に従って予め規定されるフリンジ容量を算出する算出テーブルに従って、前記計測部により計測された前記第1および前記第2の間隔に基づいてフリンジ容量を算出する、請求項1記載の回路シミュレーション装置。

【請求項3】

前記算出テーブルは、前記第1の間隔毎に前記第2の間隔に従うフリンジ容量の特性が異なる複数のテーブルを有する、請求項2記載の回路シミュレーション装置。

10

20

**【請求項 4】**

前記レイアウト設計データは、マスクレイアウト設計データである、請求項 1 記載の回路シミュレーション装置。

**【請求項 5】**

前記処理部は、S P I C E (Simulation Program with Integrated Circuit Emphasis) を利用したレイアウトシミュレーションを実行する、請求項 1 記載の回路シミュレーション装置。

**【請求項 6】**

前記処理部は、寄生抵抗および寄生容量の情報を含むネットリスト情報に基づく S P I C E を利用したレイアウトシミュレーションを実行し、

前記トランジスタのフリンジ容量は、前記寄生容量の情報に含まれる、請求項 5 記載の回路シミュレーション装置。

**【請求項 7】**

前記寄生容量の情報は、オーバーラップ容量およびコンタクトプラグ間容量をさらに含む、請求項 6 記載の回路シミュレーション装置。

**【請求項 8】**

前記フリンジ容量は、前記複数の第 1 および第 2 のコンタクトの配置に依存しない第 1 の容量特性パラメータと、前記複数の第 1 および第 2 のコンタクトの配置に依存する第 2 の容量特性パラメータとを含む、請求項 1 記載の回路シミュレーション装置。

**【請求項 9】**

レイアウト設計データに基づいてトランジスタのゲート電極が延伸する方向に並ぶようにしてソース拡散層に設けられた複数の第 1 のコンタクトの隣接するコンタクト間の間隔、および前記方向に並ぶようにしてドレイン拡散層に設けられた複数の第 2 のコンタクトの隣接するコンタクト間の間隔を第 1 の間隔とし、前記複数の第 1 のコンタクトと前記ゲート電極との間隔および前記複数の第 2 のコンタクトと前記ゲート電極との間隔を第 2 の間隔として計測するステップと、

計測された前記第 1 および前記第 2 の間隔に基づいて前記トランジスタの前記ゲート電極と前記ソース拡散層および前記ドレイン拡散層との間のフリンジ容量を算出するステップと、

算出された前記トランジスタのフリンジ容量に基づいてレイアウトシミュレーションを実行するステップとを備える、回路シミュレーション方法。

**【請求項 10】**

回路シミュレーション装置のコンピュータにおいて実行される回路シミュレーションプログラムであって、

前記プログラムは、前記コンピュータに、

レイアウト設計データに基づいてトランジスタのゲート電極が延伸する方向に並ぶようにしてソース拡散層に設けられた複数の第 1 のコンタクトの隣接するコンタクト間の間隔、および前記方向に並ぶようにしてドレイン拡散層に設けられた複数の第 2 のコンタクトの隣接するコンタクト間の間隔を第 1 の間隔とし、前記複数の第 1 のコンタクトと前記ゲート電極との間隔および前記複数の第 2 のコンタクトと前記ゲート電極との間隔を第 2 の間隔として計測するステップと、

計測された前記第 1 および前記第 2 の間隔に基づいて前記トランジスタの前記ゲート電極と前記ソース拡散層および前記ドレイン拡散層との間のフリンジ容量を算出するステップと、

算出された前記トランジスタのフリンジ容量に基づいてレイアウトシミュレーションを実行するステップとを備える、処理を実行させる、回路シミュレーションプログラム。

**【発明の詳細な説明】****【技術分野】****【0001】**

本開示は、回路シミュレーション装置、回路シミュレーション方法および回路シミュレ

10

20

30

40

50

ーションプログラムに関し、トランジスタを備えた半導体装置の回路シミュレーション装置、回路シミュレーション方法および回路シミュレーションプログラムに関する。

【背景技術】

【0002】

近年、半導体装置の回路シミュレーションの重要性がますます増大してきている。

この点で、従来の半導体装置においては、MOS-FETトランジスタのゲートの容量、配線容量の影響が大きく、それに対しMOS-FETトランジスタの近傍容量の影響は無視できる程度であった。

【0003】

一方で、微細化に伴い、回路シミュレーションとシリコンデバイスとの実測値が合わないという問題が生じている。一例として、40nmテクノロジーのデジタル回路のリングオシレータでは、周波数10%を超えるシミュレーション誤差が発生した。

【0004】

主な原因は、MOS-FETトランジスタの近傍容量のシミュレーション精度の誤差である。

【0005】

MOS-FETトランジスタの近傍容量の特性が相対的に大きくなり、回路周波数への影響が大きくなってきている。特に、MOS-FETトランジスタの近傍容量で、ゲートフリンジ容量や、ゲートオーバーラップ容量や、ゲートコンタクトプラグ間容量は、回路設計で重要な特性となっている。

【0006】

この点で、特開2011-129615号公報においては、ゲートとソース及びドレインとの重なり部分の容量であるゲートオーバーラップ容量を抽出する方式が示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2011-129615号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

一方で、MOS-FETトランジスタの近傍容量の1つであるゲートフリンジ容量については固定値が一般的に用いられており、精度の高い回路シミュレーションを保障するものではなかった。

【0009】

本開示は、上記の課題を解決するためになされたものであって、精度の高い回路シミュレーションが可能な回路シミュレーション装置、回路シミュレーション方法および回路シミュレーションプログラムを提供することを目的とする。

【0010】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

一実施例によれば、回路シミュレーション装置は、計測部と、算出部と、処理部とを備える。計測部は、レイアウト設計データに基づいてトランジスタのゲート電極が延伸する方向に並ぶようにしてソース拡散層に設けられた複数の第1のコンタクトの隣接するコンタクト間の間隔、および方向に並ぶようにしてドレイン拡散層に設けられた複数の第2のコンタクトの隣接するコンタクト間の間隔を第1の間隔とする。また、計測部は、複数の第1のコンタクトとゲート電極との間隔および複数の第2のコンタクトとゲート電極との間隔を第2の間隔として計測する。算出部は、計測部により計測された第1および第2の

10

20

30

40

50

間隔に基づいてトランジスタのゲート電極とソース拡散層およびドレイン拡散層との間のフリンジ容量を算出する。処理部は、算出部で算出されたトランジスタのフリンジ容量に基づいてレイアウトシミュレーションを実行する。

【発明の効果】

【0012】

一実施例によれば、回路シミュレーション装置は、精度の高い回路シミュレーションが可能である。

【図面の簡単な説明】

【0013】

【図1】実施形態に基づく回路シミュレーション装置1を説明する図である。 10

【図2】実施形態に基づくリングオシレータ回路の一例を説明する図である。

【図3】実施形態に基づくインバータIVのレイアウト構成を説明する図である。

【図4】実施形態に基づくネットリストの一例を説明する図である。

【図5】トランジスタの寄生抵抗(R)および寄生容量(C)を説明する図である。

【図6】寄生RC付きネットリストNRの一例を説明する図である。

【図7】実施形態に基づくトランジスタのフリンジ容量について説明する図である。

【図8】LPE部14の処理を説明するフロー図である。

【図9】レイアウト寸法計測部16でレイアウト設計データに基づくコンタクトプラグの配置に従って計測される寸法 $d_c$ 、 $d_{pc}$ を説明する図である。

【図10】実施形態に基づくフリンジ容量 $C_{fdel}$ を算出するテーブルである。 20

【発明を実施するための形態】

【0014】

本実施形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

【0015】

以上、本開示を実施形態に基づき具体的に説明したが、本開示は、実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0016】

図1は、実施形態に基づく回路シミュレーション装置1を説明する図である。 30

図1に示されるように、回路シミュレーション装置1は、SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレーション装置であり、回路設計データと、シミュレーションモデルファイルSMとの入力に基づいて回路レベルでのシミュレーションを実行する回路検証部10を含む。回路検証部10のシミュレーション結果としてレイアウト設計に用いられる回路構成要素(素子)の各種パラメータPDが算出される。

【0017】

また、回路シミュレーション装置1は、レイアウト設計部12と、LPE (Layout Parasitic Extraction) 部14と、レイアウト検証部20とを含む。

【0018】 40

レイアウト設計部12は、当該パラメータPDに従ってレイアウト設計データLDを生成する。

【0019】

LPE部14は、レイアウト寸法計測部16と、寄生RC特性計算部18とを含む。

レイアウト寸法計測部16は、レイアウト設計データLDに従って各種レイアウト寸法を計測(計算)する。

【0020】

寄生RC特性計算部18は、計測されたレイアウト寸法に従ってMOS-FETトランジスタ(以下、単にトランジスタとも称する)の寄生抵抗(R)および寄生容量(C)を計算し、寄生抵抗および寄生容量を考慮した寄生RC付きネットリストNRを出力する。 50

## 【 0 0 2 1 】

レイアウト検証部 2 0 は、寄生 R C 付きネットリスト N R とシミュレーションモデルファイル S M とに基づいてシミュレーション結果 S D を出力する。

## 【 0 0 2 2 】

図 2 は、実施形態に基づくリングオシレータ回路の一例を説明する図である。

図 2 に示されるように、複数のインバータ I V が直列に接続されるとともに、リング状に接続された構成が示されている。また、インバータ I V は、P チャネル M O S トランジスタおよび N チャネル M O S トランジスタを含む。

## 【 0 0 2 3 】

回路検証部 1 0 は、回路設計データとして一例としてリングオシレータ回路の回路図と、シミュレーションモデルファイルとに基づいて回路シミュレーションを実行する。当該回路シミュレーションにより、設計したリングオシレータ回路が所望の特性（例えば周波数特性）が出力されるか否かを検証する。所望の特性が出力されない場合には、再び各種パラメータ P D を調整して所望の特性が出力されるように調整する。

10

## 【 0 0 2 4 】

レイアウト設計部 1 2 は、回路検証部 1 0 での回路シミュレーションにより所望の特性が得られるリングオシレータ回路の検証結果として得られるパラメータ P D に従ってレイアウト設計データ L D を設計する。具体的には、リングオシレータ回路を形成するためのマスクレイアウトパターンを設計する。

## 【 0 0 2 5 】

図 3 は、実施形態に基づくインバータ I V のレイアウト構成を説明する図である。

図 3 に示されるように、当該レイアウト構成は、レイアウト設計データ L D の一部である。

20

## 【 0 0 2 6 】

インバータ I V は、P チャネル M O S トランジスタおよび N チャネル M O S トランジスタを有する。P チャネル M O S トランジスタのソース拡散層は、コンタクトプラグ間隔 C T S で配置されたコンタクトプラグ C P を介して電源線 V D D と接続される。また、ドレイン拡散層は、コンタクトプラグ間隔 C T S で配置されたコンタクトプラグ C P を介して出力信号が出力される信号線 O U T と接続される。

## 【 0 0 2 7 】

ゲートは、入力信号が入力される信号線 I N と接続される。

同様に、N チャネル M O S トランジスタのソース拡散層は、コンタクトプラグ間隔 C T S で配置されたコンタクトプラグ C P を介して接地線 V S S と接続される。また、ドレイン拡散層は、コンタクトプラグ間隔 C T S で配置されたコンタクトプラグ C P を介して出力信号が出力される信号線 O U T と接続される。

30

## 【 0 0 2 8 】

また、レイアウト設計部 1 2 は、レイアウト設計データ L D として、シミュレーションで利用するネットリストを設計する。

## 【 0 0 2 9 】

図 4 は、実施形態に基づくネットリストの一例を説明する図である。

図 4 に示されるように、ここでは、図 3 のレイアウト構成のインバータ I V の N チャネル M O S トランジスタのゲートを構成する 1 層の金属配線層 ( M 1 ) のゲート長 L およびゲート幅 W の長さが一例として示されている。他のレイアウト構成についても同様にネットリストとして記述されている。

40

## 【 0 0 3 0 】

L P E 部 1 4 は、レイアウト設計部 1 2 により設計されたレイアウト設計データ L D に基づいて寄生 R C 特性を計算する。

## 【 0 0 3 1 】

図 5 は、トランジスタの寄生抵抗 ( R ) および寄生容量 ( C ) を説明する図である。

図 5 に示されるように、1 つのトランジスタに対して回路シミュレーションに影響を与

50

える種々の寄生抵抗 ( R ) および寄生容量 ( C ) が付加された状態が示されている。

【 0 0 3 2 】

L P E 部 1 4 のレイアウト寸法計測部 1 6 は、レイアウト設計データ L D に従って寄生 R C 特性を演算するために必要な各種レイアウト寸法を計測する。

【 0 0 3 3 】

寄生 R C 特性計算部 1 8 は、計測されたレイアウト寸法に従ってトランジスタの各寄生抵抗 ( R ) および寄生容量 ( C ) を計算する。

【 0 0 3 4 】

寄生容量として、本例においては主にフリンジ容量について説明するが、フリンジ容量だけでなく、オーバーラップ容量およびコンタクトプラグ間容量も算出した寄生容量を計算する。

10

【 0 0 3 5 】

図 6 は、寄生 R C 付きネットリスト N R の一例を説明する図である。

図 6 に示されるように、ここでは、図 4 のネットリストに加えて、インバータ I V の N チャンネル M O S トランジスタの寄生抵抗 ( R ) および寄生容量 ( C ) の寄生 R C 特性に関する情報が述べられている。

【 0 0 3 6 】

また、レイアウト寸法計測部 1 6 により計測されたレイアウト寸法の情報も記述されている。例えば、トランジスタのソース拡散層の長さ S A およびドレイン拡散層の長さ S B が記述されている。

20

【 0 0 3 7 】

レイアウト検証部 2 0 は、寄生 R C 付きネットリスト N R と、シミュレーションモデル ファイル S M とに基づいてレイアウトシミュレーションを実行する。当該レイアウトシミュレーションにより、設計したリングオシレータ回路が所望の特性 ( 例えば周波数特性 ) が出力されるか否かを検証する。所望の特性が出力されない場合には、再びレイアウト設計データを調整して所望の特性が出力されるように調整する。

【 0 0 3 8 】

< フリンジ容量について >

図 7 は、実施形態に基づくトランジスタのフリンジ容量について説明する図である。

【 0 0 3 9 】

図 7 には、トランジスタの断面構造が示されている。

30

具体的には、トランジスタは、ドレイン拡散層 3 2 と、ソース拡散層 3 6 と、ゲート 3 4 と、コンタクトプラグ 3 0 とを含む。

【 0 0 4 0 】

ここで、ゲート 3 4 とソース拡散層 3 6 およびドレイン拡散層 3 2 との重なり部分の容量であるゲートオーバーラップ容量  $C_{ov}$  と、ゲート 3 4 とコンタクトプラグ 3 0 との間のコンタクトプラグ間容量  $C_{ct}$  とが示されている。

【 0 0 4 1 】

また、ゲート 3 4 とソース拡散層 3 6 およびドレイン拡散層 3 2 との間のフリンジ容量  $C_f$  とが示されている。

40

【 0 0 4 2 】

従来においては、ゲート 3 4 とソース拡散層 3 6 およびドレイン拡散層 3 2 との間のフリンジ容量  $C_f$  は、ソース拡散層 3 6 およびドレイン拡散層 3 2 に接続されるコンタクトプラグの配置によらず、固定値で設定されていた。

【 0 0 4 3 】

実際には、コンタクトプラグ 3 0 が配置されると、ソース拡散層 3 6 およびドレイン拡散層 3 2 への電気力線が一部シールドされ、フリンジ容量  $C_f$  が減少する物理現象が生じる。

【 0 0 4 4 】

本例においては、コンタクトプラグ 3 0 の配置によらず決まるフリンジ容量成分  $C_f 1$

50

(第1の容量特性パラメータ)と、コンタクトプラグの配置に従って特性が変わるフリンジ容量成分を $C_{f2}$ 、 $C_{f3}$ (第2の容量特性パラメータ)として説明する。

【0045】

フリンジ容量成分 $C_{f2}$ は、コンタクトプラグ30を配置した場合、ソース拡散層36およびドレイン拡散層32上へ電気力線が物理的に接続されない物理原理から配置に応じて変動する容量成分である。

【0046】

フリンジ容量成分 $C_{f3}$ は、コンタクトプラグ30を配置した場合、コンタクトプラグ30からゲート方向後方部への拡散層上へ電気力線が物理的に接続されない物理原理から配置に応じて変動する容量成分である。

10

【0047】

微細化が進むにつれて、ゲート、コンタクトプラグ間の寸法が小さくなるため、フリンジ容量成分 $C_{f1}$ に対して、変動するフリンジ容量成分 $C_{f2}$ 、 $C_{f3}$ の割合が相対的に大きくなる。

【0048】

したがって、従来のシミュレーションで利用するフリンジ容量と実測値のフリンジ容量との間には無視できない乖離が生じていた

それゆえ、コンタクトプラグの配置によって電気力線がシールドされ、ソース及びドレインの拡散層へ接続されるフリンジ容量が減少する物理現象が生じるため、コンタクトプラグの配置に従う寸法 $d_c$ 、 $d_{pc}$ に応じて変動するフリンジ容量 $C_{fde1}$ ( $C_{f2} + C_{f3}$ )を算出する必要がある。

20

【0049】

ここで、寸法 $d_c$ は、隣接するコンタクトプラグ間の寸法(第1の間隔)である。端に設けられたコンタクトプラグの場合には、拡散層の端と当該コンタクトプラグとの間の寸法である。寸法 $d_{pc}$ は、ゲートとコンタクトプラグ間の寸法(第2の間隔)である。

【0050】

図8は、LPE部14の処理を説明するフロー図である。

図8に示されるように、まず、レイアウト設計データに基づいて寸法 $d_c$ 、 $d_{pc}$ を計測する処理を実行する(ステップS2)。

【0051】

30

次に、計測した寸法 $d_c$ 、 $d_{pc}$ に基づいてフリンジ容量 $C_{fde1}$ を算出する(ステップS4)。

【0052】

次に、固定されたフリンジ容量 $C_{f1}$ と、変動するフリンジ容量 $C_{fde1}$ を寄生RC付きネットリストに付加する処理を実行する(ステップS6)。

【0053】

そして、処理を終了する(エンド)。

図9は、レイアウト寸法計測部16でレイアウト設計データに基づくコンタクトプラグの配置に従って計測される寸法 $d_c$ 、 $d_{pc}$ を説明する図である。

【0054】

40

図9に示されるように、ソース拡散層には、ゲート電極が延伸する方向に並ぶようにして2つのコンタクトプラグ $CP1$ 、 $CP2$ が配置される。また、ドレイン拡散層には、ゲート電極が延伸する方向に並ぶようにして2つのコンタクトプラグ $CP3$ 、 $CP4$ が配置される。

【0055】

コンタクトプラグ $CP1$ のゲートとの間の寸法 $d_{pc}$ は、 $d_{pc1}$ として計測(計算)される。

【0056】

また、コンタクトプラグ $CP1$ の拡散層の端までの寸法 $d_c$ は、 $d_{c1}$ として計測(計算)される。

50

## 【 0 0 5 7 】

コンタクトプラグ C P 2 のゲートとの間の寸法  $d_{pc}$  は、 $d_{pc2}$  として計測（計算）される。

## 【 0 0 5 8 】

また、コンタクトプラグ C P 1 と C P 2 との間の寸法  $d_c$  は、 $d_{c2}$  として計測（計算）される。

## 【 0 0 5 9 】

コンタクトプラグ C P 2 の拡散層の端までの寸法  $d_c$  は、 $d_{c3}$  として計測（計算）される。

## 【 0 0 6 0 】

コンタクトプラグ C P 3 のゲートとの間の寸法  $d_{pc}$  は、 $d_{pc3}$  として計測（計算）される。

10

## 【 0 0 6 1 】

また、コンタクトプラグ C P 3 の拡散層の端までの寸法  $d_c$  は、 $d_{c3}$  として計測（計算）される。

## 【 0 0 6 2 】

コンタクトプラグ C P 4 のゲートとの間の寸法  $d_{pc}$  は、 $d_{pc4}$  として計測（計算）される。

## 【 0 0 6 3 】

また、コンタクトプラグ C P 3 と C P 4 との間の寸法  $d_c$  は、 $d_{c4}$  として計測（計算）される。

20

## 【 0 0 6 4 】

コンタクトプラグ C P 4 の拡散層の端までの寸法  $d_c$  は、 $d_{c5}$  として計測（計算）される。

## 【 0 0 6 5 】

図 10 は、実施形態に基づくフリンジ容量  $C_{fde1}$  を算出するテーブルである。

図 10 に示されるように、寸法  $d_c$  ,  $d_{pc}$  に従う変動するフリンジ容量  $C_{fde1}$  の特性線が示されている。当該テーブルは、予め寸法を測定して実験等することにより得られる特性線である。

## 【 0 0 6 6 】

また、当該テーブルは、L P E 部 1 4 に保持されていても良いし、格納された図示しない記憶部から取得するようにしても良い。

30

## 【 0 0 6 7 】

寄生 R C 特性計算部 1 8 は、レイアウト寸法計測部 1 6 で計測された寸法に基づいて当該テーブルを利用してフリンジ容量を計算する。

## 【 0 0 6 8 】

一例として寸法  $d_{c1}$  ,  $d_{c2}$  ,  $d_{c3}$  ( $d_{c1} > d_{c2} > d_{c3}$ ) それぞれに対応するフリンジ容量の特性線が設けられている。ここでは、寸法  $d_{pc}$  と、 $d_c$  とをパラメータとする  $C_{fde1}$  関数の特性線が示されている。

## 【 0 0 6 9 】

当該フリンジ容量は、単位長当たりのフリンジ容量である。

したがって、ソース側のフリンジ容量  $C_{fde1}$  は、 $C_{fde1}(d_{pc1}, d_{c1}) \times w_1 + C_{fde1}(d_{pc2}, d_{c2}) \times w_2 / 2 + C_{fde1}(d_{pc2}, d_{c2}) \times w_2 / 2 + C_{fde1}(d_{pc2}, d_{c3}) \times w_3$  として算出することが可能である。

40

## 【 0 0 7 0 】

同様に、ドレイン側のフリンジ容量  $C_{fde1}$  は、 $C_{fde1}(d_{pc3}, d_{c3}) \times w_4 + C_{fde1}(d_{pc3}, d_{c4}) \times w_5 / 2 + C_{fde1}(d_{pc4}, d_{c4}) \times w_5 / 2 + C_{fde1}(d_{pc4}, d_{c5}) \times w_6$  として算出することが可能である。

## 【 0 0 7 1 】

当該フリンジ容量  $C_{fde1}$  と、固定されたフリンジ容量  $C_{f1}$  とに基づきフリンジ容

50

量 C f を算出することが可能である。

【 0 0 7 2 】

そして、当該情報が寄生 R C 付きネットリストに付加されて、レイアウト検証部 2 0 でレイアウトシミュレーションを実行することにより精度の高いシミュレーションが可能となる。

【 0 0 7 3 】

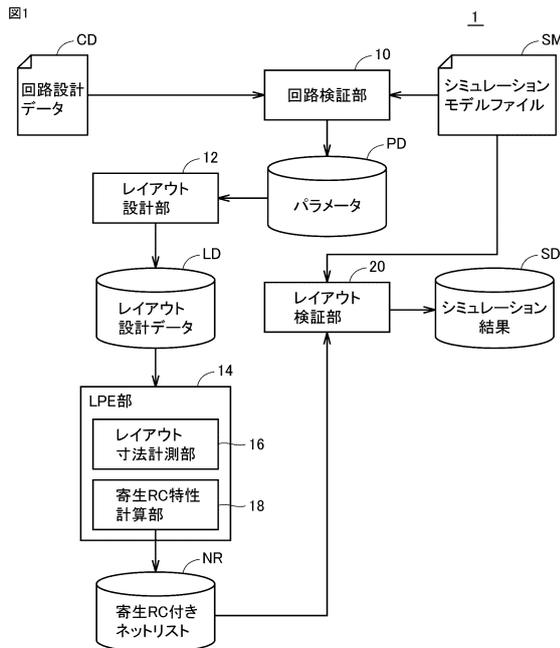
また、本実施形態におけるプログラムとして、上記の図 8 等で説明した処理をパーソナルコンピュータで実行可能なアプリケーションを提供してもよい。このとき、本実施の形態に係るプログラムは、パーソナルコンピュータ上で実行される各種アプリケーションの一部の機能として組み込まれてもよい。

【 符号の説明 】

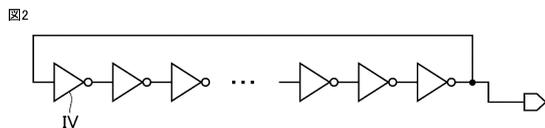
【 0 0 7 4 】

1 回路シミュレーション装置、10 回路検証部、12 レイアウト設計部、14 L P E 部、16 レイアウト寸法計測部、18 寄生 R C 特性計算部、20 レイアウト検証部。

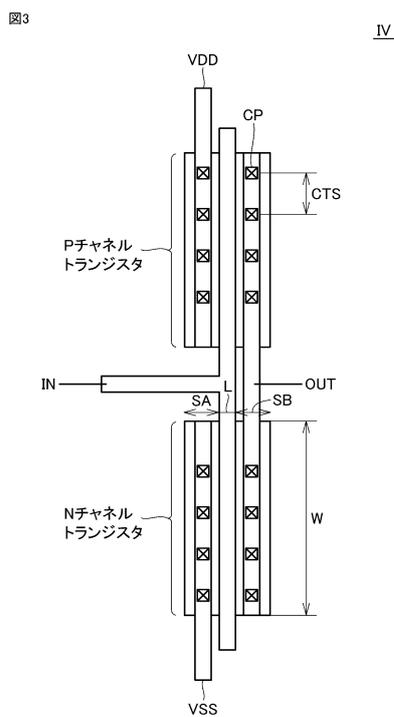
【 図 1 】



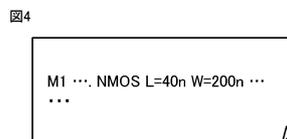
【 図 2 】



【 図 3 】

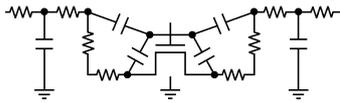


【 図 4 】



【図5】

図5



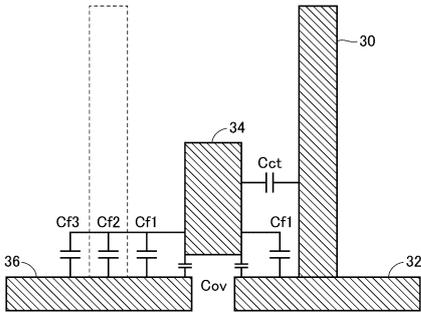
【図6】

図6

M1 ... NMOS L=40n W=200n SA=160n SB=160n ...  
 R1 ... 0.3  
 R2 ... 0.2  
 C1 ... 0.2f  
 C2 ... 0.3f  
 ...

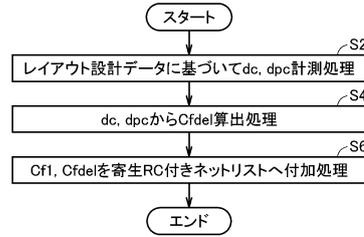
【図7】

図7



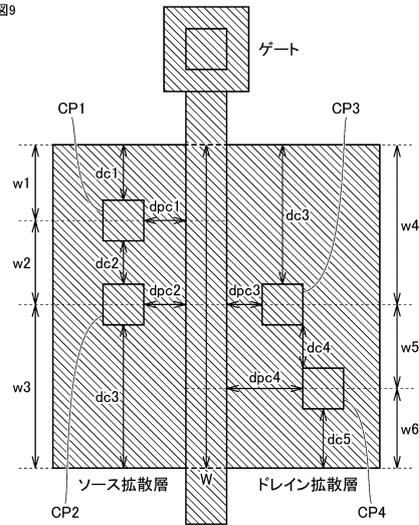
【図8】

図8



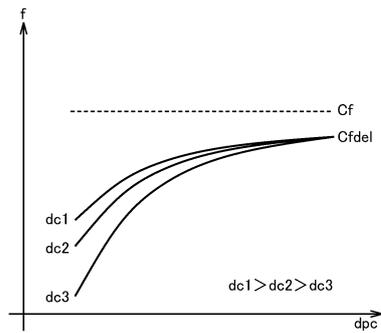
【図9】

図9



【図10】

図10



---

フロントページの続き

- (56)参考文献 特開平 1 1 - 2 8 4 1 7 0 ( J P , A )  
特開 2 0 1 0 - 0 1 0 5 1 5 ( J P , A )  
特開 2 0 1 3 - 2 3 2 1 3 5 ( J P , A )  
特開平 1 0 - 0 5 0 8 4 9 ( J P , A )  
特開 2 0 1 1 - 1 2 9 6 1 5 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 8 2  
G 0 6 F 1 7 / 5 0  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 7 8