

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5503857号
(P5503857)

(45) 発行日 平成26年5月28日(2014.5.28)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int.Cl.		F I	
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 1 8 A
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 1 8 E
HO 1 L 21/205	(2006.01)	HO 1 L 21/205	

請求項の数 4 (全 30 頁)

(21) 出願番号	特願2008-233651 (P2008-233651)	(73) 特許権者	000153878
(22) 出願日	平成20年9月11日(2008.9.11)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2009-88501 (P2009-88501A)		神奈川県厚木市長谷398番地
(43) 公開日	平成21年4月23日(2009.4.23)	(74) 代理人	100108741
審査請求日	平成23年8月30日(2011.8.30)		弁理士 渡邊 順之
(31) 優先権主張番号	特願2007-240201 (P2007-240201)	(72) 発明者	山崎 舜平
(32) 優先日	平成19年9月14日(2007.9.14)		神奈川県厚木市長谷398番地 株式会社
(33) 優先権主張国	日本国(JP)		半導体エネルギー研究所内
		(72) 発明者	神保 安弘
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	古野 誠
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上にゲート電極を形成し、
前記基板及び前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上にフッ化シラン及びシランを用いて結晶核を形成し、
シランを用いて前記結晶核を結晶成長させることにより微結晶半導体膜を形成し、
前記結晶成長は、フッ化シランを導入せずに行うことを特徴とする薄膜トランジスタの作製方法。

【請求項2】

基板上にゲート電極を形成し、
前記基板及び前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜表面にフッ化シラン及び水素を用いてプラズマ処理を行い、
前記ゲート絶縁膜上にフッ化シラン及びシランを用いて結晶核を形成し、
シランを用いて前記結晶核を結晶成長させることにより微結晶半導体膜を形成し、
前記結晶成長は、フッ化シランを導入せずに行うことを特徴とする薄膜トランジスタの作製方法。

【請求項3】

請求項1又は2において、
前記結晶核の形成及び前記結晶成長は、グロー放電プラズマによることを特徴とする薄膜トランジスタの作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記微結晶半導体膜を形成した後、大気に触れさせることなく連続的に前記微結晶半導体膜上にバッファ層を形成することを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタの作製方法、及び少なくとも画素部に薄膜トランジスタを用いた表示装置の作製方法に関する。

【背景技術】

10

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）をチャネル形成領域に用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタ、多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザビームを光学系により線状に加工して、非晶質珪素膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

20

【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタが用いられている（特許文献 1 及び 2）。

【特許文献 1】特開平 4 - 242724 号公報

【特許文献 2】特開 2005 - 49832 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタに比べて移動度が 2 桁以上高く、半導体表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜をチャネル形成領域に用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

30

【0006】

また、微結晶半導体膜をチャネル形成領域に用いた逆スタガ型の薄膜トランジスタにおいては、ゲート絶縁膜及び微結晶半導体膜の界面領域における結晶性が低く、薄膜トランジスタの電気的特性が悪いという問題がある。

【0007】

40

上述した問題に鑑み、本発明は、電気特性が優れ、信頼性の高い薄膜トランジスタ、及びそれを有する表示装置を歩留まりよく作製する方法を提案することを課題とする。

【課題を解決するための手段】

【0008】

ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に、フッ素、若しくは水素、シリコン、ゲルマニウム等のフッ化物と、シリコンまたはゲルマニウムを含む堆積性ガスとを用いて結晶核を形成し、前記結晶核を種としてシリコンまたはゲルマニウムを含む堆積性ガスを用いて結晶成長させて微結晶半導体膜を形成して、ゲート絶縁膜及び微結晶半導体膜の界面における結晶性を高める。次に、ゲート絶縁膜との界面における結晶性が高められた微結晶半導体膜をチャネル形成領域として用いて薄膜トランジスタを形成することを

50

特徴とする。

【0009】

また、ゲート絶縁膜との界面における結晶性が高められた微結晶半導体膜上に連続的にバッファ層を形成し、バッファ層上にソース領域及びドレイン領域、並びにソース配線及びドレイン配線を形成することで、薄膜トランジスタを形成する。

【0010】

また、当該薄膜トランジスタに接続する画素電極を形成して表示装置を作製することを特徴とする。

【0011】

水素、シリコン、ゲルマニウム等のフッ化物としては、 HF 、 SiF_4 、 SiHF_3 、 SiH_2F_2 、 SiH_3F 、 Si_2F_6 、 GeF_4 、 GeHF_3 、 GeH_2F_2 、 GeH_3F 、 Ge_2F_6 等がある。また、シリコンまたはゲルマニウムを含む堆積性ガスとしては、 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等がある。

【0012】

また、微結晶半導体膜をチャネル形成領域に用い、薄膜トランジスタ(TFT)を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示装置を作製する。微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、その移動度が $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタの $2 \sim 20$ 倍の移動度を有しているため、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0013】

また、表示装置としては、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には有機EL(エレクトロルミネッセンス)及び無機ELが含まれる。

【0014】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0015】

なお、本明細書中における表示装置とは、画像表示デバイス、発光デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【発明の効果】

【0016】

本発明により、電気特性が優れ、信頼性の高い薄膜トランジスタ、及びそれを有する表示装置を作製することができる。

【0017】

チャネル形成領域を微結晶半導体膜で構成することにより、しきい値電圧の変動が抑制され、電界効果移動度が向上し、サブスレッショルド係数(subthreshold swing: S値)も小さくなるため、薄膜トランジスタの高性能化を図ることができる。それにより、表示装置の駆動周波数を高くすることが可能であり、パネルサイズの大面積

10

20

30

40

50

化や画素の高密度化にも十分対応することができる。

【発明を実施するための最良の形態】

【0018】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。なお、以下の実施の形態で示す生産システムにおける各装置の配置は一例を示し、同様の作用効果を奏する配置であれば図示されるものに限定解釈されるべきものではない。

10

【0019】

(実施の形態1)

本実施の形態では、薄膜トランジスタの作製工程について、図1乃至図17を用いて説明する。図1～2、5、9、10、12、14、15、17は、薄膜トランジスタの作製工程を示す断面図であり、図11、及び16は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図である。

【0020】

微結晶半導体膜を有する薄膜トランジスタは、p型よりもn型の方が、移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、作製工程数を抑えるためにも望ましい。ここでは、nチャンネル型の薄膜トランジスタを用いて説明する。

20

【0021】

図1(A)に示すように、基板50上にゲート電極51を形成し、ゲート電極51上に、ゲート絶縁膜52a、52bを形成する。

【0022】

基板50は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。

30

【0023】

ゲート電極51は、金属材料で形成される。金属材料としてはアルミニウム、クロム、チタン、タンタル、モリブデン、銅などが適用される。ゲート電極51の好適例は、アルミニウム又はアルミニウムとバリア金属の積層構造体によって形成される。バリア金属としては、チタン、モリブデン、クロムなどの高融点金属が適用される。バリア金属はアルミニウムのヒロック防止、酸化防止のために設けることが好ましい。ここでは、基板50上に導電膜としてモリブデン膜をスパッタリング法により成膜し、第1のフォトマスクを用いて形成したマスクパターンを用いて基板50上に形成された導電膜をエッチングしてゲート電極を形成する。

【0024】

ゲート電極51は厚さ50nm以上300nm以下で形成する。ゲート電極51の厚さを50nm以上100nm以下とすることで、後に形成される半導体膜や配線の段切れ防止が可能である。また、ゲート電極51の厚さを150nm以上300nm以下とすることで、ゲート電極51の抵抗を低減することが可能であり、大面積化が可能である。

40

【0025】

なお、ゲート電極51上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線や容量配線も同時に形成することができる。

【0026】

ゲート絶縁膜52a、52bはそれぞれ、CVD法やスパッタリング法等を用いて、酸化

50

珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜52aとして窒化珪素膜または窒化酸化珪素膜を形成し、ゲート絶縁膜52bとして酸化珪素膜または酸化窒化珪素膜を形成して積層する形態を示す。なお、ゲート絶縁膜を2層とせず、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。

【0027】

また、3層のゲート絶縁膜で形成し、ゲート電極上に、窒化珪素膜または窒化酸化珪素膜を形成し、その上に酸化珪素膜または酸化窒化珪素膜を形成し、その上に厚さ1nm~5nm程度の窒化珪素膜または窒化酸化珪素膜を形成することができる。

【0028】

また、厚さ1nm~5nm程度の窒化珪素膜の形成方法としては、ゲート絶縁膜52bに対し、高密度プラズマを用いて窒化处理して、ゲート絶縁膜52bの表面に窒素珪素膜を形成することができる。高密度プラズマ窒化を行うことで、より高い濃度の窒素を含有する窒化珪素膜を得ることも可能である。高密度プラズマは、高い周波数のマイクロ波、たとえば2.45GHzを使うことによって生成される。低電子温度が特徴である高密度プラズマは、活性種の運動エネルギーが低いため、従来のプラズマ処理に比べプラズマダメージが少なく欠陥が少ない層を形成することができる。また、ゲート絶縁膜52bの表面の粗さが小さくできるため、キャリア移動度を大きくすることができる。

【0029】

ゲート絶縁膜52aを窒化珪素膜、または窒化酸化珪素膜を用いて形成することで、基板50とゲート絶縁膜52aの密着力が高まり、基板50としてガラス基板を用いた場合、基板50からの不純物が微結晶半導体膜に拡散するのを防止することが可能であり、さらにゲート電極51の酸化防止が可能である。即ち、膜剥れを防止することができると共に、後に形成される薄膜トランジスタの電気特性を向上させることができる。また、ゲート絶縁膜52a、52bはそれぞれ厚さ50nm以上であると、ゲート電極51の凹凸による被覆率の低減を緩和することが可能であるため好ましい。

【0030】

なお、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、組成範囲として酸素が50~70原子%、窒素が0.5~15原子%、珪素が25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、組成範囲として酸素が5~30原子%、窒素が20~55原子%、珪素が25~35原子%、水素が10~30原子%の範囲で含まれるものをいう。但し、酸化窒化珪素または窒化酸化珪素を構成する原子の合計を100原子%としたとき、窒素、酸素、珪素及び水素の含有比率が上記の範囲内に含まれるものとする。

【0031】

次に、ゲート絶縁膜52b表面との界面において、非晶質層が形成されないように、ゲート絶縁膜52b上に微結晶半導体膜を形成する。具体的には、ゲート絶縁膜52b上に結晶核57を形成する。次に、結晶核57を種として結晶成長させて、図1(B)に示すように、微結晶半導体膜53を形成する。

【0032】

以下に、微結晶半導体膜53を形成する方法として、代表例として微結晶シリコン膜を成膜する工程について、図4を参照して時系列的に説明する。また、ゲート絶縁膜及び微結晶半導体膜の界面の拡大断面図である図2及び図3を用いて、結晶核形成処理及び成膜処理について、説明する。

【0033】

図4は微結晶半導体膜を形成する工程を説明するタイムチャートであり、代表的な一例を

10

20

30

40

50

示す。図4の説明は反応室を大気圧から真空排気440する段階から示されており、その後に行われる基板搬入441、下地前処理442、結晶核形成処理443、成膜処理444、基板搬出445、クリーニング446の各処理が時系列的に示されている。

【0034】

まず、反応室内を所定の圧力(NP)まで真空排気する。高真空排気する場合には、ターボ分子ポンプ等による排気を行い、真空度として 10^{-1} Paよりも低い圧力に真空排気する。また、反応室を加熱処理して内壁からの脱ガス処理を行うことが好ましい。また、基板を加熱するヒータも動作させて温度を安定化させる。基板の加熱温度(ST)は $100 \sim 300$ 、好ましくは $120 \sim 280$ 、好ましくは $120 \sim 220$ で行う。

10

【0035】

基板搬入441において、反応室に接続されるロードロック室から基板が反応室に搬入される。このときの反応室の圧力はロードロック室と同じ圧力(LP)となる。

【0036】

下地前処理442は、反応室の内壁に吸着した気体(酸素及び窒素などの大気成分、若しくは反応室のクリーニングに使用したエッチングガス)を除去するために水素、さらにはアルゴンなどの希ガスを導入してプラズマ処理をすることが好ましい。アルゴン、クリプトン、キセノンなど質量数の大きい希ガス元素のプラズマを用いることで、表面に付着した酸素、水分、有機物、金属元素などをスパッタリングの効果で除去するため好ましい。水素を用いたプラズマ処理は、水素ラジカルにより、表面に吸着した前記不純物の除去と、絶縁膜若しくは非晶質シリコン膜に対するエッチング作用により清浄表面を形成するのに有効である。なお、このときの反応室の圧力は、反応室内にガスが導入されるため、設定圧力(SP)となる。

20

【0037】

なお、下地前処理442において、破線447に示すように、フッ化シランガスを反応室内に導入して、水素を用いたプラズマ処理若しくは希ガスをを用いたプラズマ処理と同様に、不純物の除去、清浄表面の形成を行ってもよい。

【0038】

結晶核形成処理443は、反応室内において、フッ素、若しくは、水素、シリコン、ゲルマニウム等のフッ化物、ここではフッ化シランと、水素と、シリコンまたはゲルマニウムを含む堆積性ガス、ここではシランを混合し、グロー放電プラズマにより、結晶核を形成する。グロー放電プラズマにより、フッ化シランからフッ素ラジカルが生じる。フッ素ラジカルは反応性が高く、微結晶半導体と比較してエッチングされやすい非晶質半導体を選択的にエッチングする。このため、微結晶半導体である結晶核が選択的に形成されやすい。この結果、図2(A)に示すように、ゲート絶縁膜52b上に結晶核57を堆積させることができる。なお、フッ化シランを分解し、結晶核を形成するためには高い電力を必要とする。また、フッ素、若しくは、水素、シリコン、ゲルマニウム等のフッ化物の代わりに、塩化シランを用いることもできる。

30

【0039】

図4に示す微結晶シリコン膜を形成する成膜処理444は、結晶核形成処理443に続いて行われる処理である。微結晶シリコン膜は、シランガスと水素及び/又は希ガスを混合してグロー放電プラズマにより成膜する。シランガスは水素及び/又は希ガスで10倍から2000倍に希釈される。そのため多量の水素及び/又は希ガスが必要とされる。基板の加熱温度は $100 \sim 300$ 、好ましくは $120 \sim 220$ で行う。微結晶シリコン膜の成長表面を水素で不活性化し、微結晶シリコンの成長を促進するためには $120 \sim 220$ で成膜を行うことが好ましい。成膜処理444において、活性種であるSiHラジカル、SiH₂ラジカル、SiH₃ラジカルが結晶核57に結合して結晶成長する。この結果、微結晶半導体膜53を形成することができる。このとき、微結晶半導体は、結晶核57を種として縦成長するため、ゲート絶縁膜52bに対して法線方向に結晶が成長し、図2(B)に示すように、柱状の微結晶53aが並んだ微結晶半導体膜53を形成す

40

50

ることができる。即ち、ゲート絶縁膜との界面において、非晶質層を形成することなく、ゲート絶縁膜上に微結晶半導体膜を形成することができる。また、結晶核形成処理 4 4 3 においてのみフッ化シランを用いて結晶核を形成し、微結晶半導体膜を形成する成膜処理 4 4 4 ではフッ化シランを用いないことで、微結晶半導体膜中に含まれるフッ素の濃度を低減することができる。また、フッ化シランを用いずにシランを用いて微結晶半導体膜を形成するため、フッ化シランを用いて微結晶半導体膜を形成するよりも膜の応力発生を低減することが可能であり、膜剥れを低減することができる。

【 0 0 4 0 】

微結晶半導体膜を形成する成膜処理 4 4 4 における電力は、結晶核形成処理 4 4 3 と比較して、電力を低くすることで、結晶核に対してイオン衝撃を低減することが可能であり、結晶核を破壊することなく、結晶成長させることができる。

10

【 0 0 4 1 】

なお、成膜処理 4 4 4 において、破線 4 4 8 に示すように、結晶核形成処理 4 4 3 における流量より少ないフッ化シランを反応室内に導入することで、微結晶半導体膜における非晶質半導体成分をフッ素ラジカルによって、エッチングすることが可能であり、微結晶半導体膜 5 3 中の微結晶成分の割合を高めることができる。

【 0 0 4 2 】

また、シラン等のガス中に GeH_4 、 GeF_4 などの水素化ゲルマニウム、フッ化ゲルマニウムを混合して、エネルギーバンド幅を $0.9 \sim 1.1 eV$ に調節しても良い。シリコンにゲルマニウムを加えると薄膜トランジスタの温度特性を変えることができる。

20

【 0 0 4 3 】

従来の微結晶半導体膜の形成方法では、図 3 に示すように、不純物や格子不整合などの要因により堆積初期段階において非晶質層 4 9 が形成されてしまう。薄膜トランジスタにおいては、ゲート絶縁膜の近傍の微結晶半導体膜においてキャリアが流れるため、界面において非晶質層 4 9 が形成されると、移動度が低下すると共に、電流量が少なく、薄膜トランジスタの電気特性が低下してしまう。

【 0 0 4 4 】

しかしながら、本実施の形態に示すように、結晶核形成処理及び成膜処理を行うことで、結晶核 5 7 を種として、微結晶半導体が縦成長するため、膜の厚さ方向における結晶性を高めると共に、ゲート絶縁膜及び微結晶半導体膜の界面の結晶性を高めることができる。

30

【 0 0 4 5 】

プラズマの生成は、本形態で示されるように、 $1 MHz$ から $20 MHz$ 、代表的には $13.56 MHz$ の高周波電力、または $20 MHz$ より大きく $120 MHz$ 程度までの VHF 帯の高周波電力を印加することで行われる。また、周波数が $1 MHz$ 以上のマイクロ波電力を印加してもよい。

【 0 0 4 6 】

なお、基板搬入 4 4 1 の前にプラズマ CVD 装置の反応室内に半導体膜をプレコートすることで、微結晶シリコン膜中に反応室を構成する金属を不純物として取り込んでしまうのを防ぐことができる。すなわち、反応室内をシリコンで被覆しておくことで、反応室内がプラズマにより食刻されることを防ぐことができ、微結晶シリコン膜中に含まれる不純物濃度を低減することができる。

40

【 0 0 4 7 】

成膜処理 4 4 4 においては、シラン及び水素の他、反応ガスにヘリウムを加えてもよい。ヘリウムは $24.5 eV$ とすべての気体中で最も高いイオン化エネルギーを持ち、そのイオン化エネルギーよりも少し低い、約 $20 eV$ の準位に準安定状態があるので、放電持続中においては、イオン化にはその差約 $4 eV$ しか必要としない。そのため放電開始電圧も全ての気体中最も低い値を示す。このような特性から、ヘリウムはプラズマを安定的に維持することができる。また、均一なプラズマを形成することができるので、微結晶シリコン膜を堆積する基板の面積が大きくなってもプラズマ密度の均一化を図る効果を奏する。

【 0 0 4 8 】

50

微結晶シリコン膜の成膜が終了した後、シラン、水素などの反応ガス及び高周波電力の供給を止めて基板搬出 4 4 5 を行う。引き続き別基板に対して成膜処理を行う場合には、基板搬入 4 4 1 の段階に戻り同じ処理が行われる。反応室内に付着した被膜や粉末を除去するには、クリーニング 4 4 6 を行う。

【 0 0 4 9 】

クリーニング 4 4 6 は NF_3 、 SF_6 に代表されるエッチングガスを導入してプラズマエッチングを行う。また、 ClF_3 のようにプラズマを利用しなくてもエッチングが可能なガスを導入して行う。クリーニング 4 4 6 においては基板加熱用のヒータを切って、温度を下げて行うことが好ましい。エッチングによる反応副生成物の生成を抑えるためである。クリーニング 4 4 6 の終了後は基板搬入 4 4 1 に戻り、以下同様の処理を行えば良い。

10

【 0 0 5 0 】

ここでの微結晶半導体膜とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が $0.5 \sim 20 \text{ nm}$ の柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非単結晶半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許 4, 409, 134 号で開示されている。

20

【 0 0 5 1 】

微結晶半導体膜 5 3 は、 1 nm 以上 200 nm 以下、好ましくは 1 nm 以上 100 nm 以下、好ましくは 1 nm 以上 50 nm 以下で形成する。微結晶半導体膜 5 3 は後に形成される薄膜トランジスタのチャネル形成領域として機能する。更には、微結晶半導体膜 5 3 をエッチングして、微結晶半導体膜 5 3 の厚さを薄くしてもよい。微結晶半導体膜 5 3 の厚さを 1 nm 以上 50 nm 以下とすることで、完全空乏型の薄膜トランジスタを作製することができる。

30

【 0 0 5 2 】

また、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱い n 型の電気伝導性を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体膜に対しては、p 型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p 型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を $1 \text{ ppm} \sim 1000 \text{ ppm}$ 、好ましくは $1 \sim 100 \text{ ppm}$ の割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

40

【 0 0 5 3 】

また、微結晶半導体膜の酸素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、更に好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、窒素及び炭素の濃度それぞれを $3 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜が n 型化になることを防止することができる。

【 0 0 5 4 】

また、微結晶半導体膜 5 3 は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。微結晶半導体膜 5 3 をチャネル形成領域に用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答

50

性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャンネル形成領域に微結晶半導体膜53を用いることで、薄膜トランジスタの閾値の変動を抑制することが可能である。このため、電気特性のばらつきの少ない表示装置を作製することができる。

【0055】

また、微結晶半導体膜53は非晶質半導体膜と比較して移動度が高い。このため、表示素子のスイッチングとして、チャンネル形成領域が微結晶半導体膜53で形成される薄膜トランジスタを用いることで、チャンネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することが可能である。このため、一画素あたりに示す薄膜トランジスタの面積が小さくなり、画素の開口率を高めることが可能である。この結果、解像度の高い表示装置を作製することができる。

10

【0056】

次に、図1(C)に示すように、微結晶半導体膜53上にバッファ層54及び一導電型を付与する不純物元素が添加された半導体膜55を形成する。次に、一導電型を付与する不純物元素が添加された半導体膜55上にマスクパターン56を形成する。

【0057】

バッファ層54としては、シランガスを用いたプラズマCVD法により非晶質半導体膜を形成することができる。また、シランガスに、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。シランガスの流量の1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記非晶質半導体膜に、フッ素、塩素等のハロゲン、または窒素を添加してもよい。

20

【0058】

また、バッファ層54は、ターゲットにシリコン、ゲルマニウム等の半導体ターゲットを用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。

【0059】

バッファ層54は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz~数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

30

【0060】

バッファ層54は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングされる場合があるが、そのときに、バッファ層54の一部が残存する厚さで形成することが好ましい。代表的には、30nm以上500nm以下、好ましくは50nm以上100nm以下の厚さで形成することが好ましい。薄膜トランジスタの印加電圧の高い(例えば15V程度)表示装置、代表的には液晶表示装置において、バッファ層54を厚く形成すると、ドレイン耐圧が高くなり、薄膜トランジスタに高い電圧が印加されても、薄膜トランジスタが劣化することを低減することができる。

【0061】

微結晶半導体膜53の表面に、非晶質半導体膜、更には水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜53に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成される。しかしながら、微結晶半導体膜53の表面にバッファ層54を形成することで、微結晶粒の酸化を防ぐことができる。

40

【0062】

また、バッファ層54は、非晶質半導体膜を用いて形成する、または、水素、窒素、若しくはハロゲンを含む非晶質半導体膜で形成するため、エネルギーギャップが微結晶半導体膜53に比べて大きく、また抵抗が高く、移動度が微結晶半導体膜53の1/5~1/10と低い。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイ

50

ン領域と、微結晶半導体膜53との間に形成されるバッファ層は高抵抗領域として機能し、微結晶半導体膜53がチャンネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを表示装置のスイッチング素子として用いた場合、表示装置のコントラストを向上させることができる。

【0063】

なお、微結晶半導体膜53を形成した後、プラズマCVD法によりバッファ層54を300～400の温度にて成膜することが好ましい。この成膜処理により水素が微結晶半導体膜53に供給され、微結晶半導体膜53を水素化したのと同等の効果が得られる。すなわち、微結晶半導体膜53上にバッファ層54を堆積することにより、微結晶半導体膜53に水素を拡散させて、ダングリングボンドの終端をすることができる。

10

【0064】

一導電型を付与する不純物元素が添加された半導体膜55は、nチャンネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、pチャンネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。一導電型を付与する不純物元素が添加された半導体膜55は、微結晶半導体、または非晶質半導体で形成することができる。一導電型を付与する不純物元素が添加された半導体膜55は2nm以上50nm以下の厚さで形成する。一導電型を付与する不純物元素が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

20

【0065】

次に、上記反応室が適用されるプラズマCVD装置の一例として、ゲート絶縁膜及び微結晶半導体膜等の成膜に適した構成の一例を示す。

【0066】

図7は複数の反応室を備えたマルチ・チャンバ・プラズマCVD装置の一例を示す。この装置は共通室423と、ロード/アンロード室422、第1反応室401a、第2反応室401b、第3反応室401cを備えた構成となっている。ロード/アンロード室422のカセットに装填される基板は、共通室423の搬送機構426によって各反応室に搬出入される枚葉式の構成である。共通室423と各室の間にはゲートバルブ425が備えられ、各反応室で行われる処理が、相互に干渉しないように構成されている。

30

【0067】

各反応室は形成する薄膜の種類によって区分されている。例えば、第1反応室401aはゲート絶縁膜などの絶縁膜を成膜し、第2反応室401bはチャンネルを形成する微結晶半導体膜及びバッファ層を成膜し、第3反応室401cはソース及びドレインを形成する一導電型を付与する不純物元素が添加された半導体膜を成膜する反応室として充当される。勿論、反応室の数はこれに限定されるわけではなく、必要に応じて任意に増減することができる。また、一の反応室で一の膜を成膜するようにしても良いし、一の反応室で複数の膜を成膜するように構成しても良い。

【0068】

各反応室には排気手段430としてターボ分子ポンプ419とドライポンプ420が接続されている。排気手段430はこれらの真空ポンプの組み合わせに限定されるものではなく、概略 10^{-1}Pa から 10^{-5}Pa の真空度にまで排気できるものであれば他の真空ポンプを適用することができる。排気手段430と各反応室の間にはバタフライバルブ417が設けられており、これによって真空排気を遮断させることができ、コンダクタンスバルブ418によって排気速度を制御して、それぞれの反応室の圧力を調節することができる。

40

【0069】

ガス供給手段408はシランに代表される半導体材料ガス若しくは希ガスなどプロセスに用いるガスが充填されるシリンダ410、ストップバルブ411、412、マスフローコントローラ413などで構成されている。ガス供給手段408gは第1反応室401aに

50

接続され、ゲート絶縁膜を成膜するためのガスを供給する。ガス供給手段408iは第2反応室401bに接続され、結晶核、微結晶半導体膜、及びバッファ層を形成するためのガスを供給する。ガス供給手段408nは第3反応室401cに接続され、例えばn型半導体膜用のガスを供給する。ガス供給手段408aは水素を供給し、ガス供給手段408fは反応室内のクリーニングに用いるエッチングガスを供給する系統であり、これらは各反応室共通のラインとして構成されている。

【0070】

各反応室にはプラズマを形成するための高周波電力供給手段403が連結されている。高周波電力供給手段403は高周波電源404と整合器406が含まれる。

【0071】

図8は、図7のマルチ・チャンバ・プラズマCVD装置の構成に、第4反応室401dを追加した構成を示す。第4反応室401dには、ガス供給手段408bが連結されている。その他、高周波電力供給手段、排気手段の構成は同様である。各反応室は形成する薄膜の種類によって使い分けることが可能である。例えば、第1反応室401aはゲート絶縁膜などの絶縁膜を成膜し、第2反応室401bは結晶核及びチャネル形成領域を形成する微結晶半導体膜を成膜し、第4反応室401dではチャネル形成領域の微結晶半導体膜を保護するバッファ層を形成し、第3反応室401cはソース及びドレインを形成する一導電型を付与する不純物元素が添加された半導体膜を成膜する反応室として用いることができる。それぞれの薄膜は最適な成膜温度があるので、反応室を個別に分けておくことで成膜温度を管理することが容易となる。さらに、同じ膜種を繰り返し成膜することができるので、成膜履歴に係る残留不純物の影響を排除することができる。

【0072】

なお、ここでは、図1(B)及び(C)に示すように、微結晶半導体膜53及びバッファ層54を別工程で形成した形態を示したが、図5に示すように、微結晶半導体膜53及びバッファ層54を連続的に形成してもよい。具体的には、図1(A)に示すように、ゲート絶縁膜52b上に結晶核57を形成する。次に、図5(A)に示すように、結晶核を種として結晶成長させて微結晶半導体膜53を形成した後、大気に触れさせることなく、連続的にバッファ層54を形成する。この後、図5(B)に示すように、バッファ層54上に一導電型を付与する不純物元素が添加された半導体膜55を形成する。

【0073】

図6は、微結晶半導体膜53及びバッファ層54を連続的に形成する場合の工程を説明するタイムチャートであり、代表的な一例を示す。図6の説明は反応室を大気圧から真空排気440する段階から示されており、その後に行われる基板搬入441、下地前処理442、結晶核形成処理443、微結晶半導体膜の成膜処理444a、バッファ層の成膜処理444b、基板搬出445、クリーニング446の各処理が時系列的に示されている。なお、真空排気440、基板搬入441、下地前処理442、結晶核形成処理443、基板搬出445、及びクリーニング446は、図4に示す工程と同様である。ここでは、微結晶半導体膜の成膜処理444a及び基板搬出445の間にバッファ層の成膜処理444bが入る。

【0074】

バッファ層を形成する成膜処理444bは、微結晶シリコン膜を形成する成膜処理444aに続いて行われる処理である。バッファ層は、シランガスと水素及びノ又は希ガスを混合してグロー放電プラズマにより成膜する。シランは水素及びノ又は希ガスで1倍以上10倍未満、更に好ましくは1倍以上5倍以下に希釈して、非晶質半導体膜を形成することができる。基板の加熱温度は100～300、好ましくは120～280、好ましくは120～220で行う。

【0075】

なお、水素を反応室内に導入せず、シランでバッファ層を形成してもよい。また、微結晶半導体膜の成膜処理444aと比較して、バッファ層の成膜処理444bはシランの流量が大幅に増えるため、微結晶半導体膜の成膜処理444aの後、電力をオフにし、シラン

10

20

30

40

50

、水素等の流量を再設定した後、電源をオンにし、バッファ層を形成してもよい。

【0076】

微結晶半導体膜53及びバッファ層54を連続的に成膜することにより大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0077】

次に、図1(C)に示すように、一導電型を付与する不純物元素が添加された半導体膜55上にマスクパターン56を形成する。

【0078】

マスクパターン56は、フォトリソグラフィ技術により形成する。ここでは、第2のフォトマスクを用いて、一導電型を付与する不純物元素が添加された半導体膜55上に塗布されたレジストを露光現像して、マスクパターン56を形成する。

【0079】

次に、マスクパターン56を用いて微結晶半導体膜53、バッファ層54、及び導電型を付与する不純物が添加された半導体膜55をエッチングし分離して、図1(D)に示すように、微結晶半導体膜61、バッファ層62、及び導電型を付与する不純物が添加された半導体膜63を形成する。この後、マスクパターン56を除去する。なお、図1(D)(マスクパターン56は除く。)は、図11(A)のA-Bの断面図に相当する。

【0080】

微結晶半導体膜61、バッファ層62の端部側面が傾斜していることにより、バッファ層62上に形成されるソース領域及びドレイン領域と微結晶半導体膜61との間にリーク電流が生じること防止することが可能である。また、配線層と、微結晶半導体膜61との間にリーク電流が生じるのを防止することが可能である。微結晶半導体膜61及びバッファ層62の端部側面の傾斜角度は、 $30^{\circ} \sim 90^{\circ}$ 、好ましくは $45^{\circ} \sim 80^{\circ}$ である。このような角度とすることで、段差形状による配線層の段切れを防ぐことができる。

【0081】

次に、図9(A)に示すように、導電型を付与する不純物が添加された半導体膜63及びゲート絶縁膜52b上に導電膜65a~65cを形成し、導電膜65a~65c上にマスクパターン66を形成する。導電膜65a~65cは、アルミニウム、若しくは銅、シリコン、チタン、ネオジウム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物元素が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜65a~65cの3層が積層した構造の導電膜を示し、導電膜65a、65cにモリブデン膜、導電膜65bにアルミニウム膜を用いた積層導電膜や、導電膜65a、65cにチタン膜、導電膜65bにアルミニウム膜を用いた積層導電膜を示す。導電膜65a~65cは、スパッタリング法や真空蒸着法で形成する。

【0082】

マスクパターン66は、マスクパターン56と同様に形成することができる。

【0083】

次に、図9(B)に示すように、導電膜65a~65cの一部をエッチングし、一对の配線層71a~71c(ソース電極及びドレイン電極として機能する。)を形成する。ここでは、第3のフォトマスクを用いたフォトリソグラフィ工程により形成したマスクパターン66を用いて、導電膜65a~65cをウエットエッチングすると、導電膜65a~65cの端部が等方的にエッチングされる。この結果、マスクパターン66より面積の小さい配線層71a~71cを形成することができる。

【0084】

10

20

30

40

50

次に、マスクパターン 66 を用いて一導電性を付与する不純物元素が添加された半導体膜 63 をエッチングし分離する。この結果、図 9 (C) に示すような、一对のソース領域及びドレイン領域 72 を形成することができる。なお、当該エッチング工程において、バッファ層 62 の一部もエッチングする。一部エッチングされた、凹部が形成されたバッファ層をバッファ層 73 と示す。ソース領域及びドレイン領域の形成工程と、バッファ層の凹部とを同一工程で形成することができる。バッファ層の凹部の深さをバッファ層の一番膜厚の厚い領域の $1/2 \sim 1/3$ とすることで、ソース領域及びドレイン領域間のリークパス距離を大きくすることが可能であるため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。この後、マスクパターン 66 を除去する。

【0085】

10

なお、図 9 (C) (マスクパターン 66 は除く。) は、図 11 (B) の A - B の断面図に相当する。図 11 (B) に示すように、ソース領域及びドレイン領域 72 の端部は、配線層 71c の端部の外側に位置することが分かる。また、バッファ層 73 の端部は配線層 71c 及びソース領域及びドレイン領域 72 の端部の外側に位置する。また、配線層の一方は他方を囲む形状 (具体的には、U字型、C字型) である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、微結晶半導体膜、配線層が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。

【0086】

20

以上の工程により、チャンネルエッチ型の薄膜トランジスタ 74 を形成することができる。

【0087】

次に、図 10 (A) に示すように、配線層 71a ~ 71c、ソース領域及びドレイン領域 72、バッファ層 73、微結晶半導体膜 61、及びゲート絶縁膜 52b 上に保護絶縁膜 76 を形成する。保護絶縁膜 76 は、ゲート絶縁膜 52a、52b と同様に形成することができる。なお、保護絶縁膜 76 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、保護絶縁膜 76 に窒化珪素膜を用いることで、バッファ層 73 中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができ、バッファ層 73 の酸化を防止することができる。

30

【0088】

次に、保護絶縁膜 76 に第 4 のフォトマスクを用いて形成したマスクパターンを用いて保護絶縁膜 76 の一部をエッチングしてコンタクトホールを形成し、当該コンタクトホールにおいて配線層 71c に接する画素電極 77 を形成する。なお、図 10 (B) は、図 11 (C) の A - B の断面図に相当する。

【0089】

画素電極 77 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、ITO、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

40

【0090】

また、画素電極 77 として、導電性高分子 (導電性ポリマーともいう) を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \text{ } / \text{ } \text{以下}$ 、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \cdot \text{cm}$ 以下であることが好ましい。

【0091】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンま

50

たはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0092】

ここでは、画素電極77としては、スパッタリング法によりITOを成膜した後、ITO上にレジストを塗布する。次に、第5のフォトマスクを用いてレジストを露光及び現像し、マスクパターンを形成する。次に、マスクパターンを用いてITOをエッチングして画素電極77を形成する。

【0093】

以上により、薄膜トランジスタ、及び表示装置に用いることが可能な素子基板を形成することができる。

【0094】

次に、上記形態とは異なる薄膜トランジスタの作製方法について、図12乃至図16を用いて説明する。ここでは、上記形態よりフォトマスク数を削減することが可能なプロセスを用いて薄膜トランジスタを作製する工程について示す。

【0095】

図1(A)及び図1(B)と同様に、基板50上に導電膜を形成し、導電膜上にレジストを塗布し、第1のフォトマスクを用いたフォトリソグラフィ工程により形成したマスクパターンを用いて導電膜の一部をエッチングして、ゲート電極51を形成する。次に、図12(A)に示すように、ゲート電極51上に、ゲート絶縁膜52a、52bを形成する。図1(A)及び(B)と同様の工程により、核形成及び結晶成長を行って微結晶半導体膜53を形成する。次に、微結晶半導体膜53上に、バッファ層54、一導電型を付与する不純物元素が添加された半導体膜55、及び導電膜65a~65cを順に形成する。次に、導電膜65a上にレジスト80を塗布する(図12(A)参照)。

【0096】

レジスト80は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

【0097】

次に、第2のフォトマスクとして多階調マスク59を用いて、レジスト80に光を照射して、レジスト80を露光する。

【0098】

ここで、多階調マスク59を用いた露光について、図13を用いて説明する。

【0099】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数(代表的には二種類)の厚さの領域を有するマスクパターンを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

【0100】

多階調マスクの代表例としては、図13(A)に示すようなグレートーンマスク59a、図13(C)に示すようなハーフトーンマスク59bがある。

【0101】

図13(A)に示すように、グレートーンマスク59aは、透光性を有する基板163及びその上に形成される遮光部164並びに回折格子165で構成される。遮光部164においては、光の透過量が0%である。一方、回折格子165はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過量を制御することができる。なお、回折格子165は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0102】

透光性を有する基板163は、石英等の透光性を有する基板を用いることができる。遮光部164及び回折格子165は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

10

20

30

40

50

【0103】

グレートンマスク59aに露光光を照射した場合、図13(B)に示すように、遮光部164においては、光透過量166は0%であり、遮光部164及び回折格子165が設けられていない領域では光透過量166は100%である。また、回折格子165においては、10~70%の範囲で調整可能である。回折格子165における光の透過量の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0104】

図13(C)に示すように、ハーフトンマスク59bは、透光性を有する基板163及びその上に形成される半透過部167並びに遮光部168で構成される。半透過部167は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部168は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

10

【0105】

ハーフトンマスク59bに露光光を照射した場合、図13(D)に示すように、遮光部168においては、光透過量169は0%であり、遮光部168及び半透過部167が設けられていない領域では光透過量169は100%である。また、半透過部167においては、10~70%の範囲で調整可能である。半透過部167に於ける光の透過量の調整は、半透過部167の材料の調整により可能である。

【0106】

多階調マスクを用いて露光した後、現像することで、図12(B)に示すように、膜厚の異なる領域を有するマスクパターン81を形成することができる。

20

【0107】

次に、マスクパターン81により、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物元素が添加された半導体膜55、及び導電膜65a~65cをエッチングし分離する。この結果、図14(A)に示すような、微結晶半導体膜61、バッファ層62、一導電型を付与する不純物元素が添加された半導体膜63、及び導電膜85a~85cを形成することができる。なお、図14(A)(マスクパターン81を除く。)は図16(A)のA-Bにおける断面図に相当する。

【0108】

次に、マスクパターン81をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト(ゲート電極51の一部と重畳する領域)は除去され、図14(A)に示すように、分離されたマスクパターン86を形成することができる。

30

【0109】

次に、マスクパターン86を用いて、導電膜85a~85cをエッチングし分離する。この結果、図14(B)に示すような、一对の配線層92a~92cを形成することができる。マスクパターン86を用いて導電膜85a~85cをウエットエッチングすると、導電膜85a~85cの端部が等方的にエッチングされる。この結果、マスクパターン86より面積の小さい配線層92a~92cを形成することができる。

40

【0110】

次に、マスクパターン86を用いて、一導電型を付与する不純物元素が添加された半導体膜63をエッチングして、一对のソース領域及びドレイン領域88を形成する。なお、当該エッチング工程において、バッファ層62の一部もエッチングされる。一部エッチングされたバッファ層をバッファ層87と示す。なお、バッファ層87には凹部が形成される。ソース領域及びドレイン領域の形成工程と、バッファ層の凹部とを同一工程で形成することができる。ここでは、バッファ層62の一部が、マスクパターン81と比較して面積が縮小したマスクパターン86で一部エッチングされたため、ソース領域及びドレイン領域88の外側にバッファ層87が突出した形状となる。この後、マスクパターン86を除去する。また、配線層92a~92cの端部と、ソース領域及びドレイン領域88の端

50

部は一致せずずれており、配線層 9 2 a ~ 9 2 c の端部の外側に、ソース領域及びドレイン領域 8 8 の端部が形成される。

【 0 1 1 1 】

図 1 4 (C) に示すように、配線層 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 8 の端部は一致せずずれた形状となることで、配線層 9 2 a ~ 9 2 c の端部の距離が離れるため、配線層間のリーク電流やショートを防止することができる。このため、信頼性の高い薄膜トランジスタを作製することができる。なお、図 1 4 (C) (マスクパターン 8 6 を除く。) は、図 1 6 (B) の A - B の断面図に相当する。

【 0 1 1 2 】

以上の工程により、チャンネルエッチ型の薄膜トランジスタ 8 3 を形成することができる。また、2枚のフォトマスクを用いて薄膜トランジスタを形成することができる。

10

【 0 1 1 3 】

次に、図 1 5 (A) に示すように、配線層 9 2 a ~ 9 2 c、ソース領域及びドレイン領域 8 8、バッファ層 8 7、微結晶半導体膜 9 0、及びゲート絶縁膜 5 2 b 上に保護絶縁膜 7 6 を形成する。保護絶縁膜 7 6 は、ゲート絶縁膜 5 2 a、5 2 b と同様に形成することができる。

【 0 1 1 4 】

次に、第 3 のフォトマスクを用いて形成したマスクパターンを用いて保護絶縁膜 7 6 の一部をエッチングしてコンタクトホールを形成する。次に、当該コンタクトホールにおいて配線層 9 2 c に接する画素電極 7 7 を形成する。ここでは、画素電極 7 7 としては、スパッタリング法により I T O を成膜した後、I T O 上にレジストを塗布する。次に、第 4 のフォトマスクを用いてレジストを露光及び現像し、マスクパターンを形成する。次に、マスクパターンを用いて I T O をエッチングして画素電極 7 7 を形成する。なお、図 1 5 (B) は、図 1 6 (C) の A - B の断面図に相当する。

20

【 0 1 1 5 】

以上により、薄膜トランジスタ、及び当該薄膜トランジスタを有し、表示装置に用いることが可能な素子基板を形成することができる。

【 0 1 1 6 】

また、図 9 (B) または図 1 4 (B) において、配線層 7 1 a ~ 7 1 c、9 2 a ~ 9 2 c を形成した後、マスクパターン 6 6、8 6 を除去し、配線層 7 1 a ~ 7 1 c、9 2 a ~ 9 2 c をマスクとして一導電性を付与する不純物元素が添加された半導体膜 6 3 をエッチングしてもよい。この結果、配線層 7 1 a ~ 7 1 c、9 2 a ~ 9 2 c、と、ソース領域及びドレイン領域 7 2、8 8 の端部が一致した薄膜トランジスタを形成することができる。ここでは、図 9 (B) のマスクパターン 6 6 を除去した後、配線層 7 1 a ~ 7 1 c をマスクとして、一導電性を付与する不純物元素が添加された半導体膜 6 3 をエッチングして、ソース領域及びドレイン領域 8 9 の端部と配線層 7 1 a ~ 7 1 c の端部が揃っている薄膜トランジスタを図 1 7 に示す。

30

【 0 1 1 7 】

以上の工程により、チャンネルエッチ型の薄膜トランジスタを形成することができる。チャンネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャンネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{s}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線 (ゲート線) 側の駆動回路を形成する素子として利用することができる。

40

【 0 1 1 8 】

なお、本実施の形態では、チャンネルエッチ型の薄膜トランジスタを用いて示したが、チャンネル保護型薄膜トランジスタのチャンネル形成領域に、微結晶半導体膜を用いることができる。

【 0 1 1 9 】

本実施の形態により、電気特性が優れ、信頼性の高い薄膜トランジスタ、及びそれを有す

50

る表示装置を作製することができる。

【0120】

(実施の形態2)

本実施の形態では、表示装置の一形態として、実施の形態1で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。ここでは、VA (Vertical Alignment) 型の液晶表示装置について、図18乃至図20を用いて説明する。VA型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

10

【0121】

図18と図19は、VA型液晶パネルの画素構造を示している。図19は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図18に表している。以下の説明ではこの両図を参照して説明する。

【0122】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極に平坦化膜622を介して薄膜トランジスタが接続されている。各薄膜トランジスタは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

20

【0123】

画素電極624はコンタクトホール623において、配線618で薄膜トランジスタ628と接続している。また、画素電極626はコンタクトホール627において、配線619で薄膜トランジスタ629と接続している。薄膜トランジスタ628のゲート配線602と、薄膜トランジスタ629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、薄膜トランジスタ628と薄膜トランジスタ629で共通に用いられている。薄膜トランジスタ628及び薄膜トランジスタ629は実施の形態1で示す方法を用いて作製することができる。なお、610は薄膜トランジスタ628のソースまたはドレインの一方、620は保護絶縁膜、690は容量配線、606はゲート絶縁膜、609は微結晶半導体膜、611は薄膜トランジスタ629のソースまたはドレインの一方を示している。

30

【0124】

画素電極624と画素電極626の形状は異なっており、スリット625によって分離されている。V字型に広がる画素電極624の外側を囲むように画素電極626が形成されている。画素電極624と画素電極626に印加する電圧のタイミングを、薄膜トランジスタ628及び薄膜トランジスタ629により異ならせることで、液晶の配向を制御している。ゲート配線602とゲート配線603は異なるゲート信号を与えることで、薄膜トランジスタ628と薄膜トランジスタ629の動作タイミングを異ならせることができる。また、画素電極624、626上に配向膜648が形成されている。

40

【0125】

対向基板601には、遮光膜632、着色膜636、対向電極640が形成されている。また、着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。また、対向電極640上に配向膜646が形成される。図20に対向基板側の構造を示す。対向電極640は異なる画素間で共通化されている電極であるが、スリット641が形成されている。このスリット641と、画素電極624及び画素電極626側のスリット625とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

【0126】

50

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極 6 2 6 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 2 の液晶素子が形成されている。また、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

【 0 1 2 7 】

なお、ここでは、液晶表示装置として、V A (V e r t i c a l A l i g n m e n t) 型の液晶表示装置を示したが、実施の形態 1 を用いて形成した素子基板を、F F S 型の液晶表示装置、I P S 型の液晶表示装置、T N 型の液晶表示装置、その他の液晶表示装置に用いることができる。

【 0 1 2 8 】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置を作製することができる。

【 0 1 2 9 】

(実施の形態 3)

本実施の形態では、表示装置の一形態として、実施の形態 1 で示す薄膜トランジスタを有する発光表示装置について、以下に示す。ここでは、発光表示装置が有する画素の構成について説明する。図 2 1 (A) に、画素の上面図の一形態を示し、図 2 1 (B) に図 2 1 (A) の A - B に対応する画素の断面構造の一形態を示す。

【 0 1 3 0 】

発光装置としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 E L 素子、後者は無機 E L 素子と呼ばれている。また、ここでは、薄膜トランジスタの作製工程として実施の形態 1 を用いることができる。

【 0 1 3 1 】

有機 E L 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子および正孔) が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【 0 1 3 2 】

無機 E L 素子は、その素子構成により、分散型無機 E L 素子と薄膜型無機 E L 素子とに分類される。分散型無機 E L 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 E L 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 E L 素子を用いて説明する。また、画素電極への信号の入力を制御するためのスイッチング用の薄膜トランジスタ、及び発光素子の駆動を制御する薄膜トランジスタとして、チャンネルエッチ型の薄膜トランジスタを用いて示すが、チャンネル保護型の薄膜トランジスタを適宜用いることができる。

【 0 1 3 3 】

図 2 1 (A) 、図 2 1 (B) において、第 1 の薄膜トランジスタ 7 4 a は画素電極への信号の入力を制御するためのスイッチング用の薄膜トランジスタであり、第 2 の薄膜トランジスタ 7 4 b は発光素子 9 4 への電流または電圧の供給を制御するための駆動用の薄膜トランジスタに相当する。

【 0 1 3 4 】

第 1 の薄膜トランジスタ 7 4 a のゲート電極は走査線 5 1 a に接続され、ソースまたはドレインの一方は信号線 7 1 a ~ 7 1 c に接続され、ソースまたはドレインの他方 7 1 d ~

10

20

30

40

50

71fは第2の薄膜トランジスタ74bのゲート電極51bに接続される。第2の薄膜トランジスタ74bのソースまたはドレインの一方は電源線93a~93cに接続され、ソースまたはドレインの他方は表示装置の画素電極に接続される。第2の薄膜トランジスタ74bのゲート電極、ゲート絶縁膜、及び電源線93a、93cで容量素子96を構成し、第2の薄膜トランジスタ74bのソースまたはドレインの他方は容量素子96に接続される。

【0135】

なお、容量素子96は、第1の薄膜トランジスタ74aがオフのときに第2の薄膜トランジスタ74bのゲート/ソース間電圧またはゲート/ドレイン間電圧(以下、ゲート電圧とする)を保持するための容量素子に相当し、必ずしも設ける必要はない。

10

【0136】

本実施の形態では、第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74bを実施の形態1を用いて形成することができる。また、第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74bはここではnチャネル型薄膜トランジスタで形成するが、第1の薄膜トランジスタ74aをnチャネル型薄膜トランジスタで形成し、第2の薄膜トランジスタ74bをpチャネル型薄膜トランジスタで形成してもよい。さらには、第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74bをpチャネル型の薄膜トランジスタで形成してもよい。

【0137】

第1の薄膜トランジスタ74a及び第2の薄膜トランジスタ74b上に保護絶縁膜76を形成し、保護絶縁膜76上に平坦化膜78を形成し、平坦化膜78及び保護絶縁膜76に形成されるコンタクトホールにおいて、配線93cに接続する陰極79を形成する。平坦化膜78は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンポリマーを用いて形成することが好ましい。コンタクトホールにおいては、陰極79が凹凸を有するため、当該領域を覆い、且つ開口部を有する隔壁91を設ける。隔壁91の開口部において陰極79と接するように、EL層92が形成され、EL層92を覆うように陽極93が形成され、陽極93及び隔壁91を覆うように保護絶縁膜95が形成する。

20

【0138】

ここでは、発光素子として上面射出構造の発光素子94を示す。上面射出構造の発光素子94は、第1の薄膜トランジスタ74a、第2の薄膜トランジスタ74b上でも発光することが可能であるため、発光面積を増大することが可能である。しかしながら、EL層92の下地膜が凹凸を有すると、当該凹凸において膜厚分布が不均一となり陽極93及び陰極79がショートし、表示欠陥となってしまう。このため、平坦化膜78を設けることが好ましい。

30

【0139】

陰極79及び陽極93でEL層92を挟んでいる領域が発光素子94に相当する。図21(A)に示した画素の場合、発光素子94から発せられる光は、白抜きの矢印で示すように陽極93側に射出する。

【0140】

陰極79は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。EL層92は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極79に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層を全て設ける必要はない。陽極93は、光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、ITO、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

40

【0141】

50

ここでは、基板とは逆側の面から発光を取り出す上面射出構造の発光素子について示したが、基板側の面から発光を取り出す下面射出構造の発光素子や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子を適宜適用することができる。

【0142】

また、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0143】

なお、本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用薄膜トランジスタ）と発光素子が直接接続されている例を示したが、駆動用薄膜トランジスタと発光素子との間に電流制御用薄膜トランジスタが接続されている構成であってもよい。

【0144】

以上の工程により、発光表示装置を作製することができる。本実施の形態の発光装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い発光表示装置を作製することができる。

【0145】

（実施の形態4）

次に、本発明の表示装置の一形態である表示パネルの構成について、以下に示す。

【0146】

図22(A)に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している表示パネルの形態を示す。画素部6012及び走査線駆動回路6014は、微結晶半導体膜をチャンネル形成領域に用いた薄膜トランジスタを用いて形成する。微結晶半導体膜をチャンネル形成領域に用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路6013は、単結晶の半導体をチャンネル形成領域に用いたトランジスタ、多結晶の半導体をチャンネル形成領域に用いた薄膜トランジスタ、またはSOIをチャンネル形成領域に用いたトランジスタであっても良い。画素部6012と、信号線駆動回路6013と、走査線駆動回路6014とに、それぞれ電源の電位、各種信号等が、FPC6015を介して供給される。

【0147】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【0148】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図22(B)に、信号線駆動回路6023のみを別途形成し、基板6021上に形成された画素部6022及び走査線駆動回路6024と接続している表示装置パネルの形態を示す。画素部6022及び走査線駆動回路6024は、微結晶半導体膜をチャンネル形成領域に用いた薄膜トランジスタを用いて形成する。信号線駆動回路6023は、FPC6025を介して画素部6022と接続されている。画素部6022と、信号線駆動回路6023と、走査線駆動回路6024とに、それぞれ電源の電位、各種信号等が、FPC6025を介して供給される。

【0149】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜をチャンネル形成領域に用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図22(C)に、信号線駆動回路が有するアナログスイッチ6033aを、画素部6032、走査線駆動回路6034と同じ基板6031上に形成し、信号線駆動回路が有するシフトレジスタ6033bを別途異なる基板に形成して貼り合わせる表示装置パネルの形態を示す。画素部6032及び走査線駆動回路6034は、微結晶半導体膜をチャンネル形成領域に用いた薄膜トランジスタ

10

20

30

40

50

タを用いて形成する。信号線駆動回路が有するシフトレジスタ6033bは、FPC6035を介して画素部6032と接続されている。画素部6032と、信号線駆動回路と、走査線駆動回路6034とに、それぞれ電源の電位、各種信号等が、FPC6035を介して供給される。

【0150】

図22に示すように、本実施の形態の表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜をチャンネル形成領域に用いた薄膜トランジスタを用いて形成することができる。

【0151】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図22に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

【0152】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチを有する。または、シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコード回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0153】

(実施の形態5)

本発明により得られる表示装置等によって、アクティブマトリクス型表示装置パネルに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0154】

その様な電子機器としては、ビデオカメラ及びデジタルカメラ等のカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図23に示す。

【0155】

図23(A)はテレビジョン装置である。表示パネルを、図23(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。表示パネルにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【0156】

図23(A)に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

【0157】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を液晶表示パネルで形成し、サブ画面を発光表示パネルで形成しても良い。また、主画面2003を発光表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

【0158】

10

20

30

40

50

図24はテレビ装置の主要な構成を示すブロック図を示している。表示パネル900には、画素部921が形成されている。信号線駆動回路922と走査線駆動回路923は、表示パネル900にCOG方式により実装されていても良い。

【0159】

その他の外部回路の構成として、映像信号の入力側では、チューナ924で受信した信号のうち、映像信号を増幅する映像信号増幅回路925と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路926と、その映像信号をドライバICの入力仕様に換するためのコントロール回路927などを有している。コントロール回路927は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路928を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

10

【0160】

チューナ924で受信した信号のうち、音声信号は、音声信号増幅回路929に送られ、その出力は音声信号処理回路930を経てスピーカ933に供給される。制御回路931は受信局(受信周波数)や音量の制御情報を入力部932から受け、チューナ924や音声信号処理回路930に信号を送出する。

【0161】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

20

【0162】

主画面2003、サブ画面2008において、上記実施の形態で説明した表示装置を適用することで、テレビ装置の量産性を高めることができる。

【0163】

図23(B)は携帯電話機2301の一例を示している。この携帯電話機2301は、表示部2302、操作部2303などを含んで構成されている。表示部2302においては、上記実施の形態で説明した表示装置を適用することで、携帯電話の量産性を高めることができる。

【0164】

また、図23(C)に示す携帯型のコンピュータは、本体2401、表示部2402等を含んでいる。表示部2402に、上記実施の形態に示す表示装置を適用することにより、コンピュータの量産性を高めることができる。

30

【0165】

図23(D)は卓上照明器具であり、照明部2501、傘2502、可変アーム2503、支柱2504、台2505、電源2506を含む。本発明の発光装置を照明部2501に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態に示す表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。

【図面の簡単な説明】

【0166】

40

【図1】本発明の表示装置の作製方法を説明する断面図である。

【図2】本発明の表示装置の作製方法を説明する断面図である。

【図3】従来の表示装置の作製方法を説明する断面図である。

【図4】微結晶シリコン膜を形成する工程を説明するタイムチャートの一例である。

【図5】本発明の表示装置の作製方法を説明する断面図である。

【図6】微結晶シリコン膜とバッファ層を形成する工程を説明するタイムチャートの一例である。

【図7】本発明に適用可能なプラズマCVD装置の構成を示す図である。

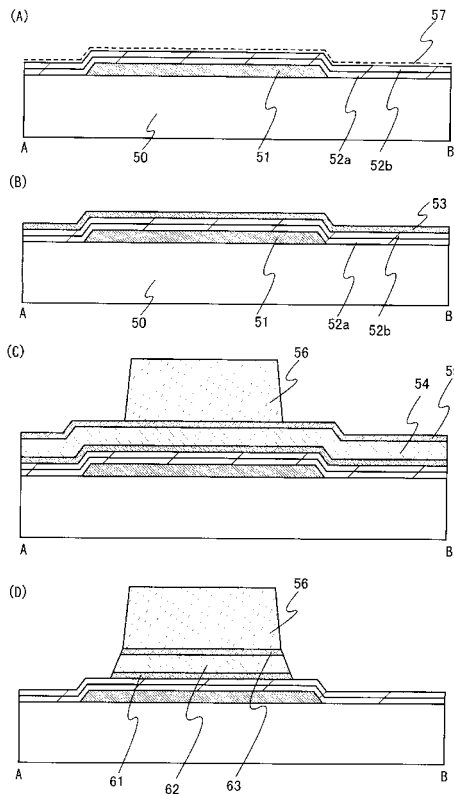
【図8】本発明に適用可能なプラズマCVD装置の構成を示す図である。

【図9】本発明の表示装置の作製方法を説明する断面図である。

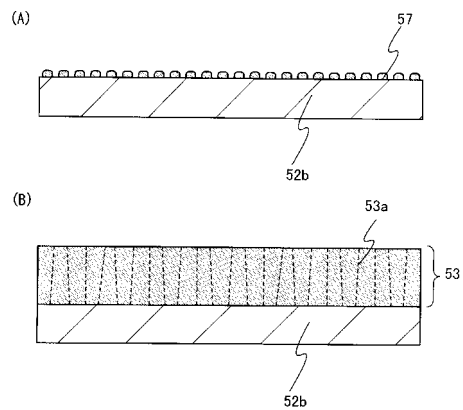
50

- 【図10】本発明の表示装置の作製方法を説明する断面図である。
- 【図11】本発明の表示装置の作製方法を説明する上面図である。
- 【図12】本発明の表示装置の作製方法を説明する断面図である。
- 【図13】本発明に適用可能な多階調マスクを説明する図である。
- 【図14】本発明の表示装置の作製方法を説明する断面図である。
- 【図15】本発明の表示装置の作製方法を説明する断面図である。
- 【図16】本発明の表示装置の作製方法を説明する上面図である。
- 【図17】本発明の表示装置を説明する断面図である。
- 【図18】本発明の表示装置を説明する断面図である。
- 【図19】本発明の表示装置を説明する上面図である。
- 【図20】本発明の表示装置を説明する上面図である。
- 【図21】本発明の表示装置を説明する断面図及び上面図である。
- 【図22】本発明の表示パネルを説明する斜視図である。
- 【図23】本発明の表示装置を用いた電子機器を説明する斜視図である。
- 【図24】本発明の表示装置を用いた電子機器を説明する図である。

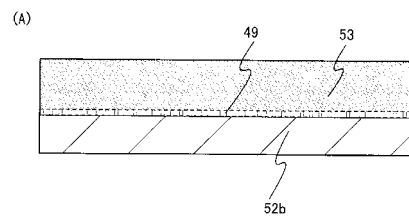
【図1】



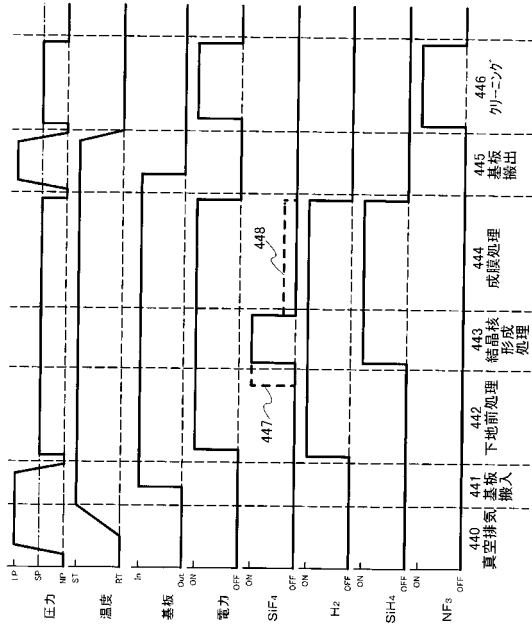
【図2】



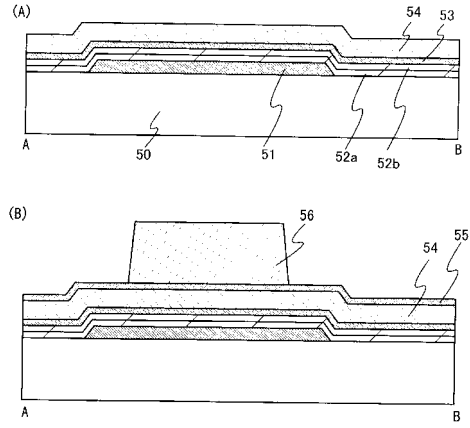
【図3】



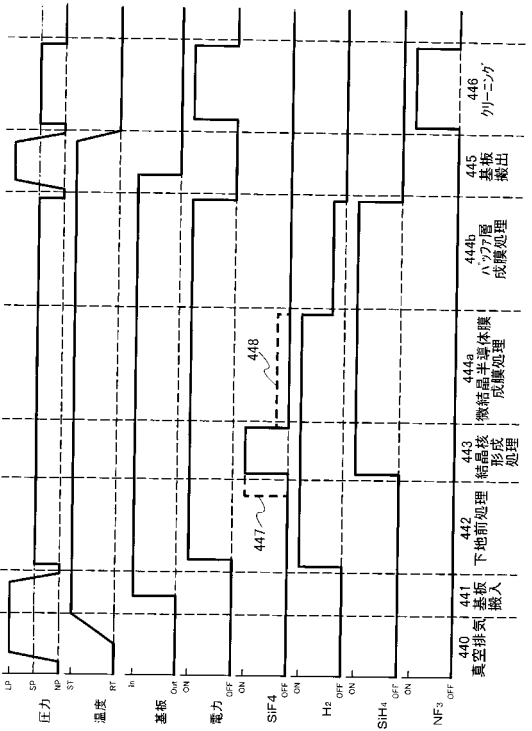
【図4】



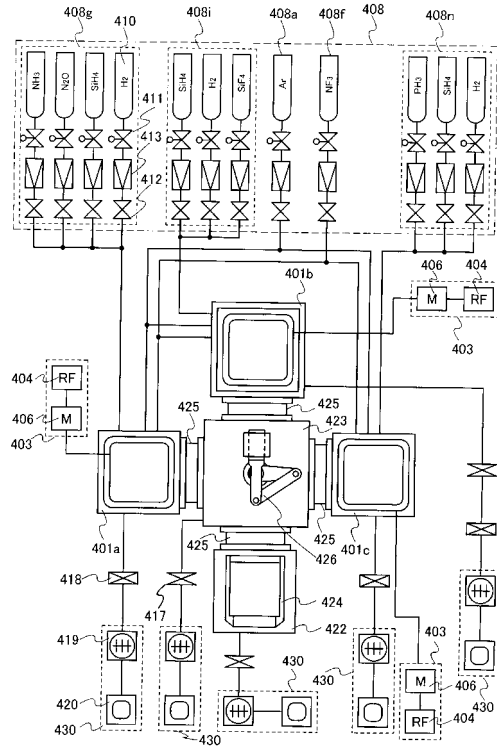
【図5】



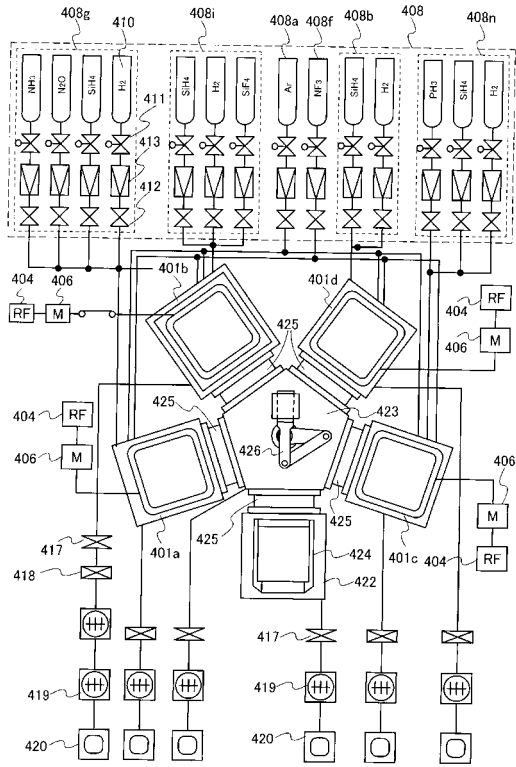
【図6】



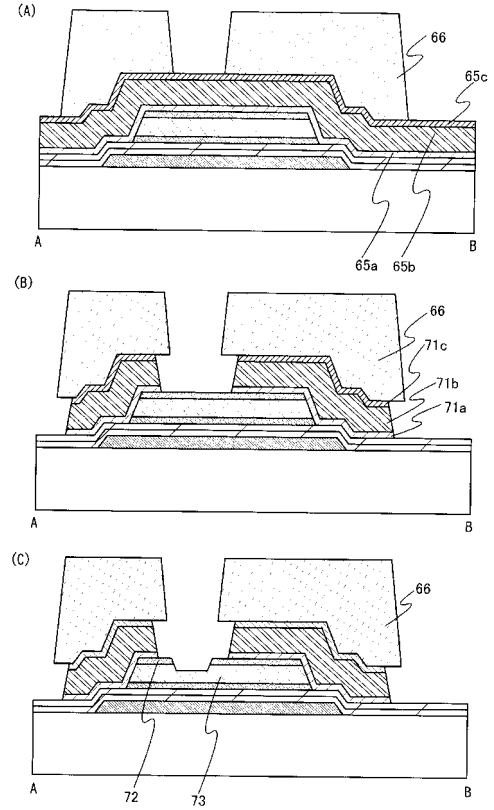
【図7】



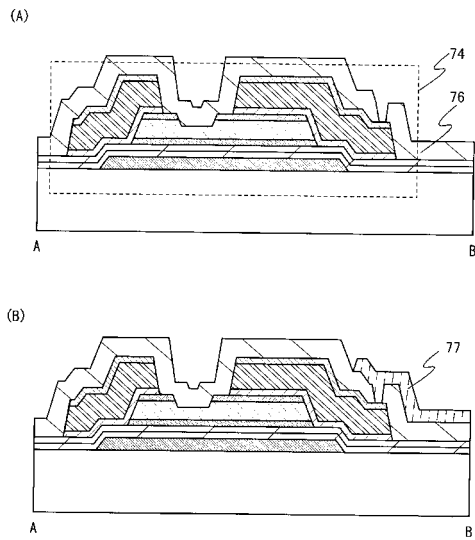
【図8】



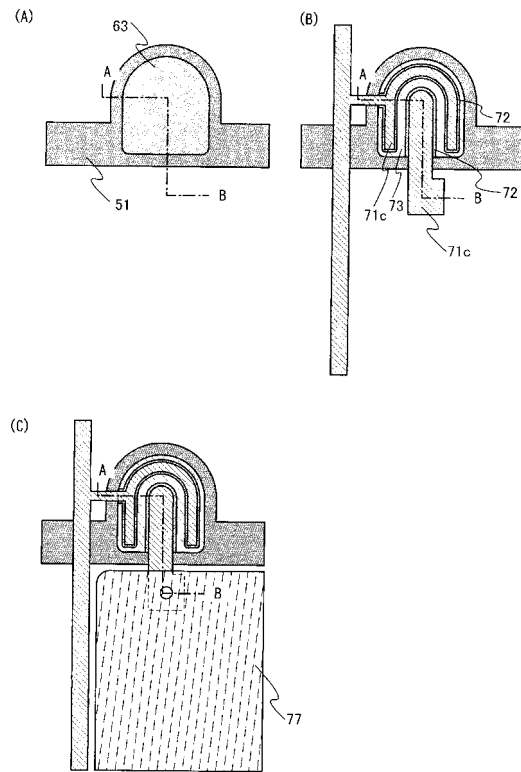
【図9】



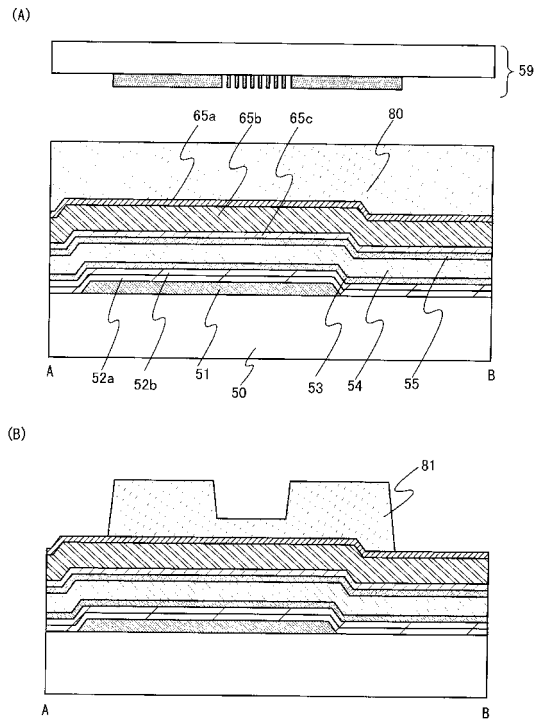
【図10】



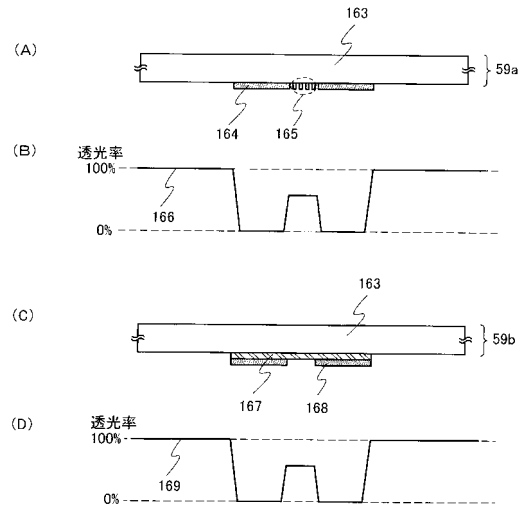
【図11】



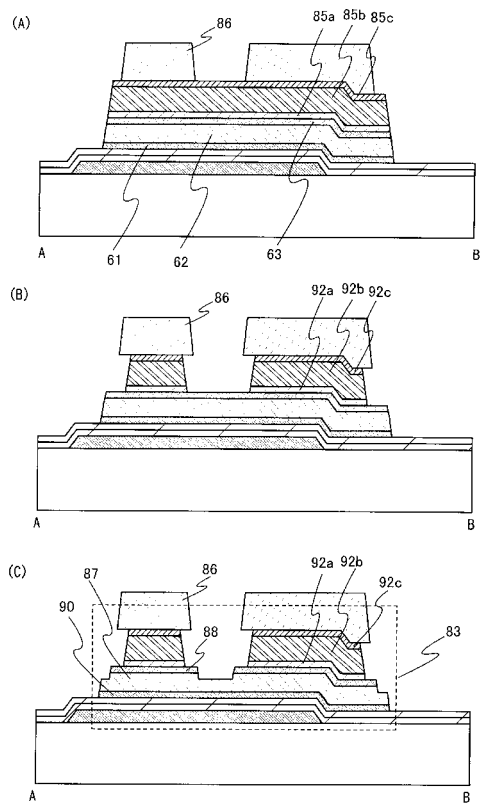
【図 1 2】



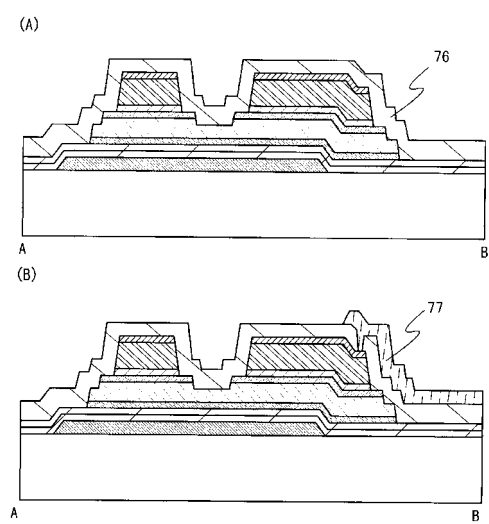
【図 1 3】



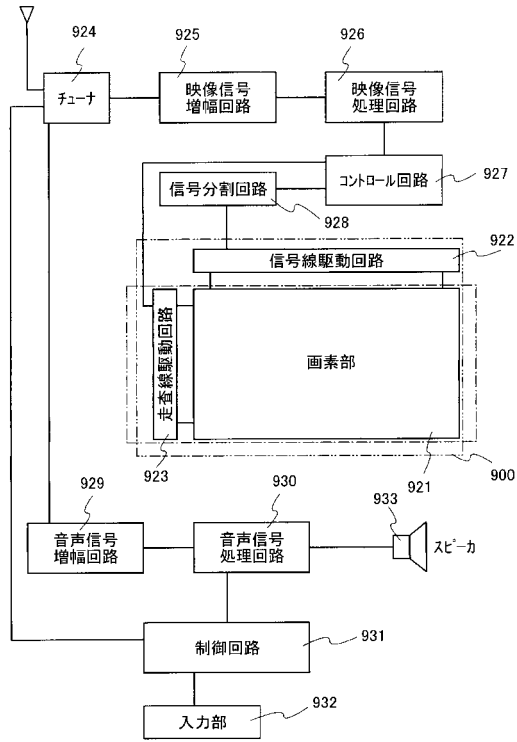
【図 1 4】



【図 1 5】



【図24】



フロントページの続き

審査官 鈴木 聡一郎

- (56)参考文献 特開平05 - 304171 (JP, A)
特開平06 - 196701 (JP, A)
特開平06 - 181313 (JP, A)
特開2007 - 221137 (JP, A)
特開2005 - 183514 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/205
H01L 21/31
H01L 21/336
H01L 21/365
H01L 21/469
H01L 21/86
H01L 29/786