

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7471516号
(P7471516)

(45)発行日 令和6年4月19日(2024.4.19)

(24)登録日 令和6年4月11日(2024.4.11)

(51)国際特許分類		F I			
G 1 1 C	8/12 (2006.01)	G 1 1 C	8/12	2 0 0	
G 1 1 C	7/10 (2006.01)	G 1 1 C	7/10	5 1 5	

請求項の数 14 (全30頁)

(21)出願番号	特願2023-516624(P2023-516624)	(73)特許権者	522246670
(86)(22)出願日	令和3年11月19日(2021.11.19)		チャンシン メモリー テクノロジーズ
(65)公表番号	特表2023-545910(P2023-545910 A)		インコーポレイテッド
(43)公表日	令和5年11月1日(2023.11.1)		CHANGXIN MEMORY TEC HNOLOGIES, INC.
(86)国際出願番号	PCT/CN2021/131852		中華人民共和国 230601 アンフイ
(87)国際公開番号	WO2023/035411		プロヴィンス ヘーフエイ シティ エコ
(87)国際公開日	令和5年3月16日(2023.3.16)		ノミック アンド テクノロジカル ディ
審査請求日	令和5年3月13日(2023.3.13)		ベロップメント エリア エアポート イ
(31)優先権主張番号	202111064019.9		ングストリアル パーク シンイエ アベ
(32)優先日	令和3年9月10日(2021.9.10)	(74)代理人	100145403
(33)優先権主張国・地域又は機関	中国(CN)		弁理士 山尾 憲人
		(74)代理人	100189555
			弁理士 徳山 英浩

最終頁に続く

(54)【発明の名称】 信号マスキング回路及び半導体メモリ

(57)【特許請求の範囲】

【請求項1】

信号マスキング回路であって、前記信号マスキング回路は、受信回路、遅延制御回路、及びロジック演算回路、を含み、

前記受信回路は、処理待ち信号とチップ選択信号を受信し、初期処理信号と初期チップ選択信号を出力するように構成され、

前記遅延制御回路は、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、チップ選択マスキング信号を得るように構成され、且つ、前記チップ選択マスキング信号のパルス幅は、2つの予め設定されたクロック周期より大きいか等しく、

前記ロジック演算回路は、前記チップ選択マスキング信号に基づいて前記初期処理信号に対して無効マスキング処理を行い、目標信号を得るように構成され、

前記遅延制御回路は、遅延モジュール、パルス幅調整モジュール、第1インバータ、及び第1オアゲート、を含み、

前記第1インバータは、前記初期チップ選択信号に対して反転処理を行い、第1中間信号を得るように構成され、

前記遅延モジュールは、前記初期チップ選択信号に対して遅延処理を行い、第2中間信号を得るように構成され、

前記パルス幅調整モジュールは、前記第2中間信号に対してパルス幅拡張処理を行い、第3中間信号を得るように構成され、

前記第1オアゲートは、前記第1インバータの出力端と前記パルス幅調整モジュールの

10

20

出力端に接続され、前記第 1 中間信号と前記第 3 中間信号に対してオア演算を行い、前記チップ選択マスク信号を得るように構成される、信号マスク回路。

【請求項 2】

前記チップ選択信号は、チップが選択されたか否かを表す信号であり、且つ、前記チップ選択信号は、ローレベル有効のパルス信号であり、前記チップ選択信号のパルス幅は、1つの予め設定されたクロック周期である、

請求項 1 に記載の信号マスク回路。

【請求項 3】

前記ロジック演算回路は、前記初期処理信号が目標チップに対応する信号である場合、前記チップ選択マスク信号に基づいて前記初期処理信号における無効信号に対してマスク処理を行い、及び/又は、前記初期処理信号が非目標チップに対応する信号である場合、前記チップ選択マスク信号に基づいて前記初期処理信号の全部に対してマスク処理を行うように構成され、

10

前記目標チップは、前記チップ選択信号によって選択されたチップであり、前記非目標チップは、前記チップ選択信号によって選択されていないチップであり、

前記処理待ち信号は、命令アドレス信号とクロック信号のうちの少なくとも 1 つを含み、前記クロック信号の周期は、前記予め設定されたクロック周期に等しい、

請求項 2 に記載の信号マスク回路。

【請求項 4】

前記処理待ち信号が命令アドレス信号である場合、前記受信回路は、第 1 受信モジュール、及び第 2 受信モジュール、を含み、前記ロジック演算回路は、第 1 ロジック演算回路を含み、

20

前記第 1 受信モジュールは、前記命令アドレス信号を受信し、初期命令アドレス信号を出力するように構成され、

前記第 2 受信モジュールは、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

前記遅延制御回路は、前記第 2 受信モジュールの出力端に接続され、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るように構成され、

前記第 1 ロジック演算回路は、前記遅延制御回路の出力端と前記第 1 受信モジュールの出力端に接続され、前記チップ選択マスク信号と前記初期命令アドレス信号に対してロジック演算を行い、目標命令アドレス信号を得るように構成される、

30

請求項 3 に記載の信号マスク回路。

【請求項 5】

前記処理待ち信号がクロック信号である場合、前記受信回路は、第 3 受信モジュール、及び第 4 受信モジュール、を含み、前記ロジック演算回路は、第 2 ロジック演算回路を含み、

前記第 3 受信モジュールは、前記クロック信号を受信し、初期クロック信号を出力するように構成され、

前記第 4 受信モジュールは、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

40

前記遅延制御回路は、前記第 4 受信モジュールの出力端に接続され、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るように構成され、

前記第 2 ロジック演算回路は、前記遅延制御回路の出力端と前記第 3 受信モジュールの出力端に接続され、前記チップ選択マスク信号と前記初期クロック信号に対してロジック演算を行い、目標クロック信号を得るように構成される、

請求項 3 に記載の信号マスク回路。

【請求項 6】

前記処理待ち信号が命令アドレス信号とクロック信号である場合、前記受信回路は、第

50

1 受信モジュール、第 2 受信モジュール、及び第 3 受信モジュール、を含み、前記ロジック演算回路は、第 1 ロジック演算回路、及び第 2 ロジック演算回路、を含み、

前記第 1 受信モジュールは、前記命令アドレス信号を受信し、初期命令アドレス信号を出力するように構成され、

前記第 2 受信モジュールは、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

前記第 3 受信モジュールは、前記クロック信号を受信し、初期クロック信号を出力するように構成され、

前記遅延制御回路は、前記第 2 受信モジュールの出力端に接続され、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るよう

10

前記第 1 ロジック演算回路は、前記遅延制御回路の出力端と前記第 1 受信モジュールの出力端に接続され、前記チップ選択マスク信号に基づいて前記初期命令アドレス信号に対して無効マスク処理を行い、目標命令アドレス信号を得るよう

前記第 2 ロジック演算回路は、前記遅延制御回路の出力端と前記第 3 受信モジュールの出力端に接続され、前記チップ選択マスク信号と前記初期クロック信号に対してロジック演算を行い、目標クロック信号を得るよう

請求項 3 に記載の信号マスク回路。

【請求項 7】

前記第 1 ロジック演算回路は、第 1 バッファ、第 1 アンドゲート、及び第 2 バッファ、

20

前記第 1 バッファは、前記第 1 受信モジュールに接続され、前記初期命令アドレス信号に対して駆動強化と遅延処理を行い、第 1 命令アドレス信号を得るよう

前記第 1 アンドゲートは、前記第 1 バッファの出力端と前記遅延制御回路の出力端に接続され、前記チップ選択マスク信号と前記第 1 命令アドレス信号に対してアンド演算を行い、第 2 命令アドレス信号を得るよう

前記第 2 バッファは、前記第 1 アンドゲートの出力端に接続され、前記第 2 命令アドレス信号に対して駆動強化と遅延処理を行い、前記目標命令アドレス信号を得るよう

請求項 4 又は 6 に記載の信号マスク回路。

30

【請求項 8】

前記第 2 ロジック演算回路は、第 3 バッファ、第 2 アンドゲート、及び第 4 バッファ、

前記第 3 バッファは、前記第 3 受信モジュールに接続され、前記初期クロック信号に対して駆動強化と遅延処理を行い、第 1 クロック信号を得るよう

前記第 2 アンドゲートは、前記第 3 バッファの出力端と前記遅延制御回路の出力端に接続され、前記チップ選択マスク信号と前記第 1 クロック信号に対してアンド演算を行い、第 2 クロック信号を得るよう

前記第 4 バッファは、前記第 2 アンドゲートの出力端に接続され、前記第 2 クロック信号に対して駆動強化と遅延処理を行い、前記目標クロック信号を得るよう

40

請求項 5 又は 6 に記載の信号マスク回路。

【請求項 9】

前記遅延モジュールは、第 1 遅延ユニット、第 2 遅延ユニット、及び第 2 インバータ、を含み、且つ、前記第 2 インバータは、前記第 1 遅延ユニットと前記第 2 遅延ユニットとの間にあり、

前記第 1 遅延ユニットは、前記初期チップ選択信号に対して第 1 遅延処理を行い、第 1 遅延信号を得るよう

前記第 2 インバータは、前記第 1 遅延信号に対して反転処理を行い、反転遅延信号を得るよう

前記第 2 遅延ユニットは、前記反転遅延信号に対して第 2 遅延処理を行い、前記第 2 中

50

間信号を得るように構成され、

前記第 1 遅延ユニットと前記第 2 遅延ユニットは、いずれも抵抗 R とコンデンサ C からなる、

請求項 1 に記載の信号マスキング回路。

【請求項 1 0】

前記パルス幅調整モジュールは、第 5 バッファ、及び第 2 オアゲート、を含み、

前記第 5 バッファは、前記遅延モジュールの出力端に接続され、前記第 2 中間信号に対して駆動強化と遅延処理を行い、第 4 中間信号を得るように構成され、

前記第 2 オアゲートは、前記遅延モジュールの出力端と前記第 5 バッファの出力端に接続され、前記第 2 中間信号と前記第 4 中間信号に対してオア演算を行い、前記第 3 中間信号を得るように構成される、

10

請求項 1 に記載の信号マスキング回路。

【請求項 1 1】

前記信号マスキング回路はさらに、緩和モジュールを含み、前記緩和モジュールは、複数の第 6 バッファからなり、

前記緩和モジュールは、前記複数の第 6 バッファに基づいて、前記初期チップ選択信号に対して順番に駆動強化と遅延処理を行い、目標チップ選択信号を得るように構成され、

前記信号マスキング回路はさらに、サンプリング回路、及びデコーディング回路、を含み、

前記サンプリング回路は、前記目標命令アドレス信号、前記目標クロック信号と前記目標チップ選択信号を受信し、前記目標クロック信号を利用して前記目標命令アドレス信号と前記目標チップ選択信号に対してサンプリングを行い、サンプリング命令アドレス信号とサンプリングチップ選択信号を得るように構成され、

20

前記デコーディング回路は、前記サンプリング回路の出力端に接続され、前記サンプリングチップ選択信号と前記サンプリング命令アドレス信号に対してデコーディングを行い、目標命令結果を得、

前記サンプリング回路は、複数の D 型フリップフロップからなる、

請求項 6 に記載の信号マスキング回路。

【請求項 1 2】

前記バッファは、2 つのインバータからなる、

請求項 7、8、10 又は 11 に記載の信号マスキング回路。

30

【請求項 1 3】

前記チップ選択マスキング信号の立ち上がりエッジの時刻は、前記第 1 命令アドレス信号のパルス開始時間より早く、前記チップ選択マスキング信号の立ち下がりエッジの時刻は、前記第 1 命令アドレス信号のパルス終了時間より遅く、前記チップ選択マスキング信号と前記第 1 命令アドレス信号は、前記チップ選択信号の同一の有効パルスに対応する、

請求項 7 に記載の信号マスキング回路。

【請求項 1 4】

請求項 1 ~ 13 のいずれか 1 項に記載の信号マスキング回路を含む半導体メモリ。

【発明の詳細な説明】

40

【技術分野】

【0001】

(関連出願への相互参照)

本願は、2021年09月10日に中国特許局に提出された、出願番号が202111064019.9であり、発明の名称が「信号マスキング回路及び半導体メモリ」である中国特許出願の優先権を主張し、その内容の全てが引用により本願に組み込まれる。

【0002】

本開示は、集積回路技術の分野に関し、特に、信号マスキング回路及び半導体メモリに関する。

【背景技術】

50

【 0 0 0 3 】

半導体技術の継続的な発展に伴い、人たちは、コンピュータなどの機器を製造、使用する場合、データの転送速度に対してますます高い要求を提出する。より速いデータ転送速度を取得するために、ダブルデータレート (DDR: Double Data Rate) でデータを伝送することができる一連のメモリなどのデバイスが現れた。

【 0 0 0 4 】

ダイナミック・ランダム・アクセス・メモリ (DRAM: Dynamic Random Access Memory) について、チップ選択 (CS: Chip Select) 信号によって命令アドレス信号又はクロック信号に対して無効信号マスキングを行うことを実現することができ、それによって、消費電流を減らす。

10

【 発明の概要 】

【 0 0 0 5 】

本開示は、信号マスキング回路及び半導体メモリを提供し、DRAMが有効情報を紛失しないことを保証する同時に、最大限に電流の浪費を避け、消費電力を節約する目的を達成することができる。

【 0 0 0 6 】

第1態様によれば、本開示の実施例は、信号マスキング回路を提供し、該信号マスキング回路は、受信回路、遅延制御回路、及びロジック演算回路、を含み、

前記受信回路は、処理待ち信号とチップ選択信号を受信し、初期処理信号と初期チップ選択信号を出力するように構成され、

20

前記遅延制御回路は、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、チップ選択マスキング信号を得るように構成され、且つ、前記チップ選択マスキング信号のパルス幅は、2つの予め設定されたクロック周期より大きいか等しく、

前記ロジック演算回路は、前記チップ選択マスキング信号に基づいて前記初期処理信号に対して無効マスキング処理を行い、目標信号を得るように構成される。

【 0 0 0 7 】

いくつかの実施例において、チップ選択信号は、チップが選択されたか否かを表す信号であり、且つ、前記チップ選択信号は、ローレベル有効のパルス信号であり、前記チップ選択信号のパルス幅は、1つの予め設定されたクロック周期である。

【 0 0 0 8 】

30

いくつかの実施例において、前記ロジック演算回路は具体的に、前記初期処理信号が目標チップに対応する信号である場合、前記チップ選択マスキング信号に基づいて前記初期処理信号における無効信号に対してマスキング処理を行い、及び/又は、前記初期処理信号が非目標チップに対応する信号である場合、前記チップ選択マスキング信号に基づいて前記初期処理信号の全部に対してマスキング処理を行うように構成され、

前記目標チップは、前記チップ選択信号によって選択されたチップであり、前記非目標チップは、前記チップ選択信号によって選択されていないチップである。

【 0 0 0 9 】

いくつかの実施例において、前記処理待ち信号は、命令アドレス信号とクロック信号のうち少なくとも1つを含み、前記クロック信号の周期は、前記予め設定されたクロック周期に等しい。

40

【 0 0 1 0 】

いくつかの実施例において、前記処理待ち信号が命令アドレス信号である場合、前記受信回路は、第1受信モジュール、及び第2受信モジュール、を含み、前記ロジック演算回路は、第1ロジック演算回路を含み、

前記第1受信モジュールは、前記命令アドレス信号を受信し、初期命令アドレス信号を出力するように構成され、

前記第2受信モジュールは、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

前記遅延制御回路は、前記第2受信モジュールの出力端に接続され、前記初期チップ選

50

択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るように構成され、

前記第1ロジック演算回路は、前記遅延制御回路の出力端と前記第1受信モジュールの出力端に接続され、前記チップ選択マスク信号と前記初期命令アドレス信号に対してロジック演算を行い、目標命令アドレス信号を得るように構成される。

【0011】

いくつかの実施例において、前記処理待ち信号がクロック信号である場合、前記受信回路は、第3受信モジュール、及び第4受信モジュール、を含み、前記ロジック演算回路は、第2ロジック演算回路を含み、

前記第3受信モジュールは、前記クロック信号を受信し、初期クロック信号を出力するように構成され、

10

前記第4受信モジュールは、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

前記遅延制御回路は、前記第4受信モジュールの出力端に接続され、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るように構成され、

前記第2ロジック演算回路は、前記遅延制御回路の出力端と前記第3受信モジュールの出力端に接続され、前記チップ選択マスク信号と前記初期クロック信号に対してロジック演算を行い、目標クロック信号を得るように構成される。

【0012】

20

いくつかの実施例において、前記処理待ち信号が命令アドレス信号とクロック信号である場合、前記受信回路は、第1受信モジュール、第2受信モジュール、及び第3受信モジュール、を含み、前記ロジック演算回路は、第1ロジック演算回路、及び第2ロジック演算回路、を含み、

前記第1受信モジュールは、前記命令アドレス信号を受信し、初期命令アドレス信号を出力するように構成され、

前記第2受信モジュールは、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

前記第3受信モジュールは、前記クロック信号を受信し、初期クロック信号を出力するように構成され、

30

前記遅延制御回路は、前記第2受信モジュールの出力端に接続され、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るように構成され、

前記第1ロジック演算回路は、前記遅延制御回路の出力端と前記第1受信モジュールの出力端に接続され、前記チップ選択マスク信号に基づいて前記初期命令アドレス信号に対して無効マスク処理を行い、目標命令アドレス信号を得るように構成され、及び、

前記第2ロジック演算回路は、前記遅延制御回路の出力端と前記第3受信モジュールの出力端に接続され、前記チップ選択マスク信号と前記初期クロック信号に対してロジック演算を行い、目標クロック信号を得るように構成される。

【0013】

40

いくつかの実施例において、前記第1ロジック演算回路は、第1バッファ、第1アンドゲート、及び第2バッファ、を含み、

前記第1バッファは、前記第1受信モジュールに接続され、前記初期命令アドレス信号に対して駆動強化と遅延処理を行い、第1命令アドレス信号を得るように構成され、

前記第1アンドゲートは、前記第1バッファの出力端と前記遅延制御回路の出力端に接続され、前記チップ選択マスク信号と前記第1命令アドレス信号に対してアンド演算を行い、第2命令アドレス信号を得るように構成され、

前記第2バッファは、前記第1アンドゲートの出力端に接続され、前記第2命令アドレス信号に対して駆動強化と遅延処理を行い、前記目標命令アドレス信号を得るように構成される。

50

【 0 0 1 4 】

いくつかの実施例において、前記第 2 ロジック演算回路は、第 3 バッファ、第 2 アンドゲート、及び第 4 バッファ、を含み、

前記第 3 バッファは、前記第 3 受信モジュールに接続され、前記初期クロック信号に対して駆動強化と遅延処理を行い、第 1 クロック信号を得るように構成され、

前記第 2 アンドゲートは、前記第 3 バッファの出力端と前記遅延制御回路の出力端に接続され、前記チップ選択マスク信号と前記第 1 クロック信号に対してアンド演算を行い、第 2 クロック信号を得るように構成され、

前記第 4 バッファは、前記第 2 アンドゲートの出力端に接続され、前記第 2 クロック信号に対して駆動強化と遅延処理を行い、前記目標クロック信号を得るように構成される。

10

【 0 0 1 5 】

いくつかの実施例において、前記遅延制御回路は、遅延モジュール、パルス幅調整モジュール、第 1 インバータ、及び第 1 オアゲート、を含み、

前記第 1 インバータは、前記初期チップ選択信号に対して反転処理を行い、第 1 中間信号を得るように構成され、

前記遅延モジュールは、前記初期チップ選択信号に対して遅延処理を行い、第 2 中間信号を得るように構成され、

前記パルス幅調整モジュールは、前記第 2 中間信号に対してパルス幅拡張処理を行い、第 3 中間信号を得るように構成され、

前記第 1 オアゲートは、前記第 1 インバータの出力端と前記パルス幅調整モジュールの出力端に接続され、前記第 1 中間信号と前記第 3 中間信号に対してオア演算を行い、前記チップ選択マスク信号を得るように構成される。

20

【 0 0 1 6 】

いくつかの実施例において、前記遅延モジュールは、第 1 遅延ユニット、第 2 遅延ユニット、及び第 2 インバータ、を含み、且つ、前記第 2 インバータは、前記第 1 遅延ユニットと前記第 2 遅延ユニットとの間にあり、

前記第 1 遅延ユニットは、前記初期チップ選択信号に対して第 1 遅延処理を行い、第 1 遅延信号を得るように構成され、

前記第 2 インバータは、前記第 1 遅延信号に対して反転処理を行い、反転遅延信号を得るように構成され、

前記第 2 遅延ユニットは、前記反転遅延信号に対して第 2 遅延処理を行い、前記第 2 中間信号を得るように構成される。

30

【 0 0 1 7 】

いくつかの実施例において、前記第 1 遅延ユニットと前記第 2 遅延ユニットは、いずれも抵抗 R とコンデンサ C からなる。

【 0 0 1 8 】

いくつかの実施例において、前記パルス幅調整モジュールは、第 5 バッファ、及び第 2 オアゲート、を含み、

前記第 5 バッファは、前記遅延モジュールの出力端に接続され、前記第 2 中間信号に対して駆動強化と遅延処理を行い、第 4 中間信号を得るように構成され、

前記第 2 オアゲートは、前記遅延モジュールの出力端と前記第 5 バッファの出力端に接続され、前記第 2 中間信号と前記第 4 中間信号に対してオア演算を行い、前記第 3 中間信号を得るように構成される。

40

【 0 0 1 9 】

いくつかの実施例において、前記信号マスク回路はさらに、緩和モジュールを含み、前記緩和モジュールは、複数の第 6 バッファからなり、

前記緩和モジュールは、前記複数の第 6 バッファに基づいて、前記初期チップ選択信号に対して順番に駆動強化と遅延処理を行い、目標チップ選択信号を得るように構成される。

【 0 0 2 0 】

いくつかの実施例において、前記信号マスク回路はさらに、サンプリング回路、及

50

びデコーディング回路、を含み、

前記サンプリング回路は、前記目標命令アドレス信号、前記目標クロック信号と前記目標チップ選択信号を受信し、前記目標クロック信号を利用して前記目標命令アドレス信号と前記目標チップ選択信号に対してサンプリングを行い、サンプリング命令アドレス信号とサンプリングチップ選択信号を得るように構成され、

前記デコーディング回路は、前記サンプリング回路の出力端に接続され、前記サンプリングチップ選択信号と前記サンプリング命令アドレス信号に対してデコーディングを行い、目標命令結果を得る。

【0021】

いくつかの実施例において、前記サンプリング回路は、複数のD型フリップフロップからなる。

10

【0022】

いくつかの実施例において、前記バッファは、2つのインバータからなる。

【0023】

いくつかの実施例において、前記チップ選択マスク信号の立ち上がりエッジの時刻は、前記第1命令アドレス信号のパルス開始時間より早く、前記チップ選択マスク信号の立ち下がりエッジの時刻は、前記第1命令アドレス信号のパルス終了時間より遅く、前記チップ選択マスク信号と前記第1命令アドレス信号は、前記チップ選択信号の同一の有効パルスに対応する。

【0024】

20

第2態様によれば、本開示の実施例は、半導体メモリを提供し、該半導体メモリは、第1態様のうちのいずれか1項に記載の信号マスク回路を含む。

【0025】

いくつかの実施例において、前記半導体メモリは、ダイナミック・ランダム・アクセス・メモリ(DRAM)チップである。

【0026】

いくつかの実施例において、前記ダイナミック・ランダム・アクセス・メモリ(DRAM)チップは、DDR5メモリ仕様に準拠する。

【発明の効果】

【0027】

30

本開示の実施例は、信号マスク回路及び半導体メモリを提供し、該信号マスク回路は、受信回路、遅延制御回路、及びロジック演算回路、を含み、受信回路は、処理待ち信号とチップ選択信号を受信し、初期処理信号と初期チップ選択信号を出力するためのものであり、遅延制御回路は、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、チップ選択マスク信号を得るためのものであり、且つ、前記チップ選択マスク信号のパルス幅は、2つの予め設定されたクロック周期より大きいか等しく、ロジック演算回路は、前記チップ選択マスク信号に基づいて前記初期処理信号に対して無効マスク処理を行い、目標信号を得るためのものである。こうすると、DDR5 DRAMにおける命令アドレス信号が2つの予め設定されたクロック周期に基づく信号であり、本開示によって提出されたチップ選択マスク信号のパルス幅が2つの予め設定されたクロック周期より大きいか等しいため、初期処理信号に対してマスク処理を行うときに、DDR5 DRAMが有効情報を紛失しないことを保証する同時に、最大限に電流の浪費を避け、消費電力を節約する目的を達成することができる。

40

【図面の簡単な説明】

【0028】

【図1】DRAMの一例の応用場面の概略図である。

【図2】信号マスク回路の一例の構造概略図である。

【図3】信号マスク回路の一例の信号シーケンスの概略図である。

【図4】DDR5の一例の読み出し命令のシーケンスの概略図である。

【図5】DDR5の一例の信号シーケンスの概略図である。

50

【図 6】DDR5 の別の一例の信号シーケンスの概略図である。

【図 7】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

【図 8 A】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

【図 8 B】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

【図 8 C】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

【図 9 A】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

10

【図 9 B】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

【図 9 C】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

【図 10】本開示の実施例によって提供される信号マスキング回路の一例の信号シーケンスの概略図である。

【図 11】本開示の実施例によって提供される信号マスキング回路の一例の構造概略図である。

【図 12】本開示の実施例によって提供される信号マスキング回路の一例の具体的な回路構造概略図である。

20

【図 13 A】本開示の実施例によって提供される信号マスキング回路の一例の信号シーケンスの概略図である。

【図 13 B】本開示の実施例によって提供される信号マスキング回路の一例の信号シーケンスの概略図である。

【図 14】本開示の実施例によって提供される信号マスキング回路の一例の具体的な回路構造概略図である。

【図 15 A】本開示の実施例によって提供される信号マスキング回路の一例の信号シーケンスの概略図である。

【図 15 B】本開示の実施例によって提供される信号マスキング回路の一例の信号シーケンスの概略図である。

30

【図 16】本開示の実施例によって提供される半導体メモリの一例の構造概略図である。

【発明を実施するための形態】

【0029】

以下では、本開示の実施例の図面を参照して、本開示の実施例の技術的解決策について明確で完全に説明する。理解可能なこととして、ここで記載された具体的な実施例は、単に本願を説明することを目的としており、本願を限定するものではない。また、説明すべきこととして、説明を容易にするために、図面で本願に関連する部分のみを示している。

【0030】

明記されない限り、本文で使用されるすべての技術用語と科学用語は、当業者によって通常に理解されるものと同じ意味を有する。本文で使用される用語は、単に本開示の実施例を説明することを目的とし、本開示を限定することを意図するものではない。

40

【0031】

下記の「いくつかの実施例」と記載される部分において、可能な実施例のサブセットがすべて記載されているが、理解可能なこととして、「いくつかの実施例」というのは、全ての可能な実施例の同じサブセット又は異なるサブセットであり得、矛盾しない場合に互いに組み合わせることができる。

【0032】

また、本開示の実施例における「第1/第2/第3」という用語は、特定の順序を限定するものではなく、類似する対象を区別するものである。理解可能なこととして、「第1

50

「第2 / 第3」は、場合によって特定の順番又は前後順番を変換することでき、それによって、本明細書に記載された本願の実施例は、図示した順番又は記載された順番以外の順序で実施されることができる。

【0033】

本開示の実施例をさらに詳細に説明する前に、まず、本開示の実施例に関する名詞と用語について説明する。本開示の実施例に関する名詞と用語は、下記のような解釈に適用される。

ダイナミック・ランダム・アクセス・メモリ (DRAM: Dynamic Random Access Memory)

同期ダイナミック・ランダム・アクセス・メモリ (SDRAM: Synchronous Dynamic Random Access Memory)

ダブルデータレート (DDR: Double Data Rate)

第4世代DDR (DDR4: 4th DDR)

第5世代DDR (DDR5: 5th DDR)

中央プロセッサ (CPU: Central Processing Unit)

命令アドレス入力 (CA: Command / Address Input)

クロック入力 (CLK: Clock Input)

チップ選択入力 (CS: Chip Select Input)

アンバッファード・デュアル・インライン・メモリ・モジュール (UDIMM: Unbuffered Dual In-Line Memory Modules or unregistered Dual In-Line Memory Modules)

小型デュアル・インライン・メモリ・モジュール (SODIMM: Small Outline Dual In-line Memory Module)

有効な (Valid)

無効な (Invalid)

消費電力 (Power Consumption)

バッファ (RPT: Buffer / Repeater)

【0034】

図1を参照すると、図1は、DRAMの一例の応用場面の概略図を示す。図1に示すように、UDIMM / SODIMMの応用場면을例として、UDIMM / SODIMMシステムにおいて、メモリ内のランク (Rank) におけるDRAMは、同一のCSに接続され、すべてのRankにおけるDRAMのCA / CLKは、全部一緒に接続されており、異なるCS信号は、異なるRankに接続する。例えば、図1に示すCS0は、Rank0に接続され、CS1は、Rank1に接続され、且つ、Rank0とRank1におけるすべてのDRAMのCA / CLKは、全部一緒に接続されている。

【0035】

言い換えれば、CPUがCS0有効命令を送信するときに、すべてのRankにおけるDRAMは、CAとCLK命令を受信し、その区別は受信するCSが異なるだけである。ここで、CSは、ある意味でRank selectとして理解可能であり、即ち、CSは、チップが選択されたか否かを表す1つの信号と見なされることができる。

【0036】

理解可能なこととして、DDR4 DRAMにとって、それは、1つのクロック周期に基づく命令であり、現在、CS_nを採用して消費電流を減らすことができる方式は、2つがある。(1) CS_nを利用して命令アドレス信号に対してマスクング (Masking) を行う。(2) CS_nを利用してクロック信号に対してマスクングを行う。ここで、命令アドレス信号は、CMD / ADDで表されることができ、CAで表されることができ、クロック信号は、CLKで表されることができ、説明すべきこととして、このCMD / ADDは、DRAMの様々な命令アドレス信号の総称であり、行アドレスストロブパルス (RAS: Row Address Strobe)、列アドレスストロブパルス (CAS: Column Address Strobe)、書き込み命令 (WE: W

rite)、読み出し命令(RD: Read)などの命令信号を含むことができ、さらに、A13~A0のアドレス信号などを含むことができる。また、実際の応用において、該命令アドレス信号が何ビットのアドレス信号を含むかについて、具体的に、DRAMの仕様に基づいて決定されることができ、本開示の実施例は、これについて限定しない。

【0037】

具体的に、図2を参照すると、図2は、信号マスキング回路の一例の構造概略図を示す。図2に示すように、該信号マスキング回路20は、第1レシーバ201、第2レシーバ202、第3レシーバ203、第1バッファ204、第2バッファ205、第3バッファ206、第1インバータ207、第1アンドゲート208、第4バッファ209、第5バッファ210、第2アンドゲート211、第6バッファ212、第7バッファ213、D型フリップフロップ(DFF: Data Flip-Flop又はDelay Flip-Flop)214、第2インバータ215、及び第3アンドゲート216、を含むことができる。ここで、第1レシーバ201の2つの入力信号のそれぞれは、チップ選択信号(CS_nで表される)と基準信号(VREFCAで表される)であり、出力信号は、初期チップ選択信号(CSBで表される)である。第2レシーバ202の2つの入力信号のそれぞれは、命令アドレス信号(CMD/ADDで表される)と基準信号(VREFCAで表される)であり、出力信号は、初期命令アドレス信号(CAで表される)である。第3レシーバ203の2つの入力信号のそれぞれは、入力クロック信号(CLK_tで表される)と相補的な入力クロック信号(CLK_cで表される)であり、出力信号は、初期クロック信号(CLKで表される)である。

【0038】

図2において、第1バッファ204、第2バッファ205と第3バッファ206の駆動能力は、順番に増加し、且つ、CSB信号は、順番に第1バッファ204、第2バッファ205と第3バッファ206を通過した後に、目標チップ選択信号(CSBIで表される)を得る。第4バッファ209と第5バッファ210の駆動能力も、順番に増加し、CSB信号は、第1インバータ207を通過した後に、CA信号と一緒に第1アンドゲート208に入力され、第1アンドゲート208の出力信号は、順番に第4バッファ209と第5バッファ210を通過した後に、目標命令アドレス信号(CMD/ADD_{RPT}で表される)を得る。第6バッファ212と第7バッファ213の駆動能力も、順番に増加し、CSB信号は、第1インバータ207を通過した後に、CLK信号と一緒に第2アンドゲート211に入力され、第2アンドゲート211の出力信号は、順番に第6バッファ212と第7バッファ213を通過した後に、目標クロック信号(CLK_{RPT}で表される)を得る。

【0039】

CSBI、CMD/ADD_{RPT}とCLK_{RPT}を得た後に、さらに、それに対してデコーディング処理を行うことができる。具体的に、D型フリップフロップ214を利用して、CLK_{RPT}は、入力されたCSBIとCMD/ADD_{RPT}に対してサンプリング処理を行い、サンプリングチップ選択信号(CSB_{INTER}で表される)とサンプリング命令アドレス信号(CMD/ADD_{INTER}で表される)を得、そして、CSB_{INTER}は、第2インバータ215を通過した後に、CMD/ADD_{INTER}とともに、第3アンドゲート216に入力され、最終的に、デコーディングされて目標命令結果(CMD/ADD_{OUT}で表される)を得る。注意すべきこととして、D型フリップフロップ214は、1つのDFFではなく、複数のDFFであり得、図2においてただ1つの記号(symbol)標識であり、DFF_{top}で表されることもでき、それは、単にD型フリップフロップの命令アドレス信号に対するサンプリング機能を表すためのものである。

【0040】

図2に示す回路構造に基づいて、対応する信号シーケンス図は、図3に示すようである。図3において、有効なCSB信号(Valid CSB₀で表される)は、ローレベル有効のパルス信号であり、且つ、パルス幅が1つのクロック周期であり、該Valid

CSB0信号に接続するRankが選択されたことを表すためのものである。無効なCSB信号(Invalid CSB1で表される)は、ハイレベル信号であり、該Invalid CSB1信号に接続するRankが選択されていないことを表すためのものである。この場合、有効な目標命令アドレス信号(Valid CMD/ADD_RPT0で表される)も、パルス信号であり、且つ、パルス幅が1つのクロック周期であり、即ち、Valid CSB0がローレベルである時間帯に、目標命令アドレス信号は通過することができ、他の時間帯にローレベルである。無効な目標命令アドレス信号(Invalid CMD/ADD_RPT1で表される)は、ローレベル信号である。また、有効な目標クロック信号(Valid CLK_RPT0で表される)も、パルス信号であり、且つ、Valid CSB0がローレベルである時間帯に、目標クロック信号は、通過することができ、他の時間帯にローレベルである。無効な目標クロック信号(Invalid CLK_RPT1で表される)は、ローレベル信号である。ここで、ハイレベル信号は、Hで表され、ローレベル信号は、Lで表される。

10

【0041】

簡単に言えば、CS_nを利用して命令アドレス信号に対してマスキングを行うときに、図3に示す信号シーケンスから分かるように、CMD/ADD_masking方式を採用することで、Invalid CS Rankにおけるバッファ及びDFFの消費電力を節約することができ、同時に、Valid CS Rankの正常な動作を保証し、それによって、CS_nがハイレベルである期間において、Valid Rankの消費電流を節約することができる。

20

【0042】

CS_nを利用してクロック信号に対してマスキングを行うときに、図3に示す信号シーケンスから分かるように、CLK_masking方式を採用することで、Invalid CS Rankにおけるバッファ及びDFFの消費電力を節約することができ、しかも、節約された電流は、CMD/ADD_maskingの何倍であり(CLKの周波数がより速いためである)、それによって、CS_nがハイレベルである期間において、Valid Rankの消費電流を節約することもできる。

【0043】

さらに理解可能なこととして、DDR5 DRAMにとって、読み出し命令(READ)又は書き込み命令(WRITE)の期間において、DDR5は、BC8、BL16、BL32(選択可能)、及びBL32_OTF(選択可能)をサポートすることができ、MR[1:0]は、バースト操作モード(Burst Operation Mode)を選択するためのものである。ここで、図4は、読み出し命令の一例のシーケンスの概略図を示す。図4において、1つの読み出し命令は、2つのクロック周期を含み、例えば、<BA、BG>と<CA、BL、AP>は、1つのREAD命令に対応する。

30

【0044】

しかしながら、DDR5 DRAMにとって、それは、2つのクロック周期に基づく命令であり、依然として伝統的なアーキテクチャを採用すると、ValidのDRAMは、二番目のクロック周期のCA情報が紛失され、CMDのデコーディング失敗を引き出す(詳細は図5を参照する)。ここで、図5に示すように、CLKは、初期クロック信号を表し、CAは、初期命令アドレス信号を表し、CSBは、初期チップ選択信号を表し、CMD/ADD_RPTは、目標命令アドレス信号を表し、CSB_Maskingは、チップ選択マスキング信号を表し、CMDは、デコーディング結果を表す。よって、CAは、CA0とCA2を含み、しかしながら、CSBは、ローレベル有効のパルス信号であり、且つ、パルス幅がただ1つのクロック周期であり、それによって、CSB_Maskingのパルス幅も1つのクロック周期である。このときに、CAがCSB_Maskingを通過するときに、第1クロック周期のCA0のみが通過し、二番目のクロック周期のCA2が紛失され、CMDのデコーディング失敗をもたらす。

40

【0045】

この場合、DDR5において、CS_nの立ち下がりエッジがCMD/ADDと同期し

50

ているため、CS_nを採用してCSB_{Masking}を生成して消費電力を減らすときに、理論的に、CSB_{Masking}の立ち下がりエッジがCAより早い必要がある。図6は、DDR5の別の一例の信号シーケンスの概略図を示す。図6に示すように、ここで、DDR5のCSB_{Masking}のシーケンスの参照が提供され、且つ、図6は、理想的な状況における1つの目標場合である。ここで、t₁は、CSB_{Masking}の立ち下がりエッジの時刻がCAより早いことを表し、t₂は、CSB_{Masking}の立ち上がりエッジの時刻がCAより遅いことを表す。言い換えれば、いかにValid DRAMのCMDデコーディングが情報を紛失しないことを保証する同時に、最大限に消費電力を節約するかは、現在本開示が早急に解決すべき技術問題である。

【0046】

本開示の実施例は、信号マスクング回路を提供し、該信号マスクング回路は、受信回路、遅延制御回路、及びロジック演算回路、を含み、受信回路は、処理待ち信号とチップ選択信号を受信し、初期処理信号と初期チップ選択信号を出力するためのものであり、遅延制御回路は、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、チップ選択マスクング信号を得るためのものであり、且つ、前記チップ選択マスクング信号のパルス幅は、2つの予め設定されたクロック周期より大きいか等しく、ロジック演算回路は、前記チップ選択マスクング信号に基づいて前記初期処理信号に対して無効マスクング処理を行い、目標信号を得るためのものである。こうすると、DDR5 DRAMにおける命令アドレス信号が2つの予め設定されたクロック周期に基づく信号であり、本開示によって提出されたチップ選択マスクング信号のパルス幅が2つの予め設定されたクロック周期より大きいか等しいため、初期処理信号に対してマスクング処理を行うときに、DDR5 DRAMが有効情報を紛失しないことを保証する同時に、最大限に電流の浪費を避け、消費電力を節約する目的を達成することができる。

【0047】

以下では、図面を参照して、本開示の各実施例について詳細に説明する。

【0048】

本開示の1つの実施例において、図7を参照すると、図7は、本開示の実施例によって提供される信号マスクング回路70の一例の構造概略図を示す。図7に示すように、信号マスクング回路70は、受信回路710、遅延制御回路720、及びロジック演算回路730、を含むことができ、

受信回路710は、処理待ち信号とチップ選択信号を受信し、初期処理信号と初期チップ選択信号を出力するためのものであり、

遅延制御回路720は、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、チップ選択マスクング信号を得るためのものであり、且つ、前記チップ選択マスクング信号のパルス幅は、2つの予め設定されたクロック周期より大きいか等しく、

ロジック演算回路730は、前記チップ選択マスクング信号に基づいて前記初期処理信号に対して無効マスクング処理を行い、目標信号を得るためのものである。

【0049】

説明すべきこととして、本開示の実施例において、チップ選択信号は、CS_nで表され、初期チップ選択信号は、CSBで表される。ここで、チップ選択信号は、チップが選択されたか否かを表す信号であり得、且つ、チップ選択信号は、ローレベル有効のパルス信号であり、チップ選択信号のパルス幅は、1つの予め設定されたクロック周期である。

【0050】

さらに説明すべきこととして、本開示の実施例において、処理待ち信号は、命令アドレス信号とクロック信号のうちの少なくとも1つを含むことができ、クロック信号の周期は、予め設定されたクロック周期に等しい。

【0051】

相応的に、受信回路710を通過した後得られた初期処理信号は、初期命令アドレス信号と初期クロック信号のうちの少なくとも1つを含むことができる。

【0052】

10

20

30

40

50

ここで、受信回路710は、レシーバ（Receiver）であり得、バッファ（Buffer）でもあり得る。また、命令アドレス信号は、CMD/ADDで表され、初期命令アドレス信号は、CAで表される。クロック信号は、CK_tとCK_cで表され、初期クロック信号は、CLKで表される。

【0053】

さらに説明すべきこととして、本開示の実施例において、チップ選択マスク信号は、CS_Maskingで表される。また、CSとCSBは、信号反転を表し、即ち、CS_Maskingは、CSB_Maskingの反転信号と見なされることが出来る。

【0054】

いくつかの実施例において、ロジック演算回路730は具体的に、前記初期処理信号が目標チップに対応する信号である場合、前記チップ選択マスク信号に基づいて前記初期処理信号における無効信号に対してマスク処理を行い、及び/又は、前記初期処理信号が非目標チップに対応する信号である場合、前記チップ選択マスク信号に基づいて前記初期処理信号の全部に対してマスク処理を行うためのものであり、

前記目標チップは、前記チップ選択信号によって選択されたチップであり、前記非目標チップは、前記チップ選択信号によって選択されていないチップである。

【0055】

説明すべきこととして、目標チップ、即ち、選択されたチップにとって、このときに、初期処理信号は有効であり、チップ選択マスク信号を利用してそのうちの有効部分を通過させ、残りの無効部分をマスクする必要がある。非目標チップ、即ち、選択されていないチップにとって、このときに、初期処理信号は無効であり、チップ選択マスク信号を利用してそれをすべてマスクする必要がある。

【0056】

さらに説明すべきこととして、命令アドレス信号が2つの予め設定されたクロック周期に基づく命令であるため、チップ選択マスク信号のパルス幅は、2つの予め設定されたクロック周期より大きい必要がある、それによって、第2クロック周期の命令アドレス情報が紛失されることを避ける。

【0057】

1つの可能な実施方式において、処理待ち信号が命令アドレス信号である場合、チップ選択マスク信号を利用してそれに対して無効マスク処理を行うことができる。図8Aを参照すると、図7に示す信号マスク回路70の上に、受信回路710は、第1受信モジュール711と第2受信モジュール712を含むことができ、ロジック演算回路730は、第1ロジック演算回路731を含むことができ、

第1受信モジュール711は、前記命令アドレス信号を受信し、初期命令アドレス信号を出力するように構成され、

第2受信モジュール712は、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

遅延制御回路720は、第2受信モジュール712の出力端に接続され、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るためのものであり、

第1ロジック演算回路731は、遅延制御回路720の出力端と第1受信モジュール711の出力端に接続され、前記チップ選択マスク信号と前記初期命令アドレス信号に対してロジック演算を行い、目標命令アドレス信号を得るためのものである。

【0058】

説明すべきこととして、本開示の実施例において、図8Aにおいて、チップ選択マスク信号を利用して初期命令アドレス信号に対してマスク処理を行う。選択されていないチップにとって、このときに、初期命令アドレス信号は、無効信号であり、第1ロジック演算回路731によってそれをすべてマスクすることができる。選択されたチップにとって、このときに、初期命令アドレス信号は、有効信号であり、第1ロジック演算回路731によってそのうちの有効部分を通過させることができ、それによって目標命令

10

20

30

40

50

アドレス信号を得る。ここで、目標命令アドレス信号は、`CMD / ADD_RPT`で表されることができる。

【0059】

別の1つの可能な実施方式において、処理待ち信号がクロック信号である場合、チップ選択マスク信号を利用してそれに対して無効マスク処理を行うことができる。図8Bを参照すると、図7に示す信号マスク回路70の上に、受信回路710は、第3受信モジュール713と第4受信モジュール714を含むことができ、ロジック演算回路730は、第2ロジック演算回路732を含むことができ、

第3受信モジュール713は、前記クロック信号を受信し、初期クロック信号を出力するように構成され、

第4受信モジュール714は、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

遅延制御回路720は、第4受信モジュール714の出力端に接続され、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、前記チップ選択マスク信号を得るためのものであり、

第2ロジック演算回路732は、遅延制御回路720の出力端と第3受信モジュール713の出力端に接続され、前記チップ選択マスク信号と前記初期クロック信号に対してロジック演算を行い、目標クロック信号を得るためのものである。

【0060】

説明すべきこととして、本開示の実施例において、図8Bにおいて、チップ選択マスク信号を利用して初期クロック信号に対してマスク処理を行う。選択されていないチップにとって、このときに、初期クロック信号は、無効信号であり、第2ロジック演算回路732によってそれをすべてマスクすることができる。選択されたチップにとって、このときに、初期クロック信号は、有効信号であり、第2ロジック演算回路732によってそのうちの有効部分を通過させることができ、即ち、目標クロック信号を得る。ここで、目標クロック信号は、`PCLK0T_RPT`で表されることができる。

【0061】

さらに別の1つの可能な実施方式において、処理待ち信号が命令アドレス信号とクロック信号である場合、チップ選択マスク信号を利用してそれぞれに対して無効マスク処理を行うことができる。図8Cを参照すると、図7に示す信号マスク回路70の上に受信回路710は、第1受信モジュール711、第2受信モジュール712、及び第3受信モジュール713、を含むことができ、ロジック演算回路730は、第1ロジック演算回路731と第2ロジック演算回路732を含むことができ、

第1受信モジュール711は、前記命令アドレス信号を受信し、初期命令アドレス信号を出力するように構成され、

第2受信モジュール712は、前記チップ選択信号を受信し、初期チップ選択信号を出力するように構成され、

第3受信モジュール713は、前記クロック信号を受信し、初期クロック信号を出力するように構成され、

遅延制御回路720は、第2受信モジュール712の出力端に接続され、前記初期チップ選択信号に対して遅延及びロジック制御操作を行い、前記チップ選択マスク信号を得るためのものであり、

第1ロジック演算回路731は、遅延制御回路720の出力端と第1受信モジュール711の出力端に接続され、前記チップ選択マスク信号に基づいて前記初期命令アドレス信号に対して無効マスク処理を行い、目標命令アドレス信号を得るためのものであり、

第2ロジック演算回路732は、遅延制御回路720の出力端と第3受信モジュール713の出力端に接続され、前記チップ選択マスク信号と前記初期クロック信号に対してロジック演算を行い、目標クロック信号を得るためのものである。

【0062】

10

20

30

40

50

説明すべきこととして、本開示の実施例において、図 8 C において、チップ選択マスク信号を利用して初期命令アドレス信号と初期クロック信号に対してマスク処理を行う。選択されていないチップにとって、このときに、初期命令アドレス信号と初期クロック信号は、いずれも無効信号であり、第 1 ロジック演算回路 7 3 1 と第 2 ロジック演算回路 7 3 2 によってそれをすべてマスクすることができる。選択されたチップにとって、このときに、初期命令アドレス信号と初期クロック信号は、いずれも有効信号であり、第 1 ロジック演算回路 7 3 1 によって初期命令アドレス信号の有効部分を通過させることができ、即ち、目標命令アドレス信号を得る。第 2 ロジック演算回路 7 3 2 によって初期クロック信号の有効部分を通過させることができ、即ち、目標クロック信号を得る。

【 0 0 6 3 】

さらに説明すべきこととして、受信回路 7 1 0 において、第 1 受信モジュール、又は、第 2 受信モジュール、又は、第 3 受信モジュールは、いずれもレシーバ又はバッファと見なされることができる。また、チップ選択マスク信号は、CS_Masking で表され、目標命令アドレス信号は、CMD/ADD_RPT で表されることができ、目標クロック信号は、PCLK0T_RPT で表されることができる。

【 0 0 6 4 】

さらに、いくつかの実施例において、第 1 ロジック演算回路 7 3 1 は、具体的に図 9 A 又は図 9 C を参照して、図 8 A 又は図 8 C に示す信号マスク回路 7 0 の上に、第 1 ロジック演算回路 7 3 1 は、第 1 バッファ 7 3 1 1、第 1 アンドゲート 7 3 1 2、及び第 2 バッファ 7 3 1 3、を含むことができ、

第 1 バッファ 7 3 1 1 は、第 1 受信モジュール 7 1 1 に接続され、前記初期命令アドレス信号に対して駆動強化と遅延処理を行い、第 1 命令アドレス信号を得るためのものであり、

第 1 アンドゲート 7 3 1 2 は、第 1 バッファ 7 3 1 1 の出力端と遅延制御回路 7 2 0 の出力端に接続され、前記チップ選択マスク信号と前記第 1 命令アドレス信号に対してアンド演算を行い、第 2 命令アドレス信号を得るためのものであり、

第 2 バッファ 7 3 1 3 は、第 1 アンドゲート 7 3 1 2 の出力端に接続され、前記第 2 命令アドレス信号に対して駆動強化と遅延処理を行い、前記目標命令アドレス信号を得るためのものである。

【 0 0 6 5 】

即ち、第 1 命令アドレス信号とチップ選択マスク信号を得た後に、第 1 アンドゲート 7 3 1 2 によってそれに対してロジック演算を行うことができ、そして、第 2 バッファ 7 3 1 3 の駆動強化と遅延処理によって最終的に得られた目標命令アドレス信号は、CMD/ADD_RPT で表されることができる。

【 0 0 6 6 】

さらに、いくつかの実施例において、第 2 ロジック演算回路 7 3 2 は、具体的に図 9 B 又は図 9 C を参照して、図 8 B 又は図 8 C に示す信号マスク回路 7 0 の上に、第 2 ロジック演算回路 7 3 2 は、第 3 バッファ 7 3 2 1、第 2 アンドゲート 7 3 2 2、及び第 4 バッファ 7 3 2 3、を含むことができ、

第 3 バッファ 7 3 2 1 は、第 3 受信モジュール 7 1 3 に接続され、前記初期クロック信号に対して駆動強化と遅延処理を行い、第 1 クロック信号を得るためのものであり、

第 2 アンドゲート 7 3 2 2 は、第 3 バッファ 7 3 2 1 の出力端と遅延制御回路 7 2 0 の出力端に接続され、前記チップ選択マスク信号と前記第 1 クロック信号に対してアンド演算を行い、第 2 クロック信号を得るためのものであり、

第 4 バッファ 7 3 2 3 は、第 2 アンドゲート 7 3 2 2 の出力端に接続され、前記第 2 クロック信号に対して駆動強化と遅延処理を行い、前記目標クロック信号を得るためのものである。

【 0 0 6 7 】

即ち、第 1 クロック信号とチップ選択マスク信号を得た後に、第 2 アンドゲート 7 3 2 2 によってそれに対してロジック演算を行うことができ、そして、第 4 バッファ 7 3

10

20

30

40

50

23の駆動強化と遅延処理によって最終的に得られた目標クロック信号は、PCLK0T__RPTで表されることができる。

【0068】

さらに、いくつかの実施例において、遅延制御回路720は、具体的に図9A、図9B又は図9Cを参照して、図8A、図8B又は図8Cに示す信号マスキング回路70の上に、遅延制御回路720は、遅延モジュール721、パルス幅調整モジュール722、第1インバータ723、及び第1オアゲート724、を含むことができ、

第1インバータ723は、前記初期チップ選択信号に対して反転処理を行い、第1中間信号を得るためのものであり、

遅延モジュール721は、前記初期チップ選択信号に対して遅延処理を行い、第2中間信号を得るように構成され、

パルス幅調整モジュール722は、前記第2中間信号に対してパルス幅拡張処理を行い、第3中間信号を得るように構成され、

第1オアゲート724は、第1インバータ723の出力端とパルス幅調整モジュール722の出力端に接続され、前記第1中間信号と前記第3中間信号に対してオア演算を行い、前記チップ選択マスキング信号を得るためのものである。

【0069】

説明すべきこととして、本開示の実施例において、第1中間信号は、CSTで表されることができ、第2中間信号は、Bで表されることができ、第3中間信号は、CST__Shiftで表されることができる。こうすると、図9に示すように、第1オアゲート724によってCSTとCST__Shiftに対してロジック演算を行って得られたチップ選択マスキング信号は、CS__Maskingで表される。

【0070】

さらに説明すべきこととして、本開示の実施例において、チップ選択マスキング信号の立ち上がりエッジの時刻は、第1命令アドレス信号のパルス開始時間より早く、チップ選択マスキング信号の立ち下がりエッジの時刻は、第1命令アドレス信号のパルス終了時間より遅く、チップ選択マスキング信号と第1命令アドレス信号は、前記チップ選択信号の同一の有効パルスに対応する。

【0071】

さらに、チップ選択マスキング信号の立ち上がりエッジの時刻を第1命令アドレス信号のパルス開始時間より早く、チップ選択マスキング信号の立ち下がりエッジの時刻を第1命令アドレス信号のパルス終了時間より遅くさせるために、いくつかの実施例において、遅延モジュール721について、遅延モジュール721は、第1遅延ユニット7211、第2遅延ユニット7212、及び第2インバータ7213、を含むことができ、且つ、第2インバータ7213は、第1遅延ユニット7211と第2遅延ユニット7212との間にあり、

第1遅延ユニット7211は、前記初期チップ選択信号に対して第1遅延処理を行い、第1遅延信号を得るように構成され、

第2インバータ7213は、前記第1遅延信号に対して反転処理を行い、反転遅延信号を得るためのものであり、

第2遅延ユニット7212は、前記反転遅延信号に対して第2遅延処理を行い、前記第2中間信号を得るように構成される。

【0072】

さらに、いくつかの実施例において、パルス幅調整モジュール722について、パルス幅調整モジュール722は、第5バッファ7221、及び第2オアゲート7222、を含むことができ、

第5バッファ7221は、遅延モジュール721の出力端に接続され、前記第2中間信号に対して駆動強化と遅延処理を行い、第4中間信号を得るためのものであり、

第2オアゲート7222は、遅延モジュール721の出力端と第5バッファ7221の出力端に接続され、前記第2中間信号と前記第4中間信号に対してオア演算を行い、前記

10

20

30

40

50

第3中間信号を得るためのものである。

【0073】

説明すべきこととして、本開示の実施例において、第1遅延ユニット7211と第2遅延ユニット7212は、いずれも抵抗RとコンデンサCからなり、即ち、本開示の実施例は、2組のRC遅延ネットワークを採用して実現されることができる。例示的に、第1遅延ユニット7211は、第1抵抗R1と第1コンデンサC1からなることができ、第2遅延ユニット7212は、第2抵抗R2と第2コンデンサC2からなることができ、且つ、第2インバータ7213は、第1抵抗R1と第2抵抗R2との間に直列連結される。

【0074】

さらに説明すべきこととして、本開示の実施例において、パルス幅調整モジュール722は、第3中間信号のパルス幅の拡張幅を決定することができ、拡張される幅は具体的に、設計需要に応じて決定される。また、第2インバータ7213によって得られる反転遅延信号は、Aで表されることができ、第2遅延ユニット7212によって得られる第2中間信号は、Bで表されることができ、第5バッファ7221によって得られる第4中間信号は、Cで表されることができ、第2オアゲート7222によって得られる第3中間信号は、CST_Shiftで表されることができ、

【0075】

1つの具体的な例において、図10は、本開示の実施例によって提供される信号マスキング回路70の一例の信号シーケンスの概略図を示す。図10に示すように、CAは、2つの予め設定されたクロック周期に基づく初期命令アドレス信号であり、それに含まれる有効情報は、CA0とCA2である。CSBは、ローレベル有効のパルス信号であり、且つ、パルス幅が1つの予め設定されたクロック周期である。こうすると、第1インバータ723の反転処理によって得られるCST信号は、ハイレベル有効のパルス信号であり、該パルス幅が依然として1つの予め設定されたクロック周期である。遅延モジュール721とパルス幅調整モジュール722のロジック演算処理によって得られるCST_Shift信号は、ハイレベル有効のパルス信号であり、該パルス幅が1つの予め設定されたクロック周期より遥かに大きい。こうすると、第1オアゲート724によってCST信号とCST_Shift信号に対してオア演算を行って得られるCS_Masking信号は、ハイレベル有効のパルス信号であり、該パルス幅が既に2つの予め設定されたクロック周期より大きいか等しくなり、それによって、CA0とCA2を通過させることができ、それによって、CMD/ADD_RPT信号を得る。

【0076】

即ち、本開示の実施例は、RC遅延ネットワークの方式を採用してロジック制御の方式を結合して、 t_1/t_2 の充足を保證することができる。ここで、RCネットワークの遅延は、1つの予め設定されたクロック周期(即ち、 $1t_{CK}$)より小さい。速度と設計需要に基づいて、ここで、2組のRCネットワークを採用することができ、それによって、CSB信号の完備性を保證する。具体的に、遅延を保證する同時に、さらに、2組のRC遅延ネットワークの間に1つのインバータ(即ち、第2インバータ7213)を追加することができ、CSB情報の完備性を有効的に保證する。また、RCネットワークは、余計な電流をほぼ消費しないで需要の遅延を達することができ、且つ、パルス幅調整モジュール722を使用することで、 t_2 が十分な余裕を有することを保證することができる。

【0077】

本実施例は、信号マスキング回路を提供し、該信号マスキング回路は、受信回路、遅延制御回路、及びロジック演算回路、を含み、受信回路は、処理待ち信号とチップ選択信号を受信し、初期処理信号と初期チップ選択信号を出力するためのものであり、遅延制御回路は、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、チップ選択マスキング信号を得るためのものであり、且つ、前記チップ選択マスキング信号のパルス幅は、2つの予め設定されたクロック周期より大きいか等しく、ロジック演算回路は、前記チップ選択マスキング信号に基づいて前記初期処理信号に対して無効マスキング処理を行い、目標信号を得るためのものである。こうすると、DDR5 DRAMにおける命令アド

10

20

30

40

50

レス信号が2つの予め設定されたクロック周期に基づく信号であり、本開示によって提出されたチップ選択マスク信号のパルス幅が2つの予め設定されたクロック周期より大きいか等しいため、初期処理信号に対してマスク処理を行うときに、DDR5 DRAMが有効情報を紛失しないことを保証する同時に、最大限に電流の浪費を避け、消費電力を節約する目的を達成することができる。

【0078】

本開示の別の1つの実施例において、上記の実施例で記載された信号マスク回路70に基づいて、目標命令アドレス信号と目標クロック信号を得た後に、目標命令アドレス信号に対してデコーディング処理を行うこともできる。図8Cに示す信号マスク回路70を例として、図11を参照すると、図8Cに示す信号マスク回路70の上に、該

10

信号マスク回路70はさらに、緩和モジュール740を含むことができ、該緩和モジュール740は、複数の第6バッファ741からなることができ、

緩和モジュール740は、複数の第6バッファ741に基づいて、前記初期チップ選択信号に対して順番に駆動強化と遅延処理を行い、目標チップ選択信号を得るように構成される。

【0079】

説明すべきこととして、図10に示すように、緩和モジュール740は、3つの第6バッファからなることができ、且つ、該3つの第6バッファの駆動能力は、同じであっても良く、異なっても良く（例えば、順番に増加する）、このときに得られた目標チップ選択信号は、CSBIで表されることができる。

20

【0080】

さらに説明すべきこととして、本開示の実施例において、第1バッファ、第2バッファ、第3バッファ、それとも、第4バッファ、第5バッファ又は第6バッファなどの任意の1つのバッファは、いずれも2つのインバータからなることができ、したがって、バッファは、Repeaterと呼ばれることもでき、略称がRPTである。

【0081】

さらに、いくつかの実施例において、図11に示すように、信号マスク回路70はさらに、サンプリング回路750とデコーディング回路760を含むことができ、

サンプリング回路750は、前記目標命令アドレス信号、前記目標クロック信号と前記目標チップ選択信号を受信し、前記目標クロック信号を利用して前記目標命令アドレス信号と前記目標チップ選択信号に対してサンプリングを行い、サンプリング命令アドレス信号とサンプリングチップ選択信号を得るためのものであり、

30

デコーディング回路760は、サンプリング回路750の出力端に接続され、前記サンプリングチップ選択信号と前記サンプリング命令アドレス信号に対してデコーディングを行い、目標命令結果を得る。

【0082】

説明すべきこととして、本開示の実施例において、サンプリング回路750は、複数のD型フリップフロップからなることができる。また、デコーディング回路760は、第3インバータ、及び第3アンドゲート（図示されていない）、を含むことができ、

第3インバータは、前記サンプリングチップ選択信号に対して反転処理を行い、反転サンプリングチップ選択信号を得るためのものであり、

40

第3アンドゲートは、前記反転サンプリングチップ選択信号と前記サンプリング命令アドレス信号に対してアンド演算を行い、前記目標命令結果を得るためのものである。

【0083】

さらに説明すべきこととして、本開示の実施例において、サンプリングチップ選択信号は、CS_INTERで表されることができ、サンプリング命令アドレス信号は、CMD/ADD_INTERで表されることができ、目標命令結果は、CMDで表されることができる。

【0084】

本開示の実施例によって提出された信号マスク回路は、性能を保証する同時に、で

50

きるだけ消費電力を減らすことができる。以下では、２種類の具体的な回路構造を結合して詳細に説明する。

【 0 0 8 5 】

１つの具体的な例において、図 1 2 を参照すると、図 1 2 は、本開示の実施例によって提供される信号マスキング回路 7 0 の一例の具体的な回路構造概略図を示す。図 1 2 に示すように、該信号マスキング回路 7 0 は、第 1 レシーバー 1 2 0 1、第 2 レシーバー 1 2 0 2、第 3 レシーバー 1 2 0 3、第 1 バッファ 1 2 0 4、第 1 アンドゲート 1 2 0 5、第 2 バッファ 1 2 0 6、第 3 バッファ 1 2 0 7、第 4 バッファ 1 2 0 8、第 5 バッファ 1 2 0 9、第 1 インバータ 1 2 1 0、第 2 インバータ 1 2 1 1、第 1 抵抗 R 1、第 1 コンデンサ C 1、第 2 抵抗 R 2、第 2 コンデンサ C 2、第 6 バッファ 1 2 1 2、第 1 オアゲート 1 2 1 3、第 2 オアゲート 1 2 1 4、第 7 バッファ 1 2 1 5、第 8 バッファ 1 2 1 6、第 9 バッファ 1 2 1 7、サンプリング回路 1 2 1 8、及びデコーディング回路 1 2 1 9、を含むことができる。ここで、第 1 レシーバー 1 2 0 1、第 2 レシーバー 1 2 0 2 と第 3 レシーバー 1 2 0 3 は、バッファでもあり得、サンプリング回路 1 2 1 8 は、複数の D 型フリップフロップからなることができる。また、第 1 バッファ 1 2 0 4、第 1 アンドゲート 1 2 0 5 と第 2 バッファ 1 2 0 6 は、第 1 ロジック演算回路を組成し、第 1 抵抗 R 1 と第 1 コンデンサ C 1 は、第 1 遅延ユニットを組成し、第 2 抵抗 R 2 と第 2 コンデンサ C 2 は、第 2 遅延ユニットを組成し、第 6 バッファ 1 2 1 2 と第 1 オアゲート 1 2 1 3 は、パルス幅調整モジュールを組成する。

10

【 0 0 8 6 】

図 1 2 に示す信号マスキング回路 7 0 の上に該回路は、チップ選択マスキング信号を利用して命令アドレス信号に対してマスキング処理を行い、それによって、電流の浪費を避けることができ、消費電力を節約する目的を達成する。

20

【 0 0 8 7 】

図 1 3 A を参照すると、図 1 3 A は、命令アドレス信号が有効信号であるときの、図 1 2 に示す信号マスキング回路 7 0 の信号シーケンスの概略図の一例を示す。ここで、第 1 レシーバー 1 2 0 1 から出力された初期命令アドレス信号は、C A で表され、その有効部分が 2 つの予め設定されたクロック周期 (C A 0 と C A 2) を含む。第 2 レシーバー 1 2 0 2 から出力された初期チップ選択信号は、C S B 0 で表され、該信号がローレベル有効のパルス信号であり、且つ、パルス幅が 1 つの予め設定されたクロック周期である。第 3 レシーバー 1 2 0 3 から出力された初期クロック信号は、C L K で表される。C S B 0 信号が第 1 インバータ 1 2 1 0 の反転処理によって得られた信号は、C S T で表され、このときに、ハイレベル有効のパルス信号である。C S B 0 信号が第 1 抵抗 R 1 と第 1 コンデンサ C 1 からなる第 1 遅延ネットワークを通過した後に、得られた信号は、C S B _ D e l a y で表され、図 1 3 A から分かるように、C S B _ D e l a y と C S B 0 との間には、一定の遅延がある。C S B _ D e l a y 信号が第 2 インバータ 1 2 1 1 の反転処理を行って得られた信号は、A で表され、図 1 3 A から見ると、A 信号は、ハイレベル有効のパルス信号であり、第 2 インバータ 1 2 1 1 が信号駆動能力を増加する作用を有するため、このときに、C S B _ D e l a y と比べて、A 信号の信号完備性が大幅に向上する。さらに、A 信号が第 2 抵抗 R 2 と第 2 コンデンサ C 2 からなる第 2 遅延ネットワークによって得られた信号は、B で表され、図 1 3 A から分かるように、B 信号は、依然としてハイレベル有効のパルス信号であり、且つ、B 信号と A 信号との間には、一定の遅延がある。さらに、B 信号が第 6 バッファ 1 2 1 2 の駆動強化と遅延処理によって得られた信号は、C で表される。B 信号と C 信号が第 1 オアゲート 1 2 1 3 のオア演算によって、信号のパルス幅が拡張され、このときに得られた信号は、C S T _ S h i f t で表され、図 1 3 A から分かるように、C S T _ S h i f t 信号のパルス幅は、ある程度拡張され、且つ、該パルスの立ち上がりエッジは、B 信号の立ち上がりエッジの影響を受け、該パルスの立ち下がりエッジは、C 信号の立ち下がりエッジの影響を受ける。さらに、C S T 信号と C S T _ S h i f t 信号が第 2 オアゲート 1 2 1 4 のオア演算によって得られた信号は、C S _ M a s k i n g で表され、図 1 3 A から分かるように、C S _ M a s k i n g 信号のパル

30

40

50

ス幅は既に、2つの予め設定されたクロック周期より大きいか等しいまで拡張され、且つ、該パルスの立ち上がりエッジは、CST信号の立ち上がりエッジの影響を受け、該パルスの立ち下がりエッジは、CST_Shift信号の立ち下がりエッジの影響を受ける。こうすると、CA信号が第1バッファ1204の駆動強化と遅延処理によって得られた第1命令アドレス信号は、CA1で表され、このようにCS_Masking信号を利用してCA1信号に対して無効マスクング処理を行うときに、CS_Masking信号がハイレベルである時間帯に、CA0とCA2は、いずれも通過することができ、このときに得られた信号は、目標命令アドレス信号であり、CMD/ADD_RPTで表される。

【0088】

図13Bを参照すると、図13Bは、命令アドレス信号が無効信号であるときの、図12に示す信号マスクング回路70の信号シーケンスの概略図の一例を示す。図13Bに示すように、このときに、第2レシーバ1202から出力された初期チップ選択信号は、CSB1で表され、それがハイレベル信号である(Hで表される)。CSB1信号が第1インバータ1210の反転処理によって得られたCST信号は、ローレベル信号である(Lで表される)。且つ、CSB1信号が第1抵抗R1、第1コンデンサC1、第2インバータ1211、第2抵抗R2、第2コンデンサC2、第6バッファ1212、第1オアゲート1213を通過した後に、得られたCST_Shift信号は、依然としてローレベル信号であり、したがって、命令アドレス信号がすべてマスクングされ、即ち、このときに得られた目標命令アドレス信号(CMD/ADD_RPT)は、ローレベル信号である(Lで表される)。

【0089】

注意すべきこととして、図13Aは、チップが選択された場合を表し、図13Bは、チップが選択されていない場合を表す。したがって、図13AにおけるCSB0は、ローレベル有効のパルス信号であり、図13BにおけるCSB1は、ハイレベル信号であり、それぞれは、チップが選択された場合及びチップが選択されていない場合を表すためのものである。

【0090】

別の1つ具体的な例において、図14を参照すると、図14は、本開示の実施例によって提供される信号マスクング回路70の別の一例の具体的な回路構造概略図を示す。図14に示すように、図12に示す信号マスクング回路70の上に、該信号マスクング回路70はさらに、第10バッファ1301、第2アンドゲート1302、及び第11バッファ1303、を含むことができる。ここで、第10バッファ1301、第2アンドゲート1302と第11バッファ1303は、第2ロジック演算回路を組成し、且つ、図12における第7バッファ1215、第8バッファ1216と第9バッファ1217を置き換える。

【0091】

図14に示す信号マスクング回路70の上に該回路は、チップ選択マスクング信号を利用して命令アドレス信号に対してマスクング処理を行うだけでなく、チップ選択マスクング信号を利用してクロック信号に対してマスクング処理を行うこともでき、それによって、電流の浪費をさらに避け、消費電力を節約する目的を達成することができる。

【0092】

図15Aを参照すると、図15Aは、命令アドレス信号が有効信号であるときの、図14に示す信号マスクング回路70の信号シーケンスの概略図の一例を示す。ここで、第1レシーバ1201から出力された初期命令アドレス信号は、CAで表され、その有効部分が2つの予め設定されたクロック周期(CA0とCA2)を含む。第2レシーバ1202から出力された初期チップ選択信号は、CSB0で表され、該信号がローレベル有効のパルス信号であり、且つ、パルス幅が1つの予め設定されたクロック周期である。第3レシーバ1203から出力された初期クロック信号は、CLKで表される。CSB0信号が第1インバータ1210の反転処理によって得られた信号は、CSTで表され、このときに、ハイレベル有効のパルス信号である。CSB0信号が第1抵抗R1と第1コンデンサC1からなる第1遅延ネットワークを通過した後に、得られた信号は、CSB_De

layで表され、図15Aから分かるように、CSB__DelayとCSB0との間には、一定の遅延がある。CSB__Delay信号が第2インバータ1211の反転処理によって得られた信号は、Aで表され、図15Aから分かるように、A信号は、ハイレベル有効のパルス信号であり、第2インバータ1211が信号駆動能力を増加する作用を有するため、このときに、CSB__Delayと比べて、A信号の信号完備性が大幅に向上する。さらに、A信号が第2抵抗R2と第2コンデンサC2からなる第2遅延ネットワークを通過した後に、得られた信号は、Bで表され、図15Aから分かるように、B信号は、依然としてハイレベル有効のパルス信号であり、且つ、B信号とA信号との間には、一定の遅延がある。さらに、B信号が第6バッファ1212の駆動強化と遅延処理によって得られた信号は、Cで表される。B信号とC信号が第1オアゲート1213のオア演算を通過した後に、信号のパルス幅が拡張され、このときに得られた信号は、CST__Shiftで表され、図15Aから分かるように、CST__Shift信号のパルス幅は、一定の拡張があり、且つ、該パルスの立ち上がりエッジは、B信号の立ち上がりエッジの影響を受け、該パルスの立ち下がりエッジは、C信号の立ち下がりエッジの影響を受ける。さらに、CST信号とCST__Shift信号が第2オアゲート1214のオア演算によって得られた信号は、CS__Maskingで表され、図15Aから分かるように、CS__Masking信号のパルス幅は既に、2つの予め設定されたクロック周期より大きいか等しいまで拡張され、且つ、該パルスの立ち上がりエッジは、CST信号の立ち上がりエッジの影響を受け、該パルスの立ち下がりエッジは、CST__Shift信号の立ち下がりエッジの影響を受ける。こうすると、CA信号が第1バッファ1204の駆動強化と遅延処理を通過した後に、得られた第1命令アドレス信号は、CA1で表され、このようにCS__Masking信号を利用してCA1信号に対して無効マスキング処理を行うときに、CS__Masking信号がハイレベルである時間帯に、CA0とCA2は、いずれも通過することができ、このときに得られた信号は、目標命令アドレス信号であり、CMD/ADD__RPTで表される。また、第3レシーバ1203から出力された初期クロック信号は、CLKで表され、CLK信号が第10バッファ1301の駆動強化と遅延処理を通過した後に、得られた第1クロック信号は、PCLK0Tで表され、このようにCS__Masking信号を利用してPCLK0T信号に対して無効マスキング処理を行うときに、CS__Masking信号がハイレベルである時間帯に、有効部分は、通過することができ、このときに得られた信号は、目標クロック信号であり、PCLK0T__RPTで表される。CS__Masking信号がローレベルである他の時間帯に、目標クロック信号は、マスキングされる。

【0093】

図15Bを参照すると、図15Bは、命令アドレス信号が無効信号であるときの、図14に示す信号マスキング回路70の信号シーケンスの概略図の一例を示す。図15Bに示すように、このときに、第2レシーバ1202から出力された初期チップ選択信号は、CSB1で表され、それがハイレベル信号である(Hで表される)。CSB1信号が第1インバータ1210の反転処理によって得られたCST信号は、ローレベル信号である(Lで表される)。且つ、CSB1信号が第1抵抗R1、第1コンデンサC1、第2インバータ1211、第2抵抗R2、第2コンデンサC2、第6バッファ1212、第1オアゲート1213を通過した後に、得られたCST__Shift信号は、依然としてローレベル信号であり、したがって、命令アドレス信号がすべてマスキングされ、即ち、このときに得られた目標命令アドレス信号(CMD/ADD__RPT)は、ローレベル信号であり(Lで表される)、目標クロック信号(PCLK0T__RPT)もローレベル信号である(Lで表される)。

【0094】

注意すべきこととして、図15Aは、チップが選択された場合を表し、図15Bは、チップが選択されていない場合を表す。したがって、図15AにおけるCSB0は、ハイレベル有効のパルス信号であり、図15BにおけるCSB1は、ハイレベル信号であり、それぞれは、チップが選択された場合及びチップが選択されていない場合を表すためのもの

10

20

30

40

50

である。

【0095】

即ち、チップ選択信号は、チップが選択されたか否かを表す信号である。ここで、選択されていないチップにとって、このときに、命令アドレス信号/クロック信号は、無効信号であり、チップ選択信号は、ずっとハイレベルであり、したがって、チップ選択マスク信号は、ずっとローレベルであり、それによって、命令アドレス信号/クロック信号をすべてマスクすることができる。選択されたチップにとって、このときに、命令アドレス信号/クロック信号は、有効信号であり、チップ選択信号は、ローレベル有効のパルス信号であり、したがって、チップ選択マスク信号もパルス信号であり、且つ、ハイレベル有効であり、パルス幅が2つの予め設定されたクロック周期より大きいか等しい。こうすると、命令アドレス信号にとって、チップ選択マスク信号のハイレベルの時間帯に、命令アドレス信号における有効部分を通過させることができ、即ち、目標命令アドレス信号を得、命令アドレス信号が2つの予め設定されたクロック周期だけがあるため、マスクされる場合が存在しない。クロック信号にとって、チップ選択マスク信号のハイレベルの時間帯に、クロック信号における有効部分を通過させることができ、即ち、目標クロック信号を得、しかしながら、チップ選択マスク信号の他の時間帯に、クロック信号は、マスクされる。

10

【0096】

本実施例は、信号マスク回路を提供し、本実施例によって上記の実施例の具体的な実現について詳細に説明する。理解可能なこととして、上記の実施例の技術的解決策によって、DDR5 DRAMにおける命令アドレス信号が2つの予め設定されたクロック周期に基づく信号であり、本開示によって提出されたチップ選択マスク信号のパルス幅が2つの予め設定されたクロック周期より大きいか等しいため、初期処理信号に対してマスク処理を行うときに、DDR5 DRAMが有効情報を紛失しないことを保証する同時に、最大限に電流の浪費を避け、消費電力を節約する目的を達成することができる。

20

【0097】

本開示のさらに別の1つの実施例において、図16を参照すると、図16は、本開示の実施例によって提供される半導体メモリ160の一例の構造概略図を示す。図16に示すように、半導体メモリ160は、上記の実施例のいずれか1項に記載の信号マスク回路70を含むことができる。

30

【0098】

本開示の実施例において、半導体メモリ160は、DRAMチップであり得る。

【0099】

さらに、いくつかの実施例において、DRAMチップは、DDR5メモリ仕様に準拠する。

【0100】

本開示の実施例において、チップ選択信号は、DDR5においてCMD情報を識別する一部としており、しかしながら、チップ選択信号は、ローレベル有効のパルス信号であり、且つ、パルス幅が1つの予め設定されたクロック周期である。そして、DDR5 DRAMにおける命令アドレス信号は、2つの予め設定されたクロック周期に基づく信号であり、二番目のクロック周期のCA情報が紛失され、CMDのデコーディング失敗をもたらすことを避けるために、本開示の実施例によって提出された半導体メモリ160は、信号マスク回路70を含む。

40

【0101】

こうすると、信号マスク回路70を利用して、チップ選択マスク信号のパルス幅を2つの予め設定されたクロック周期より大きいか等しくさせることができ、それによって、初期処理信号に対してマスク処理を行うときに、DDR5 DRAMが有効情報を紛失しないことを保証する同時に、最大限に電流の浪費を避け、消費電力を節約する目的を達成することができる。

【0102】

50

上記の内容は、本開示の最適的な実施例に過ぎなく、本開示の保護範囲を限定するためのものではない。

【0103】

説明すべきこととして、本開示において、「含む」という用語、又はその任意の他の変形は、非排他的な包含をカバーすることを意図し、それによって、一連の要素を含む過程、方法、物品又は装置は、それらの要素だけでなく、明示的に列挙されていない他の要素、又は、そのような過程、方法、物品、又は装置の固有の要素をさらに含む。特に限定されていない場合、「...を含む」という文で定義された要素は、該要素を含む過程、方法、物品、又は装置に、他の同じ要素が存在することを排除するものではない。

【0104】

上記の本開示の実施例の番号は、実施例の優劣を表すものではなく、説明の便宜を図るためのものである。

【0105】

本開示で提供されるいくつかの方法の実施例で開示される方法は、競合することなく任意に組み合わせて、新しい方法の実施例を得ることができる。

【0106】

本開示で提供されるいくつかの製品の実施例で開示される方法は、競合することなく任意に組み合わせて、新しい製品の実施例を得ることができる。

【0107】

本開示で提供されるいくつかの方法又は機器の実施例で開示される特徴は、競合することなく任意に組み合わせて、新しい方法の実施例又は機器の実施例を得ることができる。

【0108】

上記の内容は、本開示の具体的な実施形態に過ぎず、本開示の保護範囲はこれに限定されない。本開示で開示された技術的範囲内で、当業者が容易に想到し得る変形又は置換はすべて、本開示の保護範囲内に含まれるべきである。したがって、本開示の保護範囲は、特許請求の範囲の保護範囲に従うものとする。

【産業上の利用可能性】

【0109】

本開示の実施例は、信号マスキング回路及び半導体メモリを提供し、該信号マスキング回路は、受信回路、遅延制御回路、及びロジック演算回路、を含み、受信回路は、処理待ち信号とチップ選択信号を受信し、初期処理信号と初期チップ選択信号を出力するように構成され、遅延制御回路は、前記初期チップ選択信号に対して遅延とロジック制御操作を行い、チップ選択マスキング信号を得るように構成され、且つ、前記チップ選択マスキング信号のパルス幅は、2つの予め設定されたクロック周期より大きいか等しく、ロジック演算回路は、前記チップ選択マスキング信号に基づいて前記初期処理信号に対して無効マスキング処理を行い、目標信号を得るように構成される。こうすると、DDR5 DRAMにおける命令アドレス信号が2つの予め設定されたクロック周期に基づく信号であり、本開示によって提出されたチップ選択マスキング信号のパルス幅が2つの予め設定されたクロック周期より大きいか等しいため、初期処理信号に対してマスキング処理を行うときに、DDR5 DRAMが有効情報を紛失しないことを保証する同時に、最大限に電流の浪費を避けることができ、消費電力を節約する目的を達成することができる。

10

20

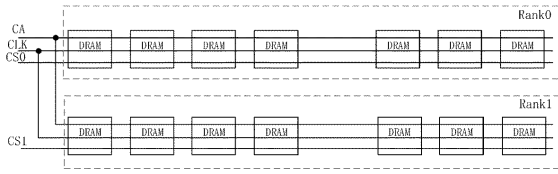
30

40

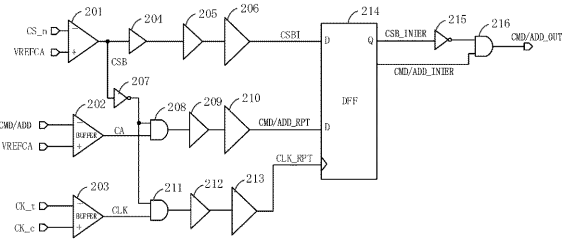
50

【図面】

【図 1】

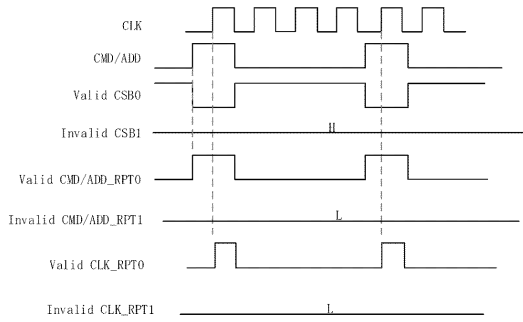


【図 2】

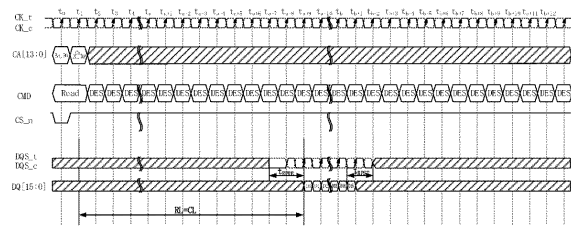


10

【図 3】

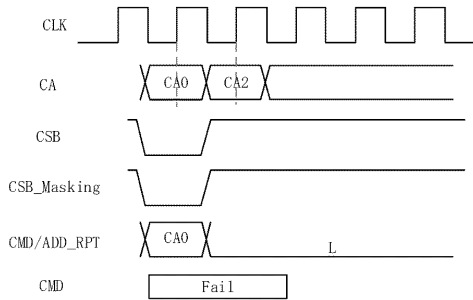


【図 4】

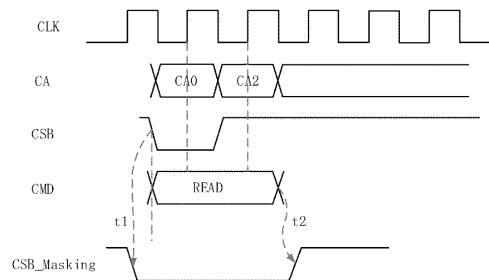


20

【図 5】



【図 6】

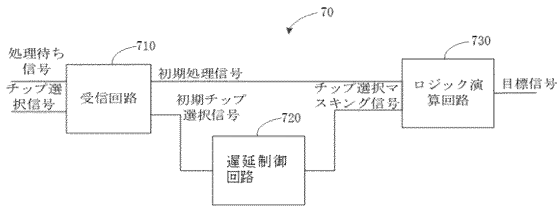


30

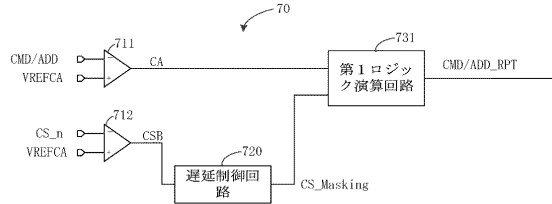
40

50

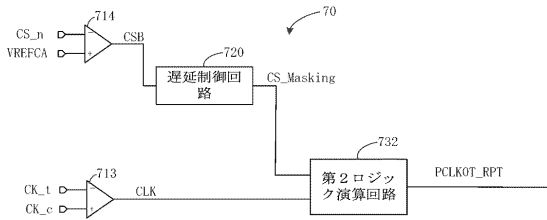
【図 7】



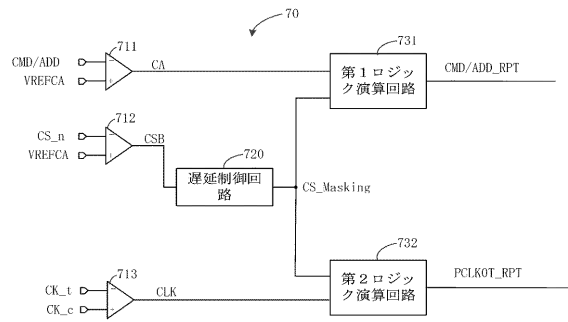
【図 8 A】



【図 8 B】



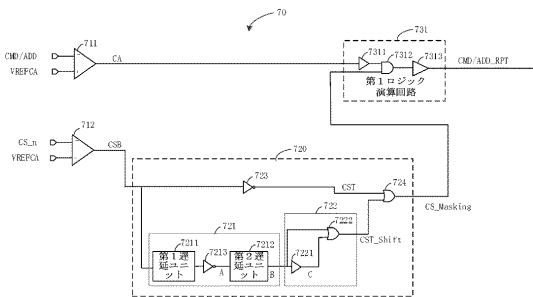
【図 8 C】



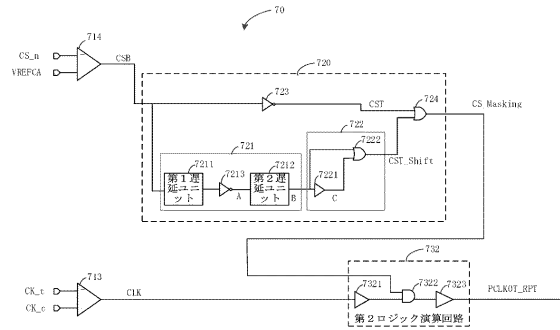
10

20

【図 9 A】



【図 9 B】

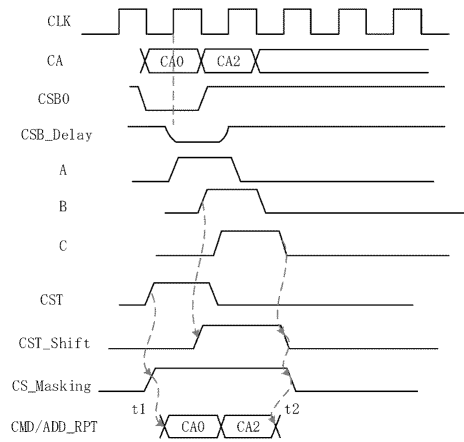


30

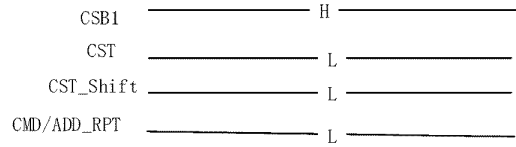
40

50

【図 1 3 A】

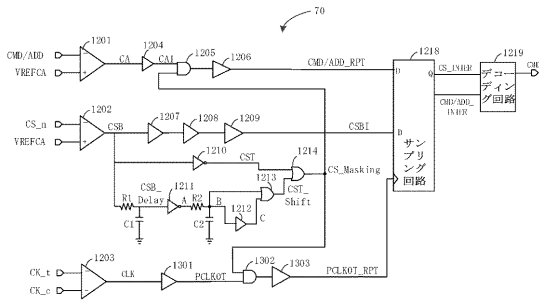


【図 1 3 B】

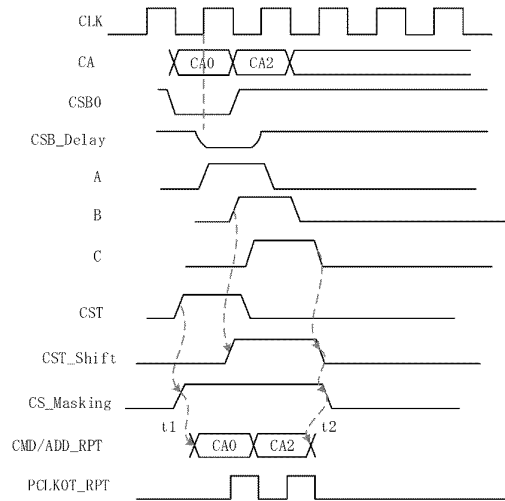


10

【図 1 4】



【図 1 5 A】



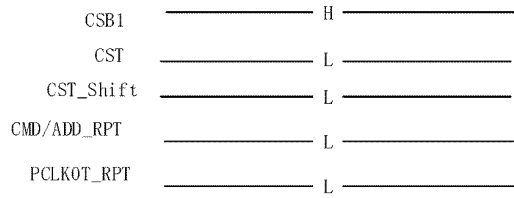
20

30

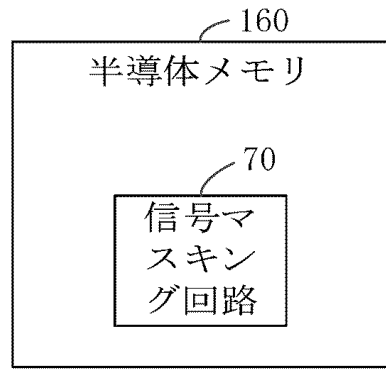
40

50

【図 15 B】



【図 16】



10

20

30

40

50

フロントページの続き

(72)発明者 李 思曼

中華人民共和国 2 3 0 6 0 1 安徽省合肥市経済技術開発区空港工業園興業大道 3 8 8 号

審査官 後藤 彰

(56)参考文献 米国特許出願公開第 2 0 1 9 / 0 3 7 1 3 7 4 (U S , A 1)

特開 2 0 1 8 - 1 6 0 1 0 4 (J P , A)

米国特許出願公開第 2 0 1 7 / 0 1 1 0 1 7 3 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)

G 1 1 C 8 / 1 2

G 1 1 C 7 / 1 0