

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4011833号

(P4011833)

(45) 発行日 平成19年11月21日(2007.11.21)

(24) 登録日 平成19年9月14日(2007.9.14)

(51) Int. Cl.	F I
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 C

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2000-200253 (P2000-200253)	(73) 特許権者	000003078
(22) 出願日	平成12年6月30日(2000.6.30)		株式会社東芝
(65) 公開番号	特開2002-25254 (P2002-25254A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年1月25日(2002.1.25)	(74) 代理人	100058479
審査請求日	平成15年9月22日(2003.9.22)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルが配列された複数のバンクを含むメモリセルアレイと、
前記メモリセルを指定するロウアドレス信号及びカラムアドレス信号を取り込むための、
単一信号であるアドレスストロープ信号が入力される入力バッファと、

前記アドレスストロープ信号が活性化されたとき、クロック信号の第1立ち上がり、立ち下がりのいずれか一方のエッジに同期して第1ロウアドレス信号を取り込み、その後の前記第1ロウアドレス信号に対応する第1カラムアドレス信号が取り込めない期間内に、前記クロック信号の第2立ち上がり、立ち下がりのいずれか一方のエッジに同期して、前記第1ロウアドレス信号及び前記第1カラムアドレス信号により指定される第1メモリセルとは別バンクに属する第2メモリセルを指定する第2ロウアドレス信号を取り込み、その後前記クロック信号の第3立ち上がり、立ち下がりのいずれか一方のエッジに同期して前記第1カラムアドレス信号を取り込み、その後前記第2ロウアドレス信号に対応した第2カラムアドレス信号を取り込むアドレス回路と、

前記第1ロウアドレス信号及び前記第1カラムアドレス信号により指定された前記第1メモリセルに記憶されたデータを出力し、前記データ出力後隙間なく、前記第2ロウアドレス信号及び前記第2カラムアドレス信号により指定された前記第2メモリセルに記憶されたデータを出力する出力バッファと、

を具備することを特徴とする半導体メモリ。

【請求項2】

10

20

前記メモリセルに対するデータの書き込み及び読み出しは、前記クロック信号の立ち上がり及び立ち下りの両方に同期して行われることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 3】

前記クロック信号の立ち上がり及び立ち下りの両方のエッジに同期して、動作を指定するコマンド用信号を取り込むコマンド回路をさらに具備することを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 4】

前記クロック信号の立ち上がりエッジから生成された信号をトリガとして、前記アドレスストロブ信号、及び前記コマンド用信号を一時保持する第 1 のラッチ回路と、

前記クロック信号の立ち下りエッジから生成された信号をトリガとして、前記アドレスストロブ信号、及び前記コマンド用信号を一時保持する第 2 のラッチ回路と、

前記第 1 のラッチ回路に保持された前記コマンド用信号をデコードする第 1 のコマンドデコード回路と、

前記第 2 のラッチ回路に保持された前記コマンド用信号をデコードする第 2 のコマンドデコード回路と、

をさらに具備することを特徴とする請求項 3 に記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体メモリに関し、特に D D R 動作を行う半導体メモリに関するものである。

【0002】

【従来の技術】

近年、ますますコンピュータシステムの高速度に対する要求は強まっている。そのため、メモリから C P U 間のデータ転送を、クロック信号の立ち上がりエッジと立ち下りエッジの両方に同期させて行うことで、データ転送を実効的に、従来の倍の速度で行う D D R (Double Data Rate) 転送技術を用いたシンクロナス D R A M (DDR-SDRAM) が現在開発されている。

【0003】

【発明が解決しようとする課題】

しかしながら、従来のシンクロナス D R A M (DDR-SDRAM) では、データの入出力は、DDR 動作をしているものの、ロウアドレスストロブ信号 b R A S、カラムアドレスストロブ信号 b C A S、チップセレクト信号 b C S、ライトイネーブル信号 b W E、バンクセレクト信号 (B S 0 , B S 1)、ロウ(カラム)アドレス信号 (A 0 ~ A 1 1) の各信号までは、D D R 動作をさせていない。信号名中の頭文字 b は、反転信号であることを示す。

【0004】

また、ロウアドレス、カラムアドレスの各信号は、アドレスバス、入力ピン、入力バッファ等が共通化されていて、同時に入力することができない。

【0005】

以上の 2 点から、特にランダムなロウアクセスを行う場合には、図 1 0 ~ 図 1 3 に示すように、データ転送上の隙間が生じ、実効的なデータ転送レートを悪化させるという問題がある。

【0006】

なお、図 1 0 は、C A S 信号のレイテンシーが 2、バースト長が 4、4 バンクのインターリーブでの読み出し動作を示す図である。図 1 1 は、C A S 信号のレイテンシーが 2、バースト長が 4、4 バンクのインターリーブでの書き込み動作を示す図である。図 1 2 は、C A S 信号のレイテンシーが 2、バースト長が 2、4 バンクのインターリーブでの読み出し動作を示す図である。さらに、図 1 3 は、C A S 信号のレイテンシーが 2、バースト長が 2、4 バンクのインターリーブでの書き込み動作を示す図である。

10

20

30

40

50

【0007】

前述のデータ転送レートを悪化させるという問題を避けるためには、アドレスバス、入力ピン、入力バッファ等をロウアドレス専用、カラムアドレス専用に別々に設け、同時にロウアドレス、カラムアドレスを入力できるようにすれば簡単である。しかし、この場合、アドレスバス、入力ピン、入力バッファ等を形成するための面積が2倍必要となり、チップ面積が増大するため、実現するのは難しい。

【0008】

そこでこの発明は、前記課題に鑑みてなされたものであり、データ転送の効率を向上でき、さらにチップ面積の削減及び回路動作の高速化が可能な半導体メモリを提供することを目的とする。

10

【0009】

【課題を解決するための手段】

この発明の第1の半導体メモリは、複数のメモリセルが配列された複数のバンクを含むメモリセルアレイと、前記メモリセルを指定するロウアドレス信号及びカラムアドレス信号を取り込むための、単一信号であるアドレスストロブ信号が入力される入力バッファと、前記アドレスストロブ信号が活性化されたとき、クロック信号の第1立ち上がり、立ち下がりのいずれか一方のエッジに同期して第1ロウアドレス信号を取り込み、その後の前記第1ロウアドレス信号に対応する第1カラムアドレス信号が取り込めない期間内に、前記クロック信号の第2立ち上がり、立ち下がりのいずれか一方のエッジに同期して、前記第1ロウアドレス信号及び前記第1カラムアドレス信号により指定される第1メモリセルとは別バンクに属する第2メモリセルを指定する第2ロウアドレス信号を取り込み、その後前記クロック信号の第3立ち上がり、立ち下がりのいずれか一方のエッジに同期して前記第1カラムアドレス信号を取り込み、その後前記第2ロウアドレス信号に対応した第2カラムアドレス信号を取り込むアドレス回路と、前記第1ロウアドレス信号及び前記第1カラムアドレス信号により指定された前記第1メモリセルに記憶されたデータを出力し、前記データ出力後隙間なく、前記第2ロウアドレス信号及び前記第2カラムアドレス信号により指定された前記第2メモリセルに記憶されたデータを出力する出力バッファとを具備することを特徴とする。

20

【0010】

この発明の第2の半導体メモリは、クロック信号、アドレス信号、コマンド用信号が入力され、前記アドレス信号によって指定されたメモリセルに対してデータの書き込みまたは読み出しを行い、かつ前記コマンド用信号をデコードして動作を指定する半導体メモリであって、前記アドレス信号、前記コマンド用信号の取り込み、及び前記データの書き込みと読み出しを、前記クロック信号の立ち上がりと立ち下がりの両方に同期して行うことを特徴とする。

30

【0011】

このように構成された半導体メモリでは、データの入出力のみならず、アドレス信号、バンク選択信号、bRAS、bCAS、bCS、bWEの各コマンド用信号も前記クロック信号の立ち上がりと立ち下がりの両方に同期して取り込むことにより、データ転送効率を向上させることができる。

40

【0012】

さらに、単に各信号を、前記クロック信号の立ち上がりと立ち下がりの両方に同期して取り込むだけでなく、それぞれの信号をその目的に応じて、ある信号はクロック信号の立ち上がりエッジに同期して取り込むことに限定し、またある信号は、クロック信号の立ち下がりエッジに同期して取り込むことに限定することにより、外部から入力する信号数を削減できる。これにより、回路の簡素化が図られ、チップ面積の削減及び回路動作の高速化が実現できる。

【0013】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。

50

【 0 0 1 4 】

図 1 は、この発明の実施の形態の半導体メモリの構成を示すブロック図である。

【 0 0 1 5 】

図 1 に示すように、コマンド信号バッファ 1 1 には、アドレスストローブ信号 bRASCAS、ライトイネーブル信号 bWE、チップセレクト信号 bCS が入力される。このコマンド信号バッファ 1 1 の出力は、コマンドラッチ 1 2 A を介してコマンドデコーダ 1 2 B に入力されると共に、コマンドラッチ 1 3 A を介してコマンドデコーダ 1 3 B に入力される。

【 0 0 1 6 】

前記コマンドデコーダ 1 2 B と、コマンドデコーダ 1 3 B の出力は、それぞれコントロール信号ジェネレータ 1 4 に入力される。コントロール信号ジェネレータ 1 4 の出力は、バンク BK 0 ~ バンク BK n を有するバンクブロック 1 5 に入力される。

10

【 0 0 1 7 】

また、アドレスバッファ 1 6 には、アドレス信号 ADDRESS (A 0 ~ A 1 1)、バンクセレクト信号 BS (BS 0、BS 1) が入力される。このアドレスバッファ 1 6 の出力は、ロウアドレスラッチ 1 7、カラムアドレスラッチ 1 8 にそれぞれ入力される。ロウアドレスラッチ 1 7 の出力は、モードレジスタ 1 9 に入力されると共に、ロウアドレスデコーダ (図示しない) を介してバンクブロック 1 5 に入力される。同様に、カラムアドレスラッチ 1 8 の出力は、モードレジスタ 1 9 に入力されると共に、カラムアドレスデコーダ (図示しない) を介してバンクブロック 1 5 に入力される。

【 0 0 1 8 】

また、クロック生成部 2 0 には、外部よりクロック信号 CLK が入力される。クロック生成部 2 0 からは、クロック信号 bCMDLTC がコマンドラッチ 1 2 A に出力され、クロック信号 CMDLTC がコマンドラッチ 1 3 A に出力される。さらに、クロック生成部 2 0 からは、クロック信号 ADDDLTC がロウアドレスラッチ 1 7 に出力され、クロック信号 bADDDLTC がカラムアドレスラッチ 1 8 に出力される。さらに、クロック生成部 2 0 から出力されるクロック信号は、コントロール信号ジェネレータ 1 4、メモリセルアレイ部 1 5 にそれぞれ入力される。

20

【 0 0 1 9 】

また、カラムカウンタ 2 1 の出力は、カラムアドレスラッチ 1 8 に入力される。リフレッシュカウンタ 2 2 の出力は、ロウアドレスラッチ 1 7 に入力される。そして、メモリセルアレイ部 1 5 からは、DQ バッファ 2 3 を介してデータ DQ 0 ~ DQ n が出力される。メモリセルアレイ部 1 5 は、BK 0 ~ BK n のバンクと呼ばれる複数のセルアレイの単位からなる。

30

【 0 0 2 0 】

なお、コマンド信号バッファ 1 1、コマンドラッチ 1 2 A、コマンドデコーダ 1 2 B、コマンドラッチ 1 3 A、及びコマンドデコーダ 1 3 B により、コマンド部 3 0 が構成されている。また、アドレスバッファ 1 6、ロウアドレスラッチ 1 7、及びカラムアドレスラッチ 1 8 により、アドレス部 4 0 が構成されている。

【 0 0 2 1 】

前記クロック生成部 2 0 は、コマンド部 3 0 にて用いるクロック信号 bCMDLTC、信号 CMDLTC と、アドレス部 4 0 にて用いるクロック信号 bADDDLTC、信号 ADDDLTC を生成する。クロック信号 bCMDLTC、信号 CMDLTC は、コマンド部 3 0 にて動作開始の同期を取るために用いられる。クロック信号 bADDDLTC、信号 ADDDLTC は、アドレス部 4 0 にて動作開始の同期を取るために用いられる。

40

【 0 0 2 2 】

前記コマンド部 3 0 は、コマンド信号バッファ 1 1 に入力された前記アドレスストローブ信号 bRASCAS、ライトイネーブル信号 bWE、チップセレクト信号 bCS のそれぞれを、クロック信号 bCMDLTC に同期してコマンドラッチ 1 2 A にてラッチし、ラッチしたそれぞれの信号をコマンドデコーダ 1 2 B に出力する。コマンドデコーダ 1 2 B は、入力された信号をデコードして、任意のロウ系回路動作を行うための信号 ROW-COMMAND を出力する。

50

【 0 0 2 3 】

また、前記コマンド部 3 0 は、コマンド信号バッファ 1 1 に入力された前記アドレスストロブ信号 bRASCAS、ライトイネーブル信号 bWE、チップセレクト信号 bCS のそれぞれを、クロック信号 CMDLTC に同期してコマンドラッチ 1 3 A にてラッチし、ラッチしたそれぞれの信号をコマンドデコーダ 1 3 B に出力する。コマンドデコーダ 1 3 B は、入力された信号をデコードして、任意のカラム系回路動作を行うための信号 COLUMN-COMMAND を出力する。

【 0 0 2 4 】

前記アドレス部 4 0 は、コマンドバッファ 1 6 に入力された前記アドレス信号を、クロック信号 bADDDLTC に同期してロウアドレスラッチ 1 7 にてラッチし、ラッチした信号 ROW-ADDRESS をアドレスデコーダ (図示しない) に出力する。アドレスデコーダは、入力された信号 ROW-ADDRESS をデコードして、任意のロウアドレス選択線を活性化する。

【 0 0 2 5 】

また、前記アドレス部 4 0 は、コマンドバッファ 1 6 に入力された前記アドレス信号を、クロック信号 ADDDLTC に同期してカラムアドレスラッチ 1 8 にてラッチし、ラッチした信号 COLUMN-ADDRESS をアドレスデコーダ (図示しない) に出力する。アドレスデコーダは、入力された信号 COLUMN-ADDRESS をデコードして、任意のカラムアドレス選択線を活性化する。

【 0 0 2 6 】

また、前記アドレス部 4 0 は、コマンドバッファ 1 6 に入力された前記バンクセレクト信号を、クロック信号 bADDDLTC、及び信号 ADDDLTC に同期してラッチ回路 (図示しない) にてラッチし、ラッチした信号をデコーダ (図示しない) にてデコードして、バンクを選択するための信号 B S <0:3> を出力する。

【 0 0 2 7 】

次に、図 2 ~ 図 4 を用いて、クロック生成部 2 0、コマンド部 3 0、アドレス部 4 0 の詳細な回路構成について説明する。図 5 は、これらクロック生成部 2 0、コマンド部 3 0、アドレス部 4 0 の動作を示すタイムチャートである。

【 0 0 2 8 】

図 2 (a) ~ 図 2 (e) は、クロック生成部 2 0 の構成を示す回路図である。

【 0 0 2 9 】

図 2 (a) に示すように、インプットバッファ I B 1 に入力されたクロック信号 C L K は、インバータ I 1、I 2、I 3、I 4 を通り、インバータ I 4 の出力部からクロック信号 A C P として出力される。さらに、信号 A C P はインバータ I 5 を通り、クロック信号 b A C P として出力される。これらクロック信号 C L K、クロック信号 A C P、クロック信号 b A C P の波形は図 5 に示すようになる。

【 0 0 3 0 】

また、図 2 (c) に示すように、前記クロック信号 A C P は、N A N D 回路 N A 1 の第 1 端子に入力されると共に、インバータ I 6、I 7、I 8 を通って N A N D 回路 N A 1 の第 2 端子に入力される。この N A N D 回路 N A 1 の出力部からは、クロック信号 b C M D L T C が出力される。また、図 2 (b) に示すように、前記クロック b A C P 信号は、N A N D 回路 N A 2 の第 1 端子に入力されると共に、インバータ I 9、I 1 0、I 1 1 を通って N A N D 回路 N A 2 の第 2 端子に入力される。この N A N D 回路 N A 2 の出力部からはクロック信号 C M D L T C が出力される。これらクロック信号 b C M D L T C、クロック信号 C M D L T C の波形は図 5 に示すようになる。

【 0 0 3 1 】

また、図 2 (e) に示すように、前記クロック A C P 信号は、N A N D 回路 N A 3 の第 1 端子に入力されると共に、インバータ I 1 2、I 1 3、I 1 4 を通って N A N D 回路 N A 3 の第 2 端子に入力される。この N A N D 回路 N A 3 の出力部からはクロック信号 b A D D D L T C が出力される。また、図 2 (d) に示すように、前記クロック b A C P 信号は、N A N D 回路 N A 4 の第 1 端子に入力されると共に、インバータ I 1 5、I 1 6、I 1 7 を通っ

10

20

30

40

50

てNAND回路NA4の第2端子に入力される。そして、NAND回路NA4の出力部からは信号ADDDLTCが出力される。これらクロック信号bADDDLTC、クロック信号ADDDLTCの波形は図5に示すようになる。

【0032】

図3(a)～図3(e)は、前記コマンド部30の構成を示す回路図である。

【0033】

まず、コマンド部30内のコマンド信号バッファ11、及びコマンドラッチ12A、13Aの回路構成を説明する。

【0034】

図3(a)に示すように、インプットバッファIB11に入力されたアドレスストロープ信号bRASCASは、インバータI21を介してドライバDR1に入力される。このドライバDR1の出力は、クロックドインバータCI1を介して、ラッチ回路を構成するインバータI22及びインバータI23に入力され、このラッチ回路の出力部からは信号RASLTCが出力される。また、ドライバDR1の出力は、クロックドインバータCI2を介して、ラッチ回路を構成するインバータI24及びインバータI25に入力され、このラッチ回路の出力部からは信号CASLTCが出力される。なお、クロックドインバータCI1の制御端には信号bCMDLTCが入力され、クロックドインバータCI2の制御端には信号CMDLTCが入力される。

【0035】

この図3(a)に示す回路では、インプットバッファIB11に信号bRASCASとして“L”が入力されると、インバータI21にて反転されて“H”となり、ドライバDR1を介してクロックドインバータCI1の入力部に供給される。クロックドインバータCI1は、制御端に入力されている信号bCMDLTCが“L”ときだけ開き、入力部に供給されている“H”を“L”に反転して、インバータI22、I23からなるラッチ回路に供給する。このラッチ回路は、供給された“L”を“H”に反転して、信号RASLTCとして“H”を出力する。なお、クロックドインバータCI1の制御端に入力されている信号bCMDLTCが“H”ときは、クロックドインバータCI1の出力はハイインピーダンス状態となり、出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号RASLTCとして出力される。

【0036】

前記インバータI21から出力される“H”は、ドライバDR1を介してクロックドインバータCI2の入力部に供給される。クロックドインバータCI2は、制御端に入力されている信号CMDLTCが“L”ときだけ開き、入力部に供給されている“H”を“L”に反転して、インバータI24、I25からなるラッチ回路に供給する。このラッチ回路は、供給された“L”を“H”に反転して、信号CASLTCとして“H”を出力する。なお、クロックドインバータCI2の制御端に入力されている信号CMDLTCが“H”ときは、クロックドインバータCI2の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号CASLTCとして出力される。

【0037】

また、図3(b)に示すように、インプットバッファIB12に入力された信号bWEは、インバータI26を介してドライバDR2に入力される。このドライバDR2の出力は、クロックドインバータCI3を介して、ラッチ回路を構成するインバータI27及びインバータI28に入力され、このラッチ回路の出力部からは信号WELTC-oが出力される。また、ドライバDR2の出力は、クロックドインバータCI4を介して、ラッチ回路を構成するインバータI29及びインバータI30に入力され、このラッチ回路の出力部からは信号WELTC-eが出力される。なお、クロックドインバータCI3の制御端には信号bCMDLTCが入力され、クロックドインバータCI4の制御端には信号CMDLTCが入力される。

【0038】

この図3(b)に示す回路では、インプットバッファIB12に信号bWEとして“L”が入力されると、インバータI26にて反転されて“H”となり、ドライバDR2を介し

10

20

30

40

50

てクロックインバータC I 3の入力部に供給される。クロックインバータC I 3は、制御端に入力されている信号bCMDLTCが“L”ときだけ開き、入力部に供給されている“H”を“L”に反転して、インバータI 2 7、I 2 8からなるラッチ回路に供給する。このラッチ回路は、供給された“L”を“H”に反転して、信号WELTC-oとして“H”を出力する。なお、クロックインバータC I 3の制御端に入力されている信号bCMDLTCが“H”ときは、クロックインバータC I 3の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号WELTC-oとして出力される。

【0039】

前記インバータI 2 6から出力される“H”は、ドライバD R 2を介してクロックインバータC I 4の入力部に供給される。クロックインバータC I 4は、制御端に入力されている信号CMDLTCが“L”ときだけ開き、入力部に供給されている“H”を“L”に反転して、インバータI 2 9、I 3 0からなるラッチ回路に供給する。このラッチ回路は、供給された“L”を“H”に反転して、信号WELTC-eとして“H”を出力する。なお、クロックインバータC I 4の制御端に入力されている信号CMDLTCが“H”ときは、クロックインバータC I 4の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号WELTC-eとして出力される。

10

【0040】

また、図3(c)に示すように、インプットバッファI B 1 3に入力された信号bC Sは、インバータI 3 1を介してドライバD R 3に入力される。このドライバD R 3の出力は、クロックインバータC I 5を介して、ラッチ回路を構成するインバータI 3 2及びインバータI 3 3に入力され、インバータI 3 2の出力部からは信号CSLTC-oが出力される。また、ドライバD R 3の出力は、クロックインバータC I 6を介して、ラッチ回路を構成するインバータI 3 4及びインバータI 3 5に入力され、インバータI 3 4の出力部からは信号CSLTC-eが出力される。なお、クロックインバータC I 5の制御端には信号bCMDLTCが入力され、クロックインバータC I 6の制御端には信号CMDLTCが入力される。

20

【0041】

この図3(c)に示す回路では、インプットバッファI B 1 3に信号bC Sとして“L”が入力されると、インバータI 3 1にて反転されて“H”となり、ドライバD R 3を介してクロックインバータC I 5の入力部に供給される。クロックインバータC I 5は、制御端に入力されている信号bCMDLTCが“L”ときだけ開き、入力部に供給されている“H”を“L”に反転して、インバータI 3 2、I 3 3からなるラッチ回路に供給する。このラッチ回路は、供給された“L”を“H”に反転して、信号CSLTC-oとして“H”を出力する。なお、クロックインバータC I 5の制御端に入力されている信号bCMDLTCが“H”ときは、クロックインバータC I 5の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号CSLTC-oとして出力される。

30

【0042】

前記インバータI 3 1から出力される“H”は、ドライバD R 3を介してクロックインバータC I 6の入力部に供給される。クロックインバータC I 6は、制御端に入力されている信号CMDLTCが“L”ときだけ開き、入力部に供給されている“H”を“L”に反転して、インバータI 3 4、I 3 5からなるラッチ回路に供給する。このラッチ回路は、供給された“L”を“H”に反転して、信号CSLTC-eとして“H”を出力する。なお、クロックインバータC I 6の制御端に入力されている信号CMDLTCが“H”ときは、クロックインバータC I 6の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号CSLTC-eとして出力される。

40

【0043】

また、図3(a)～図3(c)に示す回路で、インプットバッファI B 1 1～I B 1 3のそれぞれに、信号bRASCAS、信号bW E、信号bC Sとして“H”が入力されたときは、各部の信号が逆極性となり、信号RASLTC、信号CASLTC、信号WELTC-o、信号WELTC-e、信号CSLTC-o、及び信号CSLTC-eのそれぞれからは“L”が出力される。信号bCMDLTCまたは信号CMDLTCが入力されるクロックインバータC I 1～C I 6のそれぞれの動作は前述と同様

50

である。

【 0 0 4 4 】

次に、コマンド部 3 0 内のコマンドデコーダ 1 2 B、1 3 B の回路構成を説明する。

【 0 0 4 5 】

図 3 (d) に示すように、N A N D 回路 N A 5 の第 1 端子には信号 CSLTC-o が入力され、その第 2 端子には信号 xRASLTC が、その第 3 端子には信号 xWELTC-o が入力される。この N A N D 回路 N A 5 の出力は、ドライバ D R 4 を介して信号 ROW-COMMAND として出力される。なお、N A N D 回路 N A 5 の第 2 端子、第 3 端子に入力される信号 xRASLTC、xWELTC-o は、信号 RASLTC、WELTC-o の各信号をインバータを介して論理反転させた信号、あるいは論理反転させない信号のいずれかの信号であることを示す。

10

【 0 0 4 6 】

上記の構成をとるコマンドデコーダは、ロウコマンドの数だけ備えられ、信号 CSLTC-o、xRASLTC、xWELTC-o がすべて “ H ” になった場合のみ、信号 ROW-COMMAND が “ L ” となり、“バンクアクティブ (BANK ACTIVE) ”、“バンクプリチャージ (BANK PRICHARGE) ” などのコマンドがアクティブとなる。

【 0 0 4 7 】

また、図 3 (e) に示すように、N A N D 回路 N A 6 の第 1 端子には信号 CSLTC-e が入力され、その第 2 端子には信号 xCASLTC が、その第 3 端子には信号 xWELTC-e が入力される。この N A N D 回路 N A 6 の出力は、ドライバ D R 5 を介して信号 COLUMN-COMMAND として出力される。なお、N A N D 回路 N A 6 の第 2 端子、第 3 端子に入力される信号 xCASLTC、xWELTC-e は、信号 CASLTC、WELTC-e の各信号をインバータを介して論理反転させた信号、あるいは論理反転させない信号のいずれかの信号であることを示す。

20

【 0 0 4 8 】

上記の構成をとるコマンドデコーダは、カラムコマンドの数だけ備えられ、信号 CSLTC-e、xCASLTC、xWELTC-e が全て “ H ” になった場合のみ、信号 COLUMN-COMMAND が “ L ” となり、“リード (READ) ”、“ライト (WRITE) ” などのコマンドがアクティブとなる。

【 0 0 4 9 】

なお、ここでは N A N D 回路 N A 5 に入力される信号 CSLTC-o、信号 RASLTC、信号 WELTC-o が全て “ H ” のときにコマンドが選択されるようにしたが、これらの信号が全て “ L ” のときにコマンドが選択されるようにしてもよい。ただし、この場合は、N A N D 回路 N A 5 を N O R 回路に換える必要がある。同様に、N A N D 回路 N A 6 に入力される信号 CSLTC-e、信号 CASLTC、信号 WELTC-e が全て “ H ” のときにコマンドが選択されるようにしたが、これらの信号が全て “ L ” のときにコマンドが選択されるようにしてもよい。ただし、この場合は、N A N D 回路 N A 6 を N O R 回路に換える必要がある。

30

【 0 0 5 0 】

図 4 (a) ~ 図 4 (c) は、前記アドレス部 4 0 の構成を示す回路図である。

【 0 0 5 1 】

図 4 (a) に示すように、インプットバッファ I B 2 1 に、外部より入力されたアドレス信号 ADDRESS は、インバータ I 5 1 を介してドライバ D R 1 1 に入力される。このドライバ D R 1 1 の出力は、クロックインバータ C I 1 1 の入力部に供給される。クロックインバータ C I 1 1 は、制御端に入力されている信号 bADDDLTC が “ L ” ときだけ開き、入力部に供給されている信号 ADDRESS を反転して、インバータ I 4 1、I 4 2 からなるラッチ回路に供給する。このラッチ回路は、供給された信号を反転して、信号 ROW-ADDRESS を出力する。なお、クロックインバータ C I 1 1 の制御端に入力されている信号 bADDDLTC が “ H ” ときは、クロックインバータ C I 1 1 の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号 ROW-ADDRESS として出力される。

40

【 0 0 5 2 】

前記ドライバ D R 1 1 から供給される信号 ADDRESS はクロックインバータ C I 1 2 の入力部に供給される。クロックインバータ C I 1 2 は、制御端に入力されている信号 ADDDLTC が “ L ” ときだけ開き、入力部に供給されている信号 ADDRESS を反転して、インバータ

50

I 4 3、I 4 4 からなるラッチ回路に供給する。このラッチ回路は、供給された信号を反転して、信号COLUMN-ADDRESSを出力する。なお、クロックインバータC I 1 2 の制御端に入力されている信号ADDDLTCが“ H ”ときは、クロックインバータC I 1 2 の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号C O L U M N - A D D R E S S として出力される。

【 0 0 5 3 】

また、図 4 (b) に示すように、インプットバッファI B 2 2 に、外部より入力されたバンクセレクト信号B S は、インバータI 5 2 を介してドライバD R 1 2 に入力される。このドライバD R 1 2 の出力は、クロックインバータC I 1 3 の入力部に供給される。クロックインバータC I 1 3 は、制御端に入力されている信号bADDDLTCが“ L ”ときだけ開き、入力部に供給されている信号B S を反転して、インバータI 4 5、I 4 6 からなるラッチ回路に供給する。このラッチ回路は、供給された信号を反転して、信号BSILTC1を出力する。なお、クロックインバータC I 1 3 の制御端に入力されている信号bADDDLTCが“ H ”ときは、クロックインバータC I 1 3 の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号BSILTC1として出力される。

10

【 0 0 5 4 】

前記ドライバD R 1 2 から供給される信号B S はクロックインバータC I 1 4 の入力部に供給される。クロックインバータC I 1 4 は、制御端に入力されている信号ADDDLTCが“ L ”ときだけ開き、入力部に供給されている信号B S を反転して、インバータI 4 7、I 4 8 からなるラッチ回路に供給する。このラッチ回路は、供給された信号を反転して、信号BSILTC2を出力する。なお、クロックインバータC I 1 4 の制御端に入力されている信号ADDDLTCが“ H ”ときは、クロックインバータC I 1 4 の出力部から信号が出力されないため、前記ラッチ回路にラッチされている信号がそのまま信号BSILTC2として出力される。

20

【 0 0 5 5 】

さらに、図 4 (c) に示すように、N A N D 回路N A 1 1 の第 1 端子には信号BSILTC1が入力され、その第 2 端子には信号BSILTC2が入力される。このN A N D 回路N A 1 1 の出力部からは、インバータI 4 9 を介して信号B S <0:3>が出力される。

【 0 0 5 6 】

次に、図 6 ~ 図 9 を用いて、前記半導体メモリの動作を説明する。

30

【 0 0 5 7 】

図 6 は、C A S 信号のレイテンシーが 2、バースト長が 4、4 バンクのインターリーブでの読み出し動作を示すタイムチャートである。図 7 は、C A S 信号のレイテンシーが 2、バースト長が 4、4 バンクのインターリーブでの書き込み動作を示すタイムチャートである。図 8 は、C A S 信号のレイテンシーが 2、バースト長が 2、4 バンクのインターリーブでの読み出し動作を示すタイムチャートである。さらに、図 9 は、C A S 信号のレイテンシーが 2、バースト長が 2、4 バンクのインターリーブでの書き込み動作を示すタイムチャートである。

【 0 0 5 8 】

まず、図 6 に示す C A S 信号のレイテンシーが 2、バースト長が 4、4 バンクのインターリーブでの読み出し動作は以下のようなになる。

40

【 0 0 5 9 】

図 6 に示すように、アドレスストローク信号bRASCASが“ L ”となった期間に、クロック信号C L K の立ち上がりエッジに同期してロウアドレスR A を取り込み、アドレスストローク信号bRASCASが次に“ L ”となった期間に、クロック信号C L K の立ち上がりエッジに同期してロウアドレスR B を取り込み、続いてクロック信号C L K の立ち下がりエッジに同期してカラムアドレスC A を取り込む。

【 0 0 6 0 】

同様に、アドレスストローク信号bRASCASが次に“ L ”となった期間に、クロック信号C L K の立ち上がりエッジに同期してロウアドレスR C を取り込み、続いてクロック信号

50

C L Kの立ち下がリエッジに同期してカラムアドレスC Bを取り込む。同様に、アドレスストローブ信号bRASCASが次に“ L ”となった期間に、クロック信号C L Kの立ち上がりエッジに同期してロウアドレスR Dを取り込み、続いてクロック信号C L Kの立ち下がリエッジの同期してカラムアドレスC Cを取り込む。さらに、アドレスストローブ信号bRASCASが次に“ L ”となった期間に、クロック信号C L Kの立ち下がリエッジに同期してカラムアドレスC Dを取り込む。

【 0 0 6 1 】

これにより、カラムアドレスC Aを取り込んだ後、クロック信号C L Kの2回目の立ち上がりの直後から、データD A 0、D A 1、D A 2、D A 3が出力され、さらに隙間を空けることなく、D A 3に続いてデータD B 0、D B 1、D B 2、D B 3が出力される。続いて、同様に隙間を開けることなく、D B 3に続いてデータD C 0、D C 1、D C 2、D C 3が出力され、さらにD C 3に続いてデータD D 0、D D 1、D D 2、D D 3が出力される。

10

【 0 0 6 2 】

なお、データD A 0、D A 1、D A 2、D A 3は、ロウアドレスR AとカラムアドレスC Aに応じて読み出されるデータである。また、データD B 0、D B 1、D B 2、D B 3は、ロウアドレスR BとカラムアドレスC Bに応じて読み出されるデータである。データD C 0、D C 1、D C 2、D C 3は、ロウアドレスR CとカラムアドレスC Cに応じて読み出されるデータである。データD D 0、D D 1、D D 2、D D 3は、ロウアドレスR DとカラムアドレスC Dに応じて読み出されるデータである。

20

【 0 0 6 3 】

このようにクロック信号C L Kの1サイクルにおいて、立ち上がりエッジに同期してロウアドレス信号を取り込み、立ち下がリエッジに同期してカラムアドレス信号を取り込むことにより、ランダムなロウアクセスに関しても隙間のないデータ転送が可能となる。この結果、実効的なデータ転送レートを向上させることができる。

【 0 0 6 4 】

次に、図7に示すC A S信号のレイテンシーが2、バースト長が4、4バンクのインターリーブでの書き込み動作は以下ようになる。

【 0 0 6 5 】

図7に示すように、アドレスストローブ信号bRASCASが“ L ”となった期間に、クロック信号C L Kの立ち上がりエッジに同期してロウアドレスR Aを取り込み、アドレスストローブ信号bRASCASが次に“ L ”となった期間に、クロック信号C L Kの立ち上がりエッジに同期してロウアドレスR Bを取り込み、続いてクロック信号C L Kの立ち下がリエッジに同期してカラムアドレスC Aを取り込む。

30

【 0 0 6 6 】

同様に、アドレスストローブ信号bRASCASが次に“ L ”となった期間に、クロック信号C L Kの立ち上がりエッジに同期してロウアドレスR Cを取り込み、続いてクロック信号C L Kの立ち下がリエッジに同期してカラムアドレスC Bを取り込む。同様に、アドレスストローブ信号bRASCASが次に“ L ”となった期間に、クロック信号C L Kの立ち上がりエッジに同期してロウアドレスR Dを取り込み、続いてクロック信号C L Kの立ち下がリエッジの同期してカラムアドレスC Cを取り込む。さらに、アドレスストローブ信号bRASCASが次に“ L ”となった期間に、クロック信号C L Kの立ち下がリエッジに同期してカラムアドレスC Dを取り込む。

40

【 0 0 6 7 】

これにより、カラムアドレスC Aを取り込んだ直後から、データD A 0、D A 1、D A 2、D A 3の書き込みが行われ、さらに隙間を空けることなく、D A 3に続いてデータD B 0、D B 1、D B 2、D B 3の書き込みが行われる。続いて、同様に隙間を開けることなく、D B 3に続いてデータD C 0、D C 1、D C 2、D C 3の書き込みが行われ、さらにD C 3に続いてデータD D 0、D D 1、D D 2、D D 3の書き込みが行われる。

【 0 0 6 8 】

50

なお、データDA0、DA1、DA2、DA3は、ロウアドレスRAとカラムアドレスCAに応じて選択される番地を先頭とする4つの番地に順次書き込まれる。また、データDB0、DB1、DB2、DB3は、ロウアドレスRBとカラムアドレスCBに応じて選択される番地を先頭とする4つの番地に順次書き込まれる。データDC0、DC1、DC2、DC3は、ロウアドレスRCとカラムアドレスCCに応じて選択される番地を先頭とする4つの番地に順次書き込まれる。データDD0、DD1、DD2、DD3は、ロウアドレスRDとカラムアドレスCDに応じて選択される番地を先頭とする4つの番地に順次書き込まれる。

【0069】

このようにクロック信号CLKの1サイクルにおいて、立ち上がりエッジに同期してロウアドレス信号を取り込み、立ち下がりエッジに同期してカラムアドレス信号を取り込むことにより、ランダムなロウアクセスに関しても隙間のないデータ転送が可能となる。この結果、実効的なデータ転送レートを向上させることができる。

【0070】

次に、図8に示すCAS信号のレイテンシーが2、バースト長が2、4バンクのインターリーブでの読み出し動作は以下ようになる。

【0071】

図8に示すように、アドレスストローブ信号bRASCASが“L”となった期間に、クロック信号CLKの立ち上がりエッジに同期してロウアドレスRAを取り込み、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち上がりエッジに同期してロウアドレスRBを取り込み、さらにアドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち上がりエッジに同期してロウアドレスRCを取り込む。

【0072】

さらに、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち下がりエッジに同期してカラムアドレスCAを取り込み、続いてクロック信号CLKの立ち上がりエッジに同期してロウアドレスRDを取り込み、続いてクロック信号CLKの立ち下がりエッジに同期してカラムアドレスCBを取り込む。さらに、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち下がりエッジに同期してカラムアドレスCCを取り込む。さらに、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち下がりエッジに同期してカラムアドレスCDを取り込む。

【0073】

これにより、カラムアドレスCAを取り込んだ後、クロック信号CLKの2回目の立ち上がり直後から、データDA0、DA1が出力され、さらに隙間を空けることなく、DA1に続いてデータDB0、DB1が出力される。続いて、同様に隙間を開けることなく、DB1に続いてデータDC0、DC1が出力され、さらにDC1に続いてデータDD0、DD1が出力される。

【0074】

なお、データDA0、DA1は、ロウアドレスRAとカラムアドレスCAに応じて読み出されるデータである。また、データDB0、DB1は、ロウアドレスRBとカラムアドレスCBに応じて読み出されるデータである。データDC0、DC1は、ロウアドレスRCとカラムアドレスCCに応じて読み出されるデータである。データDD0、DD1は、ロウアドレスRDとカラムアドレスCDに応じて読み出されるデータである。

【0075】

このようにクロック信号CLKの立ち上がりエッジに同期してロウアドレス信号を取り込み、クロック信号CLKの立ち下がりエッジに同期してカラムアドレス信号を取り込むことにより、ランダムなロウアクセスに関しても隙間のないデータ転送が可能となる。この結果、実効的なデータ転送レートを向上させることができる。

【0076】

10

20

30

40

50

次に、図9に示すCAS信号のレイテンシーが2、バースト長が2、4バンクのインターリーブでの書き込み動作は以下のようになる。

【0077】

図9に示すように、アドレスストローブ信号bRASCASが“L”となった期間に、クロック信号CLKの立ち上がりエッジに同期してロウアドレスRAを取り込み、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち上がりエッジに同期してロウアドレスRBを取り込み、さらにアドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち上がりエッジに同期してロウアドレスRCを取り込む。

【0078】

さらに、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち下がりエッジに同期してカラムアドレスCAを取り込み、続いてクロック信号CLKの立ち上がりエッジに同期してロウアドレスRDを取り込み、続いてクロック信号CLKの立ち下がりエッジに同期してカラムアドレスCBを取り込む。さらに、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち下がりエッジに同期してカラムアドレスCCを取り込む。さらに、アドレスストローブ信号bRASCASが次に“L”となった期間に、クロック信号CLKの立ち下がりエッジに同期してカラムアドレスCDを取り込む。

【0079】

これにより、カラムアドレスCAを取り込んだ直後から、データDA0、DA1の書き込みが行われ、さらに隙間を空けることなく、DA1に続いてデータDB0、DB1の書き込みが行われる。続いて、同様に隙間を開けることなく、DB1に続いてデータDC0、DC1の書き込みが行われ、さらにDC1に続いてデータDD0、DD1の書き込みが行われる。

【0080】

なお、データDA0、DA1は、ロウアドレスRAとカラムアドレスCAに応じて選択される番地を先頭とする2つの番地に順次書き込まれる。また、データDB0、DB1は、ロウアドレスRBとカラムアドレスCBに応じて選択される番地を先頭とする2つの番地に順次書き込まれる。データDC0、DC1は、ロウアドレスRCとカラムアドレスCCに応じて選択される番地を先頭とする2つの番地に順次書き込まれる。データDD0、DD1は、ロウアドレスRDとカラムアドレスCDに応じて選択される番地を先頭とする2つの番地に順次書き込まれる。

【0081】

このようにクロック信号CLKの立ち上がりエッジに同期してロウアドレス信号を取り込み、クロック信号CLKの立ち下がりエッジに同期してカラムアドレス信号を取り込むことにより、ランダムなロウアクセスに関しても隙間のないデータ転送が可能となる。この結果、実効的なデータ転送レートを向上させることができる。

【0082】

以上説明したようにこの実施の形態によれば、データの入出力のみならず、アドレス信号、バンク選択信号、bRAS、bCAS、bCS、bWEの各コマンド用信号もDDR化することによって、ランダムなロウアクセスに関しても隙間のないデータ転送が可能になり、実効的なデータ転送レートが向上できる。

【0083】

また、クロックの立ち上がりエッジでロウアドレスを取り込み、立ち下がりエッジでカラムアドレスを取り込むことに限定してしまえば、従来のSDRAMのようにRAS、CASの信号を2つ設けることなく1つで済ますことが可能となり、また従来、4ビットの信号から行っていたコマンドのデコードを3ビットで済ますことも可能となり、コマンドデコードを構成する回路の簡素化を実現することができ、レイアウト面積の削減、高速化、低消費電力化も可能となる。

【0084】

10

20

30

40

50

特に、アドレス信号の取り込みをDDR化し、かつロウアドレス信号をクロックの立ち上がり信号に同期して取り込み、コラムアドレス信号をクロックの立ち下がり信号に同期して取り込むように設定することにより、従来のシンクロナスDRAM(DDR-SDRAM)でロウアドレスとコラムアドレスを同時に与えることができず、特に、ランダムなロウアドレスの際に生じていたデータ転送上の隙間を無くすことができ、データ転送の効率を上げることができる。

【0085】

また、ロウアドレスをクロックの立ち上がりエッジで取り込むこととし、コラムアドレスのクロックの立ち下がりエッジで取り込むことと限定したことで、従来のSDRAMに入力されるbRAS、bCASの信号は、1つにしてしまうことが可能であり、これにより回路を簡素化でき、チップ面積の削減、消費電力の削減が可能である。

10

【0086】

前述した実施の形態のように、クロックの立ち上がりエッジでロウアドレスを取り込み、立ち下がりエッジでコラムアドレスを取り込むような構成にすれば、ロウアドレス、コラムアドレス用に別々にアドレスピン、アドレスバス、アドレスバッファを設けることなく、データ転送上の隙間をなくすことができ、データ転送の効率を上げることができる。

【0087】

すなわち、この発明は、DDR(Duoble Data Rate)動作を行う半導体メモリ、特にDRAMにおいてデータの入出力のみならず、アドレス信号、バンク選択信号、bRAS、bCAS、bCS、bWEの各コマンド用信号もDDR化することによって、データ転送効率を向上させるものである。しかも、単に、各信号をDDR化するだけでなく、それぞれの信号をその目的に応じて、あるものは外部クロックの立ち上がりエッジに同期して取り込むことに限定し、またあるものは、外部クロックの立ち下がりエッジに同期して取り込むことに限定することにより、外部から入力する信号を削減できる。これにより、回路の簡素化をはかり、チップ面積の削減及び回路動作の高速化を行っている。

20

【0088】

【発明の効果】

以上述べたようにこの発明によれば、データ転送の効率を向上でき、さらにチップ面積の削減及び回路動作の高速化が可能な半導体メモリを提供することができる。

【図面の簡単な説明】

30

【図1】この発明の実施の形態の半導体メモリの構成を示すブロック図である。

【図2】この発明の実施の形態の半導体メモリにおけるクロック生成部の構成を示す回路図である。

【図3】この発明の実施の形態の半導体メモリにおけるコマンド部の構成を示す回路図である。

【図4】この発明の実施の形態の半導体メモリにおけるアドレス部の構成を示す回路図である。

【図5】この発明の実施の形態の半導体メモリにおけるクロック生成部、コマンド部、アドレス部の動作を示すタイムチャートである。

【図6】この発明の実施の形態の半導体メモリにおける読み出し動作の一例を示すタイムチャートである。

40

【図7】この発明の実施の形態の半導体メモリにおける書き込み動作の一例を示すタイムチャートである。

【図8】この発明の実施の形態の半導体メモリにおける読み出し動作の他の例を示すタイムチャートである。

【図9】この発明の実施の形態の半導体メモリにおける書き込み動作の他の例を示すタイムチャートである。

【図10】従来のシンクロナスDRAMにおける読み出し動作の一例を示すタイムチャートである。

【図11】従来のシンクロナスDRAMにおける書き込み動作の一例を示すタイムチャー

50

トである。

【図12】従来のシンクロナスDRAMにおける読み出し動作の他の例を示すタイムチャートである。

【図13】従来のシンクロナスDRAMにおける書き込み動作の他の例を示すタイムチャートである。

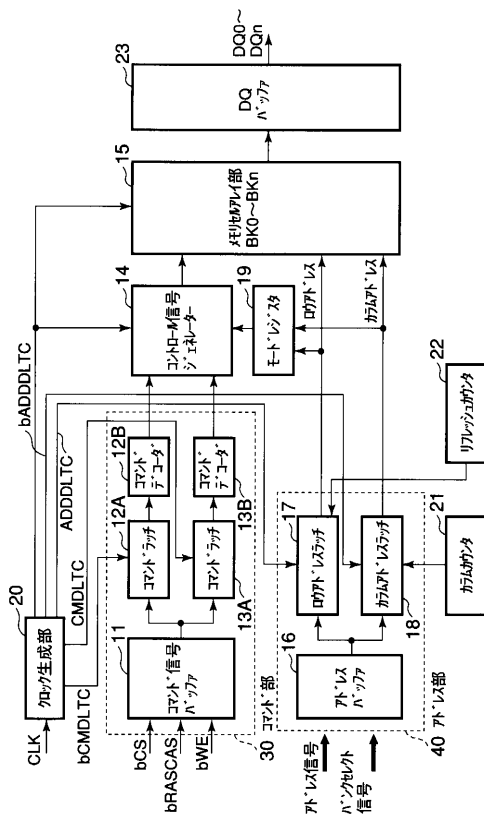
【符号の説明】

- 1 1 ... コマンド信号バッファ
- 1 2 A、1 2 B ... コマンドラッチ
- 1 3 A、1 3 B ... コマンドラッチ
- 1 4 ... コントロール信号ジェネレータ
- 1 5 ... バンクブロック
- 1 6 ... アドレスバッファ
- 1 7 ... ロウアドレスラッチ
- 1 8 ... カラムアドレスラッチ
- 1 9 ... モードレジスタ
- 2 0 ... クロック生成部
- 2 2 ... リフレッシュカウンタ
- 2 3 ... DQ バッファ
- 3 0 ... コマンド部
- 4 0 ... アドレス部

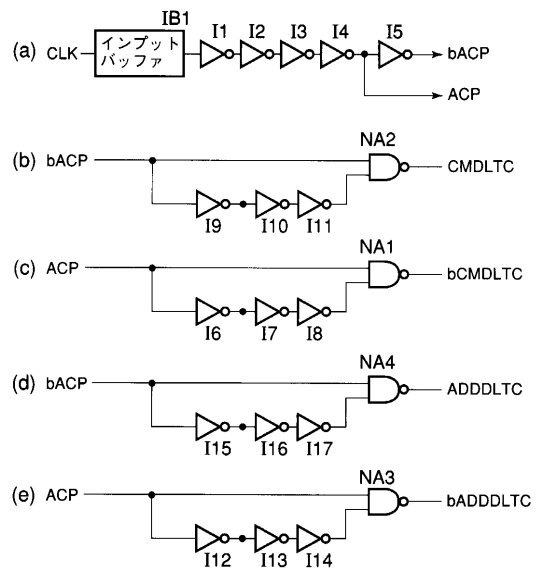
10

20

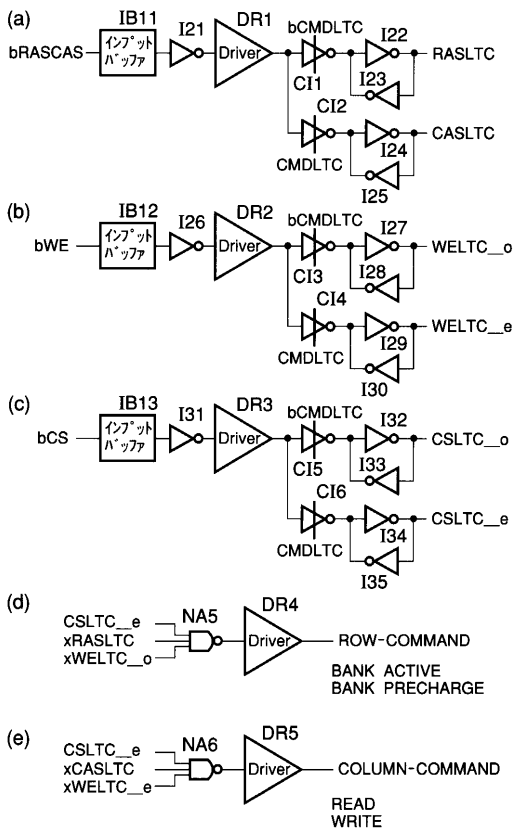
【図1】



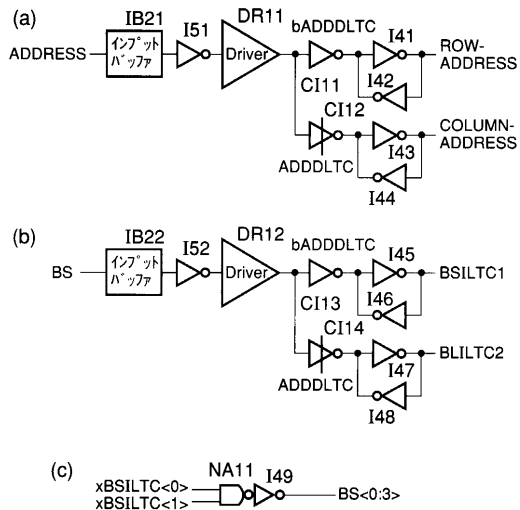
【図2】



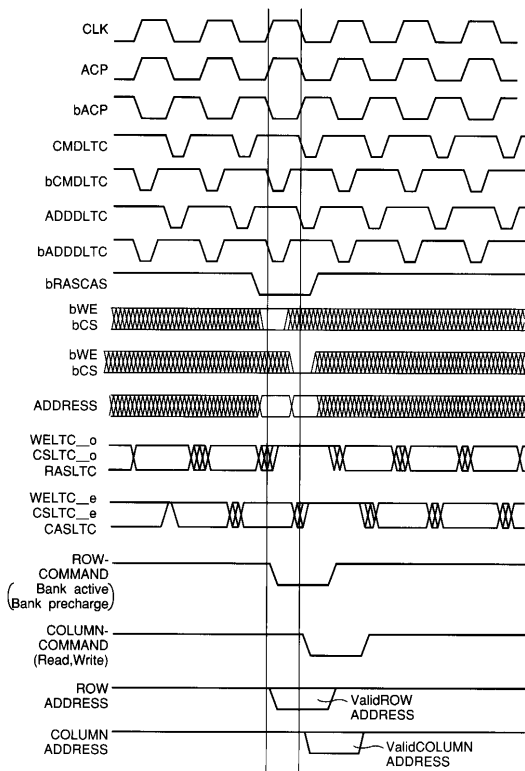
【 図 3 】



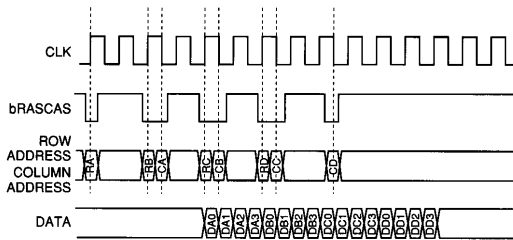
【 図 4 】



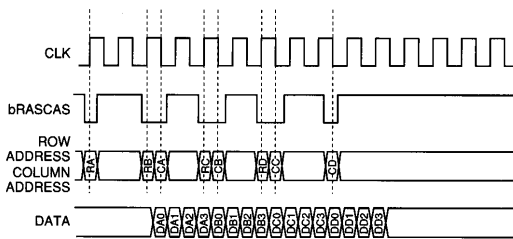
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (72)発明者 藤田 勝之
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 中川 薫
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 園田 康弘

- (56)参考文献 特開平11-213668(JP,A)
特開平09-073781(JP,A)
特開2000-156082(JP,A)
特開平11-203859(JP,A)
特開2000-163966(JP,A)
特開平05-081864(JP,A)
特開2000-113671(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/407
G11C 11/401
G11C 11/4076