

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-298947
(P2007-298947A)

(43) 公開日 平成19年11月15日(2007.11.15)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
H01L 29/786 (2006.01)	H01L 29/78 618C	5C094
H01L 21/336 (2006.01)	H01L 29/78 627C	5F110
G09F 9/30 (2006.01)	G09F 9/30 338	
G09F 9/35 (2006.01)	G09F 9/35	

審査請求 有 請求項の数 22 O L (全 21 頁)

(21) 出願番号	特願2006-351676 (P2006-351676)	(71) 出願人	501426046 エルジー・フィリップス エルシーデー カンパニー、リミテッド
(22) 出願日	平成18年12月27日 (2006.12.27)		
(31) 優先権主張番号	10-2006-0040062		大韓民国 ソウル, ヨンドゥンポーク, ヨ イドードン 20
(32) 優先日	平成18年5月3日 (2006.5.3)	(74) 代理人	100064447 弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176 弁理士 加藤 伸晃
		(74) 代理人	100094112 弁理士 岡部 譲
		(74) 代理人	100096943 弁理士 臼井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫

最終頁に続く

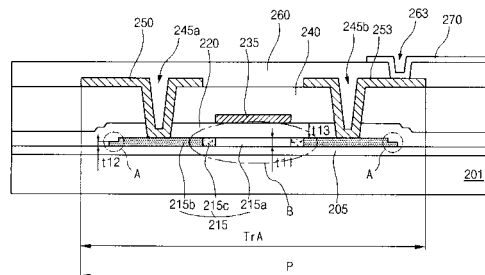
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】本発明の目的は、薄膜トランジスタの特性を向上させる液晶表示装置及びその製造方法を提供することである。

【解決手段】本発明の液晶表示装置は、基板201上に、チャンネル部215aと、チャンネル部215aの両側のオーミックコンタクト部215bを有して、エッジ部の側面は、テーパ状である半導体層215と、半導体層215を覆うゲート絶縁膜220と、ゲート絶縁膜220上に位置して、チャンネル部215aに対応するゲート電極235と、半導体層215と接触するソース電極250及びドレイン電極253と、ドレイン電極253と接触する画素電極270とを含むことを特徴とする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、テーパ状である半導体層と、半導体層を覆うゲート絶縁膜と、ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と、前記半導体層と接触するソース電極及びドレイン電極と、前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置。

【請求項 2】

前記エッジ部の側面は、前記基板面と 30° ないし 60° を成すことを特徴とする請求項 1 に記載の液晶表示装置。 10

【請求項 3】

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さであることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記半導体層は、ポリシリコンを含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記半導体層は、前記チャンネル部と前記オーミックコンタクト部との間に位置する LDD 部をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置。 20

【請求項 6】

基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段形状を有する半導体層と、半導体層を覆うゲート絶縁膜と、ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と、前記半導体層と接触するソース電極及びドレイン電極と、前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置。

【請求項 7】

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さであることを特徴とする請求項 6 に記載の液晶表示装置。 30

【請求項 8】

前記半導体層は、ポリシリコンを含むことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】

前記半導体層は、前記チャンネル部と前記オーミックコンタクト部との間に位置する LDD 部をさらに含むことを特徴とする請求項 6 に記載の液晶表示装置。 40

【請求項 10】

基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、テーパ状である半導体層を形成する段階と、半導体層を覆うゲート絶縁膜を形成する段階と、ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極を形成する段階と、

前記半導体層と接触するソース電極及びドレイン電極を形成する段階と、

前記ドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置の製造方法。

【請求項 11】

前記エッジ部の側面は、前記基板面と 30° ないし 60° を成すことを特徴とする請求項10に記載の液晶表示装置の製造方法。

【請求項12】

前記テーパ状の側面部を形成する段階は、
 ポリシリコン層を形成する段階と、
 前記ポリシリコン層上にフォトレジストパターンを形成する段階と、
 前記ポリシリコン層に対するドライエッチングと前記フォトレジストパターンに対するアッシングを同時に行う段階とを含むことを特徴とする請求項10に記載の液晶表示装置の製造方法。

【請求項13】

前記オーミックコンタクト部を形成する段階は、前記テーパ状の側面部を形成した後、前記ゲート電極をドーピングマスクとして使用して、 n^+ または p^+ に前記半導体層をドーピングする段階を含むことを特徴とする請求項12に記載の液晶表示装置の製造方法。

【請求項14】

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さであることを特徴とする請求項10に記載の液晶表示装置の製造方法。

【請求項15】

前記半導体層を形成する段階は、前記チャンネル部と前記オーミックコンタクト部との間にLDD部を形成する段階をさらに含むことを特徴とする請求項10に記載の液晶表示装置の製造方法。

【請求項16】

基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段形状を有する半導体層を形成する段階と、半導体層を覆うゲート絶縁膜を形成する段階と、ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極を形成する段階と、

前記半導体層と接触するソース電極及びドレイン電極を形成する段階と、
 前記ドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置の製造方法。

【請求項17】

前記少なくとも二つの階段形状を形成する段階は、
 ポリシリコン層を形成する段階と、
 前記ポリシリコン層上にフォトレジストパターンを形成する段階と、
 前記フォトレジストパターンを使用して、前記ポリシリコン層に対して第1ドライエッチングを行う段階と、
 前記フォトレジストパターンをアッシングする段階と、
 前記アッシングされたフォトレジストパターンを使用して、前記第1ドライエッチングされたポリシリコン層に対して第2ドライエッチングを行う段階とを含み、
 前記第1ドライエッチング、アッシング、第2ドライエッチングは、少なくとも一度は繰り返すことを特徴とする請求項16に記載の液晶表示装置の製造方法。

【請求項18】

前記オーミックコンタクト部を形成する段階は、前記少なくとも二つの階段を形成した後、前記ゲート電極をドーピングマスクとして使用して、 n^+ または p^+ に前記半導体層をドーピングする段階を含むことを特徴とする請求項17に記載の液晶表示装置の製造方法。

【請求項19】

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と同

10

20

30

40

50

一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さであることを特徴とする請求項 16 に記載の液晶表示装置の製造方法。

【請求項 20】

前記半導体層を形成する段階は、前記チャンネル部と前記オーミックコンタクト部との間に LDD 部を形成する段階をさらに含むことを特徴とする請求項 16 に記載の液晶表示装置の製造方法。

【請求項 21】

基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、外側の方向に厚さが減少する半導体層と、半導体層を覆うゲート絶縁膜と、ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と、前記半導体層と接触するソース電極及びドレイン電極と、前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置。

10

【請求項 22】

前記エッジ部は、少なくとも二つの階段形状を有し、側面がテーパ状であることを特徴とする請求項 21 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、液晶表示装置に係り、特に、液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

最近、液晶表示装置は、消費電力が低く、携帯性が良好な技術集約的で付加価値の高い次世代の先端ディスプレイ装置として脚光を浴びている。

液晶表示装置は、薄膜トランジスタ(TFT)を含むアレイ基板とカラーフィルター基板との間に液晶を注入して、液晶の異方性による光の屈折率の差を利用して映像効果を得る非発光画像表示装置に当たる。

【0003】

現在は、薄膜トランジスタと画素電極が行列方式に配列された能動行列液晶表示装置 AM-LCD が解像度及び動画の具現能力が優れて最も注目を浴びている。薄膜トランジスタ素子としては、水素化された非晶質シリコン a-Si:H が主に利用されるが、これは、低温工程が可能で、低価の絶縁基板が使用できるからである。

30

【0004】

ところが、水素化された非晶質シリコン a-Si:H は、原子配列が無秩序であるために、弱い結合(weak Si-Si bond)及びダングリングボンド(dangling bond)が存在して、光の照射や電場の印加時、準安定状態に変化され薄膜トランジスタ素子として安全性が問題になって、電気的特性(低い電界効果移動度: $0.1 \sim 1.0 \text{ cm}^2/\text{Vs}$)が悪くて駆動回路として使用し難い。

【0005】

40

従って、一般的には、別途に製作された駆動素子を液晶パネルに連結して使用している。代表的な例として、駆動素子を TCTP で製作して液晶パネルに付着して使用する。この時、TCTP は、PCB と液晶パネル間に付着して、PCT 基板から入力される信号を受けて液晶パネルに伝達する。

【0006】

ところが、駆動 IC の実装費用が液晶表示装置の原価の殆どであって、液晶パネルの解像度が高くなって、アレイ基板のゲート配線及びデータ配線を TCTP に連結する基板外部のパッドピッチが小さくなり、TCTP ボンディング自体が難しくなっている。

【0007】

従って、最近は、非晶質シリコンを利用した薄膜トランジスタより電界効果移動度等の

50

優れた駆動素子として動作できるポリシリコンを半導体層とするポリシリコン薄膜トランジスタを備える液晶表示装置が提案されている。

【0008】

ポリシリコンは、非晶質シリコン a-Si に比べて電界効果移動度等の電気的特性が優れている。従って、ポリシリコンを利用してアレイ基板に直接駆動回路を形成することによって別途の駆動 IC を付着しなくても良いために、費用が減少して実装も簡単になる。

【0009】

図1と図2は、各々従来のポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向と幅手方向に沿って切断した断面図である。

【0010】

図1と図2に示したように、基板15上にバッファ層18が形成されており、その上に、ポリシリコンで形成された半導体層23がスイッチング領域 Tr A に形成される。この時、スイッチング領域 Tr A の半導体層23は、一定な厚さを有して、中央の純粋ポリシリコンで構成されるチャンネル部23aと、チャンネル部23aの両側に不純物がドーピングされたオーミックコンタクト部23bを含む。オーミックコンタクト部23bがn型の不純物でドーピングされたn型のオーミックコンタクト部23bである場合、チャンネル部23aとn型のオーミックコンタクト部23bとの間に、低濃度不純物がドーピングされた LDD (lightly doped drain) 部23cが形成される。

【0011】

半導体層23上にゲート絶縁膜28が全面に形成されており、ゲート絶縁膜28上に、半導体層23の中央のチャンネル部23aに対応するゲート電極35が形成される。

【0012】

ゲート電極35が形成されたゲート絶縁膜28上に、ゲート絶縁膜28より厚く形成されて、オーミックコンタクト部23bを各々露出させる半導体層コンタクトホール45a、45bを有する層間絶縁膜43が全面に形成される。層間絶縁膜43上に半導体層23、さらに正確には、半導体層23のうち、不純物がドーピングされ形成されたオーミックコンタクト部23bと各々接触して、相互に離隔するソース電極48及びドレイン電極53が形成される。

【0013】

ソース電極48及びドレイン電極53と露出された層間絶縁膜43上に、ドレイン電極53を露出させるドレインコンタクトホール63を有する保護層60が全面に形成される。保護層60上にドレインコンタクトホール63を通じてドレイン電極53と接触する画素電極65が形成される。

【0014】

前述した従来のアレイ基板において、半導体層23及びその上部に形成されたゲート絶縁膜28とゲート電極35の構造をより詳しく説明する。半導体層23は、純粋ポリシリコンで構成されたチャンネル部23aと不純物がドーピングされ形成されたオーミックコンタクト部23b及びLDD部23cが同一な厚さで形成される。さらに、半導体層23の端側、すなわち、エッジ部Aの側面がバッファ層18の表面に対して80°以上の高いテーパ角 θ_1 を有して、基板15に対して実質的に、垂直な状態で形成される。

【0015】

このような半導体層23の構造によって、その上部に比較的薄い厚さのゲート絶縁膜28は、半導体層23のエッジ部Aの上部では、蒸着特性上、ステップカバレッジが悪い。従って、半導体層23のエッジ部Aに近接したゲート絶縁膜28は、半導体層23の段差を反映して、半導体層23の中央部Bに近接したゲート絶縁膜28の厚さ t_1 より薄い厚さ t_2 で形成される。

【0016】

このような構造に影響を受けて金属物質のスパッタリングによって形成されるゲート電極35また半導体層23のエッジ部Aに対応する部分での厚さ t_3 が他の部分での厚さ t_4 に比べて、薄く形成される。

10

20

30

40

50

【0017】

半導体層23のエッジ部Aで、その上部のゲート絶縁膜28とゲート電極35が他の部分に比べて薄い厚さ t_2 、 t_3 で形成されるので、フリンジ効果によって半導体層23のエッジ部Aで電界が強く形成され、これにより、チャンネル部23aの幅手方向に沿って強いサイド電流が流れる。従って、電界が歪曲される現象が発生する。

【0018】

これに関連して、ゲート電圧の変化によるドレイン電流の変化を示したトランスファークラップ(LDD部の幅は、 $1\mu\text{m}$ 、チャンネル比(W/L)、すなわち、チャンネル部の幅と長さは、各々 $4\mu\text{m}$ 、 $4\mu\text{m}$ で形成される)の特性を示した図3を参照する。ゲート電圧が0Vから3Vになる区間、すなわち、線形領域では、ドレイン電流が線形的に増加しなければならぬが、前述したフリンジ効果によって半導体層のエッジ部に強い電界が形成されサイド電流が流れる。サイド電流は、ドレイン電流の流れを邪魔するので、ドレイン電流の変化量が急激に落ちて線形的に変化しない部分、すなわち、ハンプ(hump)が発生する。

10

ハンプが発生すると、薄膜トランジスタのオン/オフ時間の遅延が長引いて、スイッチング素子としての特性低下が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明は、前述したような問題を解決するために、薄膜トランジスタの特性を向上させる液晶表示装置及びその製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0020】

本発明は、前述したような目的を達成するために、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、テーパ状である半導体層と；半導体層を覆うゲート絶縁膜と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と；前記半導体層と接触するソース電極及びドレイン電極と；前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置を提供する。

【0021】

ここで、前記エッジ部の側面は、前記基板面と 30° ないし 60° を成して、前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

30

前記半導体層は、ポリシリコンを含み、また、前記半導体層は、前記チャンネル部と前記オーミックコンタクト部間に位置するLDD部をさらに含む。

【0022】

また、本発明は、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段を有する半導体層と；半導体層を覆うゲート絶縁膜と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と；前記半導体層と接触するソース電極及びドレイン電極と；前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置を提供する。

40

【0023】

ここで、前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

前記半導体層は、ポリシリコンを含み、また、前記半導体層は、前記チャンネル部と前記オーミックコンタクト部間に位置するLDD部をさらに含む。

【0024】

一方、本発明は、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタ

50

クト部を有して、エッジ部の側面は、テーパ状である半導体層を形成する段階と；半導体層を覆うゲート絶縁膜を形成する段階と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極を形成する段階と；前記半導体層と接触するソース電極及びドレイン電極を形成する段階と；前記ドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置の製造方法を提供する。

【0025】

ここで、前記エッジ部の側面は、前記基板面と30°ないし60°を成す。

前記テーパ状の側面部を形成する段階は、ポリシリコン層を形成する段階と；前記ポリシリコン層上にフォトレジストパターンを形成する段階と；前記ポリシリコン層に対するドライエッチングと前記フォトレジストパターンに対するアッシングを同時に行う段階とを含む。

10

【0026】

前記オーミックコンタクト部を形成する段階は、前記テーパ状の側面部を形成した後、前記ゲート電極をドーピングマスクとして使用して、 n^+ または p^+ に前記半導体層をドーピングする段階を含む。

【0027】

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

【0028】

前記半導体層を形成する段階は、前記チャンネル部と前記オーミックコンタクト部間にLDD部を形成する段階をさらに含む。

20

【0029】

さらに、本発明は、基板の上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段を有する半導体層を形成する段階と；半導体層を覆うゲート絶縁膜を形成する段階と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極を形成する段階と；前記半導体層と接触するソース電極及びドレイン電極を形成する段階と；前記ドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置の製造方法を提供する。

【0030】

ここで、前記少なくとも二つの階段を形成する段階は、ポリシリコン層を形成する段階と；前記ポリシリコン層上にフォトレジストパターンを形成する段階と；前記フォトレジストパターンを使用して、前記ポリシリコン層に対して第1ドライエッチングを行う段階と；前記フォトレジストパターンをアッシングする段階と；前記アッシングされたフォトレジストパターンを使用して、前記第1ドライエッチングされたポリシリコン層に対して第2ドライエッチングを行う段階とを含み、前記第1ドライエッチング、アッシング、第2ドライエッチングは、少なくとも一度繰り返す液晶表示装置の製造方法を提供する。

30

【0031】

ここで、前記オーミックコンタクト部を形成する段階は、前記少なくとも二つの階段を形成した後、前記ゲート電極をドーピングマスクとして使用して、 n^+ または p^+ に前記半導体層をドーピングする段階を含む。

40

【0032】

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

【0033】

前記半導体層を形成する段階は、前記チャンネル部と前記オーミックコンタクト部間にLDD部を形成する段階をさらに含む。

【0034】

また、本発明は、基板の上に、チャンネル部と、チャンネル部の両側のオーミックコンタ

50

クト部を有して、エッジ部の側面は、外側の方向に厚さが減少する半導体層と；半導体層を覆うゲート絶縁膜と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と；前記半導体層と接触するソース電極及びドレイン電極と；前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置を提供する。

ここで、前記エッジ部は、少なくとも二つの階段を有したり、側面がテーパ状であったりする。

【0035】

以下、添付された図を参照して、本発明の実施例を説明する。

【発明の効果】

【0036】

本発明によるポリシリコンを利用した液晶表示装置は、ポリシリコンの半導体層を、そのエッジ部が基板面に対して緩やかなテーパ角になるように形成したり、または多段構造で形成したりして、半導体層のエッジ部でゲート絶縁膜の厚さの減少を防ぐ。これによって、フリンジ効果を減少させハンプの発生を抑制して、薄膜トランジスタの特性が向上する。

【実施例1】

【0037】

図4と図5は、各々本発明の実施例1によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向と幅手方向に沿って切断した断面図である。ここで、チャンネル部の長手方向は、ソース電極とドレイン電極との間の方向であって、チャンネル部の幅手方向は、長手方向に垂直な方向であって、ゲート電極の延長方向に当たる。

【0038】

図4と図5に示したように、基板101上の全面にバッファ層105が形成されている。バッファ層105上に各画素領域P内のスイッチング領域TrAにおいて、その中央部Bは、一定な厚さ t_5 であって、エッジ部Aは、バッファ層105と成す角 θ_2 が従来の 80° よりは小さい値、例えば、 30° 以上 60° 以下の値であって、厚さは、外側の方向に行くほど緩やかに減少するテーパ状で半導体層115が形成される。

【0039】

半導体層115は、高濃度の不純物がドーピングされたポリシリコンで構成されたオーミックコンタクト部115bと純粋ポリシリコンで構成されたチャンネル部115aを含む。また、チャンネル部115aとオーミックコンタクト部115bの間には、低濃度の不純物がドーピングされたポリシリコンで構成されたLDD部115cが形成される。これは、n型の不純物をドーピングしてn型のオーミックコンタクト部を有するn型の薄膜トランジスタを形成したものである。

【0040】

p型の不純物をドーピングしてp型のオーミックコンタクト部を形成する場合、LDD部を形成しなくても良い。このような形態の半導体層115を形成する方法は、以下に示す製造方法を説明する時、具体的に示す。

【0041】

前述したように、エッジ部Aで所定の角 θ_2 に緩やかに厚さが減少するテーパ状の半導体層115上にゲート絶縁膜120が形成される。ゲート絶縁膜120上にチャンネル部115aに対応してゲート電極135が形成される。ゲート電極135は、幅手方向に沿ってチャンネル部115aを完全に覆う。但し、ゲート絶縁膜120は、ゲート電極135の下部のみ形成される。

【0042】

ゲート絶縁膜120は、半導体層115のエッジ部Aが、最外角から緩やかに中央部Bに向って徐々に厚くなる形態であって、急激な段差が生成されないことによって半導体層115が形成された部分と、半導体層115の外部に露出されたバッファ層105に対して同一な厚さ t_6 を形成される。

10

20

30

40

50

【0043】

ゲート絶縁膜120の上部に形成されたゲート電極135も、ゲート絶縁膜120が半導体層115に対して緩やかな段差を有して形成されるために、これを反映して比較的均一な厚さ t_7 で形成される。ゲート電極135は、幅手方向に沿ってチャンネル部115aを完全に覆う。尚、実施例1でのゲート絶縁膜120は、半導体層115全面に形成されて、オーミックコンタクト部115bの一部を露出させる半導体層コンタクトホール145a、145bを有して形成されているが、ゲート電極135が形成された部分のみに形成される場合もある。

【0044】

ゲート電極135及び外部に露出されたゲート絶縁膜120上に、半導体層115のうち、チャンネル部115aの両側に各々位置したオーミックコンタクト部115bの一部を各々露出させる半導体層コンタクトホール145a、145bを有する層間絶縁膜140が形成される。ゲート絶縁膜120は、層間絶縁膜140と半導体層コンタクトホール145a、145bを共通に有する。

10

【0045】

層間絶縁膜140上に、半導体層コンタクトホール145a、145bを通じて露出されたオーミックコンタクト部115bと各々接触して、相互に離隔するソース電極150及びドレイン電極153が形成される。下部のポリシリコンの半導体層115からソース電極150及びドレイン電極153まで形成されることによって、この間に形成されたゲート絶縁膜120とゲート電極135と、さらにスイッチング素子である薄膜トランジスタ

20

【0046】

相互に離隔したソース電極150及びドレイン電極153上に、全面にドレイン電極153の一部を露出させるドレインコンタクトホール163を有する保護層160が形成される。保護層160上に、ドレインコンタクトホール163を通じてドレイン電極153と接触する画素電極170が画素領域Pに形成される。

【0047】

前述した断面構造においては、ゲート配線とデータ配線は、図面には示していないが、ゲート配線は、ゲート電極135と同一層に同一物質で形成され、データ配線は、ゲート配線と交差して画素領域Pを定義し、ソース電極150及びドレイン電極153と同一層に

30

【0048】

実施例1によるポリシリコン半導体層115を有する薄膜トランジスタを備える液晶表示装置用アレイ基板は、半導体層115において、角 α_2 が十分に小さいエッジ部Aを構成する。これによって、その上部に形成されるゲート絶縁膜120とゲート電極135が半導体層115の中央部Bとエッジ部Aで各々一定な厚さ t_6 、 t_7 になる。すなわち、ゲート絶縁膜120とゲート電極135の段差部の厚さは各々、他の部分の厚さと実質的に同一になる。

【0049】

このように、半導体層115のエッジ部Aでのゲート絶縁膜120の厚さの減少によってフリンジ効果に基づいた電界の集中を防いで、チャンネル部の幅手方向に沿うサイド電流が減少する。さらに、半導体層115のエッジ部Aが中央部Bに比べて薄く形成されることによって半導体層115の内部で移動する正孔または電子等のキャリア数が減少して、サイド電流が減少する。従って、ドレイン電流は正常に流れて、ハンプの発生が抑制される。結局、薄膜トランジスタの信頼性が向上する。

40

【実施例2】

【0050】

図6と図7は、各々本発明の実施例2によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向と幅手方向に沿って切断した断面図である。

50

この時、半導体層、ゲート絶縁膜とゲート電極を除いた他の構成要素は、実施例 1 と類似であるので、半導体層、ゲート絶縁膜とゲート電極の構成要素の構造を主に説明する。

【0051】

図 6 と図 7 に示したように、基板 201 上にバッファ層 205 が形成されている。バッファ層 205 上に、各画素領域 P 内のスイッチング領域 Tr A には、エッジ部 A を除いた部分の厚さ t_{11} が実質的に同一なポリシリコンの半導体層 215 が形成される。半導体層 215 のエッジ部 A は、多段構造であって、外側の方向に厚さが減少する。例えば、エッジ部 A は、少なくとも二つの階段を有している。このうち、下部の階段の厚さ t_{12} は、中央部 B の厚さ t_{11} の $1/2$ に当たり、上部の階段の厚さは、中央部 B の厚さ t_{11} の $1/2$ に当たる。尚、下部の階段の厚さ t_{12} は、上部の階段の厚さと異なる場合がある。

10

【0052】

このような構成の半導体層 215 上にゲート絶縁膜 220 を形成する時、半導体層 215 のエッジ部 A でバッファ層 205 との段差が減少されることによって実質的にゲート絶縁膜 220 のステップカバレッジが向上する。すなわち、半導体層 215 のエッジ部 A に対応する領域を含み、基板の全領域において、比較的同一な厚さ t_{13} をゲート絶縁膜 220 を構成することができる。

【0053】

このように、半導体層 215 のエッジ部 A でのゲート絶縁膜 220 の厚さの減少によってフリンジ効果に基づいた電界の集中を防いで、チャンネル部の幅手方向に沿うサイド電流が減少する。さらに、半導体層 215 のエッジ部 A が中央部 B に比べて薄く形成されることによって半導体層 215 の内部で移動する正孔または電子等のキャリア数が減少して、サイド電流が減少する。従って、ドレイン電流は、正常に流れて、ハンプの発生が抑制される。結局、薄膜トランジスタの信頼性が向上する。

20

【0054】

図 8 は、本発明の実施例 2 による構造の半導体層を基板上に形成した後、拡大して撮った SEM (scanning electron microscope) 写真であって、図 9 は、本発明の実施例 2 による液晶表示装置用アレイ基板において、ゲート電圧の変化によるドレイン電流の変化を示したトランスファーカーブ (LDD 部の幅は、 $1\ \mu\text{m}$ 、チャンネル比 (W/L)、すなわち、チャンネルの幅と長さは、各々 $4\ \mu\text{m}$ 、 $4\ \mu\text{m}$ で形成される) の特性を示したグラフである。

30

【0055】

図 8 と図 9 に示したように、中央部 B に比べてエッジ部 A が薄い厚さで基板上に半導体層を形成して薄膜トランジスタを完成した場合、ゲート電圧が $0\ \text{V}$ から $2\ \text{V}$ の区間、すなわち、線形領域でドレイン電流は線形的に増加して、ハンプは発生しない。

【0056】

さらに、従来のように同一な厚さまたはエッジ部の角が 80° 以上のポリシリコンの半導体層を形成したアレイ基板のトランスファーカーブ特性のグラフにおいては、ハンプの発生領域を含む線形領域は、ゲート電圧が $0\ \text{V}$ から $3\ \text{V}$ の間の領域 ($V_{ds} = 9\ \text{V}$ の場合) になる (図 3 参照)。

40

【0057】

ところが、エッジ部 A と中央部 B の厚さを異なるようにした半導体層を有する本発明によるアレイ基板のトランスファーカーブ特性のグラフ (図 8 参照) では、線形領域は、ゲート電圧が $0\ \text{V}$ から $1.5\ \text{V}$ の間の領域 ($V_{ds} = 9\ \text{V}$ の場合) になる。すなわち、線形領域のゲート電圧の変化の幅がさらに減少することによってスイッチング素子としての特性がさらに向上する。

【0058】

スイッチング素子としての動作は、薄膜トランジスタのオン/オフ動作をさらに速く行うので、線形領域で傾きが急激になるほど有利であって、このような速いスイッチングは、ゲート配線の信号の遅延を防ぐ効果がさらにあるために、液晶表示装置用アレイ基板の

50

特性を向上させる。

【実施例 3】

【0059】

図 10 は、実施例 2 に提示した半導体層の変形例であって、本発明の実施例 3 によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【0060】

図 10 に示したように、半導体層 315 のエッジ部 A を 3 段以上の多段構造で形成することもできる。この場合、半導体層 315 のエッジ部 A は、実施例 2 (図 6 参照) に提示した半導体層よりさらに多い多段形態の段差で構成される。例えば、半導体層 315 のエッジ部 A で三つの階段が形成された場合、各階段の厚さ t_{14} 、 t_{16} 、 t_{17} は、中央部 B の厚さ t_{15} の $1/3$ になる。尚、各階段の厚さ t_{14} 、 t_{16} 、 t_{17} は、相互に異なってもよい。このように、階段の数が増加することによって、各階段の厚さは、ゲート絶縁膜 320 の厚さ t_{13} に比べてさらに水準が薄くなるので、ゲート絶縁膜 320 は、エッジ部 A でさらに均一な厚さで形成される。

【0061】

以後、本発明の実施例 1 ないし 3 によるポリシリコンの半導体層を有する液晶表示装置用アレイ基板の製造方法を説明する。

実施例 1 ないし 3 の場合、半導体層の形成方法だけに一部の差があって、それ以外の構成要素に対する製造方法は、類似に行われるため、実施例 2 を基準にその製造方法を説明する。また、実施例 1 及び実施例 3 については、構造が異なる半導体層の形成段階において、差異のある部分を主に説明する。

【0062】

図 11 A ないし図 11 L は、本発明の実施例 2 によるポリシリコンの半導体層を有する液晶表示装置用アレイ基板を製造する方法を示した断面図である。

【0063】

図 11 A に示したように、透明な絶縁基板 201 上に無機絶縁物質である窒化シリコン SiN_x または酸化シリコン SiO_2 を蒸着してバッファ層 205 を形成する。非晶質シリコン a-Si をポリシリコンに結晶化する場合、レーザーの照射または熱処理時に発生する熱によって基板 201 の内部に存在するアルカリイオン、例えば、カリウムイオン K^+ 、ナトリウムイオン Na^+ 等が発生する。バッファ層 205 は、このようなアルカリイオンによってポリシリコンで構成された半導体層の膜の特性の低下を防ぐためのものである。尚、バッファ層 205 が省略される構造とする場合もある。

【0064】

バッファ層 205 上に非晶質シリコン a-Si を蒸着して非晶質シリコン層を全面に形成して、エキシマーレーザーを利用した E L A (Excimer Laser Annealing) 法または S L S (Sequential lateral Solidification) 結晶化法または熱処理法または M I L C (metal induced lateral crystallization) 法等の結晶化工程を行って非晶質シリコン層をポリシリコン層 212 に結晶化する。

【0065】

次いで、ポリシリコン層 212 上にフォトレジストを全面に塗布してフォトレジスト層を形成する。フォトレジスト層 (図示せず) にマスクを利用して露光を実施した後、露光されたフォトレジスト層 (図示せず) を現像することによって各画素領域 P のスイッチング領域 T r A に対応して第 3 厚さ t_{21} 及び第 1 幅 w_{21} を有する第 1 フォトレジストパターン 281 を形成する。

【0066】

図 11 B に示したように、第 3 厚さ t_{21} 及び第 1 幅 w_{21} を有する第 1 フォトレジストパターン 281 をエッチングマスクとして利用して、第 1 ドライエッチングを実施する。これによって、第 1 フォトレジストパターン 281 の外部に露出されたポリシリコン層 (図 11 A の 212) を除去して、第 1 フォトレジストパターン 281 と同一な第 1 幅 w_{21}

10

20

30

40

50

1を有するポリシリコンの半導体層215を形成する。この時、半導体層215は、全体的に同一な第1厚さ t_{11} を有して形成される。

【0067】

ポリシリコン層のドライエッチングは、 HBr 、 Cl_2 、 SF_6 、 Br_2 ガスまたはこれらガスが2種またはそれ以上を混合した混合ガスで満たされた真空のチェンバー内でプラズマ処理することによって行われる。この場合、ポリシリコン層と反応するガスは、第1フォトレジストパターン281とは反応しないので、第1ドライエッチングの前後においてその形態にほとんど変化がない。第1ドライエッチングは、異方性を有する。

【0068】

図11Cに示したように、前述したガス及びプラズマ処理による第1ドライエッチングを実施した基板201を、同一なチェンバー内でガスを O_2 に変えた後、プラズマ処理してアッシングする。これによって、第3厚さ t_{21} 及び第1幅 w_{21} を有する第1フォトレジストパターン281で、その厚さ及び幅が減少した第4厚さ t_{22} 及び第2幅 w_{22} を有する第2フォトレジストパターン282を形成する。

【0069】

この時、アッシングは、等方性を有して行われることによって第3厚さ t_{21} 及び第1幅 w_{21} を有する第1フォトレジストパターン281の上部及び側面を同時に除去する。 O_2 ガスの濃度を一定にした状態でアッシングの時間を調節することによって、その除去される量(幅の大きさ)を決める。

【0070】

また、アッシングによって第1フォトレジストパターン281の幅と厚さが減少した第4厚さ t_{22} 及び第2幅 w_{22} を有する第2フォトレジストパターン282が形成されるために、第1フォトレジストパターン281が覆っていた半導体層215のエッジ部Aが第2フォトレジストパターン282の外部に露出される。

【0071】

図11Dに示したように、第4厚さ t_{22} 及び第2幅 w_{22} を有する第2フォトレジストパターン282の外部に露出された半導体層215のエッジ部Aをチェンバー内のガスを O_2 から、 HBr 、 Cl_2 、 SF_6 、 Br_2 ガスまたはこれらガスの混合ガスにまた変えて、所定時間、例えば、第1ドライエッチングの進行時間よりは短い時間の間、第2ドライエッチングを実施する。これによって、露出された半導体層215のエッジ部Aを部分的に除去して、第1厚さ t_{11} より薄い第2厚さ t_{12} になる。この時、第2ドライエッチングの時間を適切に調節することによって、例えば、第2厚さ t_{12} を第1厚さ t_{11} の $1/2$ 程度にすることができる。

【0072】

この時、半導体層215のエッジ部Aの厚さを減少させるために行う第2ドライエッチングは、異方性特性を有するドライエッチングである。

【0073】

図11Eに示したように、半導体層215上に残っている第2フォトレジストパターン(図11Dの282)をアッシングまたはストリップを行って除去する。これによって、本発明の実施例2によるエッジ部Aに二つの階段を有する半導体層215が形成される。

【0074】

この場合、第2フォトレジストパターンを除去する前に、アッシングとドライエッチングをもう一度行くと、実施例3のように、エッジ部Aに三つの階段を有する半導体層を形成することができる。これと類似な方法として、アッシングとドライエッチングをさらに行うと、エッジ部Aにさらに多い数の多段構造を有する半導体層を形成することができる。

【0075】

実施例1で提示した、エッジ部の側面がテーパ状である半導体層の形成方法を図12Aないし図12Cを参照して説明する。

図12Aに示したように、ポリシリコン層112上に第5厚さ t_{31} 及び第3幅 w_{31}

10

20

30

40

50

を有するフォトレジストパターン181を形成する。

図12Bと図12Cに示したように、フォトレジストパターン181及びその外部に露出されたポリシリコン層112が形成された基板101を真空のチェンバーに移動させた後、チェンバー内にポリシリコンと反応するガス、すなわち、 HBr 、 Cl_2 、 SF_6 、 Br_2 ガスまたはこれらガスの2種以上を混合した混合ガスとフォトレジストパターン181と反応する O_2 を少量注入した後、プラズマ処理を行ってドライエッチングを実施する。

【0076】

この時、チェンバーの内部は、ポリシリコン層112と反応するガスと、フォトレジストパターン181と反応する酸素 O_2 が少量混合された雰囲気によって、
10 実際には、ドライエッチングだけが行われるのではなく、アッシングまで行われる。従って、フォトレジストパターン181の外部に露出されたポリシリコン層112が除去されると同時に、フォトレジストパターン181の厚さと幅が、所定程度に除去される。(t₃₁ t₃₂ t₃₃とw₃₁ w₃₂ w₃₃)

【0077】

フォトレジストパターン181がアッシングによって徐々に除去されると同時に、半導体層は、アッシングされているフォトレジストパターン181をエッチングマスクとして利用してドライエッチングが徐々に行われる。従って、最初のフォトレジストパターン(図12Aの181)の外郭線の下部からアッシングが完了されたフォトレジストパターン(図12Cの181)の外郭線の下部までの半導体層112のエッチングの時間とエッチングの程度は、連続的に減少する。エッチングが完了する時点は、最初のフォトレジストパターンの外郭線の下部の半導体層112が完全に除去される時点である。このように、半導体層115のエッジ部Aがドライエッチングの時間の差があることによって最外角部から中央部Bに行くほど徐々に厚い厚さの形態で、すなわち、バッファ層105の表面に対して所定の角 θ_2 を有して形成される。
20

【0078】

例えば、半導体層115のエッジ部Aがバッファ層105の表面と成す角 θ_2 は、30°以上60°以下になる。半導体層115のエッジ部Aの所定の角 θ_2 の大きさは、ポリシリコン層112と反応するガスと混合される酸素 O_2 の量によって調節される。

【0079】

次いで、図11Fないし図11Lをさらに参照して、半導体層及びそれ以外の構成要素の形成方法を説明する。
30

【0080】

前述した方法のように、エッジ部Aが多段構造の半導体層(図11Eの215)または緩やかな角(図12Cの θ_2)を有するエッジ部Aを含む半導体層(図12Cの115)を形成した後、図11Fに示したように、半導体層215上に、全面に無機絶縁物質、例えば、酸化シリコン SiO_2 または窒化シリコン SiN_x を蒸着することによってゲート絶縁膜220を形成する。

【0081】

ゲート絶縁膜220は、蒸着の特性上、従来においては、バッファ層と半導体層が比較的
40 的に大きい段差を有することによって、段差を有する半導体層のエッジ部Aの上部では他の領域に比べてその厚さが薄くなっていた。

【0082】

ところが、本発明の実施例のように、多段構造(またはテーパ状)によって半導体層215のエッジ部Aの厚さが外側の方向に減少されゲート絶縁膜220は、実質的に同一な厚さt₁₃を有する。

【0083】

尚、ゲート絶縁膜220を構成する物質、すなわち、酸化シリコン SiO_2 または窒化シリコン SiN_x のステップカバレッジ特性が十分にカバーできる程度になって、ゲート絶縁膜の厚さは、わずかな誤差範囲、例えば、ゲート絶縁膜の厚さの10-15%以内で
50

形成される。

【0084】

半導体層 215 との段差を克服して全体的に、適正誤差範囲内の一定な厚さ t_{13} のゲート絶縁膜 220 上に、金属物質を蒸着して金属層(図示せず)を形成する。この時、金属層(図示せず)は、ゲート絶縁膜 220 の上部で比較的にな厚さで形成される。これは、ゲート絶縁膜 220 がその下部の半導体層 215 から影響を受けて、それ自体がエッジ部 A で緩やかな角を有して形成されることによって、その上部に形成される金属層もゲート絶縁膜 220 に形成された緩やかな段差を克服して、比較的にな厚さで形成される。

【0085】

さらに、金属物質の場合、無機絶縁物質より段差に対するステップカバレッジが優れていて、より段差部での厚さの減少なしに均一な厚さで形成される。

【0086】

図 11G に示したように、全体的に、比較的均一な厚さで形成された金属層(図示せず)に対してマスク工程によってパターニングし、ゲート絶縁膜 220 上に一方向に延長するゲート配線(図示せず)を形成すると同時に、スイッチング領域 $T_r A$ にゲート配線(図示せず)から分岐したゲート電極 235 を形成する。

【0087】

この時、図 11G では、ゲート電極 235 が半導体層 215 のエッジ部 A に形成されないように示しているが、図 7 では、半導体層 215 のエッジ部 A に対応してゲート絶縁膜 220 の上部に形成されるゲート電極 235 を示している。

【0088】

この場合、ゲート絶縁膜 220 が半導体層 215 のエッジ部 A と中央部 B で実質的に同一な厚さで形成されたように、ゲート電極 235 も実質的に同一な厚さで形成される。

【0089】

図 11H に示したように、ゲート電極 235 をドーピングマスクとして利用して、半導体層 215 に高ドーピング量を有するイオン注入によって n^+ 型または p^+ 型へのドーピングをしてオーミックコンタクト部 215b を形成する。この時、ゲート電極 235 によってドーピングされてない半導体層領域には、チャンネル部 215a が形成される。

【0090】

ここで、 n^+ 型へドーピングすることによって n 型のオーミックコンタクト部 215b を形成した場合、ゲート電極 235 の下部のチャンネル部 215a とオーミックコンタクト部 215b との間に、低ドーピング量でドーピングされた LDD 部 215c をさらに形成することができる。

【0091】

このような LDD 部 215c の形成は、ゲート電極 235 を形成する際に、ゲート電極 235 よりさらに幅の広いゲートパターンを形成した後、ゲートパターンの上部にフォトレジストパターンが残っている状態で、ゲートパターン及びその上部のフォトレジストパターンをドーピングマスクとして利用して、高濃度で n^+ 型へのドーピングを実施して n 型のオーミックコンタクト部 215b を形成する。次いで、等方性のアッシングを行ってフォトレジストパターンの側面を所定幅除去してゲートパターンの両端の一部を露出させて、アッシングされたフォトレジストパターンの外部に露出されたゲートパターンをエッチングしてゲート電極 235 を形成する。この状態で、低濃度で n -型へのドーピングを実施することによってチャンネル部 215a とオーミックコンタクト部 215b との間に、LDD 部 215c を形成することができる。

【0092】

また、図面には示していないが、多数の画素領域 P で構成され画像を表示する表示領域以外の非表示装置に構成される駆動回路部において、CMOS タイプのインバーターを構成する場合、 n^+ 及び p^+ ドーピングを両方実施する。この時、 n^+ ドーピングを実施する場合、 p^+ ドーピングされた p 型のオーミックコンタクト部を有する p 型の薄膜トランジ

10

20

30

40

50

スタが形成される部分には、フォトレジスト等でドーピングマスクを形成した後、 n^+ ドーピングを実施する。逆に、 p^+ ドーピングを実施する場合、 n 型の薄膜トランジスタが形成される部分には、フォトレジスト等でドーピングマスクを形成した後、 p^+ ドーピングを実施することによって n 型及び p 型のオーミックコンタクト部を形成する。

【0093】

図11Iに示したように、ゲート電極235とゲート配線(図示せず)上に、全面に無機絶縁物質である酸化シリコン SiO_2 または窒化シリコン SiN_x を蒸着したり、または有機絶縁物質であるベンゾシクロブテンBCBまたはアクリル系樹脂を塗布したりして層間絶縁膜240を形成する。また、層間絶縁膜240をパターンングすることによって両側のオーミックコンタクト部215bを各々露出させる半導体層コンタクトホール245a、245bを形成する。この時、層間絶縁膜240のエッチング時、その下部のゲート絶縁膜220まで同時にエッチングすることによって半導体層コンタクトホール245a、245bは、オーミックコンタクト部215bを露出させる。

10

【0094】

図11Jに示したように、半導体層コンタクトホール245a、245bを備えた層間絶縁膜240上に、全面に金属物質を蒸着して、マスク工程によってパターンングして、層間絶縁膜240上に下部のゲート配線(図示せず)と交差して画素領域Pを定義するデータ配線(図示せず)を形成すると同時に、スイッチング領域TrAには、データ配線(図示せず)から分岐して半導体層コンタクトホール245aを通じてオーミックコンタクト部215bと接触するソース電極250と、ソース電極250と離隔して他の半導体層コンタクトホール245bを通じてオーミックコンタクト部215bと接触するドレイン電極253を形成する。

20

【0095】

図11Kに示したように、データ配線(図示せず)とソース電極250及びドレイン電極253上に、全面に無機絶縁物質である窒化シリコン SiN_x または酸化シリコン SiO_2 を蒸着したり、または有機絶縁物質であるベンゾシクロブテンBCBまたはアクリル系樹脂を塗布したりして保護層260を形成する。保護層260をマスク工程によってパターンングして、スイッチング領域TrAにドレイン電極253を露出させるドレインコンタクトホール263を形成する。

30

【0096】

図11Lに示したように、ドレインコンタクトホール263が形成された保護層260上に、透明導電性物質であるインジウムスズオキサイドITOまたはインジウムジニクオキサイドIZOを全面に蒸着する。透明導電性物質をマスク工程によってパターンングして、ドレインコンタクトホール263を通じてドレイン電極253と接触する画素電極270を形成する。

前述したような工程を行って、本発明の実施例による液晶表示装置用アレイ基板を完成する。

【図面の簡単な説明】

【0097】

【図1】従来のポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

40

【図2】従来のポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の幅手方向に沿って切断した断面図である。

【図3】従来のポリシリコン薄膜トランジスタのゲート電圧の変化によるドレイン電流の変化を説明するためのグラフである。

【図4】本発明の実施例1によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【図5】本発明の実施例1によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の幅手方向に沿って切断した断面図である。

【図6】本発明の実施例2によるポリシリコンを使用した薄膜トランジスタを有する液晶

50

表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【図 7】本発明の実施例 2 によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の幅手方向に沿って切断した断面図である。

【図 8】本発明の実施例 2 による構造の半導体層を基板上に形成した後、拡大して撮った SEM 写真である。

【図 9】本発明の実施例 2 による液晶表示装置用アレイ基板において、ゲート電圧の変化によるドレイン電流の変化を説明するためのグラフである。

【図 10】本発明の実施例 3 によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【図 11 A】本発明の実施例 2 によるポリシリコンの半導体層を有する液晶表示装置用アレイ基板を製造する方法を説明するための断面図である。 10

【図 11 B】図 11 A に続く製造工程を示す断面図である。

【図 11 C】図 11 B に続く製造工程を示す断面図である。

【図 11 D】図 11 C に続く製造工程を示す断面図である。

【図 11 E】図 11 D に続く製造工程を示す断面図である。

【図 11 F】図 11 E に続く製造工程を示す断面図である。

【図 11 G】図 11 F に続く製造工程を示す断面図である。

【図 11 H】図 11 G に続く製造工程を示す断面図である。

【図 11 I】図 11 H に続く製造工程を示す断面図である。

【図 11 J】図 11 I に続く製造工程を示す断面図である。 20

【図 11 K】図 11 J に続く製造工程を示す断面図である。

【図 11 L】図 11 K に続く製造工程を示す断面図である。

【図 12 A】本発明の実施例 1 によるテーパ状の半導体層を形成する方法を説明するための断面図である。

【図 12 B】図 12 A に続く製造工程を示す断面図である。

【図 12 C】図 12 B に続く製造工程を示す断面図である。

【符号の説明】

【0098】

201 : 基板

205 : バッファ層 30

215 : 半導体層

215 a : チャンネル部

215 b : オーミックコンタクト部

215 c : LDD 部

220 : ゲート絶縁膜

235 : ゲート電極

240 : 層間絶縁膜

245 a、245 b : 半導体層コンタクトホール 40

250 : ソース電極

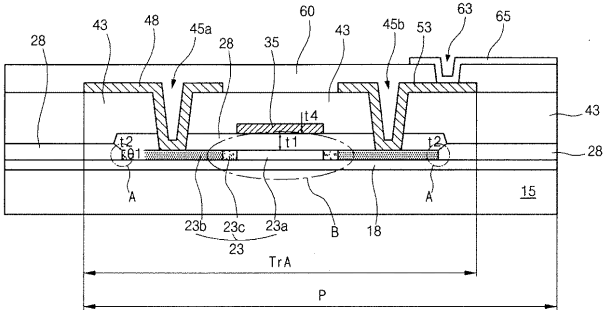
253 : ドレイン電極

260 : 保護層

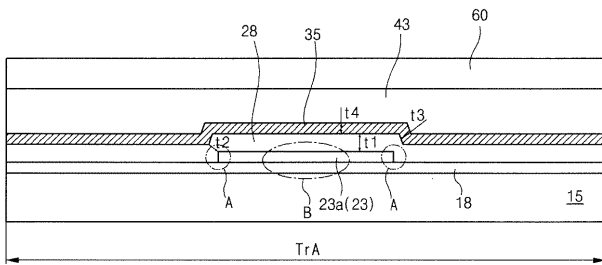
263 : ドレインコンタクトホール

270 : 画素電極

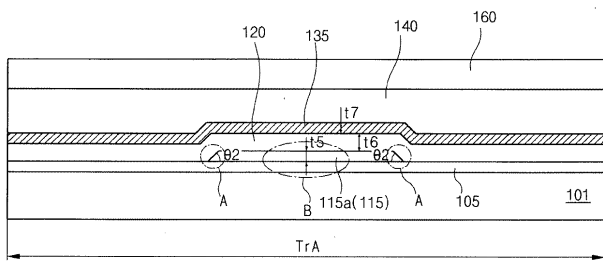
【 図 1 】



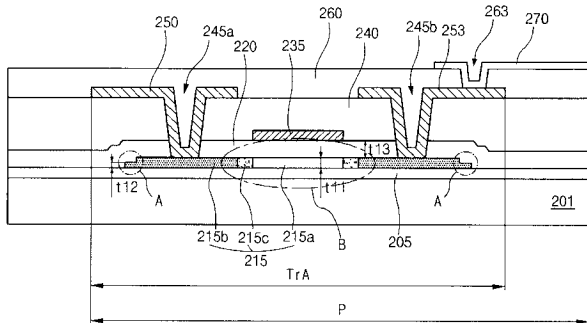
【 図 2 】



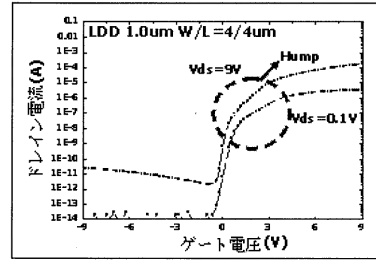
【 図 5 】



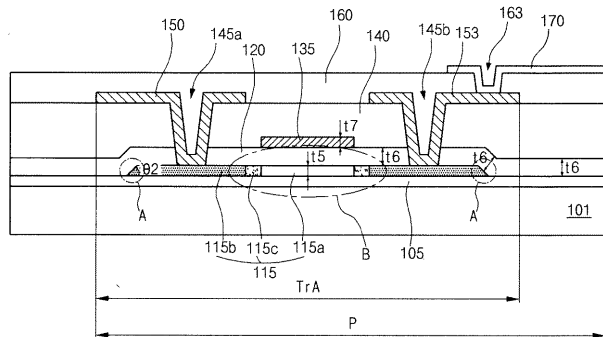
【 図 6 】



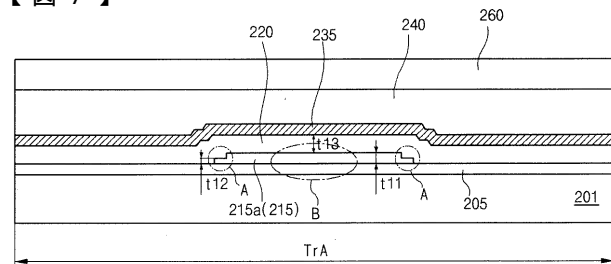
【 図 3 】



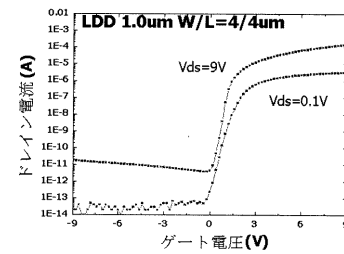
【 図 4 】



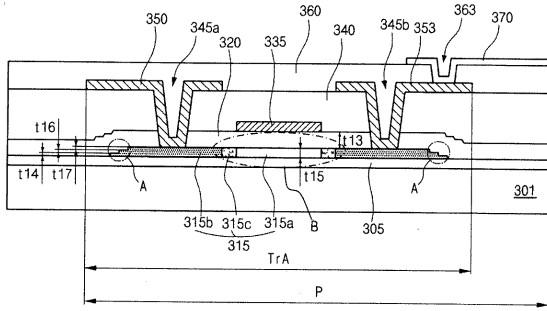
【 図 7 】



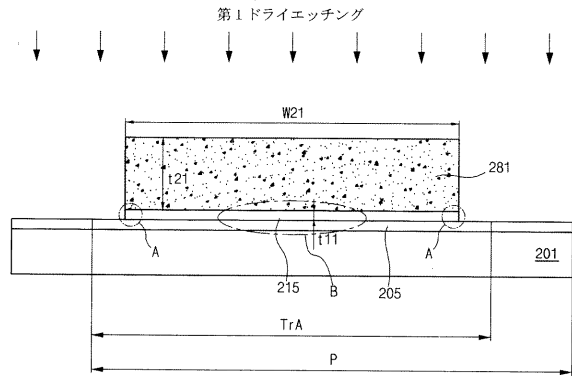
【 図 9 】



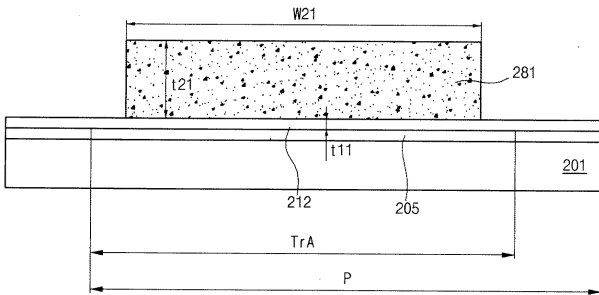
【図10】



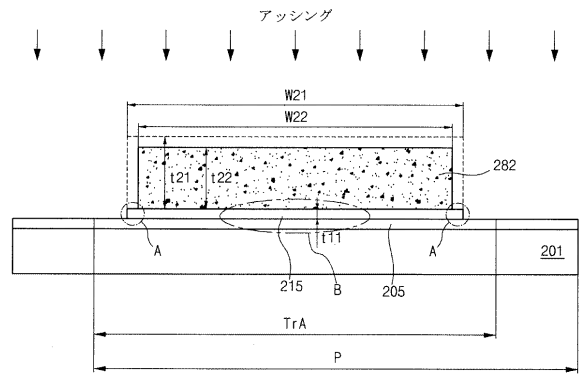
【図11B】



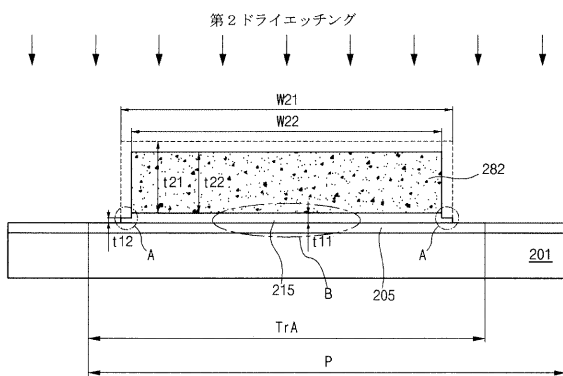
【図11A】



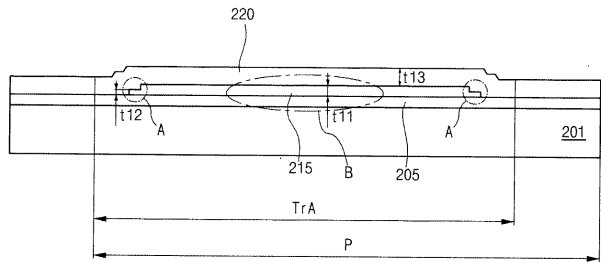
【図11C】



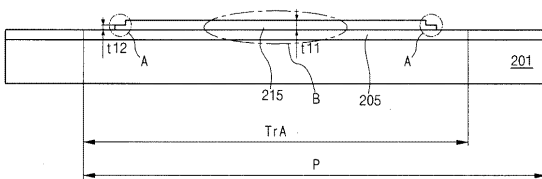
【図11D】



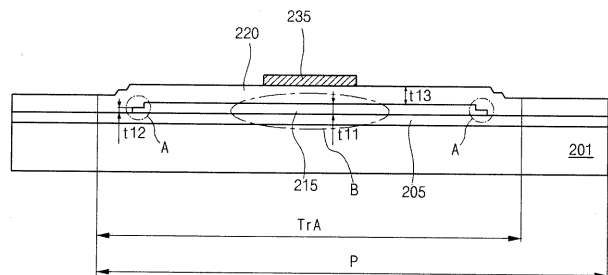
【図11F】



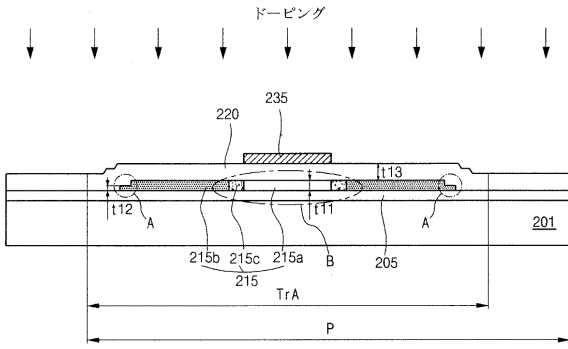
【図11E】



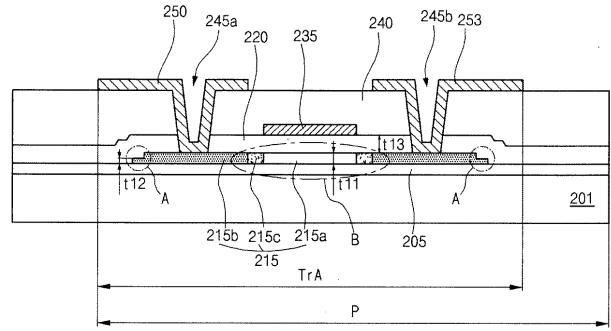
【図11G】



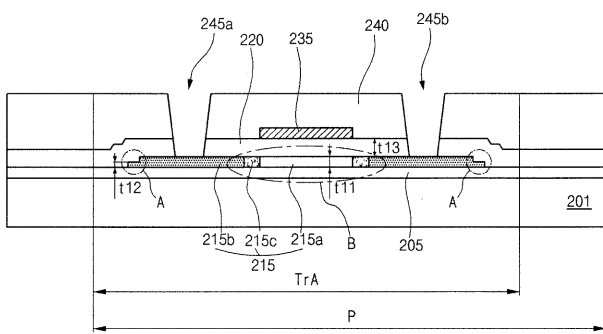
【図11H】



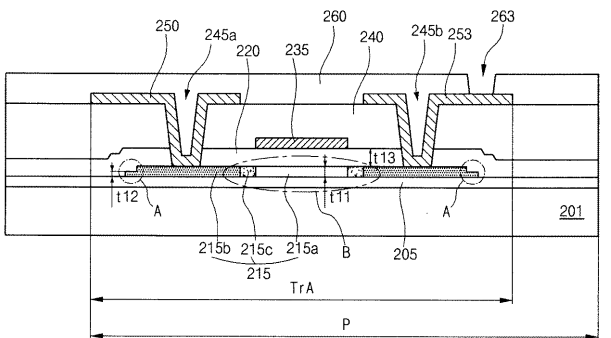
【図11J】



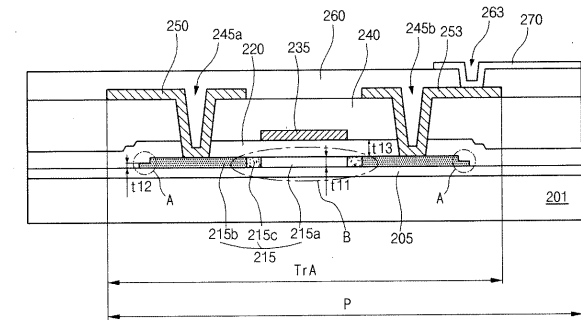
【図11I】



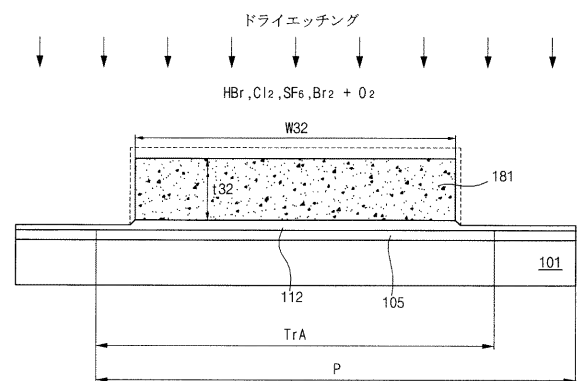
【図11K】



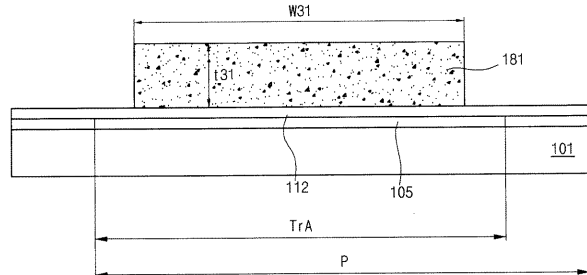
【図11L】



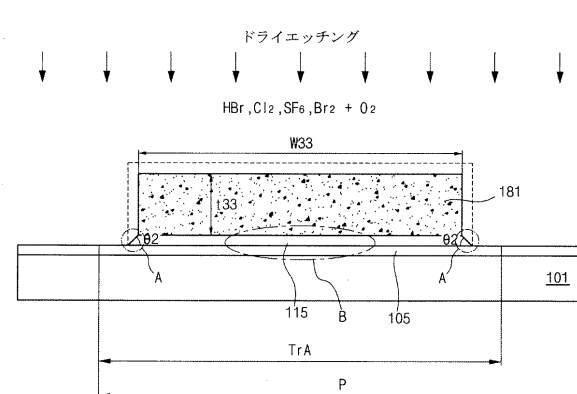
【図12B】



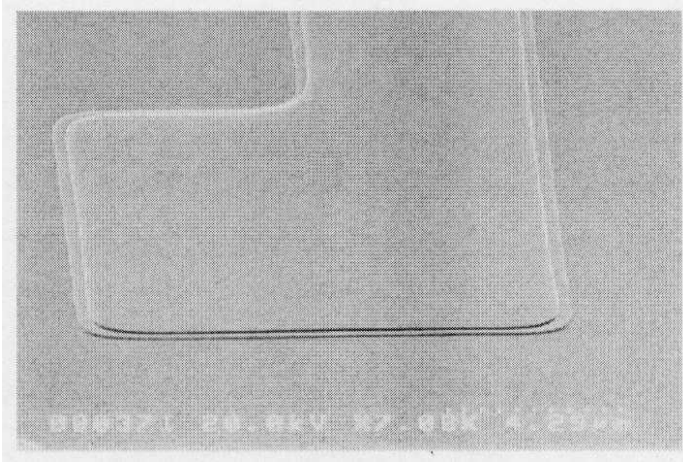
【図12A】



【図12C】



【 図 8 】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 ヤン ジュンヨン

大韓民国 420-031 キョンギ プチョンシ ウォンミグ サン1ドン ヘンボクハンメウ
ル ソヘ アパート 2407/1304

(72)発明者 オウ ジェヨン

大韓民国 437-081 キョンギ ウィワンシ ネソン1ドン ポイル アパート 101/
210

(72)発明者 キム スプル

大韓民国 463-827 キョンギ ソンナムシ ブンダング ヤタッドン ヒョンデ 1パー
ク 105/801

Fターム(参考) 2H092 GA59 JA25 JA28 JA36 JA44 JA46 KA04 KA10 KA18 MA15

MA18 MA27 MA41 NA21

5C094 AA53 BA03 BA43 DB01 FA03 FB14 GB10

5F110 AA06 AA30 BB01 BB04 CC02 DD13 DD14 FF02 FF03 FF27

GG02 GG13 GG22 GG28 GG29 GG42 HJ13 HM15 NN23 NN24

NN27 NN33 NN36 NN72 PP01 PP03 QQ01 QQ04