

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-9636

(P2017-9636A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.			F I			テーマコード (参考)		
GO2B	6/12	(2006.01)	GO2B	6/12	396	2H147		
GO2B	6/132	(2006.01)	GO2B	6/132		5F131		
HO1L	21/683	(2006.01)	GO2B	6/12	371	5F849		
HO1L	31/0232	(2014.01)	HO1L	21/68	R			
			HO1L	31/02	C			

審査請求 未請求 請求項の数 13 O L (全 20 頁)

(21) 出願番号 特願2015-121692 (P2015-121692)
 (22) 出願日 平成27年6月17日 (2015.6.17)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110002066
 特許業務法人筒井国際特許事務所
 (72) 発明者 宇佐美 達矢
 茨城県ひたちなか市堀口751番地 ルネ
 サスセミコンダクタマニュファクチャリ
 ング株式会社内
 Fターム(参考) 2H147 AB05 DA09 EA02D EA10D EA13A
 EA13C EA14B EA31D EA36D FA03
 FA05 FA25 FC03 FC08 FD15
 FE06 GA12
 5F131 AA02 CA09 CA68 EA03 EB11
 EB24

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

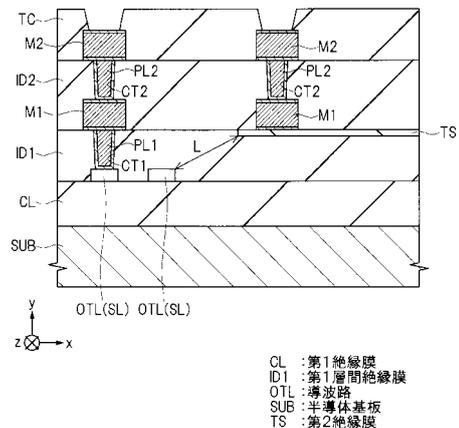
(57) 【要約】 (修正有)

【課題】半導体製造装置に備わる静電チャックから、不具合が生じることなくSOIウェハを吸着させ、離脱させることのできる半導体装置およびその製造方法を提供する。

【解決手段】半導体装置は、シリコンからなる半導体基板SUBと、半導体基板SUBの主面上に形成され、シリコンに対して圧縮応力を発生させる第1絶縁膜CLと、第1絶縁膜CL上に形成されたシリコンからなる導波路OTLと、導波路OTLを覆うように第1絶縁膜CL上に形成された第1層間絶縁膜ID1とを備える。さらに、シリコンに対して引張応力を発生させる第2絶縁膜TSが、第1層間絶縁膜ID1上で、かつ、導波路OTLから第1絶縁膜CLの厚さ以上離れた領域に形成されており、第2絶縁膜TSによって、第1絶縁膜CLの圧縮応力を相殺する。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

シリコンからなる基板と、
前記基板の主面上に形成され、シリコンに対して圧縮応力を発生させる第 1 クラッド層と、

前記第 1 クラッド層上に形成されたシリコンからなる光導波路と、
前記光導波路を覆うように前記第 1 クラッド層上に形成された第 2 クラッド層と、
を備え、

シリコンに対して引張応力を発生させる絶縁膜が、前記第 2 クラッド層上または前記第 2 クラッド層下で、かつ、前記光導波路から前記第 1 クラッド層の厚さ以上離れた領域に形成されている、半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 クラッド層および前記第 2 クラッド層は、酸化シリコンからなり、前記絶縁膜は、窒化シリコン、炭素を含有した窒化シリコン、ホウ素を含有した窒化シリコン、または炭素およびホウ素を含有した窒化シリコンからなる、半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記絶縁膜の水素含有量は、1%以下である、半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

前記絶縁膜の厚さは、100~200nmである、半導体装置。

20

【請求項 5】

(a) シリコンからなる基板と、前記基板の第 1 主面上に形成され、シリコンに対して圧縮応力を発生させる第 1 クラッド層と、前記第 1 クラッド層上に形成されたシリコン層と、前記基板の前記第 1 主面と反対側の第 2 主面上に形成され、シリコンに対して圧縮応力を発生させる裏面クラッド層と、を有する SOI 基板を準備する工程、

(b) 前記シリコン層を加工して、前記シリコン層からなる光導波路を形成する工程、

(c) 前記光導波路を覆うように、前記第 1 クラッド層上に、前記第 1 クラッド層の厚さよりも薄い第 2 クラッド層を形成する工程、

30

(d) 前記第 2 クラッド層上に、シリコンに対して引張応力を発生させる絶縁膜を形成する工程、

(e) 前記 (d) 工程の後、前記裏面クラッド層を除去する工程、

(f) 前記光導波路の上方に位置する前記絶縁膜を除去する工程、

を含み、

前記 (f) 工程において、前記光導波路と前記絶縁膜との距離が前記第 1 クラッド層の厚さ以上となるように、前記絶縁膜を除去する、半導体装置の製造方法。

【請求項 6】

請求項 5 記載の半導体装置の製造方法において、

前記絶縁膜は、LPCVD 法により形成される窒化シリコン膜、炭素を含有した窒化シリコン膜、ホウ素を含有した窒化シリコン膜、または炭素およびホウ素を含有した窒化シリコン膜である、半導体装置の製造方法。

40

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記絶縁膜の水素含有量は、1%以下である、半導体装置の製造方法。

【請求項 8】

請求項 5 記載の半導体装置の製造方法において、

前記絶縁膜の厚さは、100~200nmである、半導体装置の製造方法。

【請求項 9】

(a) シリコンからなる基板と、前記基板の第 1 主面上に形成され、シリコンに対して

50

圧縮応力を発生させる第 1 クラッド層と、前記第 1 クラッド層上に形成されたシリコン層と、前記基板の前記第 1 主面と反対側の第 2 主面上に形成され、シリコンに対して圧縮応力を発生させる裏面クラッド層と、を有する S O I 基板を準備する工程、

(b) 前記シリコン層を加工して、前記シリコン層からなる光導波路を形成する工程、

(c) 前記光導波路を覆うように、前記第 1 クラッド層上に第 1 絶縁膜を形成する工程

、
(d) 前記第 1 絶縁膜上に、シリコンに対して引張応力を発生させる第 2 絶縁膜を形成する工程、

(e) 前記 (d) 工程の後に、前記裏面クラッド層を除去する工程、

(f) 前記光導波路の上方に位置する前記第 2 絶縁膜を除去する工程、

(g) 露出した前記第 1 絶縁膜上、および前記第 2 絶縁膜上に第 2 クラッド層を形成する工程、

を含み、

前記 (f) 工程において、前記光導波路と前記絶縁膜との距離が前記第 1 クラッド層の厚さ以上となるように、前記絶縁膜を除去する、半導体装置の製造方法。

【請求項 1 0】

請求項 9 記載の半導体装置の製造方法において、

前記第 2 絶縁膜は、L P C V D 法により形成される窒化シリコン膜、炭素を含有した窒化シリコン膜、ホウ素を含有した窒化シリコン膜、または炭素およびホウ素を含有した窒化シリコン膜である、半導体装置の製造方法。

【請求項 1 1】

請求項 1 0 記載の半導体装置の製造方法において、

前記第 2 絶縁膜の水素含有量は、1 % 以下である、半導体装置の製造方法。

【請求項 1 2】

請求項 9 記載の半導体装置の製造方法において、

前記第 2 絶縁膜の厚さは、1 0 0 ~ 2 0 0 n m である、半導体装置の製造方法。

【請求項 1 3】

請求項 9 記載の半導体装置の製造方法において、

前記第 1 絶縁膜は、前記第 1 クラッド層と同じ材質からなり、前記第 1 絶縁膜の厚さは、5 0 ~ 3 0 0 n m である、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は半導体装置およびその製造方法に関し、例えば S O I (Silicon On Insulator) 基板を用いた半導体装置およびその製造に好適に利用できるものである。

【背景技術】

【0 0 0 2】

S O I 層となる第一の半導体基板と支持基板となる第二の半導体基板を清浄な雰囲気下で密着させることで直接接合する技術が、特開平 7 - 7 4 3 2 8 号公報 (特許文献 1) に記載されている。S O I 層となる第一の半導体基板の酸化膜に溝を形成することにより、S O I 基板のそりを低減することができる。

【0 0 0 3】

ウェハの処理前にウェハ裏面酸化膜の厚さを検知し、その厚さに応じた一連の電圧シーケンス (離脱シーケンス) を印加する技術が、特開 2 0 0 0 - 3 1 2 5 2 号公報 (特許文献 2) に記載されている。この離脱シーケンスの印加により、ウェハの離脱がスムーズに行われる。

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開平 7 - 7 4 3 2 8 号公報

10

20

30

40

50

【特許文献2】特開2000-31252号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体製造装置では、ウェハを吸着し、保持する方法の一つとして静電チャックが用いられている。静電チャックは、ウェハの全面吸着が可能であり、特に、大口径ウェハを保持する方法として用いられている。しかし、裏面絶縁膜を有するSOI基板からなるウェハ（以下、SOIウェハと言う。）の場合、SOIウェハに残留する電荷に起因して、静電チャックの残留吸着力が減少せず、SOIウェハが静電チャックに張り付くことがある。このため、SOIウェハを静電チャックから離脱させる際に、SOIウェハの割れまたは搬送不良などの不具合が生じることがある。

10

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態による半導体装置は、シリコンからなる基板と、基板の主面上に形成され、シリコンに対して圧縮応力を発生させる第1クラッド層と、第1クラッド層上に形成されたシリコンからなる光導波路と、光導波路を覆うように第1クラッド層上に形成された第2クラッド層と、を備える。さらに、シリコンに対して引張応力を発生させる絶縁膜が、第2クラッド層上で、かつ、光導波路から第1クラッド層の厚さ以上離れた領域に形成されている。

20

【0008】

また、一実施の形態による半導体装置の製造方法は、シリコンからなる基板と、基板の第1主面上に形成され、シリコンに対して圧縮応力を発生させる第1クラッド層と、第1クラッド層上に形成されたシリコン層と、基板の第1主面と反対側の第2主面上に形成され、シリコンに対して圧縮応力を発生させる裏面クラッド層と、を有するSOI基板を準備する工程を含む。さらに、シリコン層を加工して、シリコン層からなる光導波路を形成する工程、光導波路を覆うように、第1クラッド層上に第2クラッド層を形成する工程、第2クラッド層上に、シリコンに対して引張応力を発生させる絶縁膜を形成する工程、上記絶縁膜を形成した後に、裏面クラッド層を除去する工程、光導波路の上方に位置する絶縁膜を除去する工程を含む。そして、上記絶縁膜を除去する工程では、光導波路と絶縁膜との距離が第1クラッド層の厚さ以上となるように、絶縁膜を除去する。

30

【発明の効果】

【0009】

一実施の形態によれば、半導体製造装置に備わる静電チャックから、不具合が生じることなくSOIウェハを吸着させ、離脱させることができる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1による半導体装置の要部断面図である。

40

【図2】実施の形態1による半導体装置の第1変形例の要部断面図である。

【図3】実施の形態1による半導体装置の製造工程を示す要部断面図である。

【図4】図3に続く、半導体装置の製造工程を示す要部断面図である。

【図5】図4に続く、半導体装置の製造工程を示す要部断面図である。

【図6】図5に続く、半導体装置の製造工程を示す要部断面図である。

【図7】図6に続く、半導体装置の製造工程を示す要部断面図である。

【図8】図7に続く、半導体装置の製造工程を示す要部断面図である。

【図9】図8に続く、半導体装置の製造工程を示す要部断面図である。

【図10】図9に続く、半導体装置の製造工程を示す要部断面図である。

【図11】実施の形態1による半導体装置の第2変形例の要部断面図である。

50

【図 1 2】実施の形態 2 による半導体装置の要部断面図である。

【図 1 3】実施の形態 2 による半導体装置の製造工程を示す要部断面図である。

【図 1 4】図 1 3 に続く、半導体装置の製造工程を示す要部断面図である。

【図 1 5】図 1 4 に続く、半導体装置の製造工程を示す要部断面図である。

【図 1 6】図 1 5 に続く、半導体装置の製造工程を示す要部断面図である。

【図 1 7】図 1 6 に続く、半導体装置の製造工程を示す要部断面図である。

【図 1 8】図 1 7 に続く、半導体装置の製造工程を示す要部断面図である。

【発明を実施するための形態】

【0011】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

10

【0012】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0013】

また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

20

【0014】

また、「A からなる」、「A よりなる」、「A を有する」、「A を含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0015】

また、以下の実施の形態において、窒化シリコン、窒化珪素またはシリコンナイトライドというときは、化学量論的組成である Si_3N_4 は勿論であるが、そのみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

30

【0016】

また、以下の実施の形態において「圧縮応力」とは、SOI ウェハを構成する単結晶シリコン（ Si ）からなる半導体基板に対して圧縮応力を生じさせる力であり、「引張応力」とは、SOI ウェハを構成する単結晶シリコン（ Si ）からなる半導体基板に対して引張応力を生じさせる力である。例えばシリコンウェハの主面上に絶縁膜を成膜した場合、シリコンウェハに対して圧縮応力が発生すると、絶縁膜が形成された主面が凸になるようにシリコンウェハは反り、シリコンウェハに対して引張応力が発生すると、絶縁膜が形成された主面が凹になるようにシリコンウェハは反る。

【0017】

40

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本実施の形態を図面に基づいて詳細に説明する。

【0018】

（実施の形態 1）

近年、シリコンを材料とした光信号用の伝送線路を作製し、この光信号用の伝送線路により構成した光回路をプラットフォームとして、種々の光デバイスと電子デバイスとを集積することで光通信用モジュールを実現する技術、いわゆるシリコンフォトリソグラフィ技術の開発が積極的に行われている。

【0019】

50

以下に、本実施の形態 1 によるシリコンフォトリソ技術を用いた半導体装置の構造およびその製造方法について説明する。本実施の形態 1 では、SOI 基板上に集積された光信号用導波路部を有する半導体装置を主に例示するが、これに限定されるものではない。また、本実施の形態 1 では、2 層構造の多層配線を有する半導体装置を例示するが、これに限定されるものではない。

【0020】

<半導体装置の構造>

本実施の形態 1 による半導体装置の構造を、図 1 を用いて説明する。図 1 は、本実施の形態 1 による半導体装置の要部断面図である。

【0021】

図 1 に示すように、半導体装置には、光信号用の導波路（光導波路、伝送線路、光信号線とも言う。）OTL が形成されている。導波路 OTL は、単結晶シリコン（Si）からなる半導体基板 SUB の第 1 主面（表面とも言う。）上に、第 1 絶縁膜（BOX 層、下層クラッド層、第 1 クラッド層とも言う。）CL を介して形成されたシリコン（Si）からなる半導体層（SOI 層とも言う。）SL により構成されている。

【0022】

第 1 絶縁膜 CL は、シリコン（Si）よりも圧縮応力が高い材質の酸化シリコン（SiO₂）からなり、その厚さは、例えば 1 μm 以上、好ましくは 2 μm 程度である。このように、第 1 絶縁膜 CL は相対的に厚く形成されているので、半導体基板 SUB と半導体層 SL との間の静電容量を小さく抑えることができる。また、導波路 OTL における光の伝播損失を防止することができる。半導体層 SL の厚さは、例えば 100 ~ 300 nm が適切な範囲と考えられるが（他の条件によってはこの範囲に限定されないことはもとよりである）、200 nm を中心値とする範囲が最も好適と考えられる。

【0023】

ここでは、導波路 OTL の一例として、矩形光導波路について説明するが、これに限定されるものではなく、例えばリブ（rib）型光導波路などであってもよい。なお、矩形光導波路とは、光が進行する方向と直交する断面が四角形状の導波路である。また、リブ型光導波路とは、光が進行する方向と直交する断面が凸形状の導波路であって、平板の表面に横方向の光を閉じ込める効果を持つ凸部を設けた構造である。

【0024】

導波路 OTL を構成する半導体層 SL は、平板状に加工されており、紙面垂直方向（図 1 に示す z 方向）に延在している。従って、導波路 OTL 内に導入される光信号は、紙面垂直方向に進行する。導波路 OTL の高さ（紙面上下方向（図 1 に示す y 方向）の寸法）は半導体層 SL の厚さであり、例えば 100 ~ 300 nm 程度である。導波路 OTL には不純物が導入されており、その不純物濃度は、例えば $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲であり、代表的な値としては、例えば 10^{15} cm^{-3} 程度である。

【0025】

導波路 OTL は第 1 層間絶縁膜（上層クラッド層、第 2 クラッド層とも言う。）ID1 に覆われている。第 1 層間絶縁膜 ID1 は、例えば酸化シリコン（SiO₂）からなり、その厚さは、例えば 1 μm 以上、好ましくは 2 μm 程度である。第 1 層間絶縁膜 ID1 上には、シリコン（Si）よりも引張応力が高い材質の第 2 絶縁膜 TS が形成されている。第 2 絶縁膜 TS は、例えば水素含有量が 1 % 以下の窒化シリコン（Si₃N₄）膜などであり、例えば LPCVD（Low Pressure Chemical Vapor Deposition）法またはプラズマ CVD（Chemical Vapor Deposition）法により形成される。第 2 絶縁膜 TS の厚さは、例えば 100 ~ 200 nm 程度である。

【0026】

第 2 絶縁膜 TS は、導波路 OTL の直上には形成されておらず、導波路 OTL から所定の距離、例えば 2 μm 以上離れた領域に形成されている。なお、以下の説明では、特に断らない限り、導波路 OTL と第 2 絶縁膜 TS との距離と記載した場合は、導波路 OTL と第 2 絶縁膜 TS との最短距離 L を意味する。

10

20

30

40

50

【0027】

本実施の形態1では、導波路OTLと第2絶縁膜TSとの距離を2 μ m以上としているが、この距離は、第1絶縁膜CLの厚さを基に決定している。すなわち、第1絶縁膜CLの厚さは、単結晶シリコン(Si)からなる半導体基板SUBが導波路OTLにおける光の伝播に影響を及ぼさない厚さに設定されているので、導波路OTLと第2絶縁膜TSとの距離も第1絶縁膜CLの厚さ以上とすることにより、第2絶縁膜TSが導波路OTLにおける光の伝播に影響を及ぼさなくすることができる。従って、本実施の形態1では、第1絶縁膜CLの好ましい厚さを、例えば2 μ m程度としていることから、導波路OTLと第2絶縁膜TSとの距離を2 μ m以上としたが、言い換えれば、導波路OTLと第2絶縁膜TSとの距離は、第1絶縁膜CLの厚さ以上であればよい。

10

【0028】

第1層間絶縁膜ID1上には、第1層目の配線M1が形成されている。第1層目の配線M1は、例えばアルミニウム(Al)、銅(Cu)またはアルミニウム-銅合金(Al-Cu合金)からなる主導電材料と、主導電材料の下面および上面に形成されたバリアメタルとから構成されている。バリアメタルは、第1層目の配線M1を構成する主導電材料の金属の拡散防止などのために設けられており、例えばタンタル(Ta)、チタン(Ti)、窒化タンタル(TaN)または窒化チタン(TiN)などからなる。その厚さは、例えば5~20nm程度である。

【0029】

第1層間絶縁膜ID1には、導波路OTLに達する第1接続孔(コンタクト・ホールとも言う。)CT1が形成されている。第1接続孔CT1の内部には、バリアメタルが併用されたタングステン(W)を主導電材料とする第1プラグ(埋め込み電極、埋め込みコンタクトとも言う。)PL1が形成されている。バリアメタルは、第1プラグPL1を構成する主導電材料の金属の拡散防止などのために設けられており、例えばチタン(Ti)または窒化チタン(TiN)などからなる。その厚さは、例えば5~20nm程度である。この第1プラグPL1を介して導波路OTLと第1層目の配線M1とが電氣的に接続されている。

20

【0030】

第1層目の配線M1は第2層間絶縁膜ID2に覆われている。第2層間絶縁膜ID2は、例えば酸化シリコン(SiO₂)からなり、その厚さは、例えば1 μ m以上である。

30

【0031】

第2層間絶縁膜ID2上には、第2層目の配線M2が形成されている。第2層目の配線M2は、上記第1層目の配線M1と同様に、例えばアルミニウム(Al)、銅(Cu)またはアルミニウム-銅合金(Al-Cu合金)からなる主導電材料と、主導電材料の下面および上面に形成されたバリアメタルとから構成されている。バリアメタルは、第2層目の配線M2を構成する主導電材料の金属の拡散防止などのために設けられており、例えばタンタル(Ta)、チタン(Ti)、窒化タンタル(TaN)または窒化チタン(TiN)などからなる。その厚さは、例えば5~20nm程度である。

【0032】

第2層間絶縁膜ID2には、第1層目の配線M1に達する第2接続孔(ビア・ホールとも言う。)CT2が形成されている。第2接続孔CT2の内部には、バリアメタルが併用されたタングステン(W)を主導電材料とする第2プラグ(埋め込み電極、埋め込みコンタクトとも言う。)PL2が形成されている。上記第1プラグPL1と同様に、バリアメタルは、第2プラグPL2を構成する主導電材料の金属の拡散防止などのために設けられており、例えばチタン(Ti)または窒化チタン(TiN)などからなる。その厚さは、例えば5~20nm程度である。この第2プラグPL2を介して第1層目の配線M1と第2層目の配線M2とが電氣的に接続されている。

40

【0033】

第2層目の配線M2は保護膜TCにより覆われており、その一部を開口して、第2層目の配線M2の上面を露出させている。保護膜TCは、例えば酸窒化シリコン(SiON)

50

、P S G (Phospho Silicate Glass) 膜または窒化シリコン (S i ₃ N ₄) 膜などからなる。

【 0 0 3 4 】

< 半導体装置の構造の特徴および効果 >

従来の S O I ウェハでは、S O I ウェハのそりを防止するために、半導体基板 S L の第 1 主面とは反対側の第 2 主面 (裏面とも言う。) 上に絶縁膜を形成する必要がある。しかし、その裏面に絶縁膜を形成した S O I ウェハでは、その裏面に絶縁膜を形成しない S O I ウェハと比べると、静電チャックの吸着残留力がさらに大きくなる。S O I ウェハの裏面に絶縁膜を形成しなければ、吸着残留力を減少させることはできるが、第 1 絶縁膜 C L の圧縮応力により、S O I ウェハのそりが発生して、S O I ウェハの静電チャック上での移動または搬送不良などの不具合が生じることがある。

10

【 0 0 3 5 】

しかし、本実施の形態 1 による半導体装置では、静電チャックを備えた半導体製造装置で S O I ウェハを処理する前に、S O I ウェハの裏面の絶縁膜を除去することにより、静電チャックを備えた半導体製造装置を用いた場合でも、S O I ウェハから電荷を逃がしやすくすることができる。これにより、S O I ウェハの裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、S O I ウェハの静電チャックへの張り付きを回避することができる。なお、その詳細については、後述の半導体装置の製造方法において説明する。

【 0 0 3 6 】

但し、この場合、S O I ウェハのそりが問題となる。しかし、第 1 層間絶縁膜 I D 1 上には、引張応力を有する第 2 絶縁膜 T S が形成されているので、第 1 絶縁膜 C L の圧縮応力が緩和して、S O I ウェハのそりを低減することができる。これにより、S O I ウェハのそりに起因する S O I ウェハの静電チャック上での移動および搬送不良などの不具合も回避することができる。

20

【 0 0 3 7 】

ところで、第 2 絶縁膜 T S の引張応力によって第 1 絶縁膜 C L の圧縮応力を相殺するには、第 2 絶縁膜 T S を半導体基板 S U B の全面に形成することが望ましい。しかし、第 1 絶縁膜 C L および第 1 層間絶縁膜 I D 1 を酸化シリコン (S i O ₂) で構成し、第 2 絶縁膜 T S を窒化シリコン (S i ₃ N ₄) で構成した場合、第 2 絶縁膜 T S と導波路 O T L との距離が近くなると、導波路 O T L における光の伝播損失が大きくなるという問題が生じる。これは、酸化シリコン (S i O ₂) の屈折率が 1 . 4 5 程度であるに対して、窒化シリコン (S i ₃ N ₄) の屈折率が 2 . 0 0 程度であり、両者の屈折率が互いに異なることに起因する。このため、導波路 O T L における光の伝播に影響を及ぼさない領域に、第 2 絶縁膜 T S を形成する必要がある。

30

【 0 0 3 8 】

そこで、本実施の形態 1 では、前述したように、第 2 絶縁膜 T S を、導波路 O T L の直上には形成せず、導波路 O T L から 2 μ m 以上離れた領域に形成している。この第 2 絶縁膜 T S の配置は、第 1 層間絶縁膜 I D 1 の厚さが、第 1 絶縁膜 C L の厚さよりも薄い場合に有効である。なお、導波路 O T L が形成される領域は、半導体装置の平面視における 1 ~ 2 % 程度であるので、余裕をもった配置を考えても、半導体装置の平面視における 9 0 % 程度の領域を第 2 絶縁膜 T S で覆うことが可能である。

40

【 0 0 3 9 】

一方、導波路 O T L 上の第 1 層間絶縁膜 I D 1 の厚さが、第 1 絶縁膜 C L の厚さよりも厚い場合は、第 2 絶縁膜 T S を第 1 層間絶縁膜 I D 1 上の全面に形成することができる。

【 0 0 4 0 】

図 2 は、本実施の形態 1 による半導体装置の第 1 変形例の要部断面図である。

【 0 0 4 1 】

導波路 O T L 上の第 1 層間絶縁膜 I D 1 の厚さが、第 1 絶縁膜 C L の厚さよりも厚くなるように、第 1 層間絶縁膜 I D 1 を形成して、この第 1 層間絶縁膜 I D 1 上の全面に第 2

50

絶縁膜 T S を形成する。第 2 絶縁膜 T S の厚さは、例えば 100 ~ 200 nm 程度である。これにより、第 2 絶縁膜 T S の引張応力によって第 1 絶縁膜 C L の圧縮応力を相殺することができる。

【0042】

< 半導体装置の製造方法 >

本実施の形態 1 による半導体装置の製造方法を、図 3 ~ 図 9 を用いて工程順に説明する。図 3 ~ 図 9 は、本実施の形態 1 による製造工程中の半導体装置の要部断面図である。

【0043】

まず、図 3 に示すように、半導体基板 S U B と、半導体基板 S U B の第 1 主面上に形成された第 1 絶縁膜 C L と、第 1 絶縁膜 C L 上に形成された半導体層 S L と、半導体基板 S U B の第 1 主面と反対側の第 2 主面上に形成された第 1 裏面絶縁膜 R C L と、からなる S O I 基板（この段階では S O I ウェハと称する平面略円形の基板）を準備する。

10

【0044】

半導体基板 S U B は単結晶シリコン (S i) からなる支持基板であり、第 1 絶縁膜 C L および第 1 裏面絶縁膜 R C L は酸化シリコン (S i O ₂) からなり、半導体層 S L はシリコン (S i) からなる。半導体基板 S U B の厚さは、例えば 750 μ m 程度である。第 1 絶縁膜 C L および第 1 裏面絶縁膜 R C L の厚さは、例えば 1 μ m 以上、好ましくは 2 μ m 程度である。第 1 絶縁膜 C L および第 1 裏面絶縁膜 R C L は圧縮応力を有する。半導体層 S L の厚さは、例えば 100 ~ 300 nm 程度、好ましくは 200 nm 程度である。

20

【0045】

S O I 基板は、例えば S I M O X (Silicon Implanted Oxide) 法、貼り合わせ法またはスマートカット (Smart-Cut) 法などにより形成することができる。S I M O X 法では、例えばシリコン (S i) からなる半導体基板の主面に高いエネルギーで酸素をイオン注入し、その後の熱処理でシリコン (S i) と酸素 (O) とを結合させて絶縁膜を形成することにより、S O I 基板は形成される。また、貼り合わせ法では、例えば上面に絶縁膜を形成したシリコン (S i) からなる半導体基板と、もう 1 枚のシリコン (S i) からなる半導体基板とを高熱および圧力を加えることで接着して貼り合わせた後、片側の半導体基板を研磨して薄膜化することで、S O I 基板は形成される。また、スマートカット法では、例えばシリコン (S i) からなる半導体基板の主面に絶縁膜を形成した後、水素イオン注入を行い、もう 1 枚のシリコン (S i) からなる半導体基板と接合する。その後、熱処

30

【0046】

次に、半導体層 S L 上に形成したレジストパターンをマスクとしたドライエッチングにより、半導体層 S L を矩形に加工した後、矩形の半導体層 S L に不純物を導入する。その不純物濃度は、例えば $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲であり、代表的な値としては、例えば 10^{15} cm^{-3} 程度である。以上の工程により、導波路 O T L が形成される。

【0047】

次に、導波路 O T L を覆うように第 1 絶縁膜 C L 上に下層絶縁膜 I D 1 a を形成する。下層絶縁膜 I D 1 a は、例えばプラズマ C V D 法により形成された酸化シリコン (S i O ₂) からなり、その厚さは、例えば 2 μ m 程度である。その後、下層絶縁膜 I D 1 a の上面を、例えば C M P (Chemical Mechanical Polishing) 法などにより、平坦化する。

40

【0048】

次に、図 4 に示すように、下層絶縁膜 I D 1 a 上および第 1 裏面絶縁膜 R C L 上にそれぞれ、例えば L P C V D 法により窒化シリコン (S i ₃ N ₄) からなる第 2 絶縁膜 T S および第 2 裏面絶縁膜 R T S を形成する。第 2 絶縁膜 T S および第 2 裏面絶縁膜 R T S の厚さは、例えば 100 ~ 200 nm 程度である。

【0049】

第 2 絶縁膜 T S および第 2 裏面絶縁膜 R T S の水素含有量は 1 % 以下であり、第 2 絶縁膜 T S および第 2 裏面絶縁膜 R T S は引張応力を有する。L P C V D 法により形成された

50

窒化シリコン (Si_3N_4) であることは、例えば SIMS (Secondary Ion Mass Spectrometry: 二次イオン質量分析)、XPS (X-ray Photoelectron Spectroscopy: X線光電子分光) または FTIR (Fourier Transform Infrared Spectroscopy: フーリエ変換赤外分光光度計) などで確認することができる。

【0050】

ここでは、引張応力を有する第2絶縁膜TSおよび第2裏面絶縁膜RTSとして、LPCVD法により形成された窒化シリコン (Si_3N_4) を例示したが、これに限定されるものではない。

【0051】

LPCVD法に代えて、プラズマCVD法により窒化シリコン (Si_3N_4) を形成してもよい。但し、プラズマCVD法により形成された窒化シリコン (Si_3N_4) 膜は、LPCVD法により形成された窒化シリコン (Si_3N_4) 膜よりも水素含有量が増加する。水素含有量が多いと引張応力が低くなるため、プラズマCVD法により形成された窒化シリコン (Si_3N_4) 膜では、成膜後に水素含有量を低減させる必要がある。例えば $\text{SiH}_4 + \text{NH}_3 (+\text{N}_2)$ ガスを用いたプラズマCVD法により成膜した窒化シリコン (Si_3N_4) 膜は圧縮応力を有する。そこで、この窒化シリコン (Si_3N_4) 膜にUV光を照射してSi-H結合を切断する。これにより、引張応力を有する窒化シリコン (Si_3N_4) 膜を得ることができる。

10

【0052】

また、窒化シリコン (Si_3N_4) に代えて、炭素を含有した窒化シリコン (SiCN)、ホウ素を含有した窒化シリコン (SiBN)、または炭素およびホウ素を含有した窒化シリコン (SiBCN) であってもよい。炭素を含有した窒化シリコン (SiCN) 膜は、3MS (Trimethylsilane) ガスまたは4MS (Tetramethylsilane) + $\text{NH}_3 + \text{N}_2 + \text{He}$ ガスを用いたプラズマCVD法により成膜することができる。また、ホウ素を含有した窒化シリコン (SiBN) 膜または炭素およびホウ素を含有した窒化シリコン (SiBCN) 膜は、上記ガスに B_2H_6 ガスを添加したプラズマCVD法により成膜することができる。

20

【0053】

次に、図5に示すように、第1裏面絶縁膜RCLおよび第2裏面絶縁膜RTSをウエットエッチングにより除去する。第1裏面絶縁膜RCLを除去しても、第2絶縁膜TSが形成されているので、第1絶縁膜CLの圧縮圧力と第2絶縁膜TSの引張圧力とが互いに相殺して、SOI基板のそりを低減することができる。

30

【0054】

次に、図6に示すように、第2絶縁膜TS上に形成したレジストパターンをマスクとしたドライエッチングにより、導波路OTL上の上方に位置する第2絶縁膜TSを除去する。この際、導波路OTLと第2絶縁膜TSとの距離が2 μm 以上となるように第2絶縁膜TSを除去する。

【0055】

次に、図7に示すように、露出した下層絶縁膜ID1a上、および第2絶縁膜TS上に、例えばプラズマCVD法により酸化シリコン (SiO_2) からなる上層絶縁膜ID1bを形成する。続いて、上層絶縁膜ID1bの上面を、例えばCMP法などにより、平坦化して、第2絶縁膜TSを露出させる。これにより、導波路OTLの上方の領域には、下層絶縁膜ID1aと上層絶縁膜ID1bとからなる第1層間絶縁膜ID1が形成され、導波路OTLの上方の領域以外の領域には、下層絶縁膜ID1aからなる第1層間絶縁膜ID1と第2絶縁膜TSとが形成される。

40

【0056】

次に、第1層間絶縁膜ID1に、導波路OTLに達する第1接続孔CT1を形成する。続いて、第1接続孔CT1の内部にバリアメタルを介して導電膜を埋め込み、この埋め込まれた導電膜を主導電材料とする第1プラグPL1を形成する。第1プラグPL1を構成する主導電材料は、例えばアルミニウム (Al) またはタングステン (W) などからなり

50

、バリアメタルは、例えばチタン (Ti) または窒化チタン (TiN) などからなる。

【0057】

次に、図8に示すように、第1層間絶縁膜ID1上および第2絶縁膜TS上に、例えばスパッタリング法などにより、バリアメタルBMa、金属膜(主導電材料)MLおよびバリアメタルBMbを順次堆積する。金属膜(主導電材料)MLは、例えばアルミニウム(Al)などからなり、バリアメタルBMa, BMbは、例えばタンタル(Ta)、チタン(Ti)、窒化タンタル(TaN)または窒化チタン(TiN)などからなる。

【0058】

次に、バリアメタルBMb上にフォトレジストを塗布し、露光後、現像処理を行うことにより、フォトレジストをパターニングしてレジストパターンRPを形成する。

10

【0059】

次に、図9に示すように、プラズマエッチング装置を用いて、レジストパターンRPをマスクとしたドライエッチングによりバリアメタルBMa、金属膜(主導電材料)MLおよびバリアメタルBMbを加工して、第1層目の配線M1を形成する。その後、レジストパターンRPを除去する。

【0060】

プラズマエッチング装置では、そのステージへのSOI基板の固定に、静電チャックを用いている。静電チャックは、導体金属の電極板に所望の厚さの誘電体を付したもので、静電チャック上にSOI基板を置き、SOI基板と電極板との間に電圧を印加することにより、静電力が発生し、SOI基板をステージに吸着、保持、固定することができるものである。

20

【0061】

ところで、前述したように、SOI基板の場合、SOI基板に残留する電荷に起因して、静電チャックの残留吸着力が減少せず、SOI基板が静電チャックに張り付くことがある。このため、SOI基板を静電チャックから離脱させる際に、SOI基板の割れまたは搬送不良などの不具合が生じる。特に、SOI基板の場合、その裏面に絶縁膜(例えば第1裏面絶縁膜RCL)が形成されていると、残留吸着力が大きくなる。

【0062】

しかし、本実施の形態1では、SOI基板の裏面に形成されていた第1裏面絶縁膜RCLを除去していることから、SOI基板から電荷を逃がしやすくすることができる。従って、SOI基板の裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、SOI基板の静電チャックへの張り付きを回避することができる。さらに、第1絶縁膜CLの圧縮応力を相殺することのできる引張応力を有する第2絶縁膜TSを形成していることから、第1絶縁膜CLの圧縮応力が緩和して、SOI基板のそりを低減することができる。これにより、SOI基板を静電チャックから離脱させる際に、SOI基板の搬送不良などの不具合が生じにくくなる。

30

【0063】

次に、図10に示すように、第1層目の配線M1を覆うように第1層間絶縁膜ID1上および第2絶縁膜TS上に第2層間絶縁膜ID2を形成する。第2層間絶縁膜ID2は、例えばプラズマCVD法により形成された酸化シリコン(SiO₂)からなり、その厚さは、例えば1μm以上である。

40

【0064】

次に、図1に示したように、第2層間絶縁膜ID2の上面を、例えばCMP法などにより、平坦化した後、第2層間絶縁膜ID2に、第1層目の配線M1に達する第2接続孔CT2を形成する。続いて、接続孔CT2の内部にバリアメタルを介して導電膜を埋め込み、この埋め込まれた導電膜を主導電材料とする第2プラグPL2を形成する。第2プラグPL2を構成する主導電材料は、例えばアルミニウム(Al)またはタングステン(W)などからなり、バリアメタルは、例えばチタン(Ti)または窒化チタン(TiN)などからなる。

【0065】

50

次に、第2層間絶縁膜ID2上に、例えばスパッタリング法などにより、バリアメタル、金属膜（主導電材料）およびバリアメタルを順次堆積し、レジストマスクを用いて、この積層膜をドライエッチング法により加工して、第2層目の配線M2を形成する。第2層目の配線M2を構成する主導電材料は、例えばアルミニウム（Al）などからなり、バリアメタルは、例えばタンタル（Ta）、チタン（Ti）、窒化タンタル（Ta₂N₃）または窒化チタン（TiN）などからなる。

【0066】

第2層目の配線M2の形成に適用するプラズマエッチング装置でも、そのステージへのSOI基板の固定に、静電チャックを用いている。しかし、前述のプラズマエッチング装置と同様に、SOI基板の裏面に形成されていた第1裏面絶縁膜RCLを除去していることから、SOI基板から電荷を逃がしやすくすることができる。従って、SOI基板の裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、SOI基板の静電チャックへの張り付きを回避することができる。さらに、第1絶縁膜CLの圧縮応力を相殺することのできる引張応力を有する第2絶縁膜TSを形成していることから、第1絶縁膜CLの圧縮応力が緩和して、SOI基板のそりを低減することができる。これにより、SOI基板を静電チャックから離脱させる際に、SOI基板の搬送不良などの不具合が生じにくくなる。

10

【0067】

その後、第2層目の配線M2を覆うように第2層間絶縁膜ID2上に保護膜TCを形成した後、保護膜TCを加工して、第2層目の配線M2の上面を露出させる。これにより、本実施の形態1による半導体装置が略完成する。

20

【0068】

本実施の形態1の一例として、前述の図1では、光信号用の導波路を備える半導体装置を例示したが、これに限定されるものではない。

【0069】

図11は、本実施の形態1による半導体装置の第2変形例の要部断面図である。図11に示した半導体装置は、光信号用の導波路OTLに加えて、ゲルマニウム（Ge）からなる受光器PDが形成されている。ゲルマニウム（Ge）は、シリコン（Si）と親和性が高いことから、シリコン（Si）からなる半導体層SL上にモノリシックに形成することができる。

30

【0070】

受光器PDは、例えば縦型のPIN構造であり、半導体層SLにp型不純物が導入されたP型層PSと、P型層PS上に形成されたゲルマニウム層GEと、ゲルマニウム層GE上に形成されたN型層NSとから構成される。N型層NSは、例えばシリコン・ゲルマニウム（SiGe）からなり、n型不純物が導入されている。

【0071】

P型層PSは、第1層間絶縁膜ID1および第2絶縁膜TSを連通するように形成された第1接続孔CT1を介して第1層目の配線M1と電氣的に接続し、同様に、N型層NSは、第1層間絶縁膜ID1および第2絶縁膜TSを連通するように形成された第1接続孔CT1を介して第1層目の配線M1と電氣的に接続する。受光器PDは、導波路OTLにおける光の伝播損失の問題は生じないので、受光器PDの上方は第2絶縁膜TSによって覆うことができる。従って、受光器PDを形成しても、第2絶縁膜TSの被覆面積が減少することがないので、第1絶縁膜CLの圧縮応力を相殺する効果は低下しない。

40

【0072】

このように、本実施の形態1によれば、静電チャックを備える半導体製造装置を用いても、SOIウェハの静電チャックへの張り付きを回避することができ、さらに、SOIウェハのそりを低減することができるので、SOIウェハを静電チャックから離脱させる際に、SOIウェハの搬送不良などの不具合が生じにくくなる。

【0073】

（実施の形態2）

50

本実施の形態 2 と前述した実施の形態 1 との相違点は、第 2 絶縁膜 T S を設ける位置である。以下、相違点を中心に説明する。

【 0 0 7 4 】

< 半導体装置の構造 >

本実施の形態 1 による半導体装置の構造を、図 1 2 を用いて説明する。図 1 2 は、本実施の形態 2 による半導体装置の要部断面図である。

【 0 0 7 5 】

図 1 2 に示すように、前述の実施の形態 1 と同様に、半導体装置には、光信号用の導波路 O T L が形成されている。導波路 O T L は、単結晶シリコン (S i) からなる半導体基板 S U B の第 1 主面上に、第 1 絶縁膜 C L を介して形成されたシリコン (S i) からなる半導体層 S L により構成されている。

10

【 0 0 7 6 】

本実施の形態 2 では、導波路 O T L を覆うように、第 1 絶縁膜 C L 上に第 3 絶縁膜 C F が形成されている。第 3 絶縁膜 C F は、例えば L P C V D 法により形成される酸化シリコン (S i O ₂) からなり、その厚さは、例えば 5 0 ~ 3 0 0 n m 程度である。

【 0 0 7 7 】

第 3 絶縁膜 C F 上には、シリコン (S i) よりも引張応力が高い材質の第 2 絶縁膜 T S が形成されている。第 2 絶縁膜 T S は、例えば水素含有量が 1 % 以下の窒化シリコン (S i ₃ N ₄) 膜などであり、例えば L P C V D 法またはプラズマ C V D 法により形成される。第 2 絶縁膜 T S の厚さは、例えば 1 0 0 ~ 2 0 0 n m 程度である。

20

【 0 0 7 8 】

第 2 絶縁膜 T S は、導波路 O T L の直上には形成されておらず、導波路 O T L から所定の距離、例えば 2 μ m 以上離れた領域に形成されている。

【 0 0 7 9 】

露出した第 3 絶縁膜 C F、および第 2 絶縁膜 T S は第 1 層間絶縁膜 I D 1 に覆われている。第 1 層間絶縁膜 I D 1 は、例えば酸化シリコン (S i O ₂) からなり、その厚さは、例えば 1 μ m 以上、好ましくは 2 μ m 程度である。

【 0 0 8 0 】

第 1 層間絶縁膜 I D 1 上には、第 1 層目の配線 M 1 が形成され、第 1 層間絶縁膜 I D 1 および第 3 絶縁膜 C F を連通するように形成された第 1 接続孔 C T 1 に埋め込まれた第 1 プラグ P L 1 によって、導波路 O T L と第 1 層目の配線 M 1 とが電氣的に接続されている。

30

【 0 0 8 1 】

また、第 1 層目の配線 M 1 は第 2 層間絶縁膜 I D 2 に覆われている。第 2 層間絶縁膜 I D 2 は、例えば酸化シリコン (S i O ₂) からなり、その厚さは、例えば 1 μ m 以上である。

【 0 0 8 2 】

第 2 層間絶縁膜 I D 2 上には、第 2 層目の配線 M 2 が形成され、第 2 層間絶縁膜 I D 2 に形成された第 2 接続孔 C T 2 に埋め込まれた第 2 プラグ P L 2 によって、第 1 層目の配線 M 1 と第 2 層目の配線 M 2 とが電氣的に接続されている。

40

【 0 0 8 3 】

また、第 2 層目の配線 M 2 は保護膜 T C により覆われており、その一部を開口して、第 2 層目の配線 M 2 の上面を露出させている。

【 0 0 8 4 】

< 半導体装置の構造の特徴および効果 >

前述の実施の形態 1 による半導体装置では、第 2 絶縁膜 T S は、第 1 層間絶縁膜 I D 1 と第 2 層間絶縁膜 I D 2 との間に設けたが、本実施の形態 2 による半導体装置では、第 1 層間絶縁膜 I D 1 の下に形成されている。

【 0 0 8 5 】

従って、その詳細は後述する半導体装置の製造方法において説明するが、第 1 裏面絶縁

50

膜 R C L (図 3 参照) を前述の実施の形態 1 よりも早い工程で除去することが可能となる。従って、例えばプラズマ C V D 法を適用した第 1 層間絶縁膜 I D 1 の成膜工程またはプラズマエッチング法を適用した第 1 接続孔 C T 1 の加工工程において、静電チャックを備えた半導体製造装置を使用しても、S O I ウェハのそりが低減されるので、S O I ウェハを静電チャックから離脱させる際に、S O I ウェハの搬送不良などの不具合を回避することができる。

【 0 0 8 6 】

また、前述した実施の形態 1 では、第 2 絶縁膜 T S を形成した後に、上層絶縁膜 I D 1 b の成膜工程およびその平坦化工程が必要であるが (図 7 参照)、本実施の形態 2 では、上層絶縁膜 I D 1 b の成膜工程およびその平坦化工程が不要となるので、製造工程の短縮化および容易化が可能となる。

10

【 0 0 8 7 】

< 半導体装置の製造方法 >

本実施の形態 2 による半導体装置の製造方法を、図 1 3 ~ 図 1 8 を用いて工程順に説明する。図 1 3 ~ 図 1 8 は、本実施の形態 2 による製造工程中の半導体装置の要部断面図である。

【 0 0 8 8 】

まず、図 1 3 に示すように、前述の実施の形態 1 と同様に、半導体基板 S U B と、半導体基板 S U B の第 1 主面上に形成された第 1 絶縁膜 C L と、第 1 絶縁膜 C L 上に形成された半導体層 S L と、半導体基板 S U B の第 1 主面と反対側の第 2 主面上に形成された第 1 裏面絶縁膜 R C L と、からなる S O I 基板を準備する。

20

【 0 0 8 9 】

次に、半導体層 S L 上に形成したレジストパターンをマスクとしたドライエッチングにより、半導体層 S L を矩形に加工した後、矩形の半導体層 S L に不純物を導入する。その不純物濃度は、例えば $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲であり、代表的な値としては、例えば 10^{15} cm^{-3} 程度である。以上の工程により、導波路 O T L が形成される。

【 0 0 9 0 】

次に、導波路 O T L を覆うように第 1 絶縁膜 C L 上に第 3 絶縁膜 C F を形成する。第 3 絶縁膜 C F は、例えば L P C V D 法により形成された酸化シリコン (SiO_2) からなり、その厚さは、例えば 50 ~ 300 nm 程度である。第 3 絶縁膜 C F は、T E O S (T e t r a E t h y l O r t h o S i l i c a t e ; $\text{Si}(\text{OC}_2\text{H}_5)_4$) とオゾン (O_3) とをソースガスに用いた T E O S 酸化膜であってもよい。

30

【 0 0 9 1 】

次に、図 1 4 に示すように、第 3 絶縁膜 C F 上に、例えば L P C V D 法により窒化シリコン (Si_3N_4) からなる第 2 絶縁膜 T S を形成する。第 2 絶縁膜 T S の厚さは、例えば 100 ~ 200 nm 程度である。第 2 絶縁膜 T S の水素含有量は 1 % 以下であり、第 2 絶縁膜 T S は引張応力を有する。

【 0 0 9 2 】

ここでは、引張応力を有する第 2 絶縁膜 T S として、L P C V D 法により形成された窒化シリコン (Si_3N_4) を例示したが、これに限定されるものではない。前述の実施の形態 1 と同様に、L P C V D 法に代えて、プラズマ C V D 法により窒化シリコン (Si_3N_4) を形成してもよい。また、窒化シリコン (Si_3N_4) に代えて、炭素を含有した窒化シリコン (SiCN)、ホウ素を含有した窒化シリコン (SiBN)、または炭素およびホウ素を含有した窒化シリコン (SiBCN) であってもよい。

40

【 0 0 9 3 】

次に、図 1 5 に示すように、第 1 裏面絶縁膜 R C L をウエットエッチングにより除去する。第 1 裏面絶縁膜 R C L を除去しても、第 2 絶縁膜 T S が形成されているので、第 1 絶縁膜 C L の圧縮圧力と第 2 絶縁膜 T S の引張圧力とが互いに相殺して、S O I 基板のそりを低減することができる。

【 0 0 9 4 】

50

次に、図16に示すように、第2絶縁膜TS上に形成したレジストパターンをマスクとしたドライエッチングにより、導波路OTL上の上方に位置する第2絶縁膜TSを除去する。この際、導波路OTLと第2絶縁膜TSとの距離が2 μ m以上となるように第2絶縁膜TSを除去する。

【0095】

次に、図17に示すように、露出した第3絶縁膜CF上、および第2絶縁膜TS上に、例えばSACVD (Sub-Atmospheric Chemical Vapor Deposition: 準常圧CVD) 法により酸化シリコン(SiO₂)からなる第1層間絶縁膜ID1を形成する。第1層間絶縁膜ID1は、TEOSとオゾンとをソースガスに用いたTESO酸化膜であってもよい。ここで、静電チャックを備えたプラズマCVD装置を用いて第1層間絶縁膜ID1を形成してもよい。すでに第1裏面絶縁膜RCLは除去され、第1絶縁膜CLの圧縮応力を相殺する効果を有する第2絶縁膜TSが形成されているので、SOI基板の搬送不良などの不具合を回避することができる。

10

【0096】

続いて、第1層間絶縁膜ID1を熱処理により焼しめた後、第1層間絶縁膜ID1の上面を、例えばCMP法などにより、平坦化する。

【0097】

次に、図18に示すように、第1層間絶縁膜ID1および第2絶縁膜TSを連通して、導波路OTLに達する第1接続孔CT1を形成する。ここで、静電チャックを備えたプラズマドライエッチング装置を用いて第1接続孔CT1を形成してもよい。すでに第1裏面絶縁膜RCLは除去され、第1絶縁膜CLの圧縮応力を相殺する効果を有する第2絶縁膜TSが形成されているので、SOI基板の搬送不良などの不具合を回避することができる。

20

【0098】

次に、前述の実施の形態1と同様に、第1接続孔CT1の内部にバリアメタルを介して第1プラグPL1を形成した後、第1プラグPL1と電氣的に接続する第1層目の配線M1を形成する。

【0099】

その後、第2層間絶縁膜ID2、第2接続孔PL2、第2層目の配線M2、保護膜TCなどを形成することにより、図12に示した、本実施の形態2による半導体装置が略完成する。

30

【0100】

このように、本実施の形態2によれば、前述の実施の形態1と同様に、静電チャックを備える半導体製造装置を用いても、SOIウェハの静電チャックへの張り付きを回避することができる。さらに、SOIウェハのそりを低減することができるので、SOIウェハを静電チャックから離脱させる際に、SOIウェハの搬送不良などの不具合が生じにくくなる。

【0101】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【符号の説明】

【0102】

BMa バリアメタル

BMb バリアメタル

CL 第1絶縁膜 (BOX層、下層クラッド層、第1クラッド層)

CF 第3絶縁膜

CT1 第1接続孔 (コンタクト・ホール)

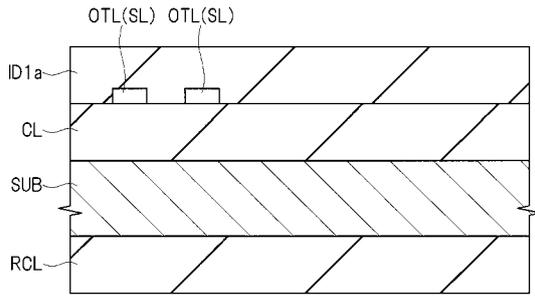
CT2 第2接続孔 (ビア・ホール)

GE ゲルマニウム層

50

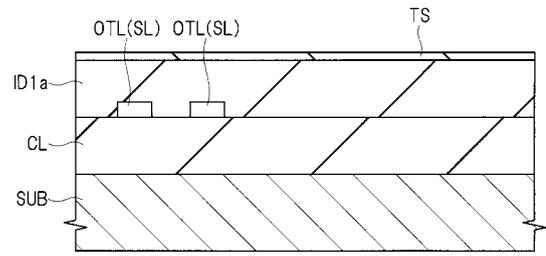
【 図 3 】

図 3



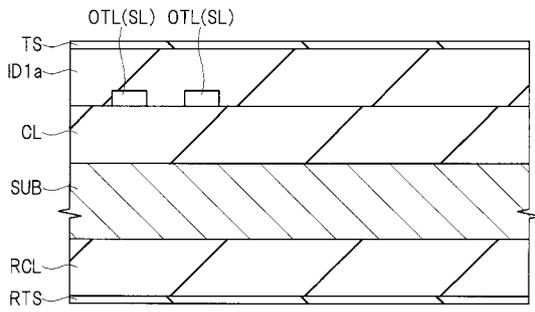
【 図 5 】

図 5



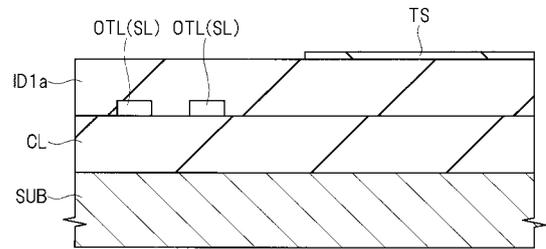
【 図 4 】

図 4



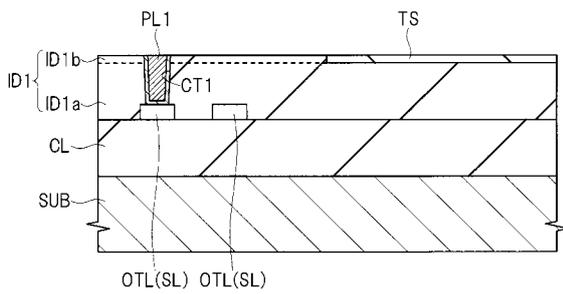
【 図 6 】

図 6



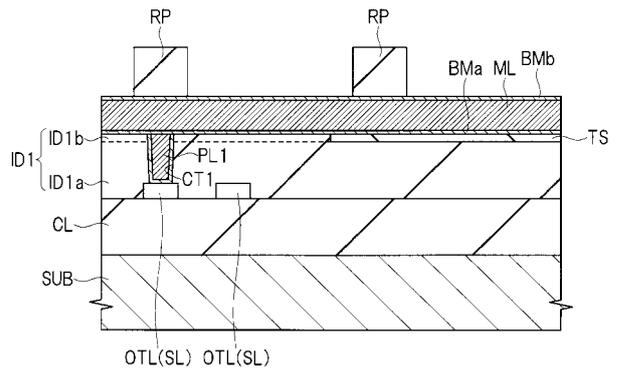
【 図 7 】

図 7

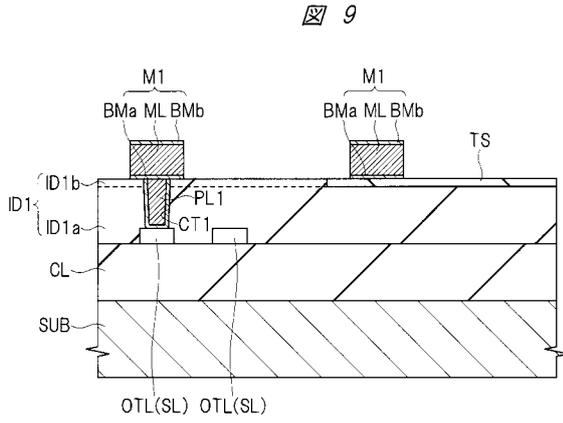


【 図 8 】

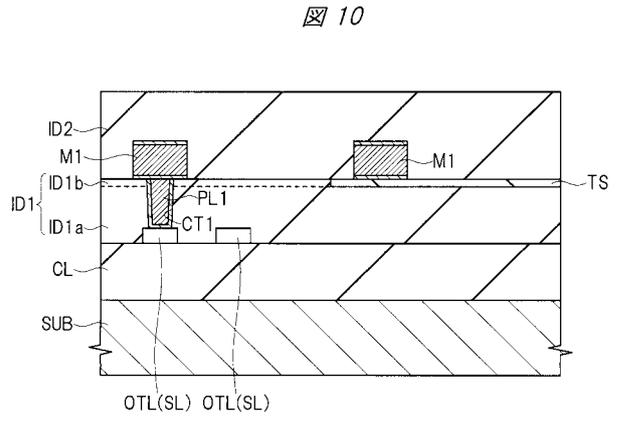
図 8



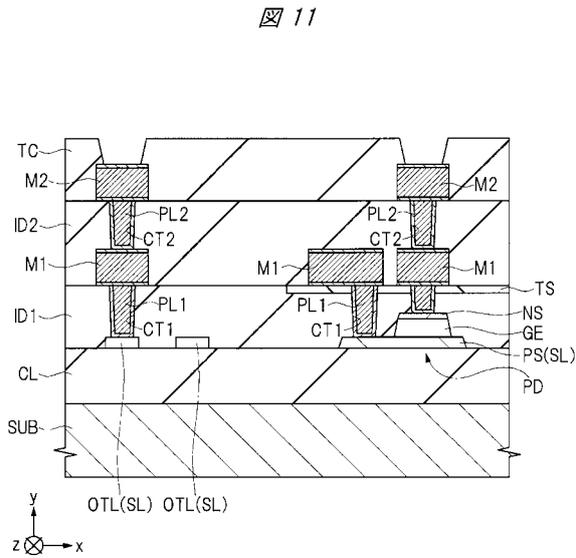
【 図 9 】



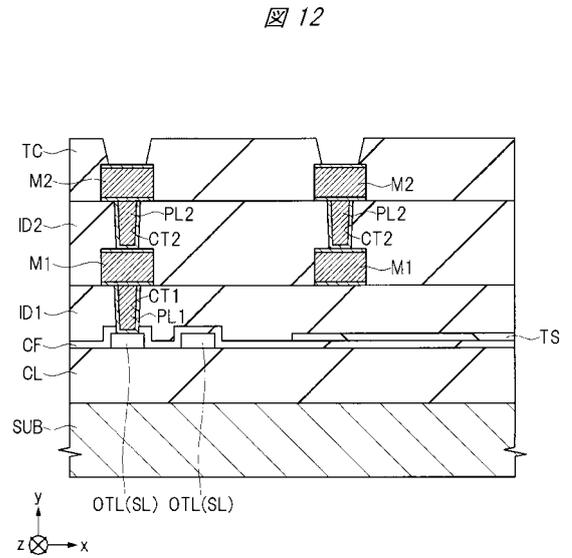
【 図 10 】



【 図 11 】

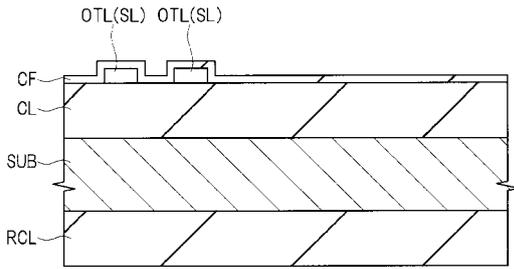


【 図 12 】



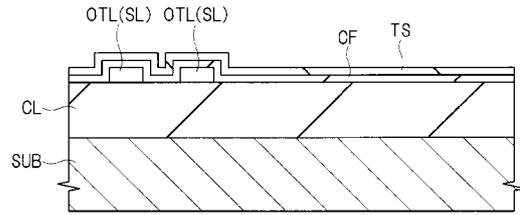
【 図 1 3 】

図 13



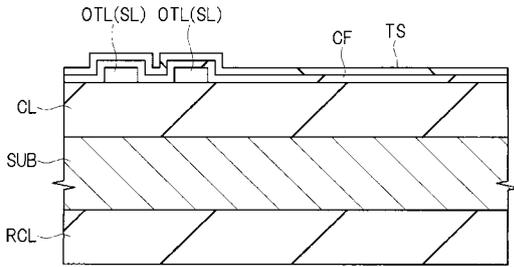
【 図 1 5 】

図 15



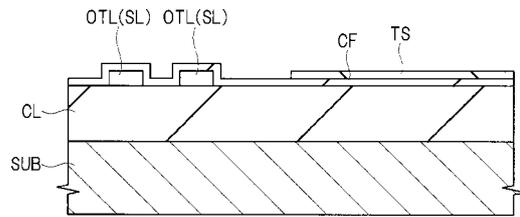
【 図 1 4 】

図 14



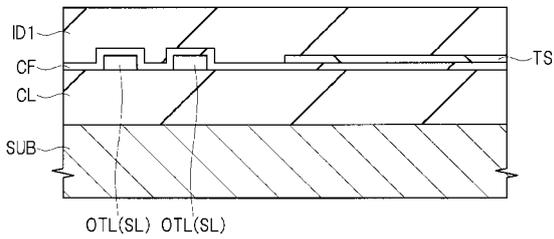
【 図 1 6 】

図 16



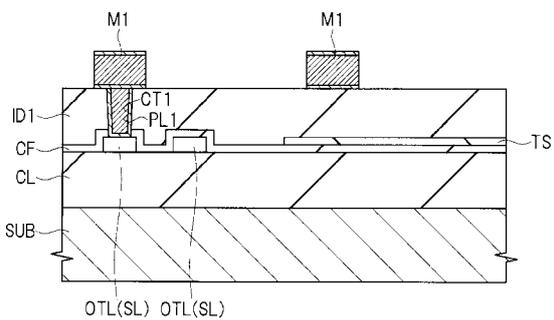
【 図 1 7 】

図 17



【 図 1 8 】

図 18



フロントページの続き

Fターム(参考) 5F849 AA04 BB07 GA05 JA14 XB05 XB19