

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H03M 1/12	(45) 공고일자 2001년01월15일
	(11) 등록번호 10-0276784
	(24) 등록일자 2000년10월04일
(21) 출원번호 10-1992-0001168	(65) 공개번호 특1992-0015749
(22) 출원일자 1992년01월28일	(43) 공개일자 1992년08월27일
(30) 우선권주장 647,481 1991년01월29일 미국(US)	
(73) 특허권자 소니 코포레이션 오브 아메리카 프랭크 엠. 레서	
(72) 발명자 미합중국 뉴욕 뉴욕 매디슨 애비뉴 550 미조노우에 마사시	
(74) 대리인 이병호	미합중국 뉴저지 07656 파크 릿지 소니 드라이브 소니 코포레이션 오브 아 메리카 내

심사관 : 나용수

(54) 데이터-획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법 및 아날로그-디지털 변환 회로

요약

고속도, 고해상도, 타임-시프트 2단계 아날로그-디지털 변환(ADC)은 조 및 정밀 신호 변환들 모두에 대해 단지 하나의 ADC 모듈을 이용한다. 동일한 ADC 모듈은 이후의 보정 처리를 위해 변환 에러를 발생시키도록 ACD가 보다 늦은 정밀 신호 변환을 완료하기까지 그 저장된 출력 신호와 함께 조약 신호 변환에 대해 우선 사용된다. 다음으로 2 두 개의 신호들이 변환 에러를 보정하도록 처리하는 디지털 신호를 사용함으로써 처리된 후, 디지털 신호가 발생된다.

대표도

도1

명세서

[발명의 명칭]

데이터-획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법 및 아날로그-디지털 변환 회로

[도면의 간단한 설명]

제1도는 종래 기술의 아날로그-디지털 변환기 회로를 도시한 구성도.

제2도는 본 발명의 아날로그-디지털 변환기 회로를 도시한 구성도.

* 도면의 주요부분에 대한 부호의 설명

- 20 : 샘플-홀드 장치
- 21 : 아날로그-디지털(A/D) 변환기
- 22 : 디지털-아날로그(D/A) 변환기
- 23 : 감산기 유닛
- 26 : 제 1 지연 라인
- 27 : 제 2 지연 라인

[발명의 상세한 설명]

본 발명은 일반적으로 아날로그-디지털 변환 회로에 관한 것으로, 특히 고해상도(high resolution)를 달성하기 위해 2단계 타임 시프트 에러 보정 기술(two-step, time shift error-compensating technique)을 사용한 아날로그-디지털 변환 회로에 관한 것이다.

일반적인 데이터-획득 시스템(data-acquisition system)은 다양한 다른 신호원들(Sources)로부터 신호들을 수신하여 이들 신호들을 적절한 형태로 컴퓨터나 통신 채널로 전송한다. 이러한 시스템에 있어서, 멀티플렉서가 각각의 신호를 차례로 선택하는데 일반적으로 사용되고, 그 아날로그 정보는 샘플-홀드 시스템(Sample and hold system)에 의해 게이트 시간 간격(gating-time interval)에서 정전압으로 변환된다. 샘플-홀드 시스템의 일정한 출력은 그때 디지털 전송을 위해 아날로그-디지털(A/D) 변환기에 의해 디지털 신호로 변환될 수 있다. 따라서, 기본적인 A/D 변환 회로는 아날로그 신호를 일련의 디지털 신호들로 변환하기 위해 샘플-홀드 소자와 A/D 변환 소자를 필요로 할 것이다.

고해상도 아날로그-디지틀 변환의 분야에 있어서, A/D 변환은 통상 2단계 변환 기술로 실현되고 있다. 제1도는 종래 기술에서의 전형적인 A/D 변환기 구조를 보여주고 있다. 제1도에 도시된 바와 같이, 일련의 아날로그 입력 신호들이 먼저 샘플-홀드 회로(10)를 통해 인가되어 이산 신호 열(a train of discrete signal)을 발생하고, 이러한 이산 신호들은 이후 디지틀 신호들(“조 신호(coarse signal)”)로 변환되어 디지틀 신호 처리기에 저장되어 처리된다. 디지틀 신호 n의 크기는 A/D 변환기(11)에 따라 결정된다.

변환 에러들(conversion errors)을 검출하기 위하여, 동일한 디지틀 신호들이 D/A 변환기(12)를 통해 아날로그 신호들로 다시 변화되며, 그 출력 신호들은 감산기 유닛(13)의 네가티브 입력(negative input)에 인가된다. 시간차를 조정하기 위해 샘플-홀드 회로(10)의 출력은 지연 회로(16)를 통해 지연되고, 그 출력은 감산기 유닛(13)의 포지티브 입력(positive input)에 인가된다. 상기 변환에서의 에러를 나타내는 이러한 두 신호들의 차는 동일한 변환율(same conversion rate)로 또 다른 A/D 변환기(14)에서 변환되어, 또 다른 n 비트의 디지틀 신호들(“정밀 신호(fine signal)”)이 발생되고 디지틀 신호 처리기(15)에 저장되어 처리된다.

디지틀 신호 처리기(15)(DSP)와 같은 에러-보정 회로는, 조 신호들(coarse signals)와 정밀 신호들(fine signals)을 비교함으로써 회로의 비선형성에 의해 발생된 변환에러를 보정하는데 이용된다. 조 A/D 변환기(coarse A/D converter)로부터의 신호의 최하위 비트(LSB)와 정밀 A/D 변환기(fine A/D converter)로부터의 신호의 최상위 비트(MSB)는 비교되어, DSP에 의해 변환 에러가 보정된다. 바람직한 디지틀 출력은 $(2n-1)$ 비트들을 포함하며, 여기서 n은 A/D 변환기에 따라 결정된다. 다음의 설명에서 알 수 있는 바와 같이, 청구된 본 발명은 동일한 고해상도 A/D 변환을 달성하기 위해 단지 한 셋의 A/D 및 D/A 성분들만을 사용한다.

따라서, 본 발명의 목적은 조 신호 및 정밀 신호 모두의 변환을 위해 단지 한 셋의 A/D 및 D/A 모듈을 이용하는 고속, 고해상도, 타임-시프트 A/D 변환 방법 및 장치를 제공하는 것이다.

본 발명의 추가의 목적은 고속, 고해상도, 타임 시프트 A/D 변환 장치를 제공하는 것이다.

아날로그 신호들은 먼저 A/D 변환기에 의해 디지틀 신호들(조 신호들)로 변환되고 에러-보정 회로에 의한 또 다른 처리를 위해 메모리에 저장된다. 변환 에러는 샘플-홀드 출력 신호와 D/A 출력 신호 사이의 차를 동일한 A/D 변환기를 통해 디지틀 신호들(정밀 신호들(fine signals))로 변환함으로써 검출된다. 정밀 신호들의 해상도의 향상은, 지연 소자로서 전하 결합 소자를 사용함으로써 달성되며, 지연 소자는 정밀 변환을 보다 낮은 속도로 처리할 수 있게 한다. 변환 에러는 에러-보정 회로를 통해 정밀 디지틀 신호와 조 디지틀 신호 모두를 처리함으로써 보정되어, 원하는 디지틀 출력 신호를 발생한다.

고속, 고해상도 아날로그-디지틀 변환 방법 및 장치가 기술되며, 이후 더욱 자세하게 설명될 바와 같이, 본 명세서에서 기술된 방법 및 장치는, 단지 한 셋의 A/D 및 D/A 모듈들만을 이용하여 타임-시프트(time-shift), 2단계 방법으로 아날로그 신호를 디지틀 신호로 변환시키는 것이다. 다음의 설명에서 종래의 해당 기술과의 차를 명확하게 알 수 있듯이, 기술된 방법 및 장치는 고해상도를 달성하기 위해 정밀 신호 및 조 신호 변환 모두에 대해 동일 A/D 모듈을 사용한다. 더욱이 본 명세서에서 기술된 바와 같은 고속 회로에 있어서는, A/D 및 D/A 유닛들 모두는 출력을 발생하기 위해 수 개의 클럭 기간들을 필요로 하기 때문에 신호 타이밍은 결정적으로 중요하게 된다. 본 발명의 장치에 있어서, 타이밍의 지연들을 최소화함으로써 회로의 속도를 극대화하도록 타이밍이 조정될 수 있다. 다음의 설명에서 보다 명확히 이해할 수 있듯이, 청구된 본 발명은 정밀 신호들의 변환 속도를 조 신호들의 변환 속도 보다 늦출 수 있는데 반하여, 종래 기술의 회로는 정밀 및 조 신호 변환 속도들 모두를 동일하게 하도록 타이밍 조정을 필요로 한다.

다음의 설명에 있어서, 본 발명의 완전한 이해를 위해 신호의 특정 크기와 같은 다수의 구체적인 세부사항을 기술하지만, 당 기술분야에 숙련된 사람들은 구체적인 세부사항 없이도 본 발명을 실행할 수 있다는 것은 명백하다. 또한, 본 발명의 불필요함을 피하기 위하여 널리 공지된 회로들에 대한 상세한 설명은 생략하였다.

제2도를 참조하여 본 청구된 발명의 구성도를 도시한다. 먼저, 스위치 SW1(30)의 적절한 접속으로, 일련의 아날로그 신호들이 일련의 아날로그 신호들이 일련의 이산 신호들을 발생하기 위해 샘플-홀드(S/H) 장치(20)에 인가되고, 그 후 일련의 이산 신호들은 아날로그-디지틀(A/D) 변환기(21)에 의해 디지틀 신호들(조 신호)로 변환된다. 또한, S/H 장치(20)는 A/D 및 D/A 신호 처리 시간 프레임 동안 아날로그 입력 신호들을 보유하지만, 감산기에 대한 설정 시간 및 정밀 A/D 변환 시간도 역시 “보유(hold)” 시간에 포함될 수 있다. 스위치 SW2(31)의 접속을 통하여 디지틀 신호들은 또 다른 처리를 위해 라인 메모리 유닛(28)에 저장된다. 디지틀 신호의 크기는 A/D 변환기(21) 및 입력 신호들에 따라서 임의의 수의 비트들이 될 수 있다.

디지틀 변환 에러들을 검출 및 보정하기 위하여, A/D 변환기(21)로부터의 동일한 디지틀 출력 신호들이 또한 디지틀-아날로그(D/A) 변환기(22)를 이용하여 아날로그 신호들로 변환되고, 그 출력이 감산기 유닛(23)의 네가티브 입력 단자에 인가된다. 동일한 샘플-홀드 출력 아날로그 신호가 A/D 및 D/A 지연에 기인한 시간차를 조정하기 위해 지연 라인(26)을 통해 지연되어 감산기 유닛(23)의 포지티브 입력 단자에 인가된다. 만일 전하 결합 소자형 지연 유닛이 이용된다면, 샘플-홀드 샘플링 속도는 A/D 변환기(21)의 속도나 또는 CCD 입력단의 설정 시간의 큰 쪽과 동일하게 될 수 있게 되어, 과도단(transient stage)을 조정하게 된다. 감산기 유닛(23)은 샘플-홀드 신호와 제1 디지틀 신호의 변환된 아날로그 신호 사이의 차와 동일한 일련의 아날로그 신호들을 출력하는데, 이 신호들은 아날로그 형태의 변환 에러를 나타낸다. 이러한 에러 검출의 형태는 A/D 변환의 당 기술 분야에 널리 공지된 것이지만, 당 기술 분야에 숙련된 사람들에게는 다른 에러 검출 구성들도 이용할 수 있다는 것은 명백할 것이다.

다시 제2도를 보면, A/D 변환은 또한, 아날로그 차 신호가 샘플-홀드 장치(20)에 입력될 수 있도록 스위치 SW1의 적절한 접속이 이루어질 때까지, 제2 아날로그 지연 라인(27)에 아날로그 차 신호를 저장하고

지연시킬 필요가 있다. 지연 라인(27)은 전하 결합 소자(CCD) 지연 라인과 같은 아날로그 메모리 시프터가 바람직하다. CCD는 결합 전하량이 저장된 신호 샘플에 비례하는 성질로 인하여 “링잉(ringing)”을 제거하도록 신호들을 안정화하는 효과를 갖는다. 또한, CCD 다상 클럭들(multiphase clocks)을 이용함으로써 CCD로의 신호 입력은 저주파수에서 동일하게 출력되도록 조정될 수 있다. 주파수를 낮춤으로써, S/H 장치에 의해 취해진 주기당 신호 해상도의 수는 증가하게 되고, 그에 따라 S/H 장치를 변경하지 않고서도 디지털 신호 샘플들의 우수한 해상도를 제공하게 된다. 이미 이전에 설명된 바와 같이, 아날로그 신호는 먼저 S/H 장치(20)에서 샘플-홀드되며, 이어서 A/D 변환기(21)에서 조 신호와 동일한 비트수를 갖는 디지털 신호(정밀 신호)로 변환된다. 스위치 SW2(31)의 적절한 접속으로, 디지털 신호는 또 다른 처리를 위해 제2 라인 메모리 유닛(29)에 저장된다. 그러므로, 조 신호를 샘플링하는데 이용된 동일한 회로가 정밀 신호를 샘플링하는데 이용된다. 또한, CCD를 통해 정밀 아날로그 신호의 주파수를 낮춤으로써 샘플율은 효과적으로 늦춰지게 되어, 연속하는 신호들 간의 차가 줄어들게 되므로 샘플-홀드의 동적 특성이 개선될 수 있게 되고 정밀 신호, 즉 변환시의 에러를 나타내는 량의 해상도를 양호하게 한다. 정밀 신호의 보다 양호한 해상도는 정밀 신호의 보다 정확한 샘플링을 제공하고, 결과적으로 더욱 효과적인 에러 보정 처리를 가능하게 한다.

라인 메모리 유닛(29)에 디지털 신호가 도달하게 되면, 디지털 신호 처리(DSP) 유닛과 같은 에러 보정 회로는 회로의 비선형성에 의해 야기된 에러를 보정하기 위해 라인 메모리 유닛들(28, 29)에 저장된 정밀 및 조 신호들을 처리한다. 신호 처리후, 원하는 (2n-1) 비트 디지털 신호가 디지털 신호 처리기(25)의 출력에서 생성된다. 일반적으로, DSP 유닛은 조 디지털 신호의 최하위 비트(LSB)를 정밀 디지털 신호의 최상위 비트(MSB)와 비교하지만, 다른 디지털 신호 처리 방식이 동일한 목적들을 달성할 수 있다는 것은 당업자에게는 명백한 것이다. 또한, 일반적으로 정밀 및 조 디지털 신호들 모두는 DSP에 의한 처리에 앞서 라인 메모리 유닛들에 저장되지만, 당업자들에게는 정밀 및 조 디지털 신호들 모두가 처리 과정 중에 존재할 때까지 저장할 수 있는 DSP를 실행할 수 있다는 것은 명백하다.

본 발명은 적절한 실시예와 관련하여 설명되었으나, 전술한 설명에 기초하여 다양한 교체, 변경, 변화 및 이용이 가능하다는 것은 당업자에게는 명백하다.

(57) 청구의 범위

청구항 1

데이터 획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법에 있어서; 제1 아날로그 신호를 이산 신호(discrete signal)로 변환하는 샘플-홀드 (S/H)수단과, 상기 이산 신호를 제1 디지털 신호로 변환하는 A/D 변환기를 구비하는 아날로그-디지털(A/D) 변환수단을 제공하는 단계; 상기 제1 아날로그 신호를 상기 제1 디지털 신호로 변환하는 상기 A/D 변환 수단에 상기 제1 아날로그 신호를 입력하는 단계; 변환 에러들을 검출하는 단계로서, 상기 제1 디지털 신호를 제2 아날로그 신호로 변환하기 위한 디지털-아날로그(D/A) 변환 수단에 상기 제1 디지털 신호를 입력하고, 상기 이산 신호와 상기 제2 아날로그 신호 사이의 시간차를 조정하기 위해 상기 이산 신호의 제1 지연 신호를 발생하는 제1 지연 수단을 사용하여 상기 이산 신호를 지연하며, 상기 제1 지연 신호를 상기 제2 아날로그 신호로 감산한 제3 아날로그 신호를 발생하기 위한 감산기 수단에 상기 제1 지연 신호와 상기 제2 아날로그 신호를 입력하는, 상기 변환 에러 검출 단계; 상기 A/D 변환 수단이 상기 제3 아날로그 신호를 받아들일 수 있을 때까지 상기 제3 아날로그 신호의 제2 지연 신호를 발생하는 제2 지연 수단을 사용하여 상기 감산기 수단으로부터 출력되는 상기 제3 아날로그 신호를 지연하는 단계; 제3 아날로그 신호의 주파수 보다 낮은 주파수로 상기 제2 지연 신호를 상기 A/D 변환 수단에 출력하는 단계로서, 상기 제2 지연 신호는 상기 A/D 변환 수단에 의해 제2 디지털 신호로 변환되고, 제2 디지털 신호의 해상도는 제1 디지털 신호의 해상도 보다 높게 되어 제2 지연 신호의 보다 정확한 디지털 표현을 제공하는, 상기 제2 지연 신호 출력 단계; 및 상기 변환 에러들이 보정 되고 출력 신호가 발생되도록, 상기 제1 디지털 신호 및 상기 제2 디지털 신호를 에러-처리(error-processing)하는 단계를 구비하는, 데이터 획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법.

청구항 2

제1항에 있어서, 상기 제1 디지털 신호 및 상기 제2 디지털 신호는 변환 에러들을 보정 하도록 처리되기 전에 제1 및 제2 메모리 수단들에 저장되는, 데이터-획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법.

청구항 3

제2항에 있어서, 제1 소정 시간 간격으로 상기 제1 디지털 신호를 상기 제1 메모리 수단에 접속하고 상기 제2 디지털 신호를 상기 제2 메모리 수단에 접속하는 제1 스위치 수단을 사용하여, 상기 제1 디지털 신호 및 상기 제2 디지털 신호가 각각 상기 제1 및 제2 메모리 수단에 저장되는, 데이터-획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법.

청구항 4

제3항에 있어서, 제2 소정 시간 간격으로 상기 제1 아날로그 신호 및 상기 제2 지연 신호를 상기 A/D 변환 수단에 접속하는 제2 스위치 수단을 사용하여, 상기 제1 아날로그 신호 및 상기 제2 지연 신호가 상기 A/D 변환 수단에 공급되는, 데이터-획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법.

청구항 5

제1항에 있어서, 상기 A/D 수단에 입력하기 위한 상기 제2 지연 신호를 발생하는 상기 제2 지연 수단은 아날로그 시프트 메모리인, 데이터-획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법.

청구항 6

데이터 획득 시스템에서 제1 아날로그 신호를 디지털 출력 신호로 변환하는 아날로그-디지털(A/D) 변환 회로에 있어서; 상기 제1 아날로그 신호를 제1 디지털 신호로 변환하는 A/D 변환 수단으로서, 상기 제1 아날로그 신호를 이산 신호로 변환하는 샘플-홀드(S/H)수단과 상기 이산 신호를 상기 제1 디지털 신호로 변환하는 A/D 변환기를 구비하는 상기 A/D 변환 수단; 상기 제1 아날로그 신호와 상기 제1 디지털 신호 사이의 변환 에러를 검출하는 변환 에러 검출 수단으로서, 상기 제1 디지털 신호를 제2 아날로그 신호로 변환하는 디지털-아날로그(D/A) 변환 수단, 상기 이산 신호와 상기 제2 아날로그 신호의 시간차가 제거 되도록 상기 S/H 수단으로부터의 상기 이산 신호의 제1 지연 신호를 발생하는 제1 지연 수단, 및 상기 제1 지연 신호를 상기 제2 아날로그 신호를 감산한 제3 아날로그 신호를 발생하는 감산기 수단을 구비하는, 상기 변환 에러 검출 수단; 상기 제3 아날로그 신호를 지연하여 제2 지연 신호를 발생하는 제2 지연 수단으로서, 상기 제2 지연 신호는 제2 디지털 신호를 발생하도록 제3 아날로그 신호의 주파수 보다 낮은 주파수로 상기 A/D 변환 수단에 공급되고, 제2 지연 신호의 보다 정확한 디지털 표현을 제공하도록 제2 디지털 신호의 정확성은 제1 디지털 신호의 정확성 보다 높게 되는, 상기 제2 지연 수단; 상기 A/D 변환 수단에 대한 입력들이 상기 제1 아날로그 신호와 상기 제2 지연 신호 사이에서 전환될 수 있게 하는 제1 스위치 수단; 상기 제1 및 제2 디지털 신호들을 처리하는 에러 보정 수단; 및 상기 변환 에러들이 보정 되어 출력 디지털 신호가 발생되도록 상기 에러 보정 수단에 대한 입력들이 상기 제1 및 제2 디지털 신호들 사이에서 전환될 수 있게 하여 이후 상기 에러 보정 수단에 의해 처리되도록 하는, 제2 스위치 수단을 구비하는 아날로그-디지털 변환 회로.

청구항 7

제6항에 있어서, 상기 제1 및 제2 디지털 신호들을 상기 에러 보정 수단에 공급하기 이전에 상기 제1 및 제2 디지털 신호들을 각각 기억하는 제1 및 제2 수단을 더 포함하는, 아날로그-디지털 변환 회로.

청구항 8

제7항에 있어서, 상기 제2 스위치 수단은 메모리 수단들에 대한 입력들이 상기 제1 및 제2 디지털 신호들 사이에서 전환될 수 있게 하여 상기 에러 보정 수단에 의해 처리될 수 있도록 하는, 아날로그-디지털 변환 회로.

청구항 9

제6항에 있어서, 상기 제2 지연 수단은 아날로그 시프트 메모리인, 아날로그-디지털 변환 회로.

청구항 10

제9항에 있어서, 상기 제2 지연 수단은 전하-결합 소자 지연 라인인, 아날로그-디지털 변환 회로.

청구항 11

제5항에 있어서, 상기 제2 지연 수단은 전하-결합 소자 지연 라인인, 데이터 획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법.

청구항 12

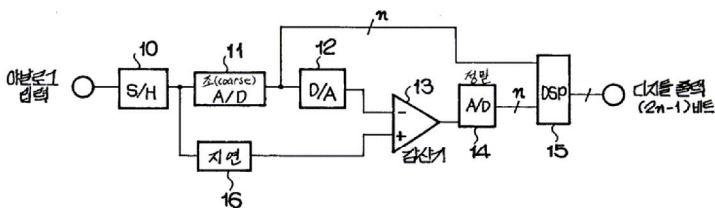
제1항에 있어서, 상기 A/D 변환 수단으로 출력하는 단계는 상기 제1 아날로그 신호와 상기 제2 지연 신호 사이를 전환하는 단계를 구비하며, 상기 에러-처리 단계는 상기 제1 및 제2 디지털 신호들 사이를 전환하고 상기 제1 디지털 신호의 최하위 비트를 상기 제2 디지털 신호의 최상위 비트와 비교하는 단계를 구비하는, 데이터 획득 시스템에서 아날로그 신호를 디지털 신호로 변환하는 방법.

청구항 13

제6항에 있어서, 상기 에러-보정 수단은 상기 제1 디지털 신호의 최하위 비트를 상기 제2 디지털 신호의 최상위 비트와 비교함으로써 상기 제1 및 제2 디지털 신호들을 처리하는, 아날로그-디지털 변환 회로.

도면

도면1



도면2

