



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년03월23일
(11) 등록번호 10-1605391
(24) 등록일자 2016년03월16일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2009-0018970
(22) 출원일자 2009년03월05일
심사청구일자 2014년03월05일
(65) 공개번호 10-2010-0100213
(43) 공개일자 2010년09월15일
(56) 선행기술조사문헌
JP2003091977 A
JP2004078172 A*
JP2007213062 A*
KR1020080053977 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)
(72) 발명자
정형기
충청남도 천안시 서북구 시청로 73, 동일 하이빌
205동 901호 (불당동)
이정영
경기 용인시 기흥구 죽현로 12, 312동 801호 (보
정동, 죽현마을동원로알듀크)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 17 항

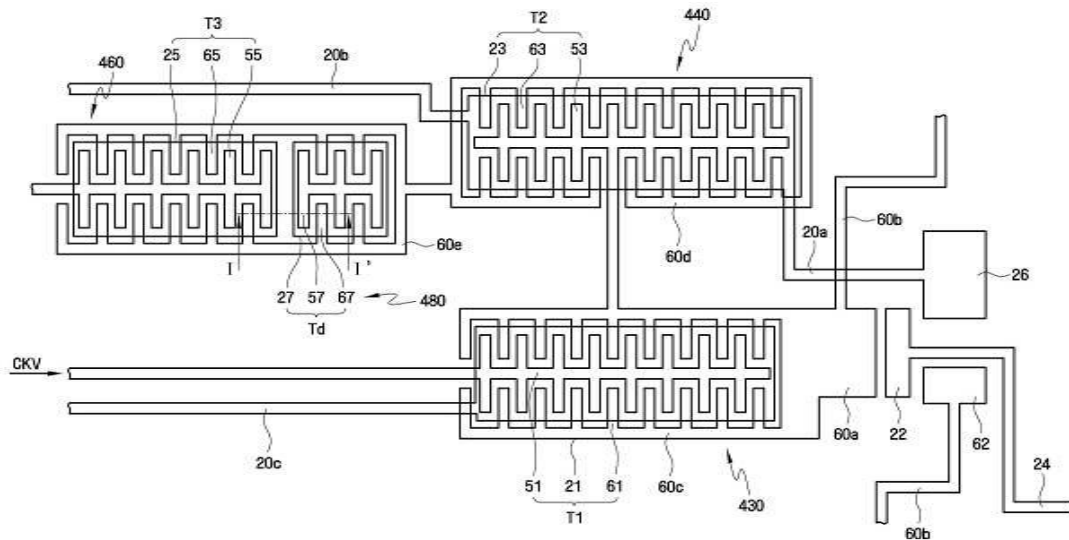
심사관 : 추장희

(54) 발명의 명칭 게이트 구동 장치 및 이를 포함하는 표시 장치

(57) 요약

게이트 구동 장치 및 이를 포함하는 표시 장치가 제공된다. 게이트 구동 장치는, 순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고, 제1 스테이지는, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하되, 게이트 전극은 제2 게이트 출력 신호를 인가받는 트랜지스터와, 더미 게이트 전극, 더미 소오스 전극, 더미 드레인 전극을 포함하되, 더미 소오스 전극은 트랜지스터의 소오스 전극 또는 드레인 전극과 연결되어, 제1 스테이지로 유입되는 정전기를 방지하는 더미 트랜지스터를 포함한다.

대표도 - 도6



(72) 발명자

이준우

충청남도 천안시 동남구 일봉로 71, 동일하이빌아
파트 108동 1101호 (용곡동)

이석

충청남도 천안시 서북구 봉서산샛길 65, 주공9단지
413동 1101호 (쌍용동)

명세서

청구범위

청구항 1

순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고,

상기 제1 스테이지는,

게이트 전극, 소오스 전극 및 드레인 전극을 포함하되, 상기 게이트 전극은 상기 제2 게이트 출력 신호를 인가 받는 트랜지스터와,

더미 게이트 전극, 더미 소오스 전극, 더미 드레인 전극을 포함하되, 상기 더미 소오스 전극은 상기 트랜지스터의 상기 소오스 전극 또는 상기 드레인 전극과 연결되어, 상기 제1 스테이지로 유입되는 정전기를 방지하는 더미 트랜지스터를 포함하되,

상기 제1 스테이지는,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 인가받아 상기 제1 게이트 출력 신호를 오프 전압으로 방전하여 제공하는 풀다운부와,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 인가받아 풀업 노드를 상기 오프 전압으로 방전시키는 방전부와,

상기 풀업 노드를 상기 오프 전압으로 홀딩시키는 홀딩부를 포함하고,

상기 더미 트랜지스터는 상기 풀다운부에 포함되는 게이트 구동 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고,

상기 제1 스테이지는,

게이트 전극, 소오스 전극 및 드레인 전극을 포함하되, 상기 게이트 전극은 상기 제2 게이트 출력 신호를 인가 받는 트랜지스터와,

더미 게이트 전극, 더미 소오스 전극, 더미 드레인 전극을 포함하되, 상기 더미 소오스 전극은 상기 트랜지스터의 상기 소오스 전극 또는 상기 드레인 전극과 연결되어, 상기 제1 스테이지로 유입되는 정전기를 방지하는 더미 트랜지스터를 포함하되,

상기 제1 스테이지는,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 인가받아 상기 제1 게이트 출력 신호를 오프 전압으로 방전하여 제공하는 풀다운부와,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 인가받아 풀업 노드를 상기 오프 전압으로 방전시키는 방전부와,

상기 풀업 노드를 상기 오프 전압으로 홀딩시키는 홀딩부를 포함하고,

상기 더미 트랜지스터는 상기 방전부에 포함되는 게이트 구동 장치.

청구항 5

순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고,

상기 제1 스테이지는,

게이트 전극, 소오스 전극 및 드레인 전극을 포함하되, 상기 게이트 전극은 상기 제2 게이트 출력 신호를 인가 받는 트랜지스터와,

더미 게이트 전극, 더미 소오스 전극, 더미 드레인 전극을 포함하되, 상기 더미 소오스 전극은 상기 트랜지스터의 상기 소오스 전극 또는 상기 드레인 전극과 연결되어, 상기 제1 스테이지로 유입되는 정전기를 방지하는 더미 트랜지스터를 포함하되,

상기 제1 스테이지는,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 인가받아 상기 제1 게이트 출력 신호를 오프 전압으로 방전하여 제공하는 풀다운부와,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 인가받아 풀업 노드를 상기 오프 전압으로 방전시키는 방전부와,

상기 풀업 노드를 상기 오프 전압으로 홀딩시키는 홀딩부를 포함하고,

상기 더미 트랜지스터는 상기 홀딩부에 포함되는 게이트 구동 장치.

청구항 6

제 1 항에 있어서,

상기 더미 게이트 전극은 플로팅되어 있는 게이트 구동 장치.

청구항 7

제 1 항에 있어서,

상기 더미 드레인 전극은 플로팅되어 있는 게이트 구동 장치.

청구항 8

순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고,

상기 제1 스테이지는,

게이트 전극, 소오스 전극 및 드레인 전극을 포함하되, 상기 게이트 전극은 상기 제2 게이트 출력 신호를 인가 받는 트랜지스터와,

더미 게이트 전극, 더미 소오스 전극, 더미 드레인 전극을 포함하되, 상기 더미 소오스 전극은 상기 트랜지스터의 상기 소오스 전극 또는 상기 드레인 전극과 연결되어, 상기 제1 스테이지로 유입되는 정전기를 방지하는 더미 트랜지스터를 포함하되,

상기 게이트 전극과, 상기 더미 게이트 전극은 인접하여 배치되고,

상기 소오스 전극 또는 상기 드레인 전극은 소오스 또는 드레인 라인으로부터 분지되어 상기 게이트 전극과 오버랩되며,

상기 더미 소오스 전극은 상기 소오스 또는 드레인 라인으로부터 분지되어 상기 더미 게이트 전극과 오버랩되는 게이트 구동 장치.

청구항 9

제 8 항에 있어서,

상기 게이트 전극과 상기 더미 게이트 전극은 전기적으로 분리된 게이트 구동 장치.

청구항 10

제 1 항에 있어서,

상기 제1 스테이지는,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 받는 제1 패드, 상기 제1 게이트 출력 신호를 표시영역으로 전달하는 게이트 라인, 및 상기 제1 패드 및 상기 트랜지스터와 연결된 제2 패드를 더 포함하되,

상기 제1 패드와 상기 제2 패드는 브릿지 라인으로 연결된 게이트 구동 장치.

청구항 11

제 10 항에 있어서,

상기 제1 패드는 상기 게이트 라인의 일측에 배치되고, 상기 제2 패드는 상기 게이트 라인의 타측에 배치된 게이트 구동 장치.

청구항 12

제 10 항에 있어서,

상기 게이트 라인과 상기 제2 패드 상에 형성된 게이트 절연막과, 상기 제1 패드와 상기 게이트 절연막 상에 형성된 보호층을 포함하되, 상기 브릿지 라인은 상기 보호층 상에 형성된 게이트 구동 장치.

청구항 13

제 12 항에 있어서,

상기 게이트 라인과 상기 제2 패드 사이에 형성된 더미 패드를 더 포함하되, 상기 더미 패드는 상기 게이트 절연막 상에 형성된 게이트 구동 장치.

청구항 14

제 13 항에 있어서,

상기 브릿지 라인은 상기 제1 패드와 상기 더미 패드가 연결된 제1 브릿지 라인과, 상기 더미 패드와 상기 제2 패드가 연결된 제2 브릿지 라인을 포함하는 게이트 구동 장치.

청구항 15

제 10 항에 있어서,

상기 브릿지 라인은 투명 도전성 물질로 형성된 게이트 구동 장치.

청구항 16

표시부와 상기 표시부를 둘러싸는 비표시부로 이루어진 기관; 및

상기 비표시부 상에 형성된 게이트 구동 장치를 포함하는 게이트 구동부를 포함하되,

상기 게이트 구동부는, 순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고,

상기 제1 스테이지는,

상기 제2 게이트 출력 신호를 인가받는 신호 인가부와,

상기 신호 인가부와 연결되어, 상기 제1 스테이지로 유입되는 정전기를 방지하는 정전기 방지부를 포함하고,

상기 신호 인가부는 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 트랜지스터를 포함하고,

상기 정전기 방지부는 더미 게이트 전극, 더미 소오스 전극, 더미 드레인 전극을 포함하는 더미 트랜지스터를 포함하되,

상기 상기 더미 소오스 전극은 상기 트랜지스터의 상기 소오스 전극 또는 상기 드레인 전극과 연결되고,

상기 게이트 전극과, 상기 더미 게이트 전극은 인접하여 배치되고,

상기 소오스 전극 또는 상기 드레인 전극은 소오스 또는 드레인 라인으로부터 분지되어 상기 게이트 전극과 오

버랩되며,

상기 더미 소오스 전극은 상기 소오스 또는 드레인 라인으로부터 분지되어 상기 더미 게이트 전극과 오버랩되는 표시 장치.

청구항 17

삭제

청구항 18

제 16 항에 있어서,

상기 더미 게이트 전극 또는 상기 더미 드레인 전극은 플로팅된 표시 장치.

청구항 19

제 16 항에 있어서,

상기 게이트 구동 장치는 상기 기관 상에 집적되어 형성된 표시 장치.

청구항 20

제 16 항에 있어서,

상기 제1 스테이지는,

상기 제2 스테이지의 상기 제2 게이트 출력 신호를 받는 제1 패드, 상기 제1 게이트 출력 신호를 표시영역으로 전달하는 게이트 라인, 및 상기 제1 패드 및 상기 트랜지스터와 연결된 제2 패드를 더 포함하되,

상기 제1 패드와 상기 제2 패드는 브릿지 라인으로 연결된 표시 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 게이트 구동 장치 및 이를 포함하는 표시 장치에 관한 것으로서, 더욱 상세하게는 정전기 방지부가 포함된 게이트 구동 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(Liquid Crystal Display : LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display : FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다.

[0003] 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적이 측면에서 다른 방법이 모색되고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 이에 따라, 게이트 구동 IC를 채택하지 않고, 비정질 실리콘 박막 트랜지스터(amorphous silicon thin film transistor)를 이용하여 게이트 출력 신호를 발생시키는 게이트 구동부를 유리기관 상에 직접 실장하고 있다.

[0005] 그러나, 게이트 구동부를 제조하기 위해 다수의 비정질 실리콘 박막 트랜지스터를 형성하는 과정에서, 다수의 전하가 소오스 또는 드레인 라인, 게이트 라인 또는 게이트 절연막 등에 축적되었다. 축적된 전하에 의해 표시 장치가 작동하는 과정에서 게이트 구동 장치 내에서 정전기가 발생하였고, 이에 의해 표시 장치의 성능을 저하시켰다. 이에 따라, 정전기에 대한 내성이 강한 게이트 구동 장치의 개발이 필요하였다.

- [0006] 본 발명이 해결하고자 하는 과제는, 정전기에 대한 내성이 강한 게이트 구동 장치를 제공하고자 하는 것이다.
- [0007] 본 발명이 해결하고자 하는 다른 과제는, 상기의 게이트 구동 장치를 포함하는 표시 장치를 제공하고자 하는 것이다.
- [0008] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0009] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 일 실시예에 따른 게이트 구동 장치는, 순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고, 상기 제1 스테이지는, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하되, 상기 게이트 전극은 상기 제2 게이트 출력 신호를 인가 받는 트랜지스터와, 더미 게이트 전극, 더미 소오스 전극, 더미 드레인 전극을 포함하되, 상기 더미 소오스 전극은 상기 트랜지스터의 상기 소오스 전극 또는 상기 드레인 전극과 연결되어, 상기 제1 스테이지로 유입되는 정전기를 방지하는 더미 트랜지스터를 포함할 수 있다.
- [0010] 상기 해결하고자 하는 다른 과제를 달성하기 위한 본 발명의 일 실시예에 따른 표시 장치는, 표시부와 상기 표시부를 둘러싸는 비표시부로 이루어진 기관, 및 상기 비표시부 상에 형성된 게이트 구동 장치를 포함하는 게이트 구동부를 포함하되, 상기 게이트 구동 장치는, 순차적으로 배치되고, 각각 제1 및 제2 게이트 출력 신호를 출력하는 제1 및 제2 스테이지를 포함하고, 상기 제1 스테이지는, 상기 제2 게이트 출력 신호를 인가 받는 신호 인가부와, 상기 신호 인가부와 연결되어, 상기 제1 스테이지로 유입되는 정전기를 방지하는 정전기 방지부를 포함할 수 있다.
- [0011] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- [0013] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0014] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- [0015] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0016] 또한 드레인(또는 드레인 전극)과 소스(또는 소스 전극)은 전류의 방향에 따라 서로 다르게 불려질 수 있으므로, 이하에서 드레인 또는 드레인 전극으로 불려지는 구성 요소는 소스 또는 소스 전극으로 동작할 수 있고, 소스 또는 소스 전극으로 불려지는 구성 요소는 드레인 또는 드레인 전극으로 동작할 수 있다. 따라서 드레인 또는 드레인 전극으로 불려지는 구성 요소가 드레인 또는 드레인 전극으로 한정되는 것은 아니다. 또한 소스 또는 소스 전극으로 불려지는 구성 요소가 소스 또는 소스 전극으로 한정되는 것은 아니다.

- [0017] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 의한 게이트 구동 장치 및 표시 장치에 대하여 상세히 설명한다.
- [0018] 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 게이트 구동 장치 및 이를 포함하는 표시 장치를 설명한다. 도 1은 본 발명의 일 실시예에 따른 게이트 구동 장치 및 이를 포함하는 표시 장치를 설명하기 위한 블록도이고, 도 2는 도 1의 한 화소의 등가 회로도이고, 도 3은 도 1의 게이트 구동부에 포함된 게이트 구동 장치를 설명하기 위한 예시적인 블록도이고, 도 4는 도 3의 제j 스테이지의 예시적인 회로도이고, 도 5는 제j 스테이지의 동작을 설명하기 위한 신호도이다.
- [0019] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치(10)는 액정 패널(300), 타이밍 컨트롤러(500), 클럭 생성부(600), 게이트 구동부(400) 및 데이터 구동부(700)를 포함할 수 있다.
- [0020] 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분될 수 있다.
- [0021] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 화소 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기관(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기관(미도시), 제1 기관(미도시)과 제2 기관(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.
- [0022] 도 2를 참조하여 도 1의 한 화소(PX)에 대해 설명하면, 제1 기관(100)의 화소 전극(PE)과 대향하도록 제2 기관(200)의 공통 전극(CE)의 일부 영역에 선크필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~n) 게이트 라인(Gi)과 j번째(j=1~m) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 화소 스위칭 소자(Qp)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함할 수 있다. 유지 커패시터(Cst)의 일단 및 공통 전극(CE)에는 공통 전압이 인가될 수 있다.
- [0023] 비표시부(PA)는 제1 기관(도 2의 100 참조)이 제2 기관(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- [0024] 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 제1 제어 신호(CONT1)를 출력한다. 여기서 제1 제어 신호(CONT1)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함할 수 있다.
- [0025] 이에 따라 데이터 구동부(700)는 영상 신호(DAT), 제1 제어 신호(CONT1)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 구동부(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 제1 기관(100)상의 비표시부(PA) 상에 형성될 수도 있다.
- [0026] 또한, 타이밍 컨트롤러(500)는 제2 제어 신호(CONT2)를 클럭 생성부(600)에 제공한다. 클럭 생성부(600)는 제2 제어 신호(CONT2)를 입력받아 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력할 수 있다. 즉, 제2 제어 신호(CONT2)에 제어되어 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 이용하여 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력한다. 여기서 제2 제어 신호(CONT2)는 출력 인에이블 신호(OE) 및 게이트 클럭 신호(CPV)를 포함할 수 있다. 여기서 클럭 신호(CKV) 및 클럭바 신호(CKVB)는 각각 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)를 스위칭하는 펄스 신호이고, 클럭 신호(CKV)는 클럭바 신호(CKVB)와 역위상인 신호이다.
- [0027] 게이트 구동부(400)는 스캔 개시 신호(STVP)에 인에이블되어 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 이용하여 다수의 게이트 신호들을 생성하는 게이트 구동 장치를 포함한다. 게이트 구동 장치는 각 게이트 라인(G1~Gn)에 각 게이트 신호를 순차적으로 제공한다. 게이트 구동부(400)의 게이트 구동 장치는 제1 기관(100) 상의 비표시부(PA) 상에 형성될 수 있다. 이러한 게이트 구동부(400)의 게이트 구동 장치를 도 3을 참조하여 좀더 구체적으로 설명한다. 한편, 도시하지는 않았지만, 게이트 구동부가 제1 기관 상의 비표시부 양측에 각각 형성될 수도 있다. 이에 의해, 제1 기관 상의 일측에 형성된 게이트 구동부는 even라인을, 타측에 형성된 게이트 구동부는 odd라인을 각각 구동시킬 수 있다.
- [0028] 도 3을 참조하면, 게이트 구동부(400)의 게이트 구동 장치는 다수의 스테이지(ST1, ~STn+1, 여기서, n은 자연수)를 포함하는데, 각 스테이지(ST1, ~STn+1)는 캐스캐이드(cascade)로 연결되어 있으며, 마지막 스테이지(STn+1)를

제외한 각 스테이지($ST_1, \sim ST_n$)는 게이트 라인($G1 \sim Gn$)과 일대일로 연결되어 각각 게이트 신호($Gout_1 \sim Gout_n$)를 출력한다. 각 스테이지($ST_1, \sim ST_{n+1}$)에는 게이트 오프 전압(Voff), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 초기화 신호(INT)가 입력된다. 여기서 초기화 신호(INT)는 클럭 생성부(600) 또는 타이밍 컨트롤러(500)로부터 제공될 수 있다.

[0029] 각 스테이지($ST_1 \sim ST_{n+1}$)는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있을 수 있다.

[0030] 예를 들어 j 번째($j \neq 1, j=2 \sim n-1$ 의 자연수) 게이트 라인과 연결된 제 j 스테이지(ST_j)의 셋 단자(S)에는 전단 스테이지(ST_{j-1})의 캐리 신호($Cout_{(j-1)}$)가, 리셋 단자(R)에는 후단 스테이지(ST_{j+1})의 게이트 신호($Gout_{(j+1)}$)가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT) 또는 마지막 스테이지(ST_{n+1})의 캐리 신호($Cout_{(n+1)}$)가 입력된다. 게이트 출력 단자(OUT1)는 게이트 신호($Gout_{(j)}$)를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호($Cout_{(j)}$)를 출력한다.

[0031] 단, 첫 번째 스테이지(ST_1)에는 전단 캐리 신호 대신 스캔 개시 신호(STVP)가 입력되며, 마지막 스테이지(ST_{n+1})에는 후단 게이트 신호 대신 스캔 개시 신호(STVP)가 입력된다. 여기서, 첫 번째 스테이지(ST_1)와 마지막 스테이지(ST_{n+1})에 입력되는 스캔 개시 신호(STVP)는 동일한 신호이다.

[0032] 여기서 도 4 및 도 5를 참조하여 도 3의 제 j 스테이지(ST_j)에 대하여 좀더 상세히 설명한다.

[0033] 도 4를 참조하면, 제 j 스테이지(ST_j)는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 풀다운부(440), 방전부(450), 홀딩부(460) 및 정전기 방지부(480, 482)를 포함할 수 있다. 이러한 제 j 스테이지(ST_j)에 전단 캐리 신호($Cout_{(j-1)}$), 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 제공된다. 클럭 신호(CKV)는 하이 레벨 구간(PH_1, PH_2)과 로우 레벨 구간(PL_1, PL_2)을 포함한다.

[0034] 먼저, 버퍼부(410)는 트랜지스터(T4)를 포함한다. 여기서, 트랜지스터(T4)의 게이트와 드레인은 셋 단자(S)와 연결되어 있다. 또한, 트랜지스터(T4)의 게이트와 드레인은 서로 연결되어 있다. 이에 의해, 트랜지스터(T4)는 실질적으로 다이오드처럼 작동한다. 동작을 설명하면, 버퍼부(410)는 셋 단자(S)를 통해 입력된 전단 캐리 신호($Cout_{(j-1)}$)를 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공한다.

[0035] 충전부(420)는 일단이 트랜지스터(T4)의 소오스 전극, 풀업부(430) 및 방전부(450)에 연결되고, 타단이 게이트 출력 단자(OUT1)에 연결된 충전 캐패시터(C1)로 이루어진다.

[0036] 풀업부(430)는 게이트 구동용 박막 트랜지스터(T1)를 포함하는데, 게이트 구동용 박막 트랜지스터(T1)의 드레인 전극이 제1 클럭 단자(CK1)에 연결되고, 게이트 전극이 충전부(420)에 연결되며, 소오스 전극이 게이트 출력 단자(OUT1)에 연결된다.

[0037] 캐리 신호 발생부(470)는 드레인 전극이 제1 클럭 단자(CK1)에 연결되고, 소오스 전극이 캐리 출력 단자(OUT2)에 연결되고, 게이트 전극이 버퍼부(410)와 연결되어 있는 트랜지스터(T15)와, 트랜지스터(T15)의 게이트 전극과 소오스 전극에 연결된 커패시터(C2)를 포함한다.

[0038] 풀다운부(440)는 드레인 전극이 트랜지스터(T1)의 소오스 전극 및 충전 캐패시터(C1)의 타단에 연결되고, 소오스 전극이 전원 전압 단자(GV)에 연결되고, 게이트 전극이 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함한다. 이때, 게이트 전극은 다음 스테이지(ST_{j+1})의 게이트 신호($Gout_{(j+1)}$)를 인가받아 트랜지스터(T2)를 제어한다. 한편, 풀다운부(440)는 정전기로부터 풀다운부(440)를 보호하는 정전기 방지부(480)와 연결될 수 있다. 정전기 방지부(480)에 대한 상세한 설명은 후술하기로 한다.

[0039] 방전부(450)는, 게이트 전극이 리셋 단자(R)에 연결되고 드레인 전극이 충전 캐패시터(C1)의 일단에 연결되고 소오스 전극이 전원 전압 단자(GV)에 연결되어, 다음 스테이지(ST_{j+1})의 게이트 신호($Gout_{(j+1)}$)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트 전극이 프레임 리셋 단자(FR)에 연결되고 드레인 전극이 캐패시터(C3)의 일단에 연결되고 소오스 전극이 전원 전압 단자(GV)에 연결되어, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함한다. 한편, 방전부(450) 중에서 다음 스테이지(ST_{j+1})의 게이트 신

호($Gout_{(j+1)}$)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)에는 정전기가 유입될 수 있어, 정전기 방지부(482)를 연결하여 방전부(450)가 정전기에 의해 손상되는 것을 방지할 수 있다.

[0040] 홀딩부(460)는 다수의 트랜지스터들(T3, T5, T7, T8, T10, T11, T12, T13)을 포함하여, 게이트 신호($Gout_{(j)}$)가 로우 레벨에서 하이 레벨로 변환되면 하이 레벨 상태를 유지시키고, 게이트 신호($Gout_{(j)}$)가 하이 레벨에서 로우 레벨로 변환된 후에는 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호($Gout_{(j)}$)를 로우 레벨로 유지시키는 동작을 수행한다.

[0041] 도 4 및 도 5를 참조하여 상술한 각 유닛들의 동작을 상세히 설명한다.

[0042] 먼저 게이트 신호($Gout_{(j)}$)가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 변환되는 과정을 설명한다.

[0043] 충전부(420)는 도 5에 도시된 전단 캐리 신호($Cout_{(j-1)}$)를 제공받아 전하를 충전한다. 예컨대 충전부(420)는 제1 로우 레벨 구간(PL_1)에서 전단 캐리 신호($Cout_{(j-1)}$)를 제공받아 충전되며, N1 노드(풀업 노드)의 전압이 서서히 증가한다. 하이 레벨의 클럭 신호(CKV)가 게이트 신호($Gout_{(j)}$)로 출력됨에 따라 충전 커패시터(C1)에 의해 N1 노드(풀업 노드)의 전압이 부스트업된다.

[0044] 충전부(420)의 전압, 즉 N1 노드(풀업 노드)의 전압이 양의 전압으로 상승되면, 풀업부(430)의 트랜지스터(T1)는 완전히 턴온되고, 제1 클럭 단자(CK1)를 통해 입력되는 클럭 신호(CKV)를 게이트 출력 단자(OUT1)를 통해 게이트 신호($Gout_{(j)}$)로 제공한다. 즉, 게이트 신호($Gout_{(j)}$)는 게이트 온 전압(Von) 레벨이 된다. 또한 캐리 신호 발생부(470)의 트랜지스터(T15)가 턴온되어, 클럭 신호(CKV)를 캐리 출력 단자(OUT2)를 통해 캐리 신호($Cout_{(j)}$)로 출력한다.

[0045] 한편, 게이트 신호($Gout_{(j)}$)가 게이트 온 전압(Von) 레벨이면, 트랜지스터들(T8, T13)은 턴온된다. 트랜지스터(T13)는 트랜지스터(T7)를 턴오프시켜 하이 레벨의 클럭 신호(CKV)가 트랜지스터(T3)로 제공되는 것을 차단하고, 트랜지스터(T8)는 트랜지스터(T3)를 턴오프시킨다. 따라서 트랜지스터들(T8, T13)이, 트랜지스터(T3)가 게이트 신호($Gout_{(j)}$)를 게이트 오프 전압(Voff)으로 풀다운 시키는 것을 방지한다.

[0046] 다음으로 게이트 신호($Gout_{(j)}$)가 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 변환되는 과정을 설명한다.

[0047] 제2 로우 레벨 구간(PL_2)에서, 즉 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이할 때, N1 노드(풀업 노드)의 전압은, 기생 커패시터(미도시)에 의해 하강된다. 이 때, 다음 스테이지의 게이트 신호($Gout_{(j+1)}$)가 하이 레벨이 됨에 따라 방전부(450)의 트랜지스터(T9)가 턴온되어 N1 노드(풀업 노드)로 게이트 오프 전압(Voff)을 제공한다. 다만, 클럭바 신호(CKVB)는 로우 레벨에서 하이 레벨로 천이하므로, 홀딩부의 트랜지스터(T11)가 턴온되어 양의 전압의 전단 캐리 신호($Cout_{(j-1)}$)를 N1 노드(풀업 노드)로 제공한다. 따라서, N1 노드(풀업 노드)의 전압은, 방전부(450)가 N1 노드(풀업 노드)로 게이트 오프 전압(Voff)을 제공하더라도, 양의 전압의 전단 캐리 신호($Cout_{(j-1)}$)가 N1 노드(풀업 노드)로 제공되므로, 급격하게 게이트 오프 전압(Voff)으로 하강하지 않고, 도 5에 도시된 바와 같이 서서히 감소하게 된다. 여기서, 전단 캐리 신호($Cout_{(j-1)}$)는 전단 스테이지의 캐리 신호 발생부의 커패시터(C2)에 의해 양의 전압으로 유지될 수 있다.

[0048] 즉, 다음 스테이지의 게이트 신호($Gout_{(j+1)}$)가 하이 레벨이 된 때, 풀업부(430)의 트랜지스터(T1)가 턴오프 되지 않고, 로우 레벨의 클럭 신호(CKV)를 게이트 신호($Gout_{(j)}$)로 출력한다. 또한 다음 스테이지의 게이트 신호($Gout_{(j+1)}$)가 하이 레벨이 된 때, 풀다운부(440)의 트랜지스터(T2)가 턴온되어 게이트 오프 전압(Voff)을 게이트 출력 단자(OUT1)로 제공한다. 풀다운부(440)가 게이트 신호($Gout_{(j)}$)를 게이트 오프 전압(Voff)으로 하강시키고, 또한 풀업부(430)도 로우 레벨의 클럭 신호(CKV)를 게이트 신호($Gout_{(j)}$)로 제공하므로, 게이트 신호($Gout_{(j)}$)의 전압 레벨은 신속히 게이트 오프 전압(Voff)으로 풀다운된다. 따라서 게이트 신호($Gout_{(j)}$)가 다음 스테이지의 게이트 신호($Gout_{(j+1)}$)와 오버랩되지 않는다.

[0049] 다음으로 게이트 신호($Gout_{(j)}$)가 게이트 오프 전압(Voff)으로 풀다운된 후, 한 프레임동안 게이트 오프 전압

(Voff)으로 유지되는 동작을 설명한다.

- [0050] 게이트 신호(Gout_(j))가 하이 레벨에서 로우 레벨로 변환된 후에는 트랜지스터들(T8, T13)은 턴오프된다. 클럭 신호(CKV)가 하이 레벨이면, 트랜지스터들(T7, T12)은 트랜지스터(T3)를 턴온시켜 게이트 신호(Gout_(j))를 로우 레벨로 유지한다. 트랜지스터(T10)가 턴온되어 N1 노드(풀업 노드)를 로우 레벨로 유지시킨다. 또한 제1 클럭바 신호(CKVB)가 하이 레벨이고, 트랜지스터들(T5, T11)이 턴온된다. 턴온된 트랜지스터(T5)는 게이트 신호(Gout_(j))를 로우 레벨로 유지시키며, 턴온된 트랜지스터(T11)는 N1 노드(풀업 노드)를 로우 레벨로 유지시킨다.
- [0051] 이하, 도 6 내지 도 8을 참조하여, 본 발명의 제1 실시예에 따른 게이트 구동 장치에 포함된 정전기 방지부에 대해 설명한다. 도 6은 제1 실시예에 따른 게이트 구동 장치의 제j 스테이지의 일부에 대한 레이아웃도이고, 도 7은 도 6의 I-I'선을 따라 절단한 단면도이고, 도 8은 제1 실시예의 변형예에 따른 구동 장치의 제j 스테이지의 일부에 대한 레이아웃도이다.
- [0052] 혼동을 피하기 위해, 풀업부(430)의 트랜지스터(T1)에는 "제1"을, 풀다운부(440)의 트랜지스터(T2)에는 "제2"를, 홀딩부(460)의 트랜지스터(T3)에는 "제3"을, 정전기 방지부의 더미 트랜지스터(Td)에는 "더미"를 붙인다.
- [0053] 도 6 및 도 7을 참조하면, 제1 실시예에 따른 게이트 구동 장치의 제j 스테이지는 기판(10) 상에 제1 내지 제3 및 더미 게이트 전극(21, 23, 25, 27), 제1 내지 제3 및 더미 드레인 전극(51, 53, 55, 57), 제1 내지 제3 및 더미 소오스 전극(61, 63, 65, 67), 소오스 전극 컨택부(60a), 게이트 라인 전극부(22), 제1 패드(62) 및 제2 패드(26) 등을 포함한다.
- [0054] 풀업부(430)의 제1 트랜지스터(T1)는 제1 게이트 전극(21), 제1 드레인 전극(51), 제1 소오스 전극(61)을 포함한다.
- [0055] 제1 드레인 전극(51)은 피쉬본 안테나(fishbone-antenna) 형상으로 제1 게이트 전극(21)과 오버랩되도록 형성될 수 있다. 제2 소오스 또는 드레인 라인(60c)은 제1 드레인 전극(51)을 둘러싸고, 제2 소오스 또는 드레인 라인(60c)으로부터 제1 소오스 전극(61)이 분지되어 제1 드레인 전극(51)과 마주보도록 형성될 수 있다. 이때, 제1 소오스 전극(61)은 제1 게이트 전극(21)과 오버랩되도록 형성될 수 있다. 이러한 제1 드레인 전극(51) 및 제1 소오스 전극(61)은, 전체적으로 크로스 핑거 형상일 수 있다.
- [0056] 제1 소오스 전극(61)은 게이트 출력 신호를 제공한다. 제1 소오스 전극과(61) 연결된 소오스 컨택부(60a)는 게이트 출력 신호를 게이트 라인 컨택부(22)로 전달한다. 게이트 라인 컨택부(22)와 게이트 라인(24)은 서로 연결되어 있어, 게이트 라인(24)을 통해 표시부의 각 화소에 게이트 출력 신호가 인가된다. 또한, 현재 스테이지의 게이트 출력 신호는 소오스 컨택부(60a) 및 이와 연결된 제1 소오스 또는 드레인 라인(60b)을 통해 전단(j-1) 스테이지로 전달된다. 이때, 소오스 라인 컨택부(60a)와 게이트 라인 컨택부(22)는 브릿지 라인으로 연결되고, 이에 대해서는 후술하도록 한다.
- [0057] 풀다운부(440)의 제2 트랜지스터(T2)는 제2 게이트 전극(23), 제2 드레인 전극(53), 제2 소오스 전극(63)을 포함한다.
- [0058] 제2 게이트 전극(23)은 제2 패드(26)와 연결되고, 제2 패드(26)는 후단(j+1) 스테이지의 게이트 출력 신호를 받는 제1 패드(62)와 연결되어 있다. 이에 의해, 제2 게이트 전극(23)은 후단(j+1) 스테이지의 게이트 출력 신호를 인가 받을 수 있다.
- [0059] 제2 드레인 전극(51)은 제1 트랜지스터(T1)의 제1 소오스 전극(61)과 제2 소오스 또는 드레인 라인(60c)을 통해 연결된다. 제2 트랜지스터(T2)는 제2 소오스 전극(63)이 제3 소오스 또는 드레인 라인(60d)으로부터 분지된 것을 제외하고, 제1 트랜지스터(T1)와 실질적으로 동일한 구조이므로 반복되는 설명은 생략하기로 한다.
- [0060] 홀딩부(460)의 제3 트랜지스터(T3)는 제3 게이트 전극(25), 제3 드레인 전극(55), 제3 소오스 전극(65)을 포함한다.
- [0061] 제3 트랜지스터(T3)는 제3 소오스 전극(65)이 제4 소오스 또는 드레인 라인(60e)으로부터 분지된 것을 제외하고, 제1 트랜지스터(T1)와 실질적으로 동일한 구조이므로 반복되는 설명은 생략하기로 한다. 한편, 제4 소오스 또는 드레인 라인(60e)은 제3 소오스 또는 드레인 라인(60d)과 연결된다. 이에 의해, 제3 트랜지스터(T3)와 제2 트랜지스터(T2)가 연결된다.
- [0062] 한편, 풀업부(430)의 일측에 위치하는 제1 패드(62)와 게이트 라인(24)에는 게이트 구동 장치의 제조 과정에서

축적된 전하에 의해 정전기가 발생될 수 있다. 또한, 제2 패드(26)와 게이트 라인 콘택부(22)에도 정전기가 발생될 수 있다. 이러한 정전기는 제1 패드(62), 게이트 라인(24), 제2 패드(26), 게이트 라인 콘택부(22)와 인접한 풀업부(430)의 제1 트랜지스터(T1)의 배선을 통해 스테이지 내부로 유입될 수 있다. 즉, 정전기가 제1 트랜지스터(T1)로 유입되면, 이와 연결된 제2 트랜지스터(T2)로 이동할 수 있다. 또한, 제2 트랜지스터(T2)로 정전기가 유입되면, 이와 연결된 제3 트랜지스터(T3)를 통해 스테이지의 내부로 이동할 수 있다. 이렇게 스테이지 내부로 유입된 정전기는 스테이지내의 트랜지스터를 번트(burnt)시켜 트랜지스터의 작동 불량을 유발할 수 있고, 이에 의해 스테이지의 성능 저하를 초래할 수 있다.

[0063]

특히, 제1 패드(62) 및 제2 패드(26)에 의해 후단(j+1) 스테이지의 게이트 출력 신호를 직접 인가받는 풀다운부(440)의 제2 트랜지스터(T2)와 이에 연결된 홀딩부(460)의 제3 트랜지스터(T3)에 정전기가 빈번히 유입될 수 있다. 또한, 제1 패드(62) 및 제2 패드(26)에 의해 후단(j+1) 스테이지의 게이트 출력 신호를 직접 인가받는 방전부(도 4의 450 참조)의 트랜지스터(도 4의 T9 참조)에도 정전기가 빈번히 유입될 수 있다. 이에 의해, 풀다운부(440)의 제2 트랜지스터(T2), 홀딩부(460)의 제3 트랜지스터(T3) 및 방전부(도 4의 450 참조)의 트랜지스터(도 4의 T9 참조)가 정전기에 특히 취약할 수 있다. 따라서, 풀다운부(440), 홀딩부(460) 및 방전부(도 4의 450 참조)를 정전기로부터 보호하기 위하여 각각에 정전기 방지부가 포함될 수 있다. 즉, 각 스테이지는 게이트 출력 신호를 인가받는 신호 인가부가 포함될 수 있다. 또한, 각 스테이지에 유입되는 정전기를 방지할 수 있도록 신호 인가부와 연결된 정전기 방지부가 포함될 수 있다.

[0064]

도 6 및 도 7을 참조하면, 정전기 방지부(480)가 홀딩부(460)에 포함될 수 있도록, 홀딩부(460)의 제3 트랜지스터(T3)와 인접한 곳에 정전기 방지부(480)가 형성되어 있다. 정전기 방지부(480)는 제1 더미 트랜지스터(Td)를 포함한다. 제1 더미 트랜지스터(Td)는 더미 게이트 전극(27), 더미 드레인 전극(57) 더미 소오스 전극(67)을 포함한다.

[0065]

더미 게이트 전극(27)은 기판(10) 상에 제2 게이트 전극(23) 또는 제3 게이트 전극(25)과 인접하여 배치될 수 있고, 제2 게이트 전극(23) 및 제3 게이트 전극(25)의 사이에 배치될 수 있다. 이때, 더미 게이트 전극(27)은 기판(10) 상의 다른 게이트 전극(21, 23, 25)들과 서로 전기적으로 연결되지 않고 분리된다. 즉, 더미 게이트 전극(27)은 전기적으로 플로팅 되어 있다.

[0066]

더미 게이트 전극(27) 상에는 순차적으로 게이트 절연막(30), 반도체층(41)이 형성되어 있다.

[0067]

반도체층(41) 상에는 더미 게이트 전극(27)과 오버랩되도록 더미 드레인 전극(57)이 형성되어 있다. 더미 드레인 전극(57)과 반도체층 사이에는 오믹 콘택층(42)이 위치할 수 있다. 더미 드레인 전극(57)은 제1 드레인 전극(51)과 유사한 피쉬본 안테나(fishbone-antenna) 형상일 수 있다. 이때, 더미 드레인 전극(57)은 기판(10) 상의 다른 소오스 전극 또는 드레인 전극(51, 53, 55, 61, 63, 65)들과 서로 전기적으로 연결되지 않고 분리된다. 즉, 더미 드레인 전극(57)은 전기적으로 플로팅 되어 있다.

[0068]

더미 소오스 전극(67)은 제4 소오스 또는 드레인 라인(60e)으로부터 분지되고, 더미 게이트 전극(27)과 오버랩 되도록 형성될 수 있다. 또한, 더미 드레인 전극(57)과 마주보도록 형성될 수 있다. 이러한 더미 드레인 전극(57) 및 더미 소오스 전극(67)은, 전체적으로 크로스 핑거 형상일 수 있다.

[0069]

한편, 제4 소오스 또는 드레인 라인(60e)은 제3 소오스 또는 드레인 라인(60d)과 연결되어 있으므로, 제1 더미 트랜지스터(Td)의 더미 소오스 전극(67)은 제2 트랜지스터(T2)의 제2 소오스 전극(63)과 연결된다. 이에 의해, 정전기가 풀다운부(440)의 제2 트랜지스터(T2)에서 홀딩부(460)의 제3 트랜지스터(T3)로 유입되지 않고, 정전기 방지부(480)의 제1 더미 트랜지스터(Td)로 유입될 수 있다. 즉, 제3 트랜지스터(T3)로 유입될 정전기를 제1 더미 트랜지스터(Td)로 유입시켜, 제1 더미 트랜지스터(Td)의 번트(burnt)를 유도함으로써, 정전기가 스테이지 내부로 유입되는 것을 방지할 수 있다. 따라서, 정전기에 의해 스테이지 내의 트랜지스터가 손상되는 것을 효과적으로 방지할 수 있어, 정전기에 의한 스테이지의 성능 저하를 방지할 수 있다.

[0070]

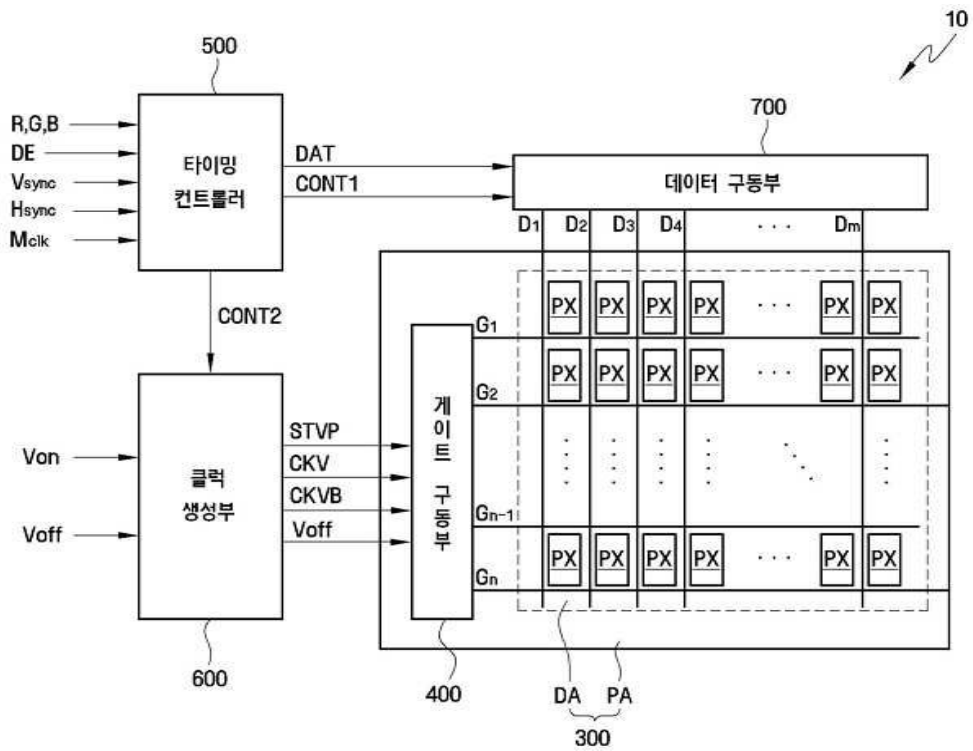
도 8을 참조하면, 정전기 방지부(480)가 풀다운부(440)에 포함될 수 있도록, 풀다운부(440)의 제2 트랜지스터(T2)와 인접한 곳에 정전기 방지부(480)가 형성되어 있다. 정전기 방지부(480)는 제2 더미 트랜지스터(T'd)를 포함한다. 제2 더미 트랜지스터(T'd)는 더미 게이트 전극(27'), 더미 드레인 전극(57') 더미 소오스 전극(67')을 포함한다. 제2 더미 트랜지스터(T'd)는 더미 소오스 전극(67')이 제2 소오스 또는 드레인 라인(60c)에서 분지되어 형성된 것을 제외하고, 제1 더미 트랜지스터(Td)의 구조 및 기능이 실질적으로 동일하므로, 반복되는 설명은 생략한다. 한편, 제2 더미 트랜지스터(T'd)에 의해 제1 트랜지스터(T1)에서 제2 트랜지스터(T2)로 유입되는 정전기가 방지될 수 있다.

- [0071] 한편, 방전부(도 4의 450참조)의 트랜지스터(도 4의 T9 참조)의 소오스 또는 드레인 전극에 연결되도록 정전기 방지부(도 4의 482 참조)를 형성할 수 있다. 여기서, 정전기 방지부(482)는 상술한 바와 같은 더미 트랜지스터(미도시)가 포함될 수 있다. 이에 의해, 방전부(도 4의 450참조)에 유입되는 정전기가 제거될 수 있다.
- [0072] 한편, 상술한 정전기 방지부(480, 482)의 더미 트랜지스터(Td)는 메쉬형으로 형성될 수도 있다.
- [0073] 이하, 도 9 내지 도 12를 참조하여 본 발명의 제2 실시예에 따른 게이트 구동 장치의 배선 구조에 대하여 설명한다. 도 9는 제2 실시예에 따른 게이트 구동 장치의 제j 및 제j+1 스테이지의 일부에 대한 레이아웃도이고, 도 10은 도 9의 II-II'선을 따라 절단한 단면도이고, 도 11은 도 9의 III-III'선을 따라 절단한 단면도이고, 도 12는 도 9의 IV-IV'선을 따라 절단한 단면도이다.
- [0074] 도 9를 참조하면, 제2 실시예에 따른 게이트 구동 장치는 소오스 전극 컨택부(60a), 게이트 라인 컨택부(22), 제1 소오스 또는 드레인 라인(60b), 제1 패드(62), 제2 패드(26), 게이트 라인(24), 제1 브릿지 라인(81), 제2 브릿지 라인(82)을 포함한다.
- [0075] 도 9, 도 10 및 도 12를 참조하면, 소오스 전극 컨택부(60a)는 제1 트랜지스터(T1)의 제2 소오스 또는 드레인 라인(60c)과 연결된다. 이때, 제2 소오스 또는 드레인 라인(60c)을 표시부 방향으로 연장되도록 형성하여 소오스 전극 컨택부(60a)와 제2 소오스 또는 드레인 라인(60c)을 일체형으로 형성할 수 있다. 한편, 소오스 전극 컨택부(60a)에는 제1 소오스 또는 드레인 라인(60b)이 연결되어 있어, 제1 트랜지스터(T1)의 제1 소오스 전극(61)에서 제공되는 게이트 출력 신호를 전단(j-1) 스테이지로 전달한다.
- [0076] 소오스 전극 컨택부(60a)와 게이트 라인 컨택부(22)는 서로 연결되어, 제1 소오스 전극(61)에서 제공하는 게이트 출력 신호를 표시부의 각 화소에 형성된 게이트 전극(29)으로 전달한다. 소오스 전극 컨택부(60a)는 게이트 절연막(30) 상에 형성되어 있고, 게이트 라인 컨택부(22)는 게이트 절연막(30) 하에 형성되어 있지만, 제1 브릿지 라인(81)을 통해 서로 전기적으로 연결된다. 즉, 소오스 전극 컨택부(60a)와 게이트 절연막(30) 상에는 보호층(70)이 형성되어 있지만, 보호층(70)과 게이트 절연막(30)에 제1 콘택홀(71)을 형성하여, 소오스 전극 컨택부(60a)와 게이트 라인 컨택부(22)를 제1 브릿지 라인(81)으로 연결한다. 이때, 제1 브릿지 라인(81)은 보호층(81) 상에 형성된다.
- [0077] 한편, 게이트 라인 컨택부(22)에는 게이트 라인(24)이 연결되어 있어, 제1 브릿지 라인(81)을 통해 소오스 전극 컨택부(60a)로부터 전달된 게이트 출력 신호가 게이트 라인(24)을 통해 각 화소에 형성된 게이트 전극(29)으로 전달된다.
- [0078] 도 9, 도 11 및 도 12를 참조하면, 후단(j+1) 스테이지의 게이트 출력 신호를 받는 제1 패드(62)가 형성되어 있다. 제1 패드(62)가 후단(j+1) 스테이지의 게이트 출력 신호를 받기 위하여, 후단(j+1) 스테이지의 제1 소오스 또는 드레인 라인(60b)과 연결된다.
- [0079] 한편, 게이트 라인(24)을 중심으로 게이트 라인(24)의 일측에 제1 패드(62)가 위치하는 경우, 타측에는 제2 패드(26)가 위치한다. 제2 패드(26)는 제1 패드(62)와 연결되어 후단(j+1) 스테이지의 게이트 출력 신호를 받는다. 또한, 제2 패드(26)는 제2 트랜지스터(T2)의 제2 게이트 전극(63)과 연결된다. 이에 의해, 후단(j+1) 스테이지의 게이트 출력 신호가 제2 게이트 전극에 인가될 수 있다. 이때, 제1 패드(62)와 제2 패드(26)는 제2 브릿지 라인(82)에 의해 전기적으로 연결된다.
- [0080] 제1 패드(62)는 게이트 절연막(30) 상에 형성된다. 제2 패드(26)는 게이트 절연막 하에 형성된다. 즉, 게이트 전극과 동일한 층에 형성된다. 한편, 제1 패드(62) 상에는 보호층(70)이 형성되어 있다. 또한, 제2 패드(26) 상에는 게이트 절연막(30)과 보호층(70)이 형성되어 있다. 따라서, 제2 브릿지 라인(82)으로 제1 패드(62)와 제2 패드(26)를 연결하기 위하여, 제1 패드(62) 상에 제3 콘택홀(73)을 제2 패드(26) 상에 제4 콘택홀(74)을 형성한다. 제3 및 제4 콘택홀(73, 74)에 의해 제1 및 제2 패드(62, 26)가 제2 브릿지 라인(82)으로 연결된다. 이때, 제2 브릿지 라인(82)은 보호층(70) 상에 형성되어 있다.
- [0081] 한편, 종래에는 종래에는 제1 소오스 또는 드레인 라인(60b)과 게이트 라인(24)을 게이트 절연막 사이에 두고 오버랩 시켰다. 이에 의해, 정전기의 발생이 빈번하였다. 그러나, 본 발명의 제2 실시예에 따르면, 제1 소오스 또는 드레인 라인(60b)과 게이트 라인(24)이 직접적으로 오버랩 되지 않아, 오버랩에 의한 정전기 발생을 방지할 수 있다. 또한, 제2 브릿지 라인(82)과 게이트 라인(24) 사이에는 게이트 절연막(30)과 보호층(70)이 있어, 제2 브릿지 라인(82)과 게이트 라인(24) 사이의 정전기 발생이 최소화 될 수 있다.
- [0082] 이하, 도 13 및 도 14를 참조하여 본 발명의 제2 실시예의 변형예에 따른 게이트 구동 장치의 배선 구조에 대해

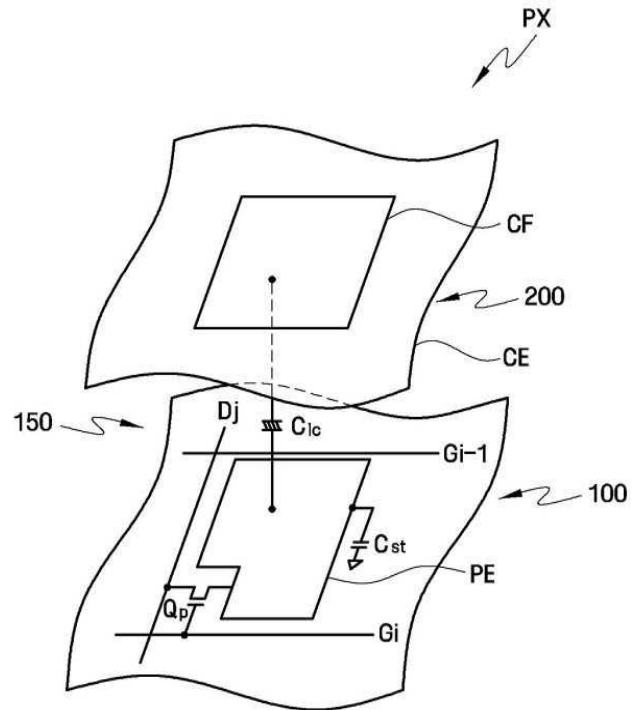
- [0104] 30: 게이트 절연막 41: 반도체층
- [0105] 42: 오믹 콘택층 51, 53, 55: 제1 내지 제3 드레인 전극
- [0106] 60b 내지 60e: 제1 내지 제4 소오스 또는 드레인 라인
- [0107] 61, 63, 65: 제1 내지 제3 소오스 전극 70:보호층
- [0108] 71 내지 75, 77, 79: 제1 내지 제7 콘택홀
- [0109] 81, 82, 82_1, 82_2: 제1 내지 제4 브릿지 라인
- [0110] 27: 더미 게이트 전극 57: 더미 드레인 전극
- [0111] 67: 더미 소오스 전극

도면

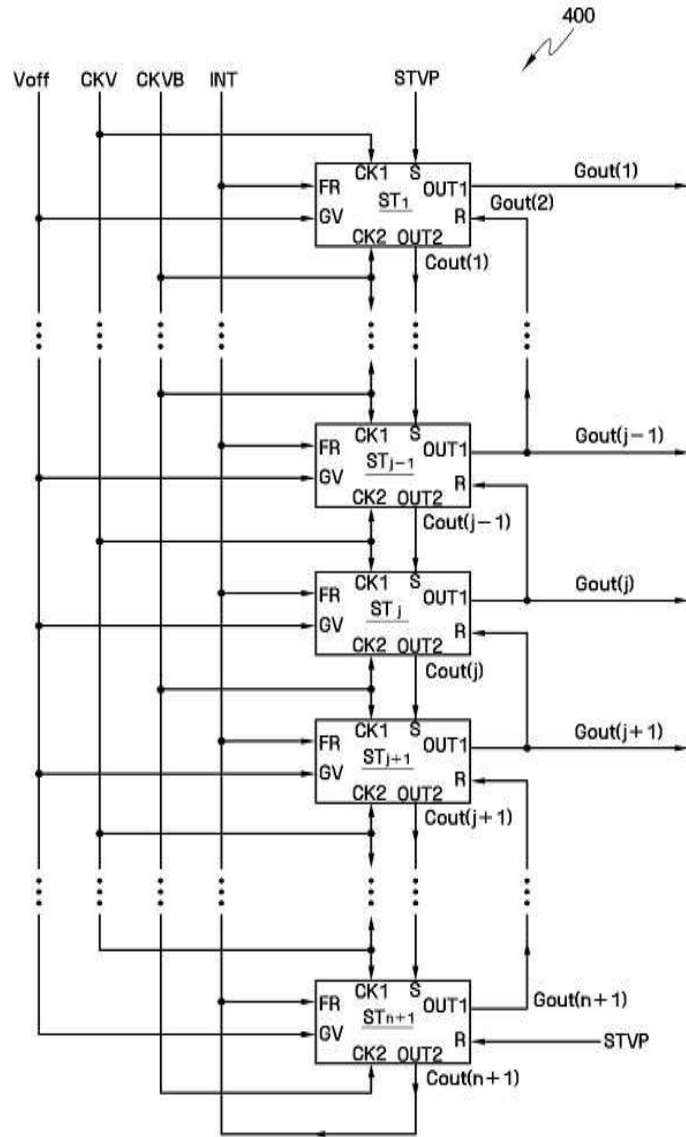
도면1



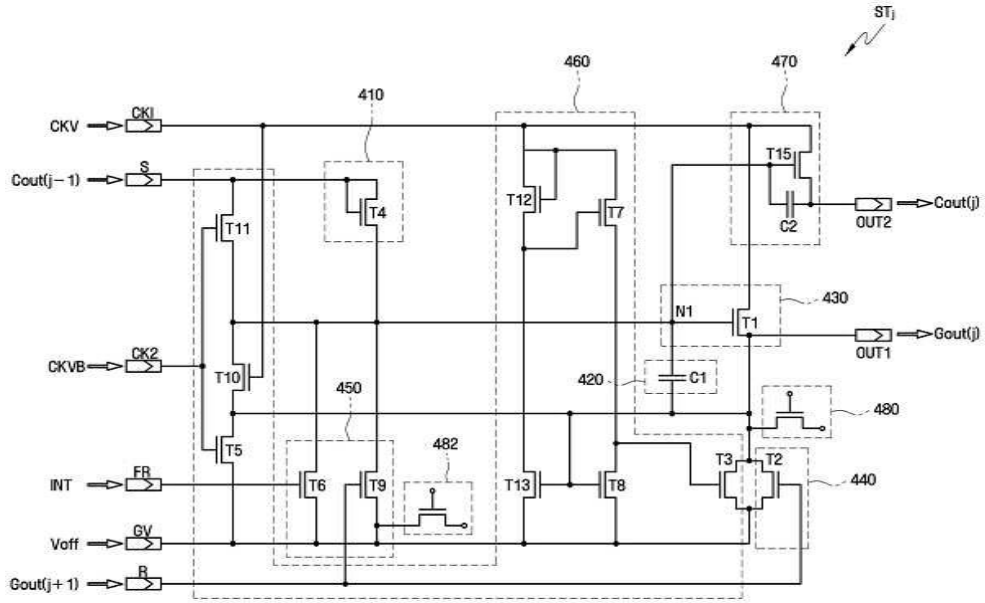
도면2



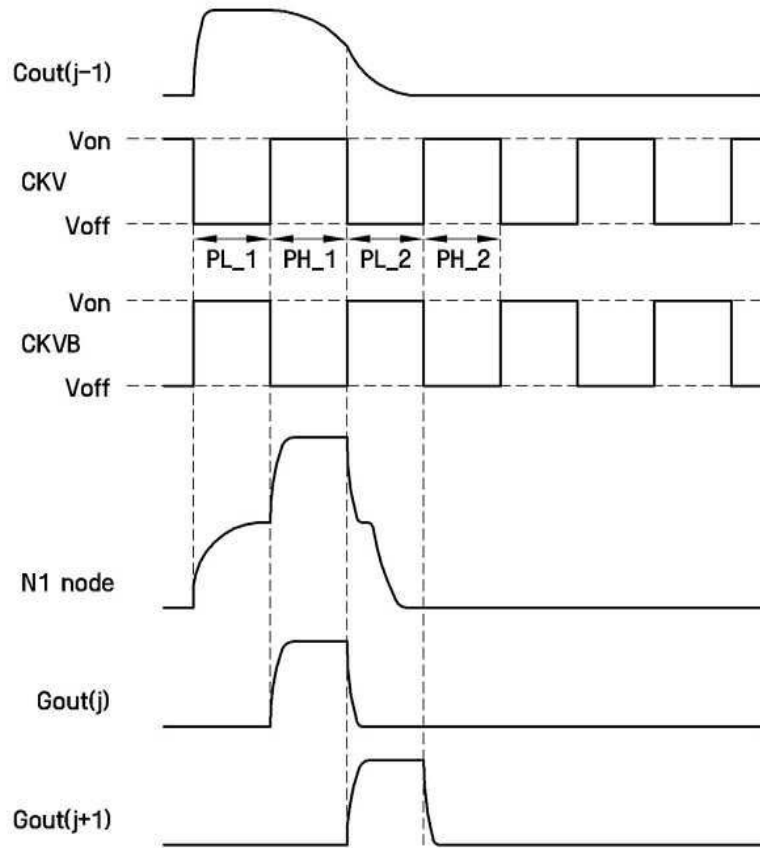
도면3



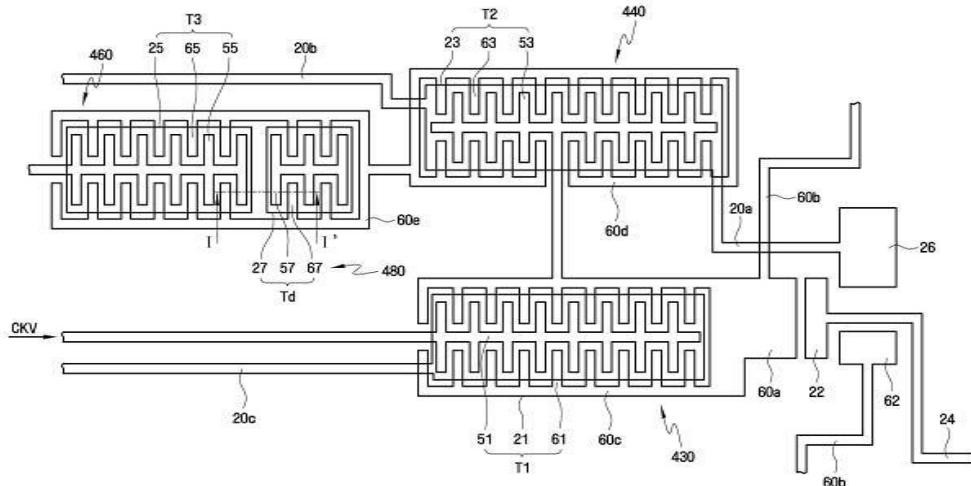
도면4



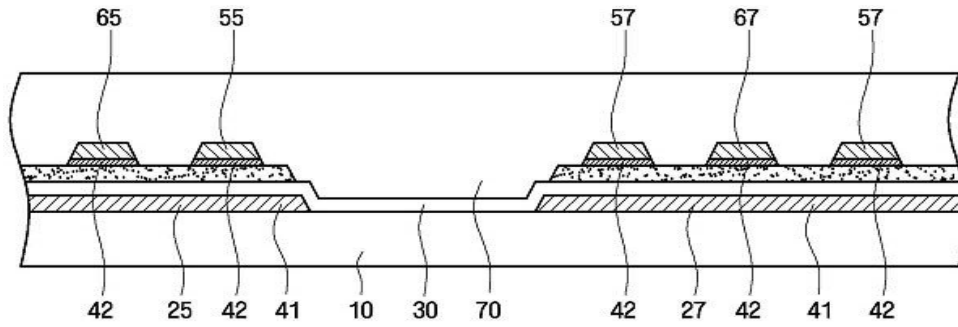
도면5



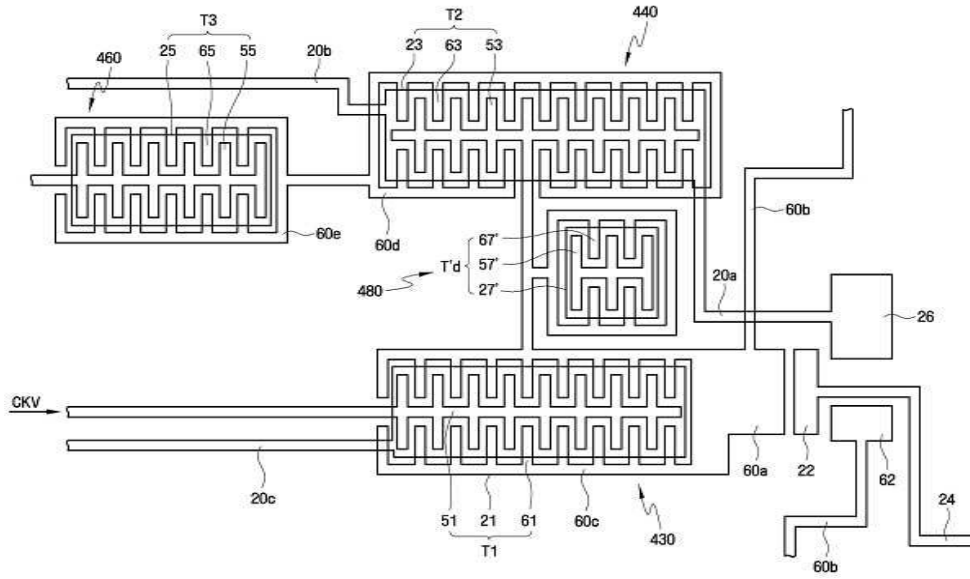
도면6



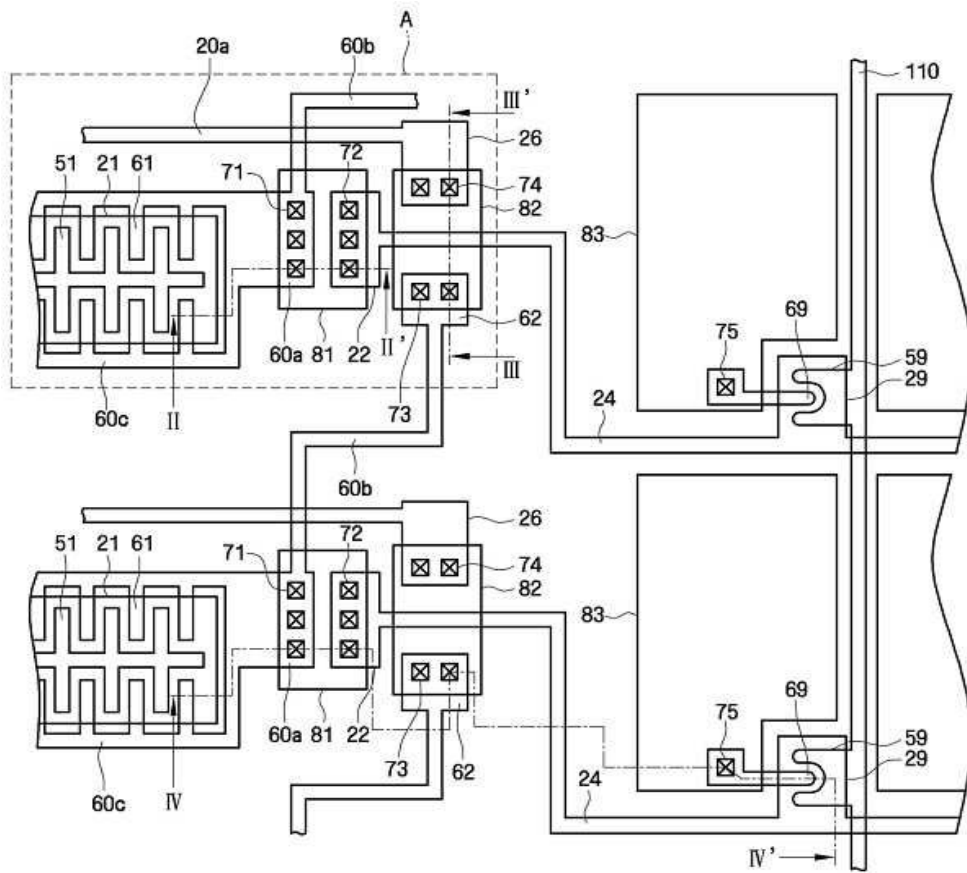
도면7



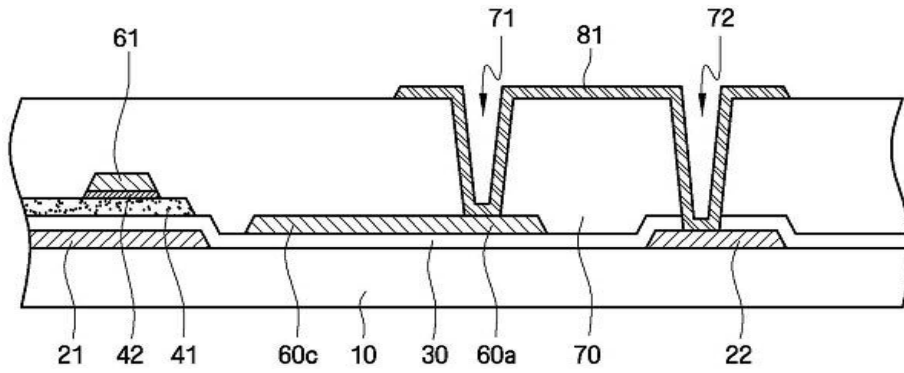
도면8



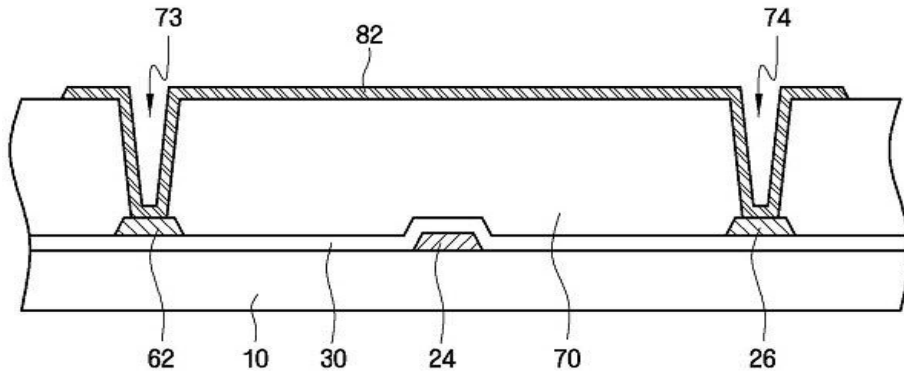
도면9



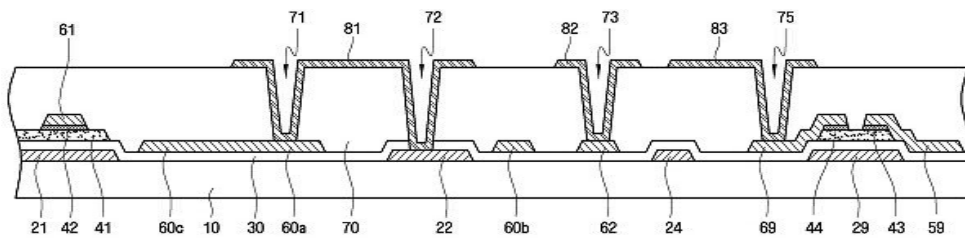
도면10



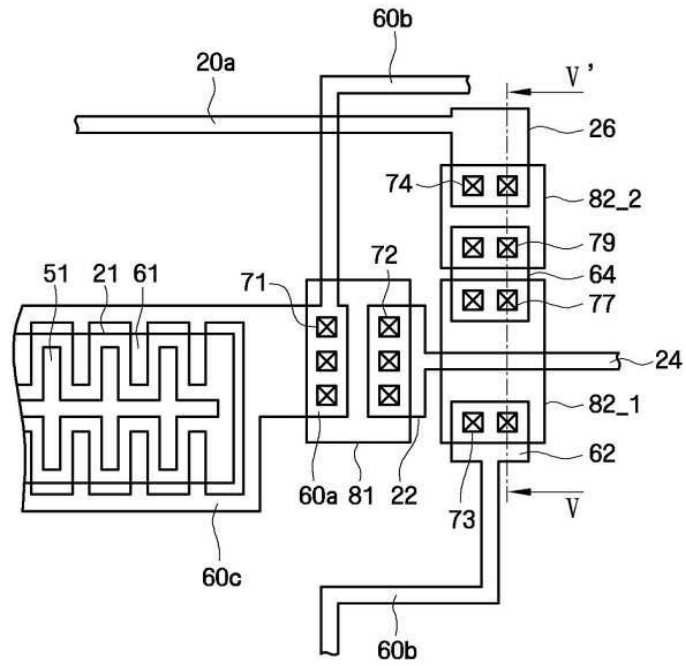
도면11



도면12



도면13



도면14

