



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년07월07일  
 (11) 등록번호 10-1636146  
 (24) 등록일자 2016년06월28일

(51) 국제특허분류(Int. Cl.)  
*H01L 29/786* (2006.01) *H01L 21/336* (2006.01)  
 (21) 출원번호 10-2014-0122957  
 (22) 출원일자 2014년09월16일  
 심사청구일자 2014년09월16일  
 (65) 공개번호 10-2016-0032802  
 (43) 공개일자 2016년03월25일  
 (56) 선행기술조사문헌  
 JP2002289859 A\*  
 JP2013084725 A  
 KR1020100002899 A  
 US20080224133 A1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**한양대학교 산학협력단**  
 서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)  
 (72) 발명자  
**박진성**  
 경기도 성남시 분당구 미금로 23 107동 1402호  
 (구미동, 무지개마을대림아파트)  
**옥경철**  
 경기도 안양시 만안구 병목안로 398 병목안 등나  
 무집 (안양동)  
**정현준**  
 경기도 고양시 일산서구 고양대로 724-17, 303동  
 1104호 (일산동, 산들마을3단지아파트)  
 (74) 대리인  
**박상열**

전체 청구항 수 : 총 13 항

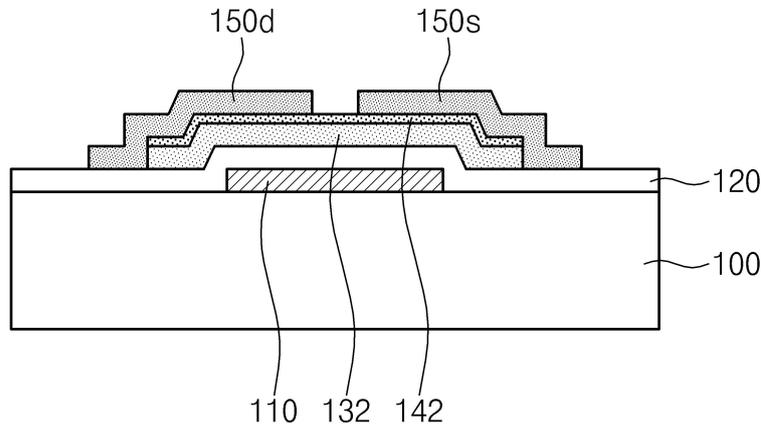
심사관 : 이우찬

(54) 발명의 명칭 **박막 트랜지스터 및 그 제조 방법**

**(57) 요약**

박막 트랜지스터가 제공된다. 상기 박막 트랜지스터는, 기판, 상기 기판 상에 배치되고, 질화물(nitride)을 포함하는 활성 패턴(active pattern), 상기 활성 패턴 상에 배치되고, 비질화물(non nitride)을 포함하는 보호 패턴, 상기 활성 패턴과 중첩된 게이트 전극, 및 상기 게이트 전극 및 상기 활성 패턴 사이의 게이트 절연막을 포함한다.

**대표도** - 도1a



## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상에 배치되고, 금속 산질화물(metal oxynitride)을 포함하는 활성 패턴(active pattern);

상기 활성 패턴 상에 배치되고, 비질화물(non nitride)을 포함하는 보호 패턴;

상기 활성 패턴과 중첩된 게이트 전극; 및

상기 게이트 전극 및 상기 활성 패턴 사이의 게이트 절연막을 포함하되,

상기 보호 패턴과 상기 기관 사이에 상기 활성 패턴은 상기 보호 패턴보다 높은 이동도를 가지고, 상기 게이트 전극에 인가되는 전압에 의해 상기 활성 패턴 내에 채널이 형성되는 것을 포함하는 박막 트랜지스터.

#### 청구항 2

제1 항에 있어서,

상기 보호 패턴은 반도체성 비질화물로 형성되는 것을 포함하는 박막 트랜지스터.

#### 청구항 3

제1 항에 있어서,

상기 보호 패턴을 덮는 페시베이션 막;

상기 페시베이션 막을 관통하여, 상기 게이트 전극 일측에 인접한 상기 보호 패턴의 일부분과 접촉되는 소스 전극; 및

상기 페시베이션 막을 관통하여, 상기 게이트 전극 타측에 인접한 상기 보호 패턴의 일부분과 접촉되는 드레인 전극을 더 포함하는 박막 트랜지스터.

#### 청구항 4

제1 항에 있어서,

상기 게이트 전극 일측의 소스 전극, 및 상기 게이트 전극 타측의 드레인 전극을 더 포함하되,

상기 소스 전극 및 상기 드레인 전극은, 상기 게이트 전극 상기 일측 및 상기 타측에 인접한 상기 보호 패턴의 일부분들과 각각 접촉되는 것을 포함하는 박막 트랜지스터.

#### 청구항 5

제1 항에 있어서,

상기 활성 패턴은, 상기 보호 패턴 및 상기 게이트 전극 사이에 배치되는 것을 포함하는 박막 트랜지스터.

#### 청구항 6

제1 항에 있어서,  
 상기 보호 패턴은, 상기 활성 패턴 및 상기 게이트 전극 사이에 배치되는 것을 포함하는 박막 트랜지스터.

**청구항 7**

제1 항에 있어서,  
 상기 활성 패턴은 금속, 산소, 및 질소의 화합물로 형성되고,  
 상기 보호 패턴은 상기 활성 패턴 내의 금속과 동일한 금속 및 산소의 화합물로 형성되는 것을 포함하는 박막 트랜지스터.

**청구항 8**

삭제

**청구항 9**

제1 항에 있어서,  
 상기 보호 패턴의 두께는 상기 활성 패턴의 두께보다 얇은 것을 포함하는 박막 트랜지스터.

**청구항 10**

제1 항에 있어서,  
 상기 보호 패턴은 상기 활성 패턴과 직접적으로 접촉(directly contact)되는 것을 포함하는 박막 트랜지스터.

**청구항 11**

기판 상에 금속 산질화물(metal oxynitride)을 포함하는 활성막을 형성하는 단계;  
 상기 활성막 상에 비질화물을 포함하는 보호막을 형성하는 단계; 및  
 상기 보호막 및 상기 활성막 차례로 패터닝하여, 상기 기판 상에 적층된 활성 패턴 및 보호 패턴을 형성하는 단계를 포함하되,  
 상기 보호막은, 상기 활성막의 패터닝을 위한 용액 공정으로부터 상기 활성막을 보호하고,  
 상기 활성 패턴은 상기 보호 패턴보다 높은 이동도를 가지고, 상기 활성 패턴 내에 채널이 형성되는 것을 포함하는 것을 포함하는 박막 트랜지스터의 제조 방법.

**청구항 12**

제11 항에 있어서,  
 상기 활성막은, 금속을 포함하는 제1 소스, 산소를 포함하는 제2 소스, 및 질소를 포함하는 제3 소스를 이용하여 형성되고,  
 상기 보호막은, 상기 제1 소스 및 상기 제2 소스를 이용하여, 상기 활성막의 제조법과 동일한 제조법으로 형성되는 것을 포함하는 박막 트랜지스터의 제조 방법.

**청구항 13**

제11 항에 있어서,  
 상기 활성막을 형성하기 전,  
 상기 기판 상에 게이트 전극을 형성하는 단계; 및  
 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

**청구항 14**

제11 항에 있어서,  
 상기 활성막을 형성한 후,  
 상기 보호 패턴 상에 게이트 절연막을 형성하는 단계; 및  
 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터 및 그 제조 방법에 관련된 것으로, 보다 상세하게는, 질화물로 형성된 활성 패턴 및 상기 활성 패턴 상에 배치되고 비질화물로 형성된 보호 패턴을 포함하는 박막 트랜지스터 및 그 제조 방법을 포함한다.

**배경 기술**

[0002] 최근 디스플레이의 대면적화, 초고해상도(Ultra High Definition; UHD)화, 고속 구동화가 진행되고 있으며, 또한, 웨어러블 디바이스(wearable device) 등에 적용 가능한 플렉시블 디스플레이에 대한 요구가 있다. 기존의 비정질 실리콘 반도체 소자(Amorphous Si TFT)는 낮은 이동도( $0.5 \text{ cm}^2/\text{Vs}$  이하)를 가지기 때문에 이를 사용하여, 대면적 및 초고해상도의 디스플레이에 적합하지 않으며, 플렉시블 디스플레이 장치를 구현하는 데는 한계가 있다.

[0003] 이러한 문제를 해결하기 위해, 유기 박막 트랜지스터, 산화물 박막 트랜지스터 등에 대한 연구 개발이 진행되고 있다. 예를 들어, 대한민국 특허공개공보 10-2011-0095530(출원번호 10-2010-0015052)에는 동작 전압을 감소시키고, 제조 공정을 단순화하기 위해, 상부에 리세스 영역을 갖는 게이트 절연막, 및 상기 게이트 절연막의 상기 리세스 영역 내에 배치된 유기 반도체층을 포함하는 유기 박막 트랜지스터에 대한 기술이 개시되어 있다.

[0004] 다른 예를 들어, 대한민국 특허공개공보 10-2008-0054941(출원번호 10-2006-0127671)에는, 대면적 디스플레이 장치에서 신호 지연이 발생하는 것을 방지하기 위해, 화합물 반도체층과 소스/드레인 전극의 접촉이 잘 형성될 수 있게 제1 도전층과, 저저항으로 형성된 제2 도전층으로 소스/드레인 전극을 형성하는 기술이 개시되어 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명이 해결하고자 하는 일 기술적 과제는, 고신뢰성의 박막 트랜지스터 및 그 제조 방법을 제공하는 데 있다.

[0006] 본 발명이 해결하고자 하는 다른 기술적 과제는, 고이동도의 박막 트랜지스터 및 그 제조 방법을 제공하는 데 있다.

[0007] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 수율이 향상된 박막 트랜지스터의 제조 방법을 제공하는 데 있다.

[0008] 본 발명이 해결하고자 하는 기술적 과제는 상술된 것에 제한되지 않는다.

**과제의 해결 수단**

- [0009] 상기 기술적 과제를 해결하기 위해, 본 발명은 박막 트랜지스터를 제공한다.
- [0010] 일 실시 예에 따르면, 박막 트랜지스터는, 기판, 상기 기판 상에 배치되고, 질화물(nitride)을 포함하는 활성 패턴(active pattern), 상기 활성 패턴 상에 배치되고, 비질화물(non nitride)을 포함하는 보호 패턴, 상기 활성 패턴과 중첩된 게이트 전극, 및 상기 게이트 전극 및 상기 활성 패턴 사이의 게이트 절연막을 포함할 수 있다.
- [0011] 일 실시 예에 따르면, 상기 보호 패턴은 반도체성 비질화물로 형성되되, 상기 활성 패턴은 상기 보호 패턴보다 높은 이동도를 갖는 것을 포함할 수 있다.
- [0012] 일 실시 예에 따르면, 상기 박막 트랜지스터는, 상기 보호 패턴을 덮는 페시베이션막, 상기 페시베이션막을 관통하여, 상기 게이트 전극 일측에 인접한 상기 보호 패턴의 일부분과 접촉되는 소스 전극, 및 상기 페시베이션막을 관통하여, 상기 게이트 전극 타측에 인접한 상기 보호 패턴의 일부분과 접촉되는 드레인 전극을 더 포함할 수 있다.
- [0013] 일 실시 예에 따르면, 상기 박막 트랜지스터는, 상기 게이트 전극 일측의 소스 전극, 및 상기 게이트 전극 타측의 드레인 전극을 더 포함하되, 상기 소스 전극 및 상기 드레인 전극은, 상기 게이트 전극 상기 일측 및 상기 타측에 인접한 상기 보호 패턴의 일부분들과 각각 접촉되는 것을 포함할 수 있다.
- [0014] 일 실시 예에 따르면, 상기 활성 패턴은, 상기 보호 패턴 및 상기 게이트 전극 사이에 배치되는 것을 포함할 수 있다.
- [0015] 일 실시 예에 따르면, 상기 보호 패턴은, 상기 활성 패턴 및 상기 게이트 전극 사이에 배치되는 것을 포함할 수 있다.
- [0016] 일 실시 예에 따르면, 상기 활성 패턴은 제1 원소, 제2 원소, 및 질소의 화합물로 형성되고, 상기 보호 패턴은 상기 제1 원소 및 상기 제2 원소의 화합물로 형성되는 것을 포함할 수 있다.
- [0017] 일 실시 예에 따르면, 상기 제1 원소는 아연(Zn)을 포함하고, 상기 제2 원소는 산소(O)를 포함할 수 있다.
- [0018] 일 실시 예에 따르면, 상기 보호 패턴의 두께는 상기 활성 패턴의 두께보다 얇은 것을 포함할 수 있다.
- [0019] 일 실시 예에 따르면, 상기 보호 패턴은 상기 활성 패턴과 직접적으로 접촉(directly contact)되는 것을 포함할 수 있다.
- [0020] 상기 기술적 과제를 해결하기 위해, 본 발명은 박막 트랜지스터의 제조 방법을 제공한다.
- [0021] 일 실시 예에 따르면, 상기 박막 트랜지스터의 제조 방법은, 기판 상에 질화물을 포함하는 활성막을 형성하는 단계, 상기 활성막 상에 비질화물을 포함하는 보호막을 형성하는 단계, 및 상기 보호막 및 상기 활성막 차례로 패터닝하여, 상기 기판 상에 적층된 활성 패턴 및 보호 패턴을 형성하는 단계를 포함하되, 상기 보호막은, 상기 활성막의 패터닝을 위한 용액 공정으로부터 상기 활성막을 보호하는 것을 포함할 수 있다.
- [0022] 일 실시 예에 따르면, 상기 활성막은, 제1 원소를 포함하는 제1 소스, 제2 원소를 포함하는 제2 소스, 및 질소를 포함하는 제3 소스를 이용하여 형성되고, 상기 보호막은, 상기 제1 소스 및 상기 제2 소스를 이용하여, 상기 활성막의 제조법과 동일한 제조법으로 형성되는 것을 포함할 수 있다.
- [0023] 일 실시 예에 따르면, 상기 박막 트랜지스터의 제조 방법은, 상기 활성막을 형성하기 전, 상기 기판 상에 게이트 전극을 형성하는 단계, 및 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계를 더 포함할 수 있다.
- [0024] 일 실시 예에 따르면, 상기 박막 트랜지스터의 제조 방법은, 상기 활성막을 형성한 후, 상기 보호 패턴 상에 게이트 절연막을 형성하는 단계, 및 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 더 포함할 수 있다.

**발명의 효과**

- [0025] 본 발명의 실시 예에 따른 박막 트랜지스터는, 질화물을 포함하는 활성 패턴, 및 상기 활성 패턴 상에 배치되고 비질화물을 포함하는 보호 패턴을 포함할 수 있다. 상기 보호 패턴에 의해, 상기 활성 패턴의 제조 공정에 사용되는 용액 등으로부터, 상기 활성 패턴이 보호될 수 있고, 상기 활성 패턴에 포함된 질소에 의해 이동도가 향상될 수 있다. 이에 따라, 고신뢰성 및 고이동도의 박막 트랜지스터가 제공될 수 있다.

**도면의 간단한 설명**

- [0026] 도 1a는 본 발명의 일 실시 예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.
- 도 1b는 본 발명의 일 실시 예의 변형 예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 순서도이다.
- 도 3 및 도 4는 본 발명의 일 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다.
- 도 5는 본 발명의 다른 실시 예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.
- 도 6은 본 발명의 다른 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 순서도이다.
- 도 7 및 도 8은 본 발명의 다른 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다.
- 도 9는 본 발명의 실시 예에 따른 박막 트랜지스터의 전류-전압 특성을 설명하기 위한 그래프이다.
- 도 10은 본 발명의 실시 예에 따른 박막 트랜지스터의 이동도를 설명하기 위한 그래프이다.
- 도 11은 본 발명의 실시 예에 따른 박막 트랜지스터를 포함하는 표시 장치를 설명하기 위한 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0027] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명할 것이다. 그러나 본 발명의 기술적 사상은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0028] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0029] 또한, 본 명세서의 다양한 실시 예 들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에 제 1 구성요소로 언급된 것이 다른 실시 예에서는 제 2 구성요소로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 또한, 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다.
- [0030] 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 배제하는 것으로 이해되어서는 안 된다. 또한, 본 명세서에서 "연결"은 복수의 구성 요소를 간접적으로 연결하는 것, 및 직접적으로 연결하는 것을 모두 포함하는 의미로 사용된다.
- [0031] 또한, 하기에 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다.
- [0032] 도 1a는 본 발명의 일 실시 예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.
- [0033] 도 1a를 참조하면, 본 발명의 일 실시 예에 따른 박막 트랜지스터는 기판(100) 상의 게이트 전극(110), 게이트 절연막(120), 활성 패턴(132, active pattern), 보호 패턴(142), 드레인 전극(150d), 및 소스 전극(150s)를 포함할 수 있다.
- [0034] 상기 기판(100)은 유리 기판일 수 있다. 이와는 달리, 상기 기판(100)은 플라스틱 기판, 실리콘 기판, 또는 화합물 반도체 기판일 수 있다. 상기 기판(100)은 유연할 수 있다.

- [0035] 상기 게이트 전극(110)이 상기 기판(100) 상에 배치될 수 있다. 상기 게이트 전극(110)은, 금속으로 형성될 수 있다. 예를 들어, 상기 게이트 전극(230)은 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti), 구리(Cu), 텅스텐(W), 및 이들의 합금으로 형성될 수 있다. 상기 게이트 전극(230)은 상기 금속을 이용한 단일막 또는 다중막으로 형성될 수 있다. 예를 들어, 상기 게이트 전극(230)은 몰리브덴(Mo), 알루미늄(Al), 및 몰리브덴(Mo)이 순차적으로 적층된 삼중막이거나, 티타늄(Ti)과 구리(Cu)가 순차적으로 적층된 이중막일 수 있다. 또는 티타늄(Ti)과 구리(Cu)의 합금으로 된 단일막일 수 있다. 또는, 상기 게이트 전극(230)은, 투명한 도전성 물질로 형성될 수 있다.
- [0036] 상기 게이트 절연막(120)이 상기 게이트 전극(110) 상에 배치될 수 있다. 상기 게이트 절연막(120)은, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 금속 산화물과 같은 고유전 물질(예를 들어, 알루미늄 산화물, 또는 하프늄 산화물) 등으로 형성될 수 있다.
- [0037] 상기 활성 패턴(132)이 상기 게이트 절연막(120) 상에 배치될 수 있다. 상기 활성 패턴(132)은 상기 게이트 절연막(120)을 사이에 두고 상기 게이트 전극(110)과 이격 및 중첩될 수 있다.
- [0038] 상기 활성 패턴(132)은 질화물(nitride)로 형성될 수 있다. 일 실시 예에 따르면, 상기 활성 패턴(132)은 제1 원소, 제2 원소, 및 질소를 포함하는 화합물로 형성될 수 있다. 예를 들어, 상기 제1 원소가 금속(예를 들어, 아연(Zn), 주석(Sn), 인듐(In), 또는 티타늄(Ti))을 포함하고, 상기 제2 원소가 산소(O)를 포함하는 경우, 상기 활성 패턴(132)은 금속질산화물(예를 들어, ZnON, SnON, InON, 또는 TiON)로 형성될 수 있다.
- [0039] 상술된 것과 같이, 본 발명의 실시 예에 따른 상기 활성 패턴(132)이 질소 및 금속의 화합물로 형성되는 경우, 금속과 질소의 결합에 의해, 유효 질량(effective mass)이 감소될 수 있다. 이에 따라, 상기 활성 패턴(132)이 높은 이동도를 가질 수 있다.
- [0040] 상기 보호 패턴(142)은 상기 활성 패턴(132) 상에 배치될 수 있다. 이로 인해, 상기 보호 패턴(142) 및 상기 게이트 전극(110) 사이에 상기 활성 패턴(132)이 배치될 수 있다. 상기 보호 패턴(142)의 두께는 상기 활성 패턴(132)의 두께보다 얇을 수 있다.
- [0041] 상기 보호 패턴(142)은, 상기 활성 패턴(132)과 다른 물질로 형성될 수 있다. 구체적으로, 상기 보호 패턴(142)은 반도체성 비질화물(non-nitride)로 형성될 수 있다. 상술된 바와 같이 상기 활성 패턴(132)이 상기 제1 원소, 상기 제2 원소 및 질소를 포함하는 화합물로 형성되는 경우, 상기 보호 패턴(142)은 상기 제1 원소 및 상기 제2 원소의 화합물로 형성될 수 있다. 예를 들어, 상술된 바와 같이, 제1 원소가 금속(예를 들어, 아연(Zn))을 포함하고, 상기 제2 원소가 산소(O)를 포함하는 경우, 상기 활성 패턴(132)은 ZnON을 포함하고, 상기 보호 패턴(142)은 ZnO를 포함할 수 있다.
- [0042] 상기 소스 전극(150s)은 상기 게이트 전극(110)의 일측에 인접한 상기 보호 패턴(142)의 일부분과 연결될 수 있다. 상기 드레인 전극(150d)은 상기 게이트 전극(110)의 타측에 인접한 상기 보호 패턴(142)의 일부분과 연결될 수 있다. 일 실시 예에 따르면, 상기 소스 전극(150s) 및 상기 드레인 전극(150d)은 상기 보호 패턴(142)의 상부면과 직접적으로 접촉(directly contact)될 수 있다. 또한, 일 실시 예에 따르면, 상기 소스 전극(150s) 및 상기 드레인 전극(150d)은 상기 게이트 전극(110)의 양측의 상기 활성 패턴(132)의 측면들과 각각 직접적으로 접촉될 수 있다.
- [0043] 상기 소스 전극(150s) 및 상기 드레인 전극(150d)은 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti), 구리(Cu), 텅스텐(W), 및 이들의 합금으로 이루어질 수 있다. 상기 소스 전극(150s)과 상기 드레인 전극(150d)은 상기 금속을 이용한 단일막 또는 다중막으로 형성될 수 있다. 또는, 상기 소스 전극(150s) 및 상기 드레인 전극(150d)은 투명한 도전성 물질로 형성될 수 있다.
- [0044] 본 발명의 실시 예에 따르면, 상술된 바와 같이, 상기 활성 패턴(132)에 포함된 질소에 의한 유효 질량 감소 효과로 인해, 상기 활성 패턴(132)은 질소를 포함하지 않는 상기 보호 패턴(142)보다 높은 이동도를 가질 수 있고, 상술된 바와 같이, 상기 보호 패턴(142)의 두께가 상기 활성 패턴(132)의 두께보다 얇을 수 있다. 이에 따라, 본 발명의 일 실시 예에 따른 박막 트랜지스터의 채널이, 실질적으로, 높은 이동도를 갖는 상기 활성 패턴(132) 내에 생성되어, 고이동도의 박막 트랜지스터가 제공될 수 있다.
- [0045] 또한, 본 발명의 실시 예에 따르면, 상기 보호 패턴(142)은 상기 활성 패턴(132) 상에 배치되되, 상기 활성 패턴(132)의 상부면과 직접적으로 접촉(directly contact)될 수 있다. 이로 인해, 상기 활성 패턴(132)의 제조 공정에 사용되는 용액 등으로부터, 상기 활성 패턴(132)이 손상되는 것이 최소화될 수 있다. 이로 인해, 상기 활

성 패턴(132)의 열화가 방지되어, 고신뢰성의 박막 트랜지스터가 제공될 수 있다.

- [0046] 상술된 본 발명의 일 실시 예에 따른 박막 트랜지스터와 달리, 본 발명의 일 실시 예의 변형 예에 따르면, 보호 패턴 상에 페시베이션막이 제공되고, 소스/드레인 전극들은 상기 페시베이션막을 관통하여 상기 보호 패턴과 연결될 수 있다. 이를, 도 1b를 참조하여 설명한다.
- [0047] 도 1b는 본 발명의 일 실시 예의 변형 예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.
- [0048] 도 1b를 참조하면, 본 발명의 일 실시 예의 변형 예에 따른 박막 트랜지스터는, 기판(100), 게이트 전극(110), 게이트 절연막(120), 활성 패턴(132), 보호 패턴(142), 페시베이션막(145), 드레인 전극(152d), 및 소스 전극(152s)을 포함할 수 있다.
- [0049] 상기 기판(100), 상기 게이트 전극(110), 상기 게이트 절연막(120), 상기 활성 패턴(132), 및 상기 보호 패턴(142)은 도 1a를 참조하여 설명된 기판(100), 게이트 전극(110), 게이트 절연막(120), 활성 패턴(132), 및 보호 패턴(142)에 각각 대응될 수 있다.
- [0050] 상기 페시베이션막(145)이 상기 보호 패턴(142) 상에 배치될 수 있다. 상기 페시베이션막(145)은 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물로 형성될 수 있다.
- [0051] 상기 소스 전극(152s)은 상기 페시베이션막(145)을 관통하여, 상기 게이트 전극(110)의 일측에 인접한 상기 보호 패턴(142)의 일부분과 연결될 수 있다. 상기 드레인 전극(152d)은 상기 페시베이션막(145)을 관통하여, 상기 게이트 전극(110)의 타측에 인접한 상기 보호 패턴(142)의 일부분과 연결될 수 있다. 상기 소스 전극(152s) 및 상기 드레인 전극(152d)은 상기 보호 패턴(142)과 직접적으로 접촉되고, 상기 활성 패턴(132)과 접촉되지 않을 수 있다. 이에 따라, 본 발명의 일 실시 예의 변형 예에 따른 박막 트랜지스터가 턴온(turn-on)되는 경우, 캐리어(carrier)는, 도 1a를 참조하여 설명된 것과 같이 반도체성 비질화물로 형성된 상기 보호 패턴(142)을 경유하여, 상기 소스 전극(152s) 및 상기 드레인 전극(152d) 사이를 이동할 수 있다.
- [0052] 또는, 도 1b에 도시된 바와 달리, 상기 소스 전극(152) 및 상기 드레인 전극(152d)은 상기 보호 패턴(142)을 관통하여, 상기 활성 패턴(132)과 직접적으로 접촉될 수 있다.
- [0053] 이하, 상술된 본 발명의 일 실시 예 및 일 실시 예의 변형 예에 따른 박막 트랜지스터들의 제조 방법이 설명된다.
- [0054] 도 2는 본 발명의 일 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 순서도이고, 도 3 및 도 4는 본 발명의 일 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다.
- [0055] 도 2 및 도 3을 참조하면, 기판(100) 상에 게이트 전극(110)이 형성될 수 있다(S110). 상기 기판(100)은 도 1a를 참조하여 설명된 것과 같이, 유리 기판, 플라스틱 기판, 또는 반도체 기판일 수 있다. 상기 게이트 전극(110) 상에 게이트 절연막(120)이 형성될 수 있다(S120).
- [0056] 상기 게이트 절연막(120) 상에 활성막(130)이 형성될 수 있다(S130). 상기 활성막(130)은 질화물을 포함할 수 있다. 일 실시 예에 따르면, 상기 활성막(130)은 도 1을 참조하여 설명된 것과 같이, 제1 원소, 제2 원소, 및 질소를 포함하는 화합물로 형성될 수 있다. 이 경우, 상기 활성막(130)을 형성하는 단계는, 상기 제1 원소를 포함하는 제1 소스(source), 상기 제2 원소를 포함하는 제2 소스, 및 질소를 포함하는 제3 소스를 준비하는 단계, 및 상기 제1 내지 제3 소스들을 이용하여 상기 활성막(130)을 상기 게이트 절연막(120) 상에 증착하는 단계를 포함할 수 있다.
- [0057] 상기 활성막(130) 상에 보호막(140)이 형성될 수 있다(S140). 상기 보호막(140)은 비질화물을 포함할 수 있다. 상술된 바와 같이, 상기 활성막(130)이 상기 제1 내지 제3 소스들을 이용하여 형성되는 경우, 상기 보호막(140)은 상기 활성막(130)의 제조에 사용된 상기 제1 소스 및 제2 소스를 이용하여, 상기 활성막(130)의 제조법과 동일한 제조법으로 형성될 수 있다. 예를 들어, 상기 활성막(130)이 아연을 포함하는 소스, 산소를 포함하는 소스, 및 질소를 포함하는 소스를 이용한 화학 기상 증착법으로 형성되는 경우, 상기 보호막(140)은 아연을 포함하는 소스 및 산소를 포함하는 소스를 이용한 화학 기상 증착법으로 형성될 수 있다. 이에 따라, 상기 활성막(130) 및 상기 보호막(140)을 형성하기 위한 소스들의 종류가 감소되어, 소스들의 관리가 용이해지고, 공정 효율성이 향상되고, 제조 비용이 감소될 수 있다.

- [0058] 도 2 및 도 4를 참조하면, 상기 보호막(140) 및 상기 활성막(130)이 차례로 패터닝되어, 활성 패턴(132) 및 상기 활성 패턴(132) 상의 보호 패턴(142)이 형성될 수 있다(S150). 상기 보호막(140) 및 상기 활성막(130)은 동시에 패터닝되어, 상기 활성 패턴(132) 및 상기 보호 패턴(142)의 폭은 실질적으로 동일할 수 있다. 또한, 상기 활성 패턴(132)의 측벽들 및 상기 보호 패턴(142)이 측벽들은 공면(coplanar)을 이룰 수 있다.
- [0059] 상기 보호막(140)은 상기 활성막(130)의 패터닝을 위한 용액 공정으로부터, 상기 활성막(130)을 보호할 수 있다. 예를 들어, 상기 보호막(140) 상에 포토레지스트 패턴을 형성하는 경우, 상기 보호막(140)은, 상기 포토레지스트 패턴을 현상(develop)하기 위한 용액으로부터 상기 활성막(130)이 손상되는 것을 방지할 수 있다. 다른 예를 들어, 상기 포토레지스트 패턴을 이용하여 상기 보호막(140) 및 상기 활성막(130)을 패터닝하는 경우, 상기 보호막(140)은, 상기 보호막(140) 및/또는 상기 활성막(130)의 식각을 위한 용액 공정으로부터, 상기 활성막(130)이 과식각되는 것을 방지할 수 있다. 이로 인해, 상기 활성 패턴(132)의 특성 및 상기 활성 패턴(132)의 제조 수율이 향상되고, 상기 활성 패턴(132)을 상대적으로 미세한 크기로 제조하는 것이 용이해질 수 있다.
- [0060] 만약, 상기 보호막(140)을 생략하는 경우, 포토레지스트 패턴을 현상하기 위한 용액 공정, 및/또는 상기 활성막(130)을 식각하기 위한 용액 공정으로부터, 상기 활성막(130)이 손상될 수 있다. 이에 따라, 활성 패턴의 특성 및 제조 수율이 저하되고, 상대적으로 미세한 크기를 갖는 활성 패턴을 제조하는 것이 용이하지 않을 수 있다.
- [0061] 하지만, 상술된 바와 같이, 본 발명의 실시 예에 따르면, 상기 보호막(140)에 의해, 상기 활성막(130)의 패터닝을 위한 용액 공정으로부터, 상기 활성막(130)이 보호될 수 있다. 이에 따라, 고신뢰성 및 고집적도의 박막 트랜지스터가 제공될 수 있다.
- [0062] 계속해서, 도 1a 및 도 2를 참조하면, 상기 활성 패턴(132) 및 상기 보호 패턴(142) 상에 소스/드레인 전극층이 형성될 수 있다. 상기 소스/드레인 전극층이 패터닝되어, 상기 게이트 전극(110)의 양측의 상기 보호 패턴(142)의 일부분들과 각각 접촉되는 소스 전극(150s) 및 드레인 전극(150d)이 형성될 수 있다.
- [0063] 본 발명의 일 실시 예의 변형 예에 따른 박막 트랜지스터의 제조 방법이 설명된다.
- [0064] 도 1b를 참조하면, 상술된 도 3 및 도 4를 참조하여 설명된 방법으로, 기판(100) 상의 게이트 전극(110), 상기 게이트 전극(110) 상의 게이트 절연막(120), 상기 게이트 절연막(120) 상의 활성 패턴(132), 및 상기 활성 패턴(132) 상의 보호 패턴(142)이 차례로 형성될 수 있다.
- [0065] 상기 보호 패턴(142) 상에 페시베이션 막(145)이 형성될 수 있다. 상기 페시베이션 막(145)을 패터닝하여, 상기 게이트 전극(110) 양측의 상기 보호 패턴(142)의 일부분들을 노출하는 개구부들(openings)이 형성될 수 있다. 상기 개구부를 채우는 소스/드레인 전극층이 형성된 후, 상기 소스/드레인 전극층을 패터닝하여, 소스 전극(152s) 및 드레인 전극(152d)이 형성될 수 있다.
- [0066] 상술된 본 발명의 일 실시 예 및 그 변형 예와 달리, 본 발명의 다른 실시 예에 따르면, 활성 패턴 상에 게이트 전극이 배치될 수 있다. 이를 도 5 내지 도 8을 참조하여 설명한다.
- [0067] 도 5는 본 발명의 다른 실시 예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.
- [0068] 도 5를 참조하면, 본 발명의 다른 실시 예에 따른 박막 트랜지스터는, 기판(200) 상의 활성 패턴(212), 보호 패턴(222), 게이트 절연막(230), 게이트 전극(240), 페시베이션막(250), 소스 전극(260s), 및 드레인 전극(260d)을 포함할 수 있다.
- [0069] 상기 기판(200)은 도 1a를 참조하여 설명된 기판(100)일 수 있다.
- [0070] 상기 활성 패턴(212)은 도 1a를 참조하여 설명된 활성 패턴(132)과 같이, 질화물로 형성될 수 있다. 예를 들어, 상기 활성 패턴(132)은, ZnON, SnON, InON, 또는 TiON 중에서 적어도 어느 하나를 포함할 수 있다.
- [0071] 상기 보호 패턴(222)은 상기 활성 패턴(212) 상에 배치될 수 있다. 상기 보호 패턴(222)은, 도 1a를 참조하여 설명된 보호 패턴(142)과 같이, 반도체성 비질화물로 형성될 수 있다. 예를 들어, 상기 활성 패턴(212)이 ZnON을 포함하는 경우, 상기 보호 패턴(222)은 ZnO를 포함할 수 있다. 상기 보호 패턴(222)의 두께는 상기 활성 패턴(212)의 두께보다 얇을 수 있다.
- [0072] 상기 게이트 절연막(230)이 상기 활성 패턴(212) 및 상기 보호 패턴(222)을 덮을 수 있다. 상기 게이트 절연막(230)은, 도 1a를 참조하여 설명된 게이트 절연막(120)과 동일한 물질로 형성될 수 있다.

- [0073] 상기 게이트 전극(240)이, 상기 게이트 절연막(230) 상에, 상기 활성 패턴(212)과 중첩되도록 배치될 수 있다. 상기 게이트 전극(240)은, 도 1a를 참조하여 설명된 게이트 전극(110)과 동일한 물질로 형성될 수 있다.
- [0074] 상기 게이트 전극(240) 상에 페시베이션 막(250)이 배치될 수 있다. 상기 페시베이션 막(250)은, 절연성 물질 (예를 들어, 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물)로 형성될 수 있다.
- [0075] 상기 소스 전극(260s)은, 상기 페시베이션 막(250)을 관통하여, 상기 게이트 전극(240)의 일측에 인접한 상기 보호 패턴(222)의 일부분과 연결될 수 있다. 상기 드레인 전극(260d)은, 상기 페시베이션 막(250)을 관통하여, 상기 게이트 전극(240)의 타측에 인접한 상기 보호 패턴(222)의 일부분과 연결될 수 있다. 일 실시 예에 따르면, 상기 소스 전극(260s) 및 상기 드레인 전극(260d)은 상기 보호 패턴(222)의 상부면과 직접적으로 접촉 (directly contact)되고, 상기 활성 패턴(212)과 접촉되지 않을 수 있다. 또는, 도 5에 도시된 바와 달리, 상기 소스 전극(260s) 및 상기 드레인 전극(260d)은 상기 보호 패턴(222)을 관통하여, 상기 게이트 전극(240) 양측의 상기 활성 패턴(212)의 일부분들과 직접적으로 접촉될 수 있다.
- [0076] 이하, 상술된 본 발명의 다른 실시 예에 따른 박막 트랜지스터의 제조 방법이 설명된다.
- [0077] 도 6은 본 발명의 다른 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 순서도이고, 도 7 및 도 8은 본 발명의 다른 실시 예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다.
- [0078] 도 6 및 도 7을 참조하면, 기판(200) 상에 질화물을 포함하는 활성막(210)이 형성될 수 있다(S210). 상기 활성막(210)은 도 2 및 도 3을 참조하여 설명된 활성막(130)과 동일한 방법으로 형성될 수 있다.
- [0079] 상기 활성막(210) 상에 비질화물을 포함하는 보호막(220)이 형성될 수 있다(S220). 상기 보호막(220)은, 도 2 및 도 3을 참조하여 설명된 보호막(140)과 동일한 방법으로 형성될 수 있다.
- [0080] 도 6 및 도 7을 참조하면, 상기 보호막(220) 및 상기 활성막(210)이 차례로 패터닝되어, 활성 패턴(212), 및 상기 활성 패턴(212) 상의 보호 패턴(222)이 형성될 수 있다(S230). 상기 보호막(220) 및 상기 활성막(210)은, 도 2 및 도 4를 참조하여 설명된 보호막(140) 및 활성막(130)의 패터닝 방법과 동일한 방법으로, 패터닝될 수 있다. 상기 보호막(220)은, 도 2 및 도 4를 참조하여 설명된 것과 같이, 상기 활성막(210)의 패터닝을 위한 용액 공정으로부터 상기 활성막(210)을 보호할 수 있다.
- [0081] 계속해서, 도 5 및 도 6을 참조하면, 상기 보호 패턴(222) 및 상기 활성 패턴(212)을 덮는 게이트 절연막(230)이 형성될 수 있다(S240). 상기 게이트 절연막(230) 상에 상기 활성 패턴(212)과 중첩되도록 게이트 전극(240)이 형성될 수 있다(S250).
- [0082] 상기 게이트 전극(240) 상에 페시베이션 막(250)이 형성된 후, 상기 페시베이션 막(250)을 관통하여, 상기 게이트 전극(240) 양측의 상기 보호 패턴(222)의 일부분들과 각각 연결되는 소스 전극(260s) 및 드레인 전극(260d)이 형성될 수 있다(S260).
- [0083] 이하, 본 발명의 실시 예들에 따른 박막 트랜지스터의 특성 평가 결과가 설명된다.
- [0084] 도 9는 본 발명의 실시 예에 따른 박막 트랜지스터의 전류-전압 특성을 설명하기 위한 그래프이고, 도 10은 본 발명의 실시 예에 따른 박막 트랜지스터의 이동도를 설명하기 위한 그래프이다.
- [0085] 도 9 및 도 10을 참조하면, ZnON를 포함하는 활성 패턴, 및 상기 ZnON 활성 패턴 상의 ZnO를 포함하는 보호 패턴을 이용하여 본 발명의 실시 예에 따른 박막 트랜지스터를 제조하였다. 측정 결과 -1.19V의 threshold voltage, 56.4cm<sup>2</sup>/Vs의 saturation mobility, 및 0.51V/decade의 sub-threshold voltage swing을 갖는 것으로 측정되었다. 즉, 질화물을 포함하는 활성 패턴 및 비질화물을 포함하는 보호 패턴을 이용하여, 고신뢰성 및 고 이동도의 박막 트랜지스터를 제공할 수 있음을 확인할 수 있다.
- [0086] 상술된 본 발명의 실시 예들에 따른 박막 트랜지스터는 표시 장치에 사용될 수 있다. 이하, 본 발명의 실시 예들에 따른 박막 트랜지스터, 및/또는 그 제조 방법에 따라 제조된 박막 트랜지스터를 포함하는 표시 장치가 설명된다.

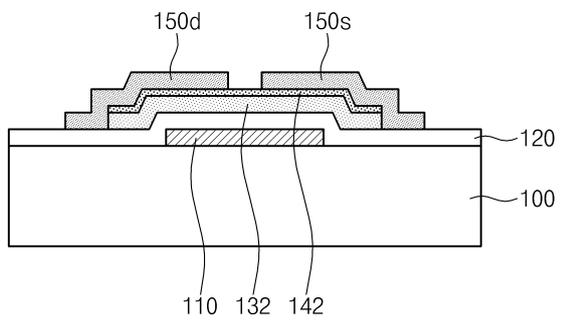
- [0087] 도 11은 본 발명의 실시 예에 따른 박막 트랜지스터를 포함하는 표시 장치를 설명하기 위한 블록도이다.
- [0088] 도 11을 참조하면, 본 발명의 실시 예들에 따른 유기 발광 소자를 포함하는 표시 장치는 표시부(300), 타이밍 컨트롤러(310), 게이트 구동부(330), 데이터 구동부(340), 및 전원부(350)를 포함한다.
- [0089] 상기 표시부(100)는, 게이트 라인, 상기 게이트 라인과 교차하여 형성된 데이터 라인, 및 상기 게이트라인과 상기 데이터 라인이 교차하여 정의하는 영역에 형성된 상기 화소 셀을 포함할 수 있다.
- [0090] 상기 화소 셀은, 본 발명의 실시 예들에 따른 박막 트랜지스터를 적어도 하나 포함할 수 있다. 상기 화소 셀은, 유기 발광 다이오드, 또는 액정층을 포함할 수 있다. 상기 화소 셀에 포함된 본 발명의 실시 예들에 따른 박막 트랜지스터는, PMOS, 또는 NMOS로 구현될 수 있다.
- [0091] 상기 게이트 라인은 상기 게이트 구동부(330)로부터 공급된 게이트 신호(GS)를 상기 화소 셀에 공급할 수 있다. 상기 상기 게이트 신호(GS)에 응답하여, 상기 화소 셀에 포함된 본 발명의 실시 예들에 따른 박막 트랜지스터가 턴온(turn-on)된다. 상기 데이터 라인은 상기 데이터 구동부(340)로부터 공급된 표시 데이터 전압(DDV)을 공급할 수 있다.
- [0092] 상기 타이밍 컨트롤러(310)는 외부로부터 데이터 신호(I-data)를 입력받아서 상기 데이터 구동부(340)로 공급하고, 외부로부터 공급된 신호에 근거하여 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 각각 상기 게이트 구동부(330)와 상기 데이터 구동부(340)로 제공할 수 있다.
- [0093] 상기 전원부(350)는 상기 게이트 구동부(330)에 게이트 온 전압(VON)/게이트 오프 전압(VOFF)을 공급하고, 상기 데이터 구동부(340)에 아날로그 구동전압(AVDD)을 공급하며, 상기 표시부(100)에 구동전압(VDD) 및 공통전압(Vcom)을 공급할 수 있다.
- [0094] 도 11에서 본 발명의 실시 예들에 따른 박막 트랜지스터가 표시 장치에 사용되는 것으로 설명하였지만, 이에 한정되지 아니하고, 본 발명의 실시 예들에 따른 박막 트랜지스터는 다양한 전자 소자에 사용될 수 있다.
- [0095] 이상, 본 발명을 바람직한 실시 예를 사용하여 상세히 설명하였으나, 본 발명의 범위는 특정 실시 예에 한정되는 것은 아니며, 첨부된 특허청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술분야에서 통상의 지식을 습득한 자라면, 본 발명의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

**부호의 설명**

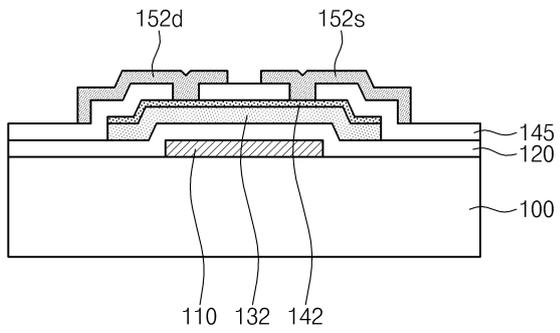
- [0096] 100, 200: 기판
- 110, 240: 게이트 전극
- 120, 230: 게이트 절연막
- 130, 210: 활성막
- 132, 212: 활성 패턴
- 140, 220: 보호막
- 142, 222: 보호 패턴
- 145, 250: 페시베이션 막
- 150d, 150s: 드레인 전극, 소스 전극
- 152d, 152s: 드레인 전극, 소스 전극
- 260d, 260s: 드레인 전극, 소스 전극

도면

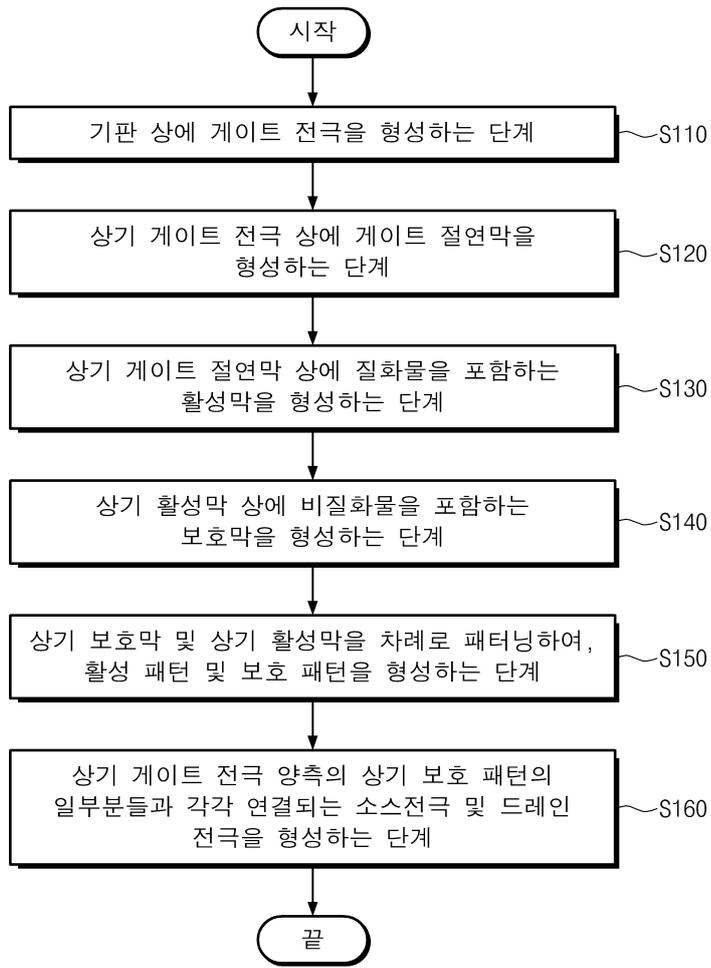
도면1a



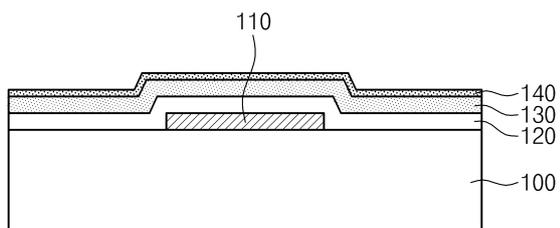
도면1b



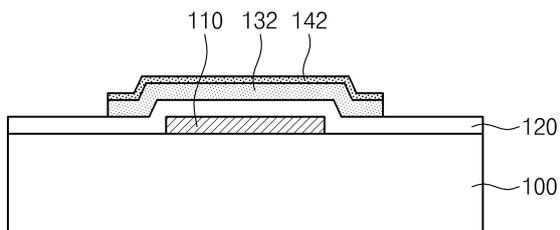
도면2



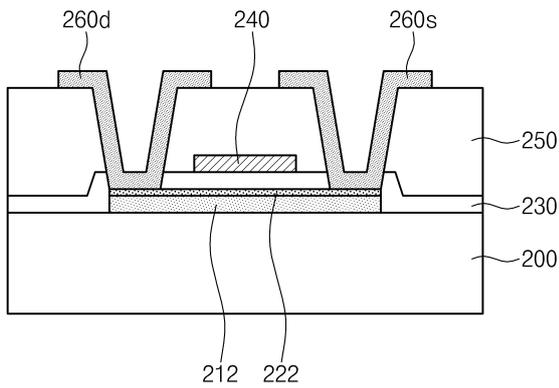
도면3



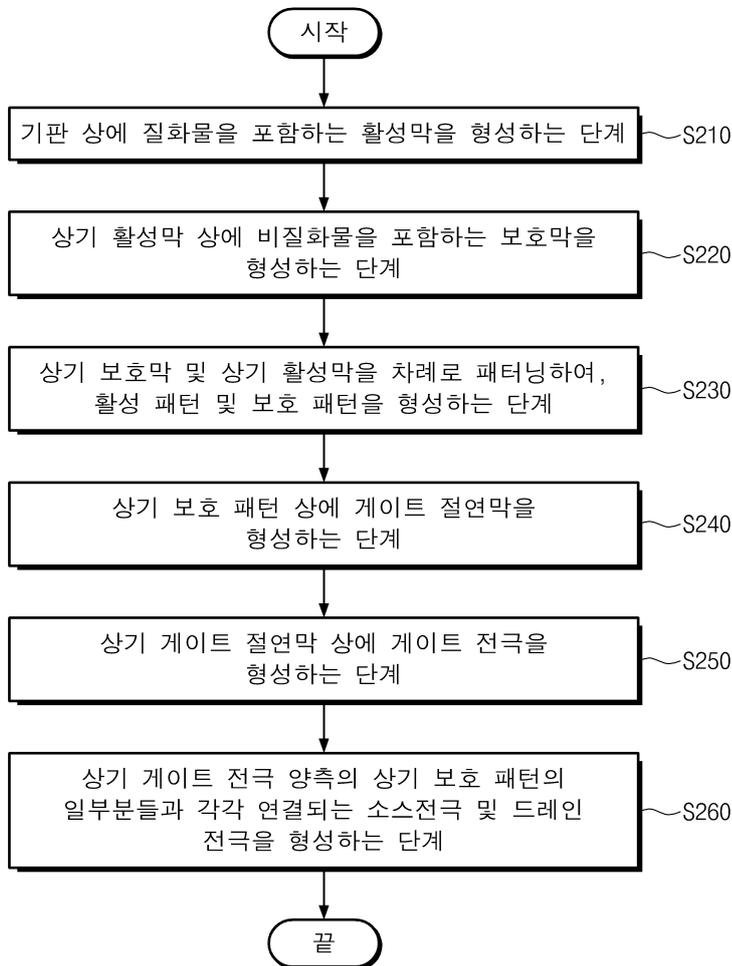
도면4



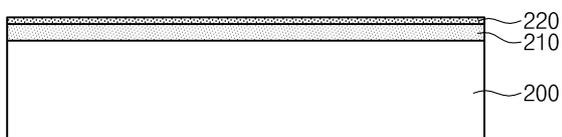
도면5



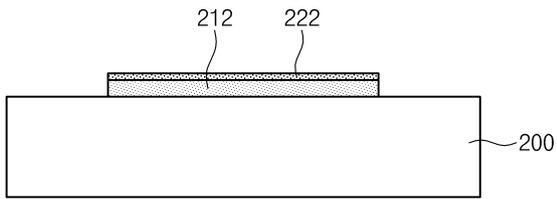
도면6



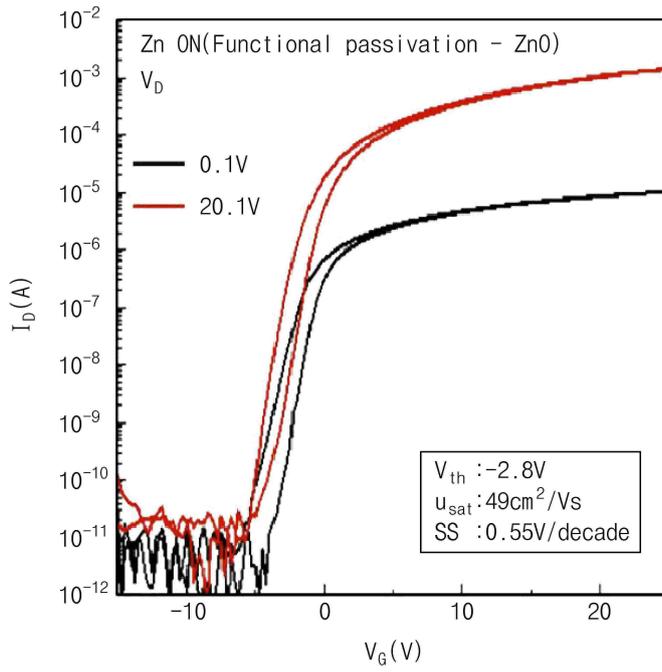
도면7



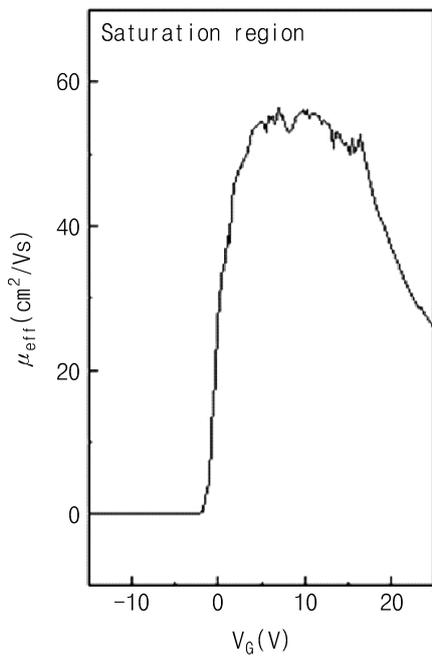
도면8



도면9



도면10



도면11

