

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
G11C 11/40

(45) 공고일자 2005년10월20일  
(11) 등록번호 10-0522433  
(24) 등록일자 2005년10월11일

(21) 출원번호 10-2003-0027003  
(22) 출원일자 2003년04월29일

(65) 공개번호 10-2004-0095969  
(43) 공개일자 2004년11월16일

(73) 특허권자 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 박낙규  
경기도이천시부발읍아미리753현대7차아파트702-1301

(74) 대리인 특허법인 신성

심사관 : 안병일

(54) 도메인 크로싱 회로

요약

본 발명의 도메인 크로싱 회로는, 도메인 크로싱하는 부분에서의 내부 클럭 신호와 DLL 클럭 신호와의 위상차 및 데이터 출력단까지의 플라이트 시간(flight time)을 감지하고, 이를 도메인 크로싱 장치의 제어에 반영함으로써, 고주파 및 프로세스, 전압, 온도에 의한 시간 차에 따른 비정상 동작을 방지하는 도메인 크로싱 회로를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 읽기 명령에 의해 내부 클럭 신호에 동기된 초기 출력 인에이블 신호를 생성하는 제1 출력 인에이블 신호 생성부; 감지 시작 신호 및 상기 내부 클럭 신호에 활성화되어 CL에 적합한 위상을 감지하며, 감지 결과에 따라 상향 DLL 클럭 신호 및 하향 DLL 클럭 신호 중 한 신호를 선택하여 출력 인에이블 클럭 신호를 생성하는 도메인 크로싱 감지부; 상기 초기 출력 인에이블 신호 및 상기 출력 인에이블 클럭 신호를 입력받아 복수개의 출력 인에이블 신호를 생성하는 제2 출력 인에이블 신호 생성부; 상기 제2 출력 인에이블 신호 생성부의 출력 신호를 입력받고, 데이터가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 제어부; 상기 제2 출력 인에이블 신호 생성부의 출력 신호를 입력받고, 데이터 스트로브 신호가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 출력 제어부; 및 어드레스 신호를 입력받고, 상기 도메인 크로싱 감지부의 감지 결과를 참조하여 상기 어드레스 신호에 따라 데이터의 배열을 제어하는 복수개의 데이터 배열 신호 생성부를 포함한다.

대표도

도 9

색인어

도메인 크로싱, DLL, 위상 감지

명세서

도면의 간단한 설명

- 도 1은 종래의 도메인 크로싱 시스템을 나타낸 블록도,
- 도 2는 종래의 도메인 크로싱 장치를 나타낸 블록도,
- 도 3은 종래의 도메인 크로싱 장치 내에 장착된 DLL 클럭 딜레이부를 나타낸 블록도,
- 도 4는 종래의 도메인 크로싱 장치 내에 장착된 제2 출력 인에이블 신호 생성부를 나타낸 예시도,
- 도 5는 종래의 도메인 크로싱 장치 내에 장착된 데이터 제어부를 나타낸 블록도,
- 도 6a 및 도 6b은 종래의 도메인 크로싱 장치 내에 장착된 데이터 출력 제어부를 나타낸 예시도,
- 도 7은 종래의 도메인 크로싱 장치 내에 장착된 데이터 배열 신호 생성부를 나타낸 블록도,
- 도 8a 내지 도 8c는 종래의 도메인 크로싱 장치의 동작을 나타낸 타이밍도,
- 도 9는 본 발명의 일 실시예에 의한 도메인 크로싱 회로를 나타낸 블록도,
- 도 10은 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 도메인 크로싱 감지부를 나타낸 블록도,
- 도 11은 도 10의 도메인 크로싱 감지부 내에 장착된 감지 시작 신호 생성부를 나타낸 예시도,
- 도 12는 도 10의 도메인 크로싱 감지부 내에 장착된 위상 감지부를 나타낸 예시도,
- 도 13은 도 12의 위상 감지부 내에 장착된 복수개의 플립플롭을 나타낸 예시도,
- 도 14a 내지 도 14c는 도 10에 따른 도메인 크로싱 감지부 내에 장착된 레이턴시 감지부를 나타낸 예시도,
- 도 15는 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 제2 출력 인에이블 신호 생성부를 나타낸 블록도,
- 도 16a 및 도 16b는 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 데이터 출력 제어부를 나타낸 블록도,
- 도 17은 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 데이터 제어부를 나타낸 블록도,
- 도 18은 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 데이터 배열 신호 생성부를 나타낸 블록도,
- 도 19는 본 발명의 도메인 크로싱 회로의 동작을 나타낸 타이밍도,
- 도 20a 및 도 20b는 본 발명의 일 실시예에 의한 도메인 크로싱 회로의 동작의 일례를 나타낸 타이밍도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

- 910 : 제1 출력 인에이블 신호 생성부
- 920 : 도메인 크로싱 감지부
- 930 : 제2 출력 인에이블 신호 생성부
- 940 : 데이터 제어부 950 : 데이터 출력 제어부
- 960 : 제1 데이터 배열 신호 생성부

970 : 제2 데이터 배열 신호 생성부

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 도메인 크로싱 회로에 관한 것으로, 특히, SDRAM(synchronous dynamic random access memory), DDR(Double Data Rate), DDRII, DDRIII SDRAM에 적용되는 도메인 크로싱 회로에 관한 것이다.

도 1은 종래의 도메인 크로싱 시스템을 나타낸 블록도로서, 이러한 종래의 도메인 크로싱 장치는, 외부 클럭(ext\_clk)을 입력받아 이를 참조하여 내부 클럭(Int\_clk)을 생성하는 내부 클럭 생성기(110); 외부 클럭(ext\_clk)을 입력받아 이를 참조하여 플라이트 시간(flight time)을 보상하는 지연 고정 루프 클럭(dll\_clk)을 생성하는 DLL부(120); 내부 클럭(Int\_clk)에 따라 어드레스 제어 신호를 전달하는 제1 플립플롭(131); 내부 클럭(Int\_clk)에 따라 읽기 명령을 전달하는 제2 플립플롭(132); 어드레스 제어 신호의 제어에 따라 데이터를 저장/출력하는 메모리 셀(140); 메모리 셀(140)로부터 데이터를 입력받아 전달하는 제3 플립플롭(150); 제2 플립플롭(132)으로부터 읽기 명령을 입력받아 내부 클럭 및 지연 고정 루프 클럭을 참조하여 수신기 도메인에서 송신기 도메인으로 도메인 크로싱하는 도메인 크로싱 회로(161); 도메인 크로싱 회로(161)로부터 출력 인에이블 신호(oe)를 입력받아 지연 고정 루프 클럭을 참조하여 제어 신호를 생성하는 제어 및 생성부(162); 제어 및 생성부(162)의 제어 신호에 따라 데이터 출력을 제어하는 제2 읽기 제어부(170); 제3 플립플롭(150)으로부터 데이터를 입력받아 래치하는 복수개의 파이프 래치(180); 및 복수개의 파이프 래치(180)로부터 입력받은 데이터를 출력하는 드라이버(190)를 포함한다.

여기서, "도메인 크로싱"이라 함은 수신기 도메인(Receiver domain)에서 송신기 도메인(Transmitter domain)으로의 전환, 읽기 명령을 인식하는 영역에서 외부 클럭(ext\_clk)에 동기하여 출력 데이터(dq, dqs/dqsb)를 내보내기 위한 영역으로의 전환 및 내부 클럭(int\_clk)에서 지연 고정 루프 클럭(dll\_clk)으로의 전환을 의미한다. 도 1을 참조하면, 내부 클럭(int\_clk)은, 외부 클럭(ext\_clk)으로부터 내부 클럭 생성기(110)를 거쳐 생성되고, 지연 고정 루프 클럭(dll\_clk)은, 도메인 크로싱 회로(161), 제어 및 생성부(162), 제2 읽기 제어부(170) 및 드라이버(190)를 거쳐 외부 클럭(ext\_clk)에 동기하여 내보내기까지의 플라이트 시간(flight time)을 보상하기 위하여 DLL부(120)에서 생성된다.

도 2는 종래의 도메인 크로싱 장치를 나타낸 블록도로서, 이러한 종래의 도메인 크로싱 장치는, 외부 클럭 신호에 의해 생성된 내부 클럭 신호(int\_clk)와 외부 읽기 명령에 의해 생성된 읽기 명령 신호(casp\_rd)를 입력받고, 이에 의하여 초기 출력 인에이블 신호(oe00)를 생성하는 제1 출력 인에이블 신호 생성부(210); 상향 DLL 클럭 신호(rclk\_dll) 및 하향 DLL 클럭 신호(fclk\_dll)를 입력받아 카스 레이턴시(Cas Latency ; 이하 CL)에 적합한 클럭 신호를 선택하여 출력 인에이블 클럭 신호를 생성하는 DLL 클럭 딜레이부(220); 초기 출력 인에이블 신호(oe00) 및 DLL 클럭 딜레이부(220)에서 출력된 출력 인에이블 클럭 신호를 입력받아 복수개의 출력 인에이블 신호를 생성하는 제2 출력 인에이블 신호 생성부(230); 제2 출력 인에이블 신호 생성부(230)의 출력 신호를 입력받고, 데이터가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 제어부(240); 제2 출력 인에이블 신호 생성부(230)의 출력 신호를 입력받고, 데이터 스트로브 신호가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 출력 제어부(250); 제1 어드레스 신호(add0), 내부 클럭 신호(int\_clk), 상향 DLL 클럭 신호(rclk\_dll) 및 하향 DLL 클럭 신호(fclk\_dll)를 입력받고, CL을 참조하여 제1 어드레스 신호(add0)의 논리 단계에 따라 데이터의 배열을 제어하는 제1 데이터 배열 신호 생성부(260); 및 제2 어드레스 신호(add1), 내부 클럭 신호(int\_clk), 상향 DLL 클럭 신호(rclk\_dll) 및 하향 DLL 클럭 신호(fclk\_dll)를 입력받고, CL을 참조하여 제2 어드레스 신호(add1)의 논리 단계에 따라 데이터의 배열을 제어하는 제2 데이터 배열 신호 생성부(270)를 포함한다.

도 3은 종래의 도메인 크로싱 장치 내에 장착된 DLL 클럭 딜레이부(220)를 나타낸 블록도로서, 이러한 종래의 DLL 클럭 딜레이부(220)는, 상향 DLL 클럭 신호(rclk\_dll)를 입력받아 지연시켜 제1 출력 인에이블 클럭 신호(rclk\_dll\_oe1)를 출력하는 제1 상향 클럭 딜레이부(321a); 상향 DLL 클럭 신호(rclk\_dll)를 입력받아 지연시켜 제1 출력 인에이블 클럭 신호(rclk\_dll\_oe1) 및 제2 출력 인에이블 클럭 신호(rclk\_dll\_oe2)를 출력하는 제2 상향 클럭 딜레이부(321b); 상향 DLL 클럭 신호(rclk\_dll)를 입력받아 지연시켜 제1 출력 인에이블 클럭 신호(rclk\_dll\_oe1), 제2 출력 인에이블 클럭 신호(rclk\_dll\_oe2) 및 제3 출력 인에이블 클럭 신호(rclk\_dll\_oe3)를 출력하는 제3 상향 클럭 딜레이부(321c); CL에 따라 상향 DLL 클럭 신호(rclk\_dll), 제1 상향 클럭 딜레이부(321a)의 출력 신호, 제2 상향 클럭 딜레이부(321b)의 출력 신호 및 제3 상향 클럭 딜레이부(321c)의 출력 신호 중 한 가지 신호를 선택하는 제1 MUX(321d); 하향 DLL 클럭 신호(fclk\_dll)

를 입력받아 지연시켜 제4 출력 인에이블 클럭 신호(fclk\_dll\_oe15)를 출력하는 제1 하향 클럭 딜레이부(322a); 하향 DLL 클럭 신호(fclk\_dll)를 입력받아 지연시켜 제4 출력 인에이블 클럭 신호(fclk\_dll\_oe15) 및 제5 출력 인에이블 클럭 신호(fclk\_dll\_oe25)를 출력하는 제2 하향 클럭 딜레이부(322b); 하향 DLL 클럭 신호(fclk\_dll)를 입력받아 지연시켜 제4 출력 인에이블 클럭 신호(fclk\_dll\_oe15), 제5 출력 인에이블 클럭 신호(fclk\_dll\_oe25) 및 제6 출력 인에이블 클럭 신호(fclk\_dll\_oe35)를 출력하는 제3 하향 클럭 딜레이부(322c); 및 CL에 따라 하향 DLL 클럭 신호(fclk\_dll), 제1 하향 클럭 딜레이부(322a)의 출력 신호, 제2 하향 클럭 딜레이부(322b)의 출력 신호 및 제3 하향 클럭 딜레이부(322c)의 출력 신호 중 한 가지 신호를 선택하는 제2 MUX(322d)를 포함한다.

도 4는 종래의 도메인 크로싱 장치 내에 장착된 제2 출력 인에이블 신호 생성부(230)를 나타낸 예시도로서, 이러한 종래의 제2 출력 인에이블 신호 생성부(230)는, 초기 출력 인에이블 신호(oe00)를 입력받고, 제1 출력 인에이블 클럭 신호(rclk\_dll\_oe1)에 따라 제1 출력 인에이블 신호(oe10\_dll)를 출력하는 제1 플립플롭(431); 제1 출력 인에이블 신호(oe10\_dll)를 입력받고, 제2 출력 인에이블 클럭 신호(rclk\_dll\_oe2)에 따라 제2 출력 인에이블 신호(oe20\_dll)를 출력하는 제2 플립플롭(432a); 제2 출력 인에이블 신호(oe20\_dll)를 입력받고, 제3 출력 인에이블 클럭 신호(rclk\_dll\_oe3)에 따라 제3 출력 인에이블 신호(oe30\_dll)를 출력하는 제3 플립플롭(432b); 최초로 제3 출력 인에이블 신호(oe30\_dll)를 입력받고, 서로 순차적으로 연결되어 상향 DLL 클럭 신호(rclk\_dll)에 따라 각각 출력 인에이블 신호(oe40\_dll~oe70\_dll)를 출력하는 복수개의 플립플롭(432c, 432d); 제1 출력 인에이블 신호(oe10\_dll)를 입력받고, 제4 출력 인에이블 클럭 신호(fclk\_dll\_oe15)에 따라 제4 출력 인에이블 신호(oe15\_dll)를 출력하는 제4 플립플롭(433a); 제4 출력 인에이블 신호(oe15\_dll)를 입력받고, 제5 출력 인에이블 클럭 신호(fclk\_dll\_oe25)에 따라 제5 출력 인에이블 신호(oe25\_dll)를 출력하는 제5 플립플롭(433b); 제5 출력 인에이블 신호(oe25\_dll)를 입력받고, 제6 출력 인에이블 클럭 신호(fclk\_dll\_oe35)에 따라 제6 출력 인에이블 신호(oe35\_dll)를 출력하는 제6 플립플롭(433c); 및 최초로 제6 출력 인에이블 신호(oe35\_dll)를 입력받고, 서로 순차적으로 연결되어 하향 DLL 클럭 신호(fclk\_dll)에 따라 각각 출력 인에이블 신호(oe45\_dll~oe65\_dll)를 출력하는 복수개의 플립플롭(433d, 433e)를 포함한다.

도 5는 종래의 도메인 크로싱 장치 내에 장착된 데이터 제어부(240)를 나타낸 블록도로서, 이러한 종래의 데이터 제어부(240)는, 제2 출력 인에이블 생성부(230)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 일부를 도통시키는 제1 신호 선택부(541); 제1 신호 선택부(541)의 출력 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 예비 데이터 인에이블 신호(qsen\_pre)로서 출력하는 제1 로직(542); 제2 출력 인에이블 생성부(230)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 일부를 도통시키는 제2 신호 선택부(543); 및 제2 신호 선택부(543)의 출력 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 데이터 인에이블 신호(qsen)로서 출력하는 제2 로직(544)을 포함한다.

도 6a 및 도 6b는 종래의 도메인 크로싱 장치 내에 장착된 데이터 출력 제어부(250)를 나타낸 예시도로서, 이러한 종래의 데이터 출력 제어부(250)는, 제2 출력 인에이블 생성부(230)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 한 신호를 도통/지연시켜 상향 출력 인에이블 신호(routen)로서 출력하는 상향 출력 인에이블 신호 생성부(651); 제2 출력 인에이블 생성부(230)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 한 신호를 도통/지연시켜 하향 출력 인에이블 신호(fouten)로서 출력하는 하향 출력 인에이블 신호 생성부(652); 제2 출력 인에이블 생성부(230)의 복수개의 출력 인에이블 신호를 입력받아 복수개의 단으로 이루어진 NOR-NAND-NOR 연산을 수행하는 신호 처리부(653); 및 신호 처리부(653)의 출력 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 데이터 출력 제어 신호(rst\_doutz)로서 출력하는 제3 로직(654)을 포함한다.

도 7은 종래의 도메인 크로싱 장치 내에 장착된 데이터 배열 신호 생성부(260, 270)를 나타낸 블록도로서, 이러한 종래의 데이터 배열 신호 생성부(260, 270)는, 복수개의 어드레스 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 출력하는 제4 논리부(761); 제4 논리부(761)의 출력 신호를 입력받고, 출력 인에이블 클럭 신호(rclk\_dll\_oe15)에 따라 제1 데이터 배열 신호(osez15)를 출력하는 제7 플립플롭(762); 제7 플립플롭(762)의 출력 신호를 입력받고, 출력 인에이블 클럭 신호(rclk\_dll\_oe25)에 따라 제2 데이터 배열 신호(osez25)를 출력하는 제8 플립플롭(763); 제8 플립플롭(763)의 출력 신호를 입력받고, 출력 인에이블 클럭 신호(rclk\_dll\_oe35)에 따라 제3 데이터 배열 신호(osez35)를 출력하는 제9 플립플롭(764); 및 최초로 제9 플립플롭(764)의 출력 신호를 입력받고, 서로 순차적으로 연결되어 상향 DLL 클럭 신호(rclk\_dll)에 따라 각각 데이터 배열 신호(osez45, osez55)를 출력하는 복수개의 플립플롭(765, 766)을 포함한다.

도 8a 내지 도 8c는 종래의 도메인 크로싱 장치의 동작을 나타낸 타이밍도로서, 도 8a는 고주파에서의 다중 클럭 도메인 크로싱을 나타내고, 도 8b는 단일 클럭 도메인 크로싱을 나타내며, 도 8c는 다중 클럭 도메인 크로싱을 나타낸다. 여기서, 상술한 종래의 도메인 크로싱 장치는, 도 8a에 도시된 바와 같이, 고주파에 있어서  $\Delta T$  구간이 점점 감소하여 클럭 타이밍과 셋업 타이밍을 만족하면서 정상 동작을 수행하는 것이 불가능한 문제점이 있다. 특히, 이러한 상황 하에서는 프로세스,

전압, 온도에 의한 시간 차를 극복할 수 없는 문제점이 있다. 한편, 상술한 종래의 도메인 크로싱 장치에 의하면, 클럭 신호가 다수 존재하므로 레이아웃 면적을 많이 차지할 뿐만 아니라 고주파 클럭 신호들이 서로 인접함으로써 간섭 현상이 발생하고, 이에 따라 정상 동작에 영향을 미치는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

상기 문제점을 해결하기 위하여 안출된 본 발명은, 도메인 크로싱하는 부분에서의 내부 클럭 신호와 DLL 클럭 신호와의 위상차 및 데이터 출력단까지의 플라이트 시간(flight time)을 감지하고, 이를 도메인 크로싱 장치의 제어에 반영함으로써, 고주파 및 프로세스, 전압, 온도에 의한 시간 차에 따른 비정상 동작을 방지하는 도메인 크로싱 회로를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위하여 본 발명의 도메인 크로싱 회로는, 읽기 명령에 의해 내부 클럭 신호에 동기된 초기 출력 인에이블 신호를 생성하는 제1 출력 인에이블 신호 생성부; 감지 시작 신호 및 상기 내부 클럭 신호에 활성화되어 CL에 적합한 위상을 감지하며, 감지 결과에 따라 상향 DLL 클럭 신호 및 하향 DLL 클럭 신호 중 한 신호를 선택하여 출력 인에이블 클럭 신호를 생성하는 도메인 크로싱 감지부; 상기 초기 출력 인에이블 신호 및 상기 출력 인에이블 클럭 신호를 입력받아 복수개의 출력 인에이블 신호를 생성하는 제2 출력 인에이블 신호 생성부; 상기 제2 출력 인에이블 신호 생성부의 출력 신호를 입력받고, 데이터가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 제어부; 상기 제2 출력 인에이블 신호 생성부의 출력 신호를 입력받고, 데이터 스트로브 신호가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 출력 제어부; 및 어드레스 신호를 입력받고, 상기 도메인 크로싱 감지부의 감지 결과를 참조하여 상기 어드레스 신호에 따라 데이터의 배열을 제어하는 복수개의 데이터 배열 신호 생성부를 포함한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

먼저, 도 9는 본 발명의 일 실시예에 의한 도메인 크로싱 회로를 나타낸 블록도로서, 이러한 본 발명의 도메인 크로싱 회로는, 제1 출력 인에이블 신호 생성부(910), 도메인 크로싱 감지부(920), 제2 출력 인에이블 신호 생성부(930), 데이터 제어부(940), 데이터 출력 제어부(950), 제1 데이터 배열 신호 생성부(960) 및 제2 데이터 배열 신호 생성부(970)를 포함한다.

제1 출력 인에이블 신호 생성부(910)는, 외부 클럭 신호에 의해 생성된 내부 클럭 신호(int\_clk)와 외부 읽기 명령에 의해 생성된 읽기 명령 신호(casp\_rd)를 입력받고, 이에 의하여 초기 출력 인에이블 신호(oe00)를 생성하는 역할을 한다.

또한, 도메인 크로싱 감지부(920)는, 감지 시작 신호(start), 내부 클럭 신호(Int\_clk), 상향 DLL 클럭 신호(rclk\_dll) 및 하향 DLL 클럭 신호(fclk\_dll)를 입력받고, 감지 시작 신호(start) 및 내부 클럭 신호(Int\_clk)에 활성화되어 카스 레이턴시(CL)에 적합한 위상을 감지하며, 감지 결과에 따라 상향 DLL 클럭 신호(rclk\_dll) 및 하향 DLL 클럭 신호(fclk\_dll) 중 한 신호를 선택하여 출력 인에이블 클럭 신호를 생성하는 역할을 한다.

한편, 제2 출력 인에이블 신호 생성부(930)는, 상기 초기 출력 인에이블 신호(oe00) 및 상기 도메인 크로싱 감지부(920)에서 출력된 출력 인에이블 클럭 신호를 입력받아 복수개의 출력 인에이블 신호를 생성하는 역할을 한다.

또한, 데이터 제어부(940)는, 상기 제2 출력 인에이블 신호 생성부(930)의 출력 신호를 입력받고, 데이터가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 역할을 한다.

한편, 데이터 출력 제어부(950)는, 상기 제2 출력 인에이블 신호 생성부(930)의 출력 신호를 입력받고, 데이터 스트로브 신호가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 역할을 한다.

또한, 제1 데이터 배열 신호 생성부(960)는, 제1 어드레스 신호(add0), 상기 내부 클럭 신호(int\_clk), 상기 상향 DLL 클럭 신호(rclk\_dll) 및 상기 하향 DLL 클럭 신호(fclk\_dll)를 입력받고, CL을 참조하여 상기 제1 어드레스 신호(add0)의 논리 단계에 따라 데이터의 배열을 제어하는 역할을 한다.

한편, 제2 데이터 배열 신호 생성부(970)는, 제2 어드레스 신호(add1), 상기 내부 클럭 신호(int\_clk), 상기 상향 DLL 클럭 신호(rclk\_dll) 및 상기 하향 DLL 클럭 신호(fclk\_dll)를 입력받고, CL을 참조하여 상기 제2 어드레스 신호(add1)의 논리 단계에 따라 데이터의 배열을 제어하는 역할을 한다.

도 10은 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 도메인 크로싱 감지부(920)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.

감지 시작 신호 생성부(1010)는, 셀프 리프레시 상태 신호(sref), DLL 디스에이블 신호(dis\_dll), 라스아이들 신호(rasidle) 및 상기 내부 클럭 신호(int\_clk)를 입력받아 감지 동작 필요 여부를 판단하고, 감지 동작이 필요한 경우에 활성화된 감지 시작 신호의 반전 신호(startz)를 출력하는 역할을 한다.

또한, 위상 감지부(1020)는, 상기 감지 시작 신호의 반전 신호(startz), 상기 내부 클럭 신호(int\_clk), 상기 상향 DLL 클럭 신호(rclk\_dll) 및 상기 하향 DLL 클럭 신호(fclk\_dll)를 입력받고, 상기 감지 시작 신호의 반전 신호(startz)가 활성화되면 상기 내부 클럭 신호(int\_clk)를 기준으로 상기 상향 DLL 클럭 신호(rclk\_dll) 및 상기 하향 DLL 클럭 신호(fclk\_dll)의 위상을 비교하며, 셋업 타임을 만족하는 시점에 앞서서 위상을 갖는 신호를 반영하는 선택 신호(selB)를 생성하고, 상기 선택 신호(selB)에 따라 위상 감지 영역을 설정하는 위상 감지 신호(fpvt\_det)를 생성하는 역할을 한다.

한편, 읽기 경로 플라이트 시간 구현부(1030)는, 상기 위상 감지부(1020)로부터 상기 위상 감지 신호(fpvt\_det)를 입력받아 플라이트 시간을 반영하여 지연시킨 후, 그 결과 신호를 지연 위상 감지 신호(fpvt\_detd)로서 출력하는 역할을 한다.

또한, 레이턴시 감지부(1040)는, 상기 내부 클럭 신호(int\_clk), 상기 감지 시작 신호의 반전 신호(startz) 및 상기 지연 위상 감지 신호(fpvt\_detd)를 입력받고, 상기 지연 위상 감지 신호(fpvt\_detd)를 기준으로 상기 내부 클럭 신호(int\_clk)에 동기된 레이턴시를 감지하고, 그 감지 결과에 따라 복수개의 레이턴시 감지 신호(A,B,C)를 생성하는 역할을 한다.

도 11은 도 10의 도메인 크로싱 감지부(920) 내에 장착된 감지 시작 신호 생성부(1010)를 나타낸 예시도로서, 이에 관하여 설명하면 다음과 같다.

제1 로 에지 펄스부(1111)는, 상기 셀프 리프레시 상태 신호(sref)에 따라 로 에지 펄스(Low edge Pulse)를 생성하는 역할을 한다.

또한, 제2 로 에지 펄스부(1112)는, 상기 DLL 디스에이블 신호(dis\_dll)에 따라 로 에지 펄스(Low edge Pulse)를 생성하는 역할을 한다.

한편, 제1 NAND 게이트(1121)는, 상기 제1 로 에지 펄스부(1111)의 출력 신호 및 상기 제2 로 에지 펄스부(1112)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제1 인버터(1122)는, 상기 제1 NAND 게이트(1121)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제2 인버터(1123)는, 상기 DLL 디스에이블 신호(dis\_dll)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제2 NAND 게이트(1124)는, 파워업 신호(pwrup), 상기 라스아이들 신호(rasidle) 및 상기 제2 인버터(1123)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제3 인버터(1125)는, 상기 제2 NAND 게이트(1124)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제1 PMOS 트랜지스터(1126)는, 소스 단자는 전원 전압에 연결되고, 게이트 단자로 상기 제1 인버터(1122)의 출력 신호를 입력받는다.

한편, 제3 NAND 게이트(1127)는, 상기 제3 인버터(1125)의 출력 신호 및 상기 제1 PMOS 트랜지스터(1126)의 드레인 단자에 걸린 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제4 인버터(1128)는, 출력 단자가 상기 제1 PMOS 트랜지스터(1126)의 드레인 단자에 연결되어, 상기 제3 NAND 게이트(1127)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제5 인버터(1129)는, 상기 제3 NAND 게이트(1127)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제6 인버터(1130)는, 상기 내부 클럭 신호(Int\_clk)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 복수개의 분주기(1131~1133)는, 상기 제5 인버터(1129)의 출력 신호(en)에 따라 상기 제6 인버터(1130)의 출력 신호를 순차적으로 분주하는 역할을 한다.

또한, 지연부(1141)는, 상기 제5 인버터(1129)의 출력 신호(en)를 입력받아 지연시키는 역할을 한다.

한편, 제1 패스게이트부(1142)는, 상기 지연부(1141)의 출력 신호에 따라 상기 라스아이들 신호(rasidle)를 도통/차단시키는 역할을 한다.

또한, 제7 인버터(1151)는, 상기 파워업 신호(pwrup)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제1 NOR 게이트(1152)는, 상기 제7 인버터(1151)의 출력 신호 및 상기 제1 패스게이트부(1142)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제8 인버터(1153)는, 출력 단자가 상기 제1 패스게이트부(1142)의 출력 단자에 연결되고, 상기 제1 NOR 게이트(1152)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제2 NOR 게이트(1161)는, 상기 분주기(1133)의 출력 신호 및 상기 제1 NOR 게이트(1152)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제9 인버터(1162)는, 상기 제2 NOR 게이트(1161)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제10 인버터(1163)는, 상기 제9 인버터(1162)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 상기 감지 시작 신호의 반전 신호(startz)로서 출력하는 역할을 한다.

도 12는 도 10의 도메인 크로싱 감지부(920) 내에 장착된 위상 감지부(1020)를 나타낸 예시도로서, 이에 관하여 설명하면 다음과 같다.

제1 플립플롭(1211)은, 입력 단자는 전원 전압에 연결되고, 클럭 단자로 상기 내부 클럭 신호(Int\_clk)를 입력받으며, 리셋 단자로 상기 감지 시작 신호의 반전 신호(startz)를 입력받고, 입력 단자로 인가된 신호를 상기 내부 클럭 신호(Int\_clk)에 동기시켜 제1 예비 출력 인에이블 신호(oe00i)로서 출력하는 역할을 한다.

또한, 제2 플립플롭(1212)은, 입력 단자로 상기 제1 출력 인에이블 신호(oe00i)를 입력받고, 클럭 단자로 상기 하향 DLL 클럭 신호(fclk\_dll)를 입력받으며, 리셋 단자로 상기 감지 시작 신호의 반전 신호(startz)를 입력받고, 입력 단자로 인가된 신호를 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 하향 신호(f)로서 출력하는 역할을 한다.

한편, 제3 플립플롭(1213)은, 입력 단자로 상기 제1 예비 출력 인에이블 신호(oe00i)를 입력받고, 클럭 단자로 상기 상향 DLL 클럭 신호(rclk\_dll)를 입력받으며, 리셋 단자로 상기 감지 시작 신호의 반전 신호(startz)를 입력받고, 입력 단자로 인가된 신호를 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 상향 신호(r)로서 출력하는 역할을 한다.

또한, 인에이블 구동부(1221)는, 상기 하향 신호(f) 및 상기 상향 신호(r)를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 인에이블 구동 신호(en)로서 출력하는 역할을 한다.

한편, 지연부(1222)는, 상기 하향 신호(f)를 입력받아 지연시킨 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제2 패스게이트부(1223)는, 상기 인에이블 구동 신호(en)에 따라 상기 지연부(1222)의 출력 신호를 도통/차단시키는 역할을 한다.

한편, 제1 인버터 래치(1224)는, 상기 제2 패스게이트부(1223)의 출력 신호를 래치한 후 출력하는 역할을 한다.

또한, 제11 인버터(1225)는, 상기 제1 인버터 래치(1224)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 선택 신호(selB)로서 출력하는 역할을 한다.

한편, 제1 MUX(1231)는, 상기 선택 신호(selB)의 선택에 따라 상기 하향 신호(f) 및 상기 상향 신호(r) 중 한 신호를 제2 예비 출력 인에이블 신호(oe01)로서 출력하는 역할을 한다.

또한, 제4 플립플롭(1241)은, 입력 단자로 상기 제2 예비 출력 인에이블 신호(oe01)를 입력받고, 클럭 단자로 상기 상향 DLL 클럭 신호(rclk\_dll)를 입력받으며, 리셋 단자로 상기 감지 시작 신호의 반전 신호(startz)를 입력받고, 입력 단자로 인가된 신호를 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 위상 감지 신호(fpvt\_det)로서 출력하는 역할을 한다.

도 13은 도 12의 위상 감지부(1020) 내에 장착된 복수개의 플립플롭(1211~1213, 1241)를 나타낸 예시도로서, 이에 관하여 설명하면 다음과 같다.

복수개의 플립플롭(1211~1213) 내에 장착된 제12 인버터(1311)는, 클럭 단자의 입력 신호(clk)를 반전하는 역할을 한다.

또한, 복수개의 플립플롭(1211~1213) 내에 장착된 제13 인버터(1312)는, 상기 제12 인버터(1311)의 출력 신호를 반전하는 역할을 한다.

한편, 복수개의 플립플롭(1211~1213) 내에 장착된 제14 인버터(1321)는, 리셋 단자의 입력 신호(rst)를 반전하는 역할을 한다.

또한, 복수개의 플립플롭(1211~1213) 내에 장착된 제3 패스게이트부(1331)는, 상기 제13 인버터(1312)의 출력 신호(clkd)에 따라 데이터 입력 단자의 입력 신호(D)를 도통/차단시키는 역할을 한다.

한편, 복수개의 플립플롭(1211~1213) 내에 장착된 제4 NAND 게이트(1332)는, 상기 제3 패스게이트부(1331)의 출력 신호 및 상기 제14 인버터(1321)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 복수개의 플립플롭(1211~1213) 내에 장착된 제15 인버터(1333)는, 출력 단자가 상기 제3 패스게이트부(1331)의 출력 단자에 연결되어 상기 제4 NAND 게이트(1332)의 출력 신호를 입력받아 반전하는 역할을 한다.

한편, 복수개의 플립플롭(1211~1213) 내에 장착된 제16 인버터(1334)는, 상기 제4 NAND 게이트(1332)의 출력 신호를 입력받아 반전하는 역할을 한다.

또한, 복수개의 플립플롭(1211~1213) 내에 장착된 제4 패스게이트부(1341)는, 상기 제13 인버터(1312)의 출력 신호(clkd)에 따라 상기 제16 인버터(1334)의 출력 신호를 도통/차단시키는 역할을 한다.

한편, 복수개의 플립플롭(1211~1213) 내에 장착된 제5 NAND 게이트(1342)는, 상기 제4 패스게이트부(1341)의 출력 신호 및 상기 제14 인버터(1321)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 복수개의 플립플롭(1211~1213) 내에 장착된 제17 인버터(1343)는, 출력 단자가 상기 제4 패스게이트부(1341)의 출력 단자에 연결되어 상기 제5 NAND 게이트(1342)의 출력 신호를 입력받아 반전하는 역할을 한다.

한편, 복수개의 플립플롭(1211~1213) 내에 장착된 제18 인버터(1344)는, 상기 제5 NAND 게이트(1342)의 출력 신호를 입력받아 반전하는 역할을 한다.

또한, 제4 플립플롭(1241) 내에 장착된 제19 인버터(1351)는, 클럭 단자의 입력 신호(clk)를 반전하는 역할을 한다.

또한, 제4 플립플롭(1241) 내에 장착된 제20 인버터(1352)는, 상기 제19 인버터(1351)의 출력 신호를 반전하는 역할을 한다.

한편, 제4 플립플롭(1241) 내에 장착된 제21 인버터(1361)는, 리셋 단자의 입력 신호(rst)를 반전하는 역할을 한다.

또한, 제4 플립플롭(1241) 내에 장착된 제22 인버터(1362)는, 상기 제21 인버터(1361)의 출력 신호를 반전하는 역할을 한다.

또한, 제4 플립플롭(1241) 내에 장착된 제5 패스게이트부(1371)는, 상기 제20 인버터(1352)의 출력 신호(clkd)에 따라 데이터 입력 단자의 입력 신호(D)를 도통/차단시키는 역할을 한다.

한편, 제4 플립플롭(1241) 내에 장착된 제3 NOR 게이트(1372)는, 상기 제5 패스게이트부(1371)의 출력 신호 및 상기 제22 인버터(1362)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제4 플립플롭(1241) 내에 장착된 제23 인버터(1373)는, 출력 단자가 상기 제5 패스게이트부(1371)의 출력 단자에 연결되어 상기 제3 NOR 게이트(1372)의 출력 신호를 입력받아 반전하는 역할을 한다.

한편, 제4 플립플롭(1241) 내에 장착된 제24 인버터(1374)는, 상기 제3 NOR 게이트(1372)의 출력 신호를 입력받아 반전하는 역할을 한다.

또한, 제4 플립플롭(1241) 내에 장착된 제6 패스게이트부(1381)는, 상기 제20 인버터(1352)의 출력 신호(clkd)에 따라 상기 제24 인버터(1374)의 출력 신호를 도통/차단시키는 역할을 한다.

한편, 제4 플립플롭(1241) 내에 장착된 제4 NOR 게이트(1382)는, 상기 제6 패스게이트부(1381)의 출력 신호 및 상기 제22 인버터(1362)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제4 플립플롭(1241) 내에 장착된 제25 인버터(1383)는, 출력 단자가 상기 제6 패스게이트부(1381)의 출력 단자에 연결되어 상기 제4 NOR 게이트(1382)의 출력 신호를 입력받아 반전하는 역할을 한다.

한편, 제4 플립플롭(1241) 내에 장착된 제26 인버터(1384)는, 상기 제4 NOR 게이트(1382)의 출력 신호를 입력받아 반전하는 역할을 한다.

도 14a 내지 도 14c는 도 10에 따른 도메인 크로싱 감지부(920) 내에 장착된 레이턴시 감지부(1040)를 나타낸 예시도로서, 이에 관하여 설명하면 다음과 같다.

플립플롭군(1410)은, 순차적으로 연결된 복수개의 플립플롭을 구비하고, 최초의 입력 단자로 전원 전압(Vdd)을 인가받으며, 클럭 단자로 상기 내부 클럭 신호(Int\_clk)를 입력받고, 리셋 단자로 상기 감지 시작 신호의 반전 신호(startz)를 입력받으며, 내부에 장착된 복수개의 플립플롭 중 한 플립플롭의 출력 신호를 제1 플라이트 시간 감지 제어 신호(m0)로서 출력하고, 상기 제1 플라이트 시간 감지 제어 신호(m0)를 입력받은 플립플롭의 출력 신호를 제2 플라이트 시간 감지 제어 신호(m1)로서 출력하는 역할을 한다.

또한, 지연부(1420)는, 상기 지연 위상 감지 신호(fpvt\_detd)를 입력받아 지연시킨 후, 그 결과 신호(en)를 출력하는 역할을 한다.

한편, 플라이트 시간 감지부(1430)는, 상기 지연부(1420)의 출력 신호(en)의 선택에 따라 상기 제1 플라이트 시간 감지 제어 신호(m0) 또는 상기 제2 플라이트 시간 감지 제어 신호(m1)에 의한 복수개의 플라이트 시간 감지 신호(D1~D3)를 생성하는 역할을 한다. 여기서, 상기 플라이트 시간 감지부(1430)의 상세한 회로 구성은 도 14b에 도시된 바와 같다.

상기 플라이트 시간 감지부(1430) 내에 장착된 제7 패스게이트부(1431)는, 상기 지연부(1420)의 출력 신호(en)에 따라 상기 제1 플라이트 시간 감지 제어 신호(m0)를 도통/차단시키는 역할을 한다.

또한, 상기 플라이트 시간 감지부(1430) 내에 장착된 제8 패스게이트부(1432)는, 상기 지연부(1420)의 출력 신호(en)에 따라 상기 제2 플라이트 시간 감지 제어 신호(m1)를 도통/차단시키는 역할을 한다.

한편, 상기 플라이트 시간 감지부(1430) 내에 장착된 제2 인버터 래치(1433)는, 상기 제7 패스게이트부(1431)의 출력 신호를 래치한 후 출력하는 역할을 한다.

또한, 상기 플라이트 시간 감지부(1430) 내에 장착된 제3 인버터 래치(1434)는, 상기 제8 패스게이트부(1432)의 출력 신호를 래치한 후 출력하는 역할을 한다.

한편, 상기 플라이트 시간 감지부(1430) 내에 장착된 제27 인버터(1435)는, 상기 제2 인버터 래치(1433)의 출력 신호를 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 플라이트 시간 감지부(1430) 내에 장착된 제28 인버터(1436)는, 상기 제3 인버터 래치(1434)의 출력 신호를 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 플라이트 시간 감지부(1430) 내에 장착된 제5 NOR 게이트(1437)는, 상기 제27 인버터(1435)의 출력 신호 및 상기 제28 인버터(1436)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D3)로서 출력하는 역할을 한다.

또한, 상기 플라이트 시간 감지부(1430) 내에 장착된 제6 NAND 게이트(1438)는, 상기 제27 인버터(1435)의 출력 신호 및 상기 제3 인버터 래치(1434)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D2)로서 출력하는 역할을 한다.

한편, 상기 플라이트 시간 감지부(1430) 내에 장착된 제28 인버터(1439)는, 상기 제6 NAND 게이트(1438)의 출력 신호를 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 플라이트 시간 감지부(1430) 내에 장착된 제7 NAND 게이트(1440)는, 상기 제27 인버터(1435)의 출력 신호 및 상기 제3 인버터 래치(1434)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D1)로서 출력하는 역할을 한다.

한편, 상기 플라이트 시간 감지부(1430) 내에 장착된 제29 인버터(1441)는, 상기 제7 NAND 게이트(1440)의 출력 신호를 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 선택부(1450)는, 상기 플라이트 시간 감지부(1430)로부터 상기 복수개의 플라이트 시간 감지 신호(D1~D3)를 입력받고, 상기 CL 및 상기 복수개의 플라이트 시간 감지 신호(D1~D3)에 의해 논리 연산을 수행하여 복수개의 레이턴시 감지 신호(A,B,C)를 생성하는 역할을 한다. 여기서, 상기 선택부(1450)의 상세한 회로 구성은 도 14c에 도시된 바와 같고, CL6789A는 CL6, CL7, CL8, CL9 및 CL10 중 어니 한 신호가 선택되는 것을 의미한다.

상기 선택부(1450) 내에 장착된 제30 인버터(1451)는, CL의 한 신호(CL4)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 선택부(1450) 내에 장착된 제8 NAND 게이트(1452)는, 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D1) 및 CL의 한 신호(CL6789A)를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 선택부(1450) 내에 장착된 제9 NAND 게이트(1453)는, 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D2) 및 CL의 한 신호(CL5)를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 선택부(1450) 내에 장착된 제10 NAND 게이트(1454)는, 상기 제30 인버터(1451)의 출력 신호, 상기 제8 NAND 게이트(1452)의 출력 신호 및 상기 제9 NAND 게이트(1453)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 선택부(1450) 내에 장착된 제31 인버터(1455)는, 상기 제10 NAND 게이트(1454)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 선택부(1450) 내에 장착된 제32 인버터(1456)는, 상기 제31 인버터(1455)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 복수개의 레이턴시 감지 신호(A,B,C) 중 한 신호(A)로서 출력하는 역할을 한다.

한편, 상기 선택부(1450) 내에 장착된 제33 인버터(1457)는, 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D2)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 선택부(1450) 내에 장착된 제11 NAND 게이트(1458)는, 상기 제33 인버터(1457)의 출력 신호 및 상기 CL의 한 신호(CL5)를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 선택부(1450) 내에 장착된 제12 NAND 게이트(1459)는, 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D2) 및 CL의 한 신호(CL6789A)를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 선택부(1450) 내에 장착된 제13 NAND 게이트(1460)는, 상기 제11 NAND 게이트(1458)의 출력 신호 및 상기 제12 NAND 게이트(1459)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 선택부(1450) 내에 장착된 제34 인버터(1461)는, 상기 제12 NAND 게이트(1459)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 선택부(1450) 내에 장착된 제35 인버터(1462)는, 상기 제34 인버터(1461)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 복수개의 레이턴시 감지 신호(A,B,C) 중 한 신호(B)로서 출력하는 역할을 한다.

한편, 상기 선택부(1450) 내에 장착된 제14 NAND 게이트(1463)는, 상기 복수개의 플라이트 시간 감지 신호(D1~D3) 중 한 신호(D3) 및 CL의 한 신호(CL6789A)를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 선택부(1450) 내에 장착된 제36 인버터(1464)는, 상기 제14 NAND 게이트(1463)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 복수개의 레이턴시 감지 신호(A,B,C) 중 한 신호(C)로서 출력하는 역할을 한다.

도 15는 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 제2 출력 인에이블 신호 생성부(930)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.

제5 플립플롭(1511)은, 상기 초기 출력 인에이블 신호(oe00)를 입력받아 상기 내부 클럭 신호(Int\_clk)에 동기시켜 출력하는 역할을 한다.

또한, 제6 플립플롭(1512)은, 상기 제5 플립플롭(1511)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 출력하는 역할을 한다.

한편, 제7 플립플롭(1513)은, 상기 제5 플립플롭(1511)의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제2 MUX(1514)는, 상기 선택 신호(selB)에 따라 상기 제6 플립플롭(1512)의 출력 신호 및 상기 제7 플립플롭(1513)의 출력 신호 중 한 신호를 선택하여 출력하는 역할을 한다.

한편, 제8 플립플롭(1521)은, 상기 제2 MUX(1514)의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제9 플립플롭(1522)은, 상기 제8 플립플롭(1521)의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 출력하는 역할을 한다.

한편, 제10 플립플롭(1523)은, 상기 제9 플립플롭(1522)의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제3 MUX(1524)는, 상기 제8 플립플롭(1521)의 출력 신호, 상기 제9 플립플롭(1522)의 출력 신호 및 상기 제10 플립플롭(1523)의 출력 신호를 입력받고, 상기 복수개의 레이턴시 감지 신호(A,B,C)의 선택에 따라 상기 제8 플립플롭(1521)의 출력 신호, 상기 제9 플립플롭(1522)의 출력 신호 및 상기 제10 플립플롭(1523)의 출력 신호 중 한 신호를 복수개의 출력 인에이블 신호 중 한 신호(oe2\_40\_dll)로서 출력하는 역할을 한다.

한편, 플립플롭군(1525)은, 순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단의 플립플롭으로 상기 제3 MUX(1524)의 출력 신호를 입력받고, 상기 복수개의 플립플롭이 입력 신호를 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 각각 복수개의 출력 인에이블 신호(oe50\_dll~oe70\_dll)를 출력하는 역할을 한다.

또한, 제11 플립플롭(1531)은, 상기 제8 플립플롭(1521)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제12 플립플롭(1532)은, 상기 제11 플립플롭(1531)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 출력하는 역할을 한다.

한편, 제13 플립플롭(1533)은, 상기 제12 플립플롭(1532)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제4 MUX(1534)는, 상기 제11 플립플롭(1531)의 출력 신호, 상기 제12 플립플롭(1532)의 출력 신호 및 상기 제13 플립플롭(1533)의 출력 신호를 입력받고, 상기 복수개의 레이턴시 감지 신호(A,B,C)의 선택에 따라 상기 제11 플립플롭(1531)의 출력 신호, 상기 제12 플립플롭(1532)의 출력 신호 및 상기 제13 플립플롭(1533)의 출력 신호 중 한 신호를 복수개의 출력 인에이블 신호 중 한 신호(oe2\_45\_dll)로서 출력하는 역할을 한다.

한편, 제14 플립플롭(1535)은, 상기 제4 MUX(1534)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 복수개의 출력 인에이블 신호 중 한 신호(oe55\_dll)로서 출력하는 역할을 한다.

또한, 제15 플립플롭(1536)은, 상기 제14 플립플롭(1535)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 복수개의 출력 인에이블 신호 중 한 신호(oe65\_dll)로서 출력하는 역할을 한다.

도 16a 및 도 16b는 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 데이터 출력 제어부(950)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.

상향 출력 인에이블 신호 생성부(1610)는, 제2 출력 인에이블 생성부(930)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 한 신호를 도통/지연시켜 상향 출력 인에이블 신호(routen)로서 출력하는 역할을 한다. 여기서, 상향 출력 인에이블 신호 생성부(1610)에 관하여 상세히 설명하면 다음과 같다.

제6 NOR 게이트(1611)는, CL의 복수개의 신호(CL4, CL5, CL6)를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제9 패스게이트부(1612)는, 상기 제6 NOR 게이트(1611)의 출력 신호에 따라 상기 복수개의 출력 인에이블 신호 중 한 신호(oe2\_40\_dll)를 도통/차단시키는 역할을 한다.

한편, 제1 출력 인에이블 신호 처리부(1613)는, CL의 복수개의 신호(CL7, CL8, CL9, CL10)를 입력받아 NOR 연산을 수행한 결과 신호를 이용하여 복수개의 출력 인에이블 신호(oe50\_dll, oe60\_dll)를 도통/차단시키는 역할을 한다. 여기서, 상기 제1 출력 인에이블 신호 처리부(1613)의 구성은 종래의 기술과 동일하게 구현된다.

또한, 지연부(1614)는, 상기 제9 패스게이트부(1612)의 출력 신호 및 상기 제1 출력 인에이블 신호 처리부(1613)의 출력 신호를 입력받아 지연시킨 후, 상향 출력 인에이블 신호(routen)로서 출력하는 역할을 한다.

한편, 하향 출력 인에이블 신호 생성부(1620)는, 상기 제2 출력 인에이블 생성부(930)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 한 신호를 도통/지연시켜 하향 출력 인에이블 신호(fouten)로서 출력하는 역할을 한다. 여기서, 상기 하향 출력 인에이블 신호 생성부(1620)에 관하여 상세히 설명하면 다음과 같다.

한편, 제7 NOR 게이트(1621)는, CL의 복수개의 신호(CL4, CL5, CL6)를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제10 패스게이트부(1622)는, 상기 제7 NOR 게이트(1621)의 출력 신호에 따라 상기 복수개의 출력 인에이블 신호 중 한 신호(oe2\_45\_dll)를 도통/차단시키는 역할을 한다.

한편, 제2 출력 인에이블 신호 처리부(1623)는, CL의 복수개의 신호(CL7, CL8, CL9, CL10)를 입력받아 NOR 연산을 수행한 결과 신호를 이용하여 복수개의 출력 인에이블 신호(oe55\_dll, oe65\_dll)를 도통/차단시키는 역할을 한다. 여기서, 상기 제2 출력 인에이블 신호 처리부(1623)의 구성은 종래의 기술과 동일하게 구현된다.

또한, 지연부(1624)는, 상기 제10 패스게이트부(1622)의 출력 신호 및 상기 제2 출력 인에이블 신호 처리부(1623)의 출력 신호를 입력받아 지연시킨 후, 하향 출력 인에이블 신호(fouten)로서 출력하는 역할을 한다.

한편, 제3 출력 인에이블 신호 처리부(1631)는, 상기 복수개의 출력 인에이블 신호(oe2\_40\_dll, oe50\_dll, oe60\_dll, oe70\_dll)를 입력받아 논리 연산을 수행한 후, 복수개의 출력 인에이블 조정 신호(oe4b, oe5b, oe6b, oe7b)를 생성하는 역할을 한다. 여기서, 제3 출력 인에이블 신호 처리부(1631)의 구성은 종래의 기술과 유사하나, 소자의 수가 감소하였음을 알 수 있다.

또한, 제8 NOR 게이트(1632)는, 상기 복수개의 출력 인에이블 조정 신호(oe4b, oe5b, oe6b, oe7b) 중 한 신호(oe4b) 및 출력 인에이블 신호(oe0\_dll)를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제37 인버터(1633)는, 상기 제8 NOR 게이트(1632)의 출력 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, PMOS 트랜지스터(1634)는, 소스 단자는 전원 전압에 연결되고, 게이트 단자로 상기 제37 인버터(1633)의 출력 신호를 입력받는다.

한편, NMOS 트랜지스터(1635)는, 드레인 단자는 상기 PMOS 트랜지스터(1634)의 드레인 단자에 연결되고, 게이트 단자로 상기 출력 인에이블 신호(oe0\_dll)를 입력받으며, 소스 단자는 접지된다.

또한, 제4 인버터 래치(1636)는, 상기 PMOS 트랜지스터(1634) 및 상기 NMOS 트랜지스터(1635)의 공통 드레인 단자로부터 입력된 신호를 래치한 후 출력하는 역할을 한다.

한편, 제4 출력 인에이블 신호 처리부(1637)는, 상기 제3 출력 인에이블 신호 처리부(1631)의 출력 신호를 입력받아 논리 연산을 수행한 후, 출력하는 역할을 한다. 여기서, 상기 제4 출력 인에이블 신호 처리부(1637)의 구성은 종래의 기술과 동일하다.

또한, 제9 NOR 게이트(1638)는, 상기 제4 인버터 래치(1636)의 출력 신호 및 상기 제4 출력 인에이블 신호 처리부(1637)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제4 로직(1639)은, 상기 제9 NOR 게이트(1638)의 출력 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 데이터 출력 제어 신호(rst\_doutz)로서 출력하는 역할을 한다.

도 17은 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 데이터 제어부(940)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.

제1 신호 선택부(1711)는, 제2 출력 인에이블 생성부(930)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 일부를 처리하여 도통시키는 역할을 한다.

또한, 제38 인버터(1712)는, 상기 출력 인에이블 신호(oe2\_45\_dll)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제15 NAND 게이트(1713)는, 출력 인에이블 비반전 신호(poe2\_45\_dll) 및 상기 제38 인버터(1712)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제9 NOR 게이트(1714)는, CL의 복수개의 신호(CL4, CL5, CL6)를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제11 패스게이트부(1715)는, 상기 제9 NOR 게이트(1714)의 출력 신호에 따라 상기 제15 NAND 게이트(1713)의 출력 신호를 도통/차단시키는 역할을 한다.

한편, 제5 로직(1716)은, 상기 제11 패스게이트부(1715)의 출력 신호 및 상기 제1 신호 선택부(1711)의 출력 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 예비 데이터 인에이블 신호(qsen\_pre)로서 출력하는 역할을 한다.

또한, 제2 신호 선택부(1721)는, 제2 출력 인에이블 생성부(930)의 복수개의 출력 인에이블 신호를 입력받고, CL의 선택에 의해 복수개의 출력 인에이블 신호의 일부를 처리하여 도통시키는 역할을 한다.

또한, 제39 인버터(1722)는, 상기 출력 인에이블 신호(oe2\_45\_dll)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제16 NAND 게이트(1723)는, 출력 인에이블 비반전 신호(poe2\_45\_dll) 및 상기 제39 인버터(1722)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제10 NOR 게이트(1724)는, CL의 복수개의 신호(CL4, CL5, CL6)를 입력받아 NOR 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 제12 패스게이트부(1725)는, 상기 제10 NOR 게이트(1724)의 출력 신호에 따라 상기 제16 NAND 게이트(1723)의 출력 신호를 도통/차단시키는 역할을 한다.

한편, 제6 로직(1726)은, 상기 제12 패스게이트부(1725)의 출력 신호 및 상기 제2 신호 선택부(1721)의 출력 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 데이터 인에이블 신호(qsen)로서 출력하는 역할을 한다.

도 18은 본 발명의 일 실시예에 의한 도메인 크로싱 회로 내에 장착된 데이터 배열 신호 생성부(960, 970)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.

제7 로직(1810)은, 복수개의 어드레스 신호를 입력받아 논리 연산을 수행한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제16 플립플롭(1821)은, 상기 제7 로직(1810)의 출력 신호를 입력받아 상기 내부 클럭 신호(Int\_clk)에 동기시켜 출력하는 역할을 한다.

또한, 제17 플립플롭(1822)은, 상기 제16 플립플롭(1821)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 출력하는 역할을 한다.

한편, 제18 플립플롭(1823)은, 상기 제17 플립플롭(1822)의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제5 MUX(1824)는, 상기 선택 신호(selB)에 따라 상기 제17 플립플롭(1822)의 출력 신호 및 상기 제18 플립플롭(1823)의 출력 신호 중 한 신호를 선택하여 출력하는 역할을 한다.

한편, 제19 플립플롭(1831)은, 상기 제5 MUX(1824)의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호(rclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제20 플립플롭(1832)은, 상기 제19 플립플롭(1831)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 출력하는 역할을 한다.

한편, 제21 플립플롭(1833)은, 상기 제20 플립플롭(1832)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 출력하는 역할을 한다.

또한, 제6 MUX(1834)는, 상기 제19 플립플롭(1831)의 출력 신호, 상기 제20 플립플롭(1832)의 출력 신호 및 상기 제21 플립플롭(1833)의 출력 신호를 입력받고, 상기 복수개의 레이턴시 감지 신호(A,B,C)의 선택에 따라 상기 제19 플립플롭(1831)의 출력 신호, 상기 제20 플립플롭(1832)의 출력 신호 및 상기 제21 플립플롭(1833)의 출력 신호 중 한 신호를 데이터 배열 신호(sosez1\_35)로서 출력하는 역할을 한다.

한편, 제22 플립플롭(1835)은, 상기 제6 MUX(1834)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 복수개의 데이터 배열 신호 중 한 신호(sosez45)로서 출력하는 역할을 한다.

또한, 제23 플립플롭(1836)은, 상기 제22 플립플롭(1835)의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호(fclk\_dll)에 동기시켜 복수개의 데이터 배열 신호 중 한 신호(sosez55)로서 출력하는 역할을 한다.

한편, 신호 생성부(1840)는, 상기 제6 MUX(1834)의 출력 신호, 상기 제21 플립플롭(1835)의 출력 신호 및 상기 제22 플립플롭(1836)의 출력 신호를 입력받아 CL에 의하여 신호를 선택하고, 선택된 신호를 지연시켜 읽기 데이터 배열 신호(sosez\_rd)로서 출력하는 역할을 한다.

도 19는 본 발명의 도메인 크로싱 회로의 동작을 나타낸 타이밍도로서, 이를 참조하여 본 발명의 도메인 크로싱 회로의 동작을 설명하면 다음과 같다.

먼저, 내부 클럭 신호(Int\_clk)의 상향 에지의 한 지점(<1>)에 있어서 데이터 입출력 타이밍 후에 생성된 신호에서 셋업 타이밍을 만족하는 DLL 클럭 신호(dll\_clk)의 위상을 감지한다. 즉, 데이터 입출력 타이밍 및 셋업 타이밍을 만족하는 것이 DLL 클럭 신호(dll\_clk) 중 상향 DLL 클럭 신호(rclk\_dll)인지 하향 DLL 클럭 신호(fclk\_dll)인지 여부를 감지하는 것이다. 이는 주파수 및 프로세스, 전압, 온도에 의한 시간 차에 따라 결정된다. 도 19를 참조하면, 고주파의 경우 고속의 조건에서는 하향 DLL 클럭 신호(fclk\_dll)를, 통상의 조건에서는 상향 DLL 클럭 신호(rclk\_dll)를, 저속의 조건에서는 하향 DLL 클럭 신호(fclk\_dll)를 사용하게 된다. 그 후, 데이터 출력까지의 플라이트 시간을 감지하여 도 19와 같이 DLL 클럭 신호(dll\_clk)를 5번 이용할 것인지 4번 이용할 것인지 여부를 선택하게 된다. 이를 통하여, CL에 맞게 데이터(DQ) 및 데이터 스트로브 신호(DQS)를 내보내게 된다.

상세히 설명하면, 초기에 DLL 장치를 인에이블 시키거나, 셀프 리프레시(sref) 상태에서 빠져나오는 경우에는, DLL 클럭 신호(dll\_clk)를 고정하기 위하여 최소 200 클럭이 주어지게 된다. 이 구간 동안에, 감지 시작 신호 생성부(1010)에서, 도메인 크로싱을 위한 위상 감지 및 데이터 플라이트 시간 감지를 주기적으로 수행하기 위하여 감지 인에이블 신호인 반전 감지 시작 신호(startz)를 생성한다. 여기서, 반전 감지 시작 신호(startz)는, 라스 아이들 신호(rasidle)가 최초로 제1 논리 단계(Low)로 디스에이블될 때 최종적으로 인에이블된다. 또한, DLL 장치를 디스에이블시킨 후 다시 인에이블시키거나, 셀프 리프레시(sref) 상태로 진입한 후 빠져나올 때 상술한 바와 같은 감지 동작을 위한 인에이블 신호인 반전 감지 시작 신호(startz)를 활성화 시킨다.

도 20a 및 도 20b는 본 발명의 일 실시예에 의한 도메인 크로싱 회로의 동작의 일례를 나타낸 타이밍도로서, 이에 관하여 설명하면 다음과 같다.

먼저, 반전 감지 시작 신호(startz)가 제2 논리 단계(High)에서 제1 논리 단계(Low)로 되면, 제1 플립플롭(1211)은, 내부 클럭 신호(Int\_clk)의 상향 에지에 제1 예비 출력 인에이블 신호(oe00i)를 제2 논리 단계(High)로 활성화시킨다. 그 후, 하향 DLL 클럭 신호(fclk\_dll)에 동기되는 제2 플립플롭(1212) 및 상향 DLL 클럭 신호(rclk\_dll)에 동기되는 제3 플립플롭(1213)는, 셋업 타임을 만족하는 시점에서 제1 예비 출력 인에이블 신호(oe00i)가 제2 논리 단계(High)임을 인식하게 되어 하향 신호(f) 및 상향 신호(r)를 제2 논리 단계(High)로 활성화시키게 된다. 도 20a에 도시된 바와 같이, 제1 예비 출력 인에이블 신호(oe00i)가 제2 논리 단계(High)가 된 후, 한 시점(a)에서의 하향 DLL 클럭 신호(fclk\_dll)의 상승이 다른 한 시점(b)의 상향 DLL 클럭 신호(rclk\_dll)의 상승보다 앞서있으나, 데이터를 인식하는 셋업 타임을 만족시키지 못하기 때문에 한 시점(a)에서 제1 예비 출력 인에이블 신호(oe00i)가 제2 논리 단계(High)가 된 것을 인식하지 못하고 다른 한 시점(b)에서야 인식한다. 만약, 하향 DLL 클럭 신호(fclk\_dll)의 상승 시 셋업 타임을 만족할 만큼의 위상에 있다면, 하향 DLL 클럭 신호(fclk\_dll)에 동기되는 제2 플립플롭(1212)에 의해 제1 예비 출력 인에이블 신호(oe00i)가 제2 논리 단계(High)된 것이 인식되었을 것이다. 이 때, 상향 DLL 클럭 신호(rclk\_dll)의 상승에 의하여 상향 신호(r)가 먼저 활성화되고, 이후에 하향 DLL 클럭 신호(fclk\_dll)의 상승에 의하여 하향 신호(f)가 활성화되면, 선택 신호(selB)는 제1 논리 단계(Low)로

되어, MUX(1231)는 상향 신호(r)를 선택하여 제2 예비 출력 인에이블 신호(oe01)로서 출력하게 된다. 그 후, 인에이블 구동부(1221)는, 상향 신호(r) 및 하향 신호(f)의 활성화 차이 만큼 제2 논리 단계(High)인 인에이블 구간을 생성하는데, 이러한 인에이블 구동 신호(en)에 의해 제2 패스게이트부(1223)가 도통되어 하향 신호(f)를 지연시킨 상태의 신호를 제1 인버터 래치(1224)에서 래치하게 된다. 그 후, 제4 플립플롭(1241)에서는, 감지 시작 신호의 반전 신호(startz)가 제2 논리 단계(High)에서 제1 논리 단계(Low)로 전환되는 구간에서만 위상 감지를 수행하기 위한 위상 감지 신호(fpvt\_det)를 생성한다.

그 후, 레이턴시 감지부(1040)에서는, 내부의 플립플롭군(1410)에서, 내부 클럭 신호(Int\_clk)에 동기되는 제1 플라이트 시간 감지 제어 신호(m0) 또는 제2 플라이트 시간 감지 제어 신호(m1)를 생성하고, 그 후, 내부의 플라이트 시간 감지부(1430)에서 위상 감지 신호(fpvt\_det)에 플라이트 시간을 반영한 지연 위상 감지 신호(fpvt\_detd)와 제1 플라이트 시간 감지 제어 신호(m0) 또는 제2 플라이트 시간 감지 제어 신호(m1)의 타이밍 관계를 감지하게 된다. 그 후, 플라이트 시간 감지부(1430)의 출력 신호(D1, D2, D3)와 CL의 조합으로 생성된 신호(A,B,C)에 의하여 도 15에 도시된 제3 MUX(1524) 및 제4 MUX(1534)와, 도 18에 도시된 제6 MUX(1834)에 대한 선택 동작을 수행한다.

한편, 도 15의 위상을 감지하는 부분인 복수개의 플립플롭(1511~1513) 및 제2 MUX(1514)는, 도 12의 복수개의 플립플롭(1211~1213) 및 제1 MUX(1231)와 동일한 구조로서 제1 플립플롭(1211)의 데이터 입력 단자에는 전원 전압(vdd)가 연결되어 있는 반면, 제5 플립플롭(1511)에는 초기 출력 인에이블 신호(oe00)가 입력되는 것이 다르다. 이 때, 도 12의 MUX(1231)와 인버터(1225)에서 내부 클럭 신호(Int\_clk)에 동기되어 나오는 출력 시간과 상향 DLL 클럭 신호(rclk\_dll) 및 하향 DLL 클럭 신호(fclk\_dll)에 동기되어 데이터가 인식되는 셋업 타임을 만족하면서 가장 선행되는 신호를 선택하는 선택 신호(selB)에 의하여 도 15의 제6 플립플롭(1512) 또는 제7 플립플롭(1513)의 출력 신호 중 하나가 선택된다. 또한, 도 15에 있어서 CL을 제어하는 부분(1521~1536)에 있어서는, 도 14a에 도시된 바와 같은 레이턴시 감지부(1040) 내에 장착된 선택부(1450)에서 출력된 복수개의 레이턴시 감지 신호(A,B,C)에 의하여 MUX(1524, 1534)가 활성화된 신호의 경로만을 선택하고, 여기서 선택된 신호는 플립플롭(1535, 1536)을 통하여 출력 인에이블 신호로서 출력된다. 이러한 출력 인에이블 신호는 이후에, 데이터 제어부(940) 및 데이터 출력 제어부(950)로 입력된다.

그 후, 데이터 출력 제어부(950)는, CL에 따라 데이터 출력 드라이버의 상향 클럭에 동기되어 데이터를 내부내기 위한 신호(routen), 하향 클럭에 동기되어 데이터를 내보내기 위한 신호(fouten) 및 데이터를 내보내는 구간 동안에만 출력 드라이버를 인에이블 시키는 신호(rst\_doutz)를 생성하는데, 이는 종래의 기술의 동작과 유사하며 단지 회로를 간단히 구현하여 레이아웃 면적을 줄였음을 알 수 있다(도 16). 한편, 데이터 제어부(940)는, CL에 따라 데이터 인에이블 신호(qsen)를 생성하는데, 이는 종래의 기술의 동작과 유사하며 단지 회로를 간단히 구현하여 레이아웃 면적을 줄였음을 알 수 있다(도 17). 또한, 도 18에 도시된 데이터 배열 신호 생성부(960, 970)는, 도 15에 도시된 구조를 채용하였으므로, 동작의 설명은 편의상 생략하고, 단지, MUX(1834) 및 플립플롭(1835, 1836)에서 생성된 신호가 도 15의 출력 인에이블 신호보다 한 클럭 앞서며, 이후에, 신호 생성부(1840)에서 MUX(1834) 및 플립플롭(1835, 1836)에서 생성된 신호를 처리하여 읽기 데이터 배열 신호(sosez\_rd)를 생성하는데, 이러한 신호 생성부(1840)의 구성은 도 16에 도시된 상향 출력 인에이블 신호 생성부(1610) 또는 하향 출력 인에이블 신호 생성부(1620)의 구성과 동일하게 구현될 수 있다.

이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

### 발명의 효과

본 발명은 도메인 크로싱하는 부분에서의 내부 클럭 신호와 DLL 클럭 신호와의 위상차 및 데이터 출력단까지의 플라이트 시간(flight time)을 감지하고, 이를 도메인 크로싱 장치의 제어에 반영함으로써, 고주파 및 프로세스, 전압, 온도에 의한 시간 차에 따른 비정상 동작을 방지하는 장점이 있다.

### (57) 청구의 범위

#### 청구항 1.

읽기 명령에 의해 내부 클럭 신호에 동기된 초기 출력 인에이블 신호를 생성하는 제1 출력 인에이블 신호 생성부;

감지 시작 신호 및 상기 내부 클럭 신호에 활성화되어 카스 레이턴시에 적합한 위상을 감지하며, 감지 결과에 따라 상향 DLL 클럭 신호 및 하향 DLL 클럭 신호 중 한 신호를 선택하여 출력 인에이블 클럭 신호를 생성하는 도메인 크로싱 감지부;

상기 초기 출력 인에이블 신호 및 상기 출력 인에이블 클럭 신호를 입력받아 복수개의 출력 인에이블 신호를 생성하는 제 2 출력 인에이블 신호 생성부;

상기 제2 출력 인에이블 신호 생성부의 출력 신호를 입력받고, 데이터가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 제어부;

상기 제2 출력 인에이블 신호 생성부의 출력 신호를 입력받고, 데이터 스트로브 신호가 외부 클럭 신호에 동기되어 출력되는 인에이블 구간을 설정하는 데이터 출력 제어부; 및

어드레스 신호를 입력받고, 상기 도메인 크로싱 감지부의 감지 결과를 참조하여 상기 어드레스 신호에 따라 데이터의 배열을 제어하는 복수개의 데이터 배열 신호 생성부

를 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

## 청구항 2.

제1항에 있어서, 상기 도메인 크로싱 감지부는,

감지 동작 필요 여부를 판단하고, 감지 동작이 필요한 경우에 활성화된 감지 시작 신호의 반전 신호를 출력하는 감지 시작 신호 생성부;

상기 감지 시작 신호의 반전 신호가 활성화 되면 상기 내부 클럭 신호를 기준으로 상기 상향 DLL 클럭 신호 및 상기 하향 DLL 클럭 신호의 위상을 비교하며, 셋업 타임을 만족하는 시점에 앞서서 위상을 갖는 신호를 반영하는 선택 신호를 생성하고, 상기 선택 신호에 따라 위상 감지 영역을 설정하는 위상 감지 신호를 생성하는 위상 감지부;

상기 위상 감지 신호를 입력받아 플라이트 시간을 반영하여 지연시킨 후, 그 결과 신호를 지연 위상 감지 신호로서 출력하는 읽기 경로 플라이트 시간 구현부; 및

상기 지연 위상 감지 신호를 기준으로 상기 내부 클럭 신호에 동기된 상기 카스 레이턴시를 감지하고, 그 감지 결과에 따라 복수개의 레이턴시 감지 신호를 생성하는 레이턴시 감지부

를 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

## 청구항 3.

제2항에 있어서,

상기 감지 시작 신호의 반전 신호는, 셀프 리프레시 상태를 나타내는 셀프 리프레시 상태 신호, DLL 디스에이블 여부를 나타내는 DLL 디스에이블 신호 및 RAS 스탠바이 상태에서 활성화 되는 라스아이들 신호의 논리 연산 결과 및 상기 내부 클럭 신호의 분주에 의해 생성되고, 이를 통하여 도메인 크로싱을 하는 영역을 구현하는

것을 특징으로 하는 도메인 크로싱 회로.

## 청구항 4.

제2항에 있어서, 상기 위상 감지부는,

상기 선택 신호의 선택에 따라 상기 상향 DLL 클럭 신호에 동기된 신호 및 상기 하향 DLL 클럭 신호에 동기된 신호 중 한 신호를 선택하는 MUX; 및

상기 MUX의 출력 신호를 입력받고, 클럭 단자로 상기 상향 DLL 클럭 신호를 입력받으며, 리셋 단자로 상기 감지 시작 신호의 반전 신호를 입력받고, 입력 단자로 인가된 신호를 상기 상향 DLL 클럭 신호에 동기시켜 위상 감지 신호로서 출력하는 플립플롭

을 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

## 청구항 5.

제2항에 있어서, 상기 레이턴시 감지부는,

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최초의 입력 단자로 전원 전압을 인가받으며, 클럭 단자로 상기 내부 클럭 신호를 입력받고, 리셋 단자로 상기 감지 시작 신호의 반전 신호를 입력받으며, 내부에 장착된 복수개의 플립플롭 중 한 플립플롭의 출력 신호를 제1 플라이트 시간 감지 제어 신호로서 출력하고, 상기 제1 플라이트 시간 감지 제어 신호를 입력받은 플립플롭의 출력 신호를 제2 플라이트 시간 감지 제어 신호로서 출력하는 플립플롭군;

상기 지연 위상 감지 신호를 입력받아 지연시키는 지연부;

상기 지연부의 출력 신호의 선택에 따라 상기 제1 플라이트 시간 감지 제어 신호 또는 상기 제2 플라이트 시간 감지 제어 신호에 의한 복수개의 플라이트 시간 감지 신호를 생성하는 플라이트 시간 감지부; 및

상기 카스 레이턴시 및 상기 복수개의 플라이트 시간 감지 신호에 의해 논리 연산을 수행하여 복수개의 레이턴시 감지 신호를 생성하는 선택부

를 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

## 청구항 6.

제5항에 있어서, 상기 제2 출력 인에이블 신호 생성부는,

상기 선택 신호의 선택에 따라 상기 상향 DLL 클럭 신호에 동기된 신호 및 상기 하향 DLL 클럭 신호에 동기된 신호 중 한 신호를 선택하는 MUX; 및

상기 MUX의 출력 신호를 입력받고, 클럭 단자로 상기 상향 DLL 클럭 신호를 입력받으며, 리셋 단자로 상기 감지 시작 신호의 반전 신호를 입력받고, 입력 단자로 인가된 신호를 상기 상향 DLL 클럭 신호에 동기시켜 위상 감지 신호로서 출력하는 플립플롭

을 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

## 청구항 7.

제6항에 있어서, 상기 제2 출력 인에이블 신호 생성부는,

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 위상 감지 신호를 입력받으며, 각각의 플립플롭이 상기 상향 DLL 클럭 신호에 동기된 신호를 출력하는 제1 플립플롭군;

상기 복수개의 레이턴시 감지 신호의 선택에 따라 상기 제1 플립플롭군으로부터 입력된 복수개의 신호 중 활성화된 신호의 경로를 선택하는 제1 MUX; 및

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 제1 MUX의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호에 동기시켜 각각의 플립플롭이 복수개의 출력 인에이블 신호로서 출력하는 제2 플립플롭군

을 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

### 청구항 8.

제7항에 있어서, 상기 제2 출력 인에이블 신호 생성부는,

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 상향 DLL 클럭 신호에 동기된 신호를 입력받으며, 각각의 플립플롭이 상기 하향 DLL 클럭 신호에 동기된 신호를 출력하는 제3 플립플롭군;

상기 복수개의 레이턴시 감지 신호의 선택에 따라 상기 제1 플립플롭군으로부터 입력된 복수개의 신호 중 활성화된 신호의 경로를 선택하는 제2 MUX; 및

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 제2 MUX의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호에 동기시켜 각각의 플립플롭이 복수개의 출력 인에이블 신호로서 출력하는 제4 플립플롭군

을 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

### 청구항 9.

제1항에 있어서, 데이터 출력 제어부는,

상기 복수개의 출력 인에이블 신호를 입력받고, 상기 카스 레이턴시의 선택에 의해 복수개의 출력 인에이블 신호의 한 신호를 도통/지연시켜 상향 출력 인에이블 신호 또는 하향 출력 신호로서 출력하는 복수개의 출력 인에이블 신호 생성부를 포함하고,

상기 출력 인에이블 생성부의 상기 카스 레이턴시의 선택은 상기 카스 레이턴시의 적어도 두 개 이상의 신호를 입력받아 NOR 연산을 수행한 결과 신호에 의해 수행되는 것을 특징으로 하는 도메인 크로싱 회로.

### 청구항 10.

제1항에 있어서, 데이터 제어부는,

상기 복수개의 출력 인에이블 신호를 입력받고, 상기 카스 레이턴시의 선택에 의해 복수개의 출력 인에이블 신호의 한 신호를 도통/지연시켜 예비 데이터 인에이블 신호 또는 데이터 인에이블 신호로서 출력하는 복수개의 신호 생성 수단을 포함하고,

상기 신호 생성 수단의 상기 카스 레이턴시의 선택은 상기 카스 레이턴시의 적어도 두 개 이상의 신호를 입력받아 NOR 연산을 수행한 결과 신호에 의해 수행되는 것을 특징으로 하는 도메인 크로싱 회로.

**청구항 11.**

제5항에 있어서, 상기 데이터 배열 신호 생성부는,

상기 선택 신호의 선택에 따라 상기 상향 DLL 클럭 신호에 동기된 신호 및 상기 하향 DLL 클럭 신호에 동기된 신호 중 한 신호를 선택하는 MUX; 및

상기 MUX의 출력 신호를 입력받고, 클럭 단자로 상기 상향 DLL 클럭 신호를 입력받으며, 리셋 단자로 상기 감지 시작 신호의 반전 신호를 입력받고, 입력 단자로 인가된 신호를 상기 상향 DLL 클럭 신호에 동기시켜 위상 감지 신호로서 출력하는 플립플롭

을 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

**청구항 12.**

제6항에 있어서, 상기 데이터 배열 신호 생성부는,

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 위상 감지 신호를 입력받으며, 각각의 플립플롭이 상기 상향 DLL 클럭 신호에 동기된 신호를 출력하는 제1 플립플롭군;

상기 복수개의 레이턴시 감지 신호의 선택에 따라 상기 제1 플립플롭군으로부터 입력된 복수개의 신호 중 활성화된 신호의 경로를 선택하는 제1 MUX; 및

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 제1 MUX의 출력 신호를 입력받아 상기 상향 DLL 클럭 신호에 동기시켜 각각의 플립플롭이 복수개의 데이터 배열 신호로서 출력하는 제2 플립플롭군

을 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

**청구항 13.**

제7항에 있어서, 상기 데이터 배열 신호 생성부는,

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 상향 DLL 클럭 신호에 동기된 신호를 입력받으며, 각각의 플립플롭이 상기 하향 DLL 클럭 신호에 동기된 신호를 출력하는 제3 플립플롭군;

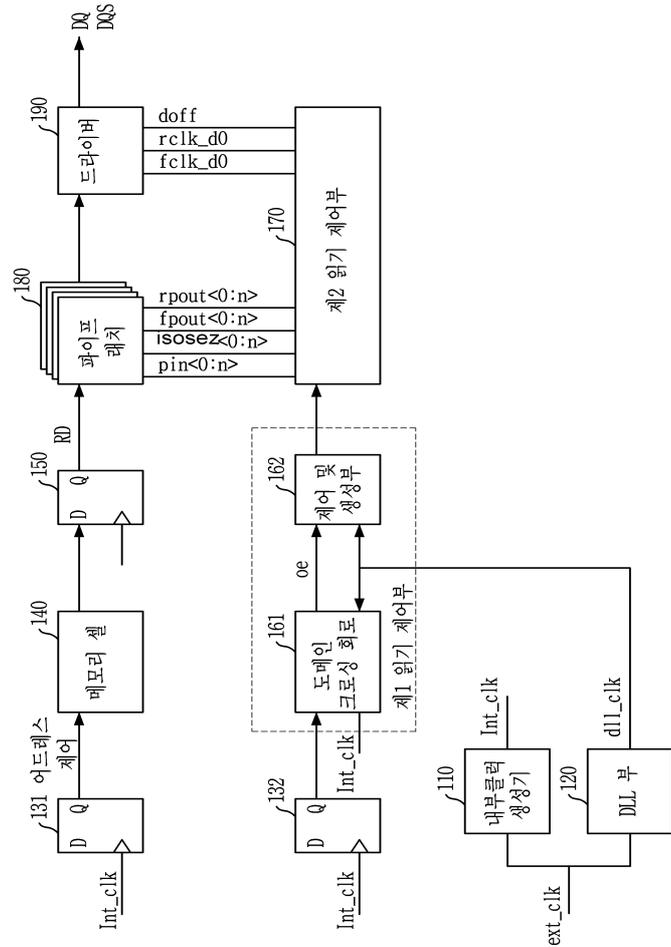
상기 복수개의 레이턴시 감지 신호의 선택에 따라 상기 제1 플립플롭군으로부터 입력된 복수개의 신호 중 활성화된 신호의 경로를 선택하는 제2 MUX; 및

순차적으로 연결된 복수개의 플립플롭을 구비하고, 최전단에 장착된 플립플롭의 입력 단자로 상기 제2 MUX의 출력 신호를 입력받아 상기 하향 DLL 클럭 신호에 동기시켜 각각의 플립플롭이 복수개의 데이터 배열 신호로서 출력하는 제4 플립플롭군

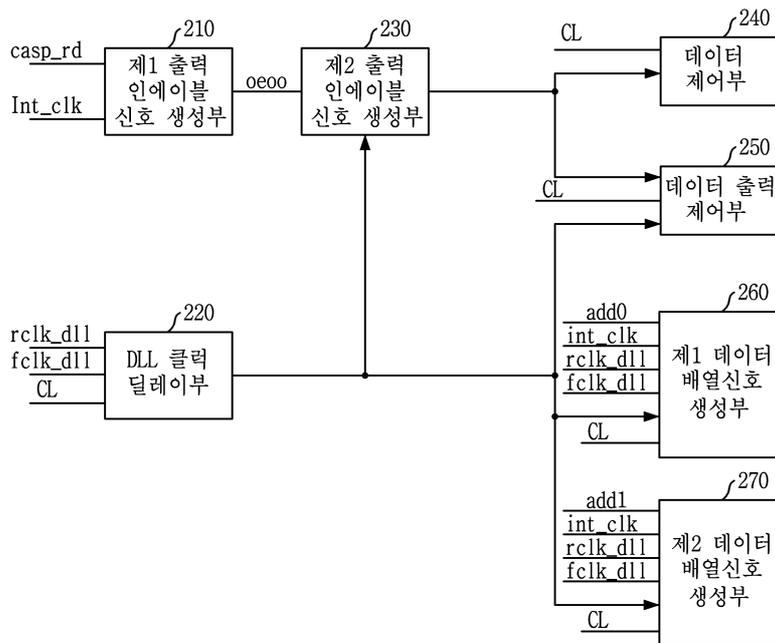
을 포함하는 것을 특징으로 하는 도메인 크로싱 회로.

도면

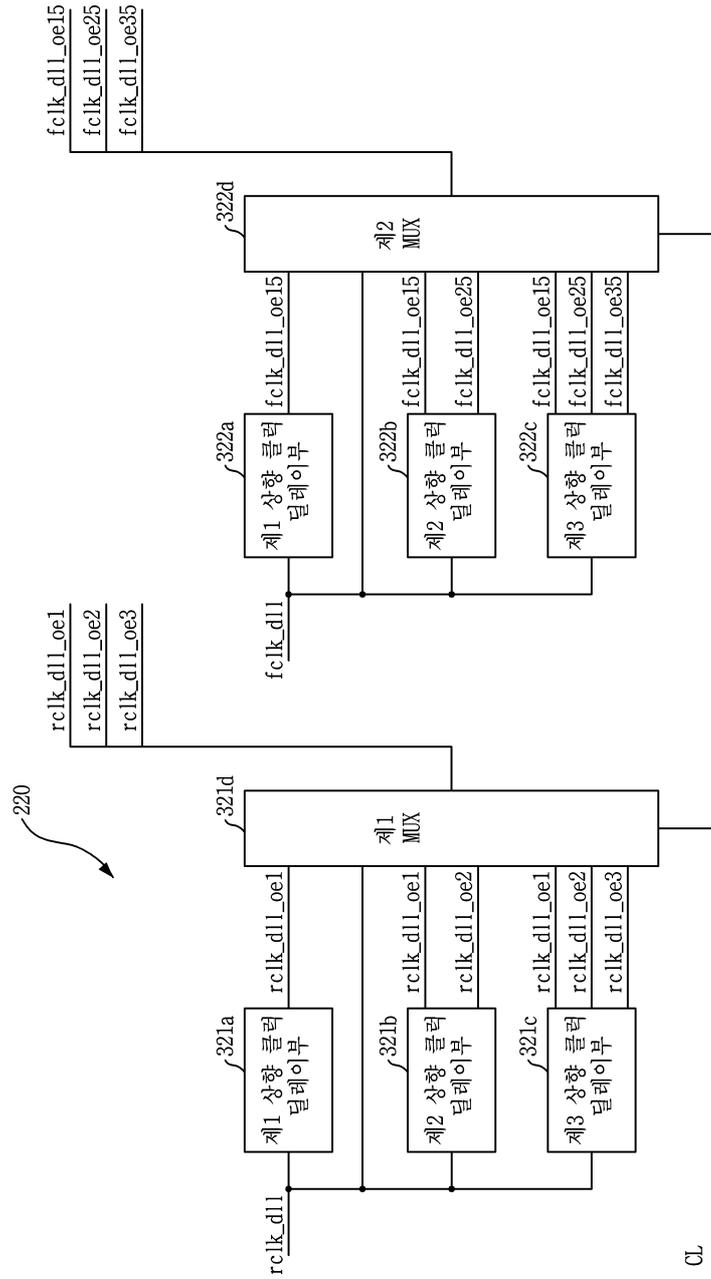
도면1



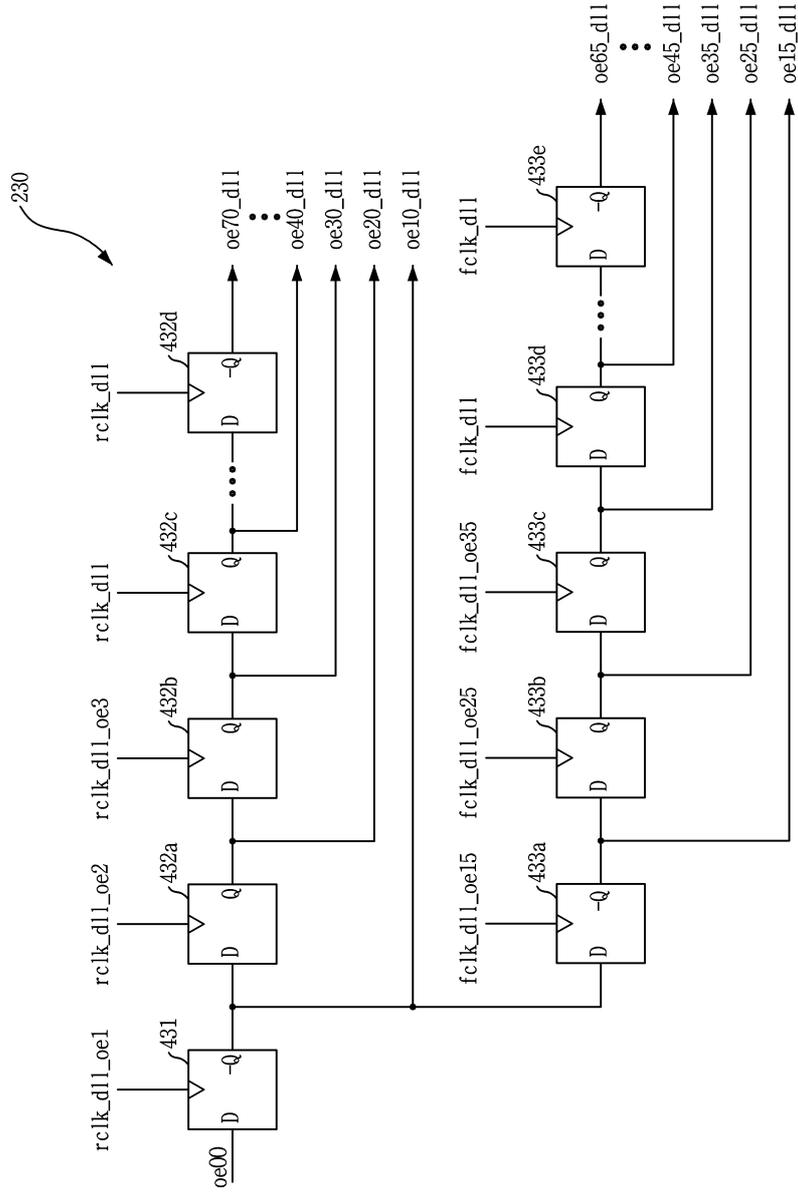
도면2



도면3

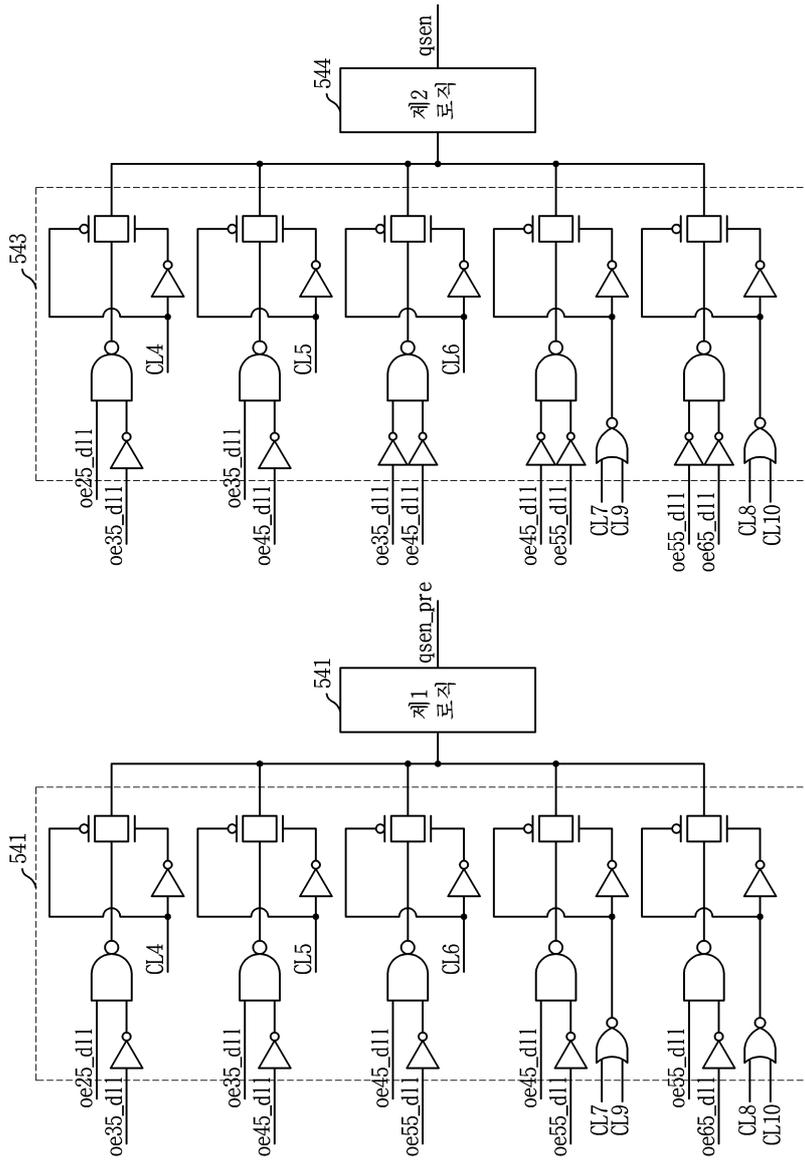


도면4

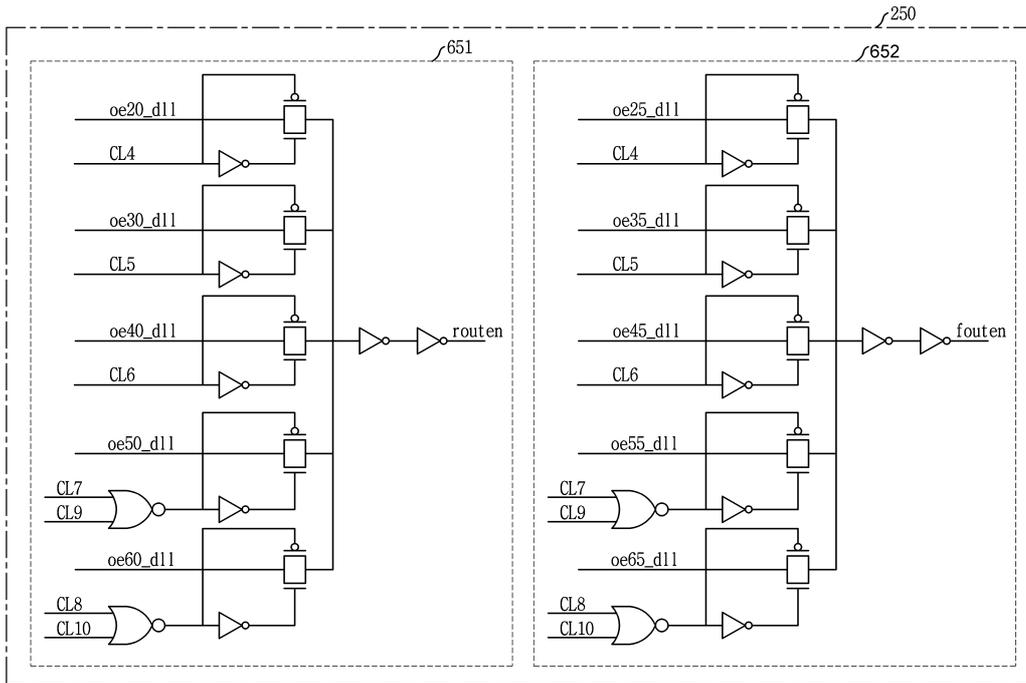


도면5

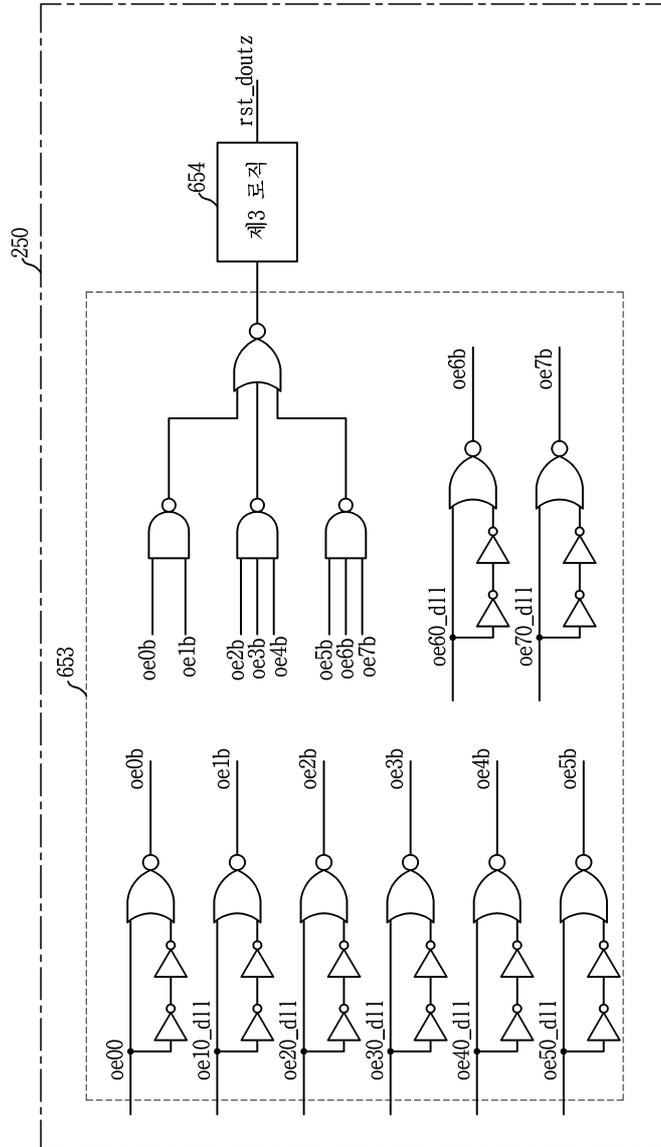
240



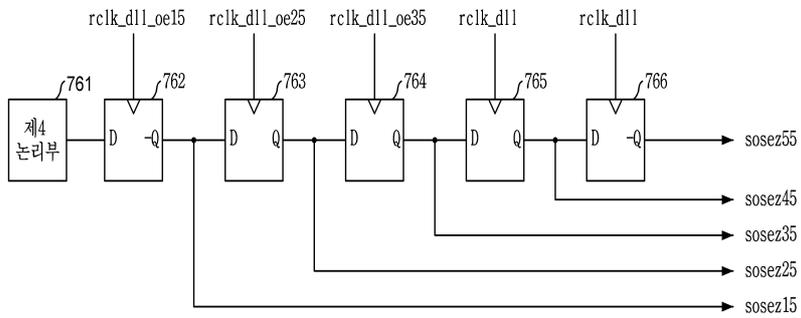
도면6a



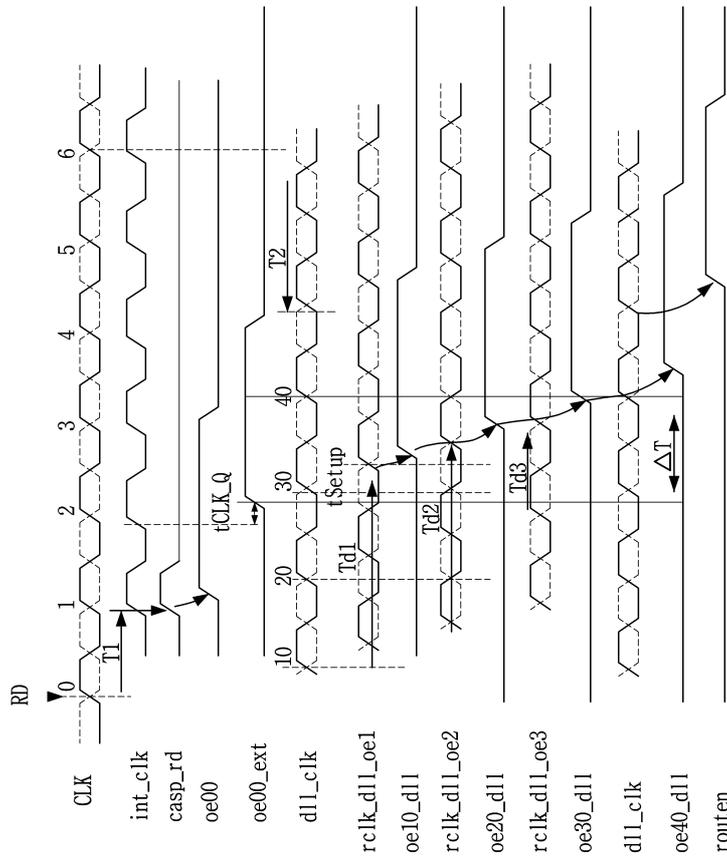
도면6b



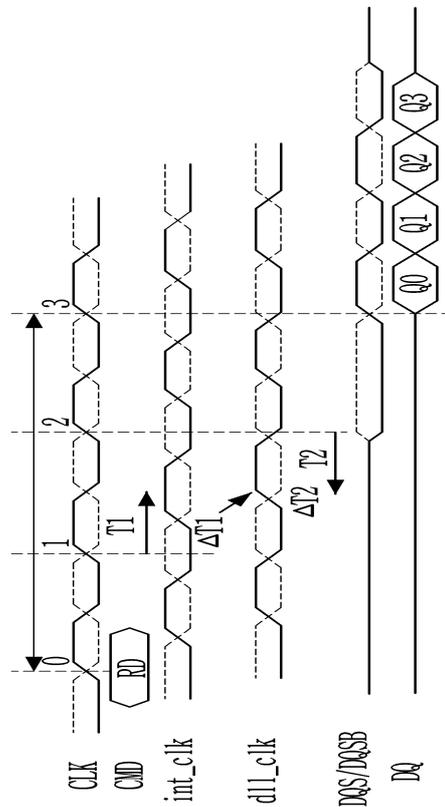
도면7



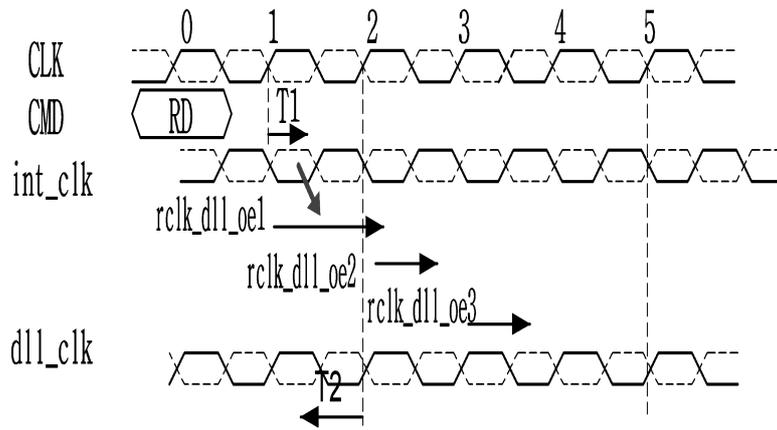
도면8a



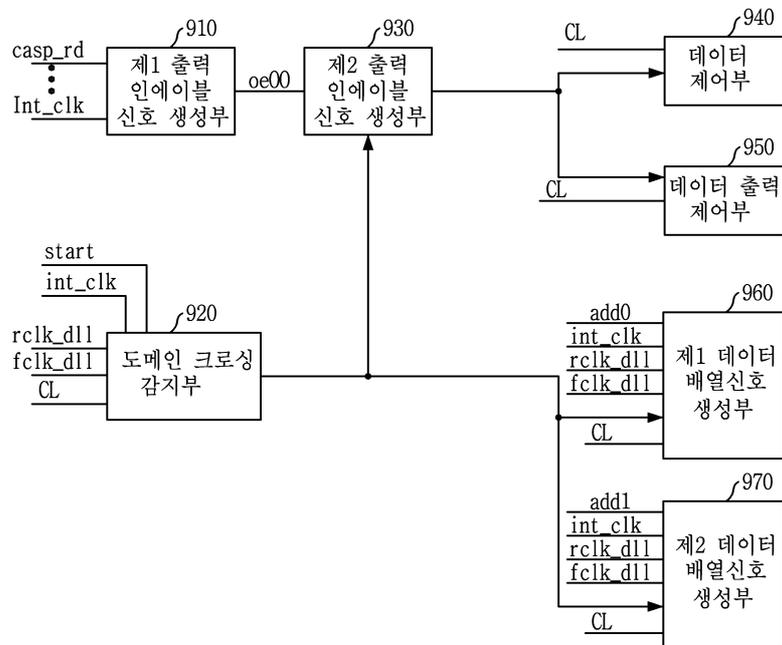
도면8b



도면8c

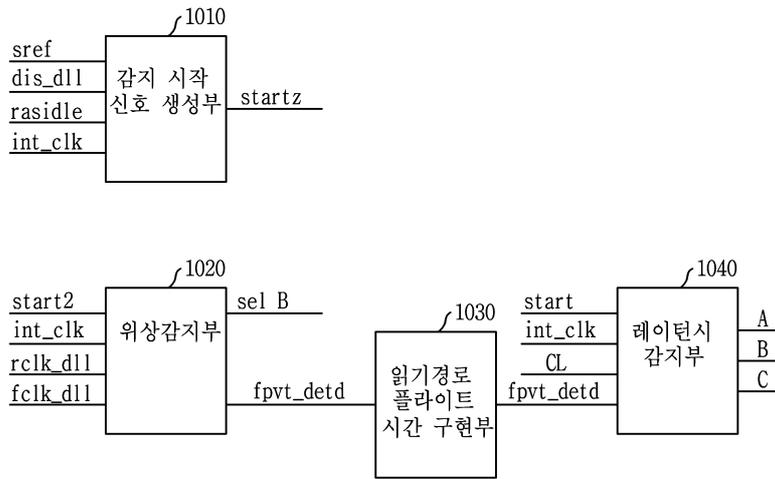


도면9

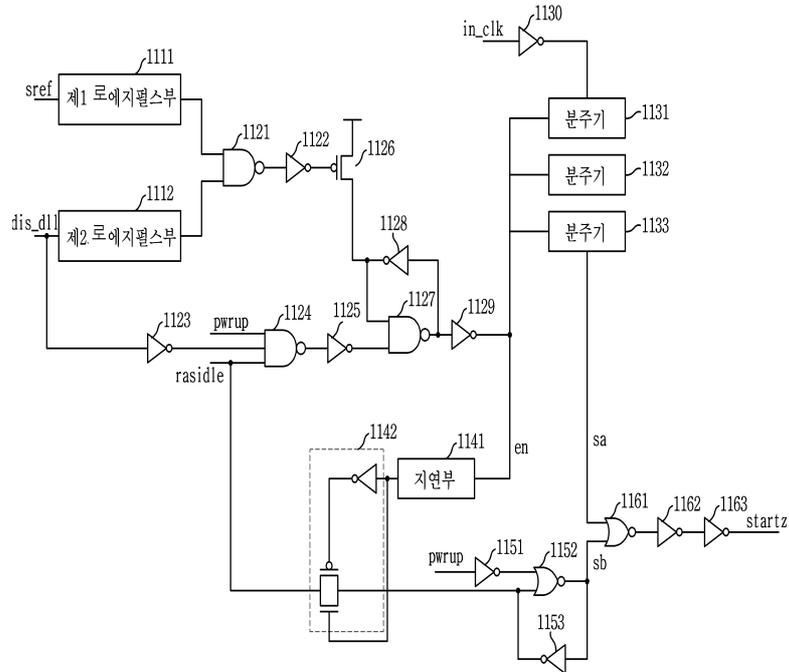


도면10

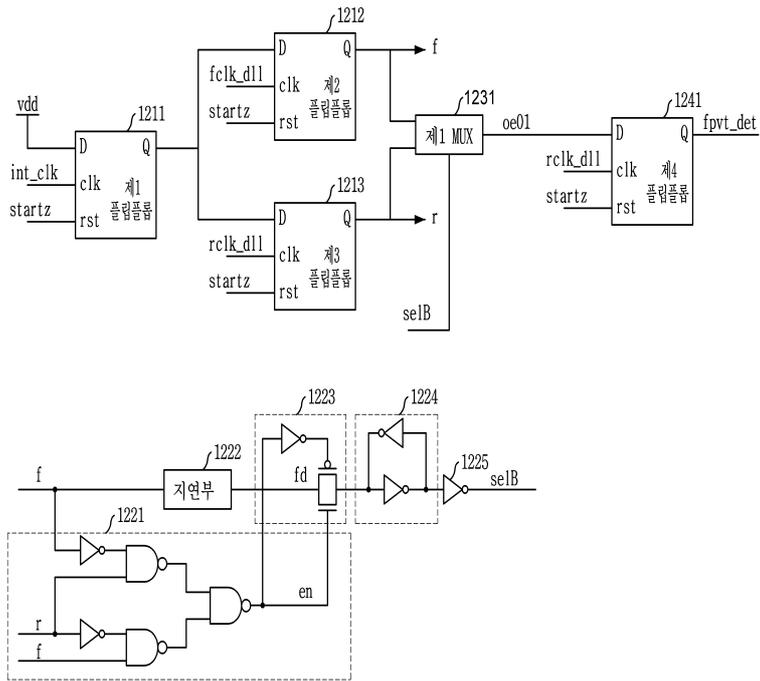
920



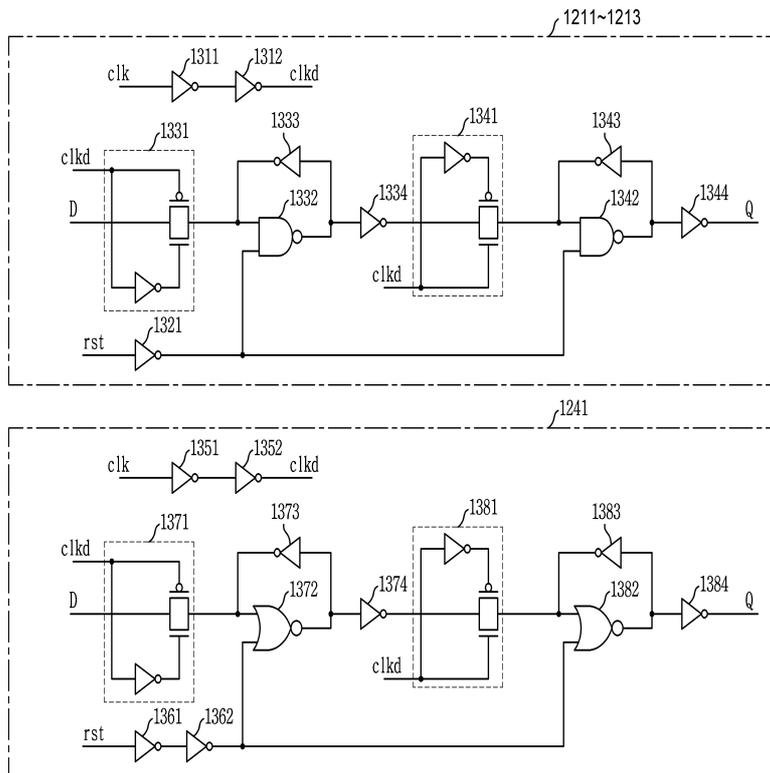
도면11



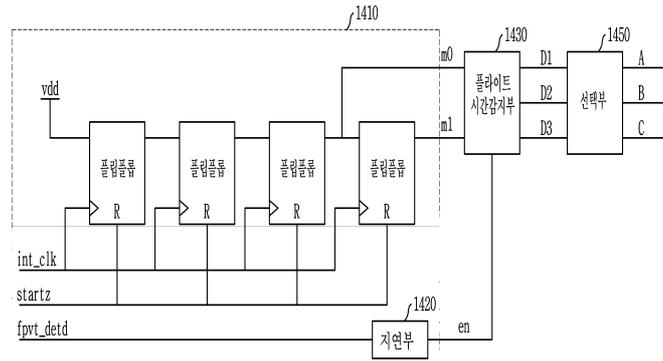
도면12



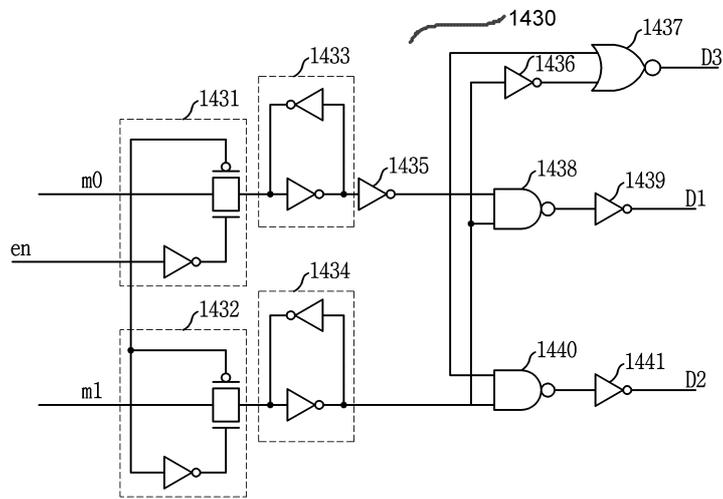
도면13



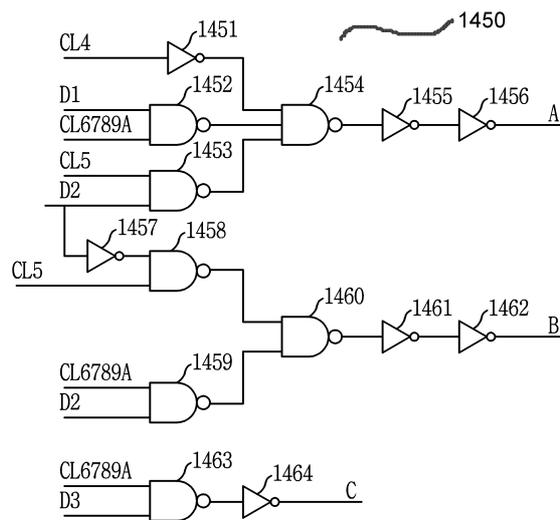
도면14a



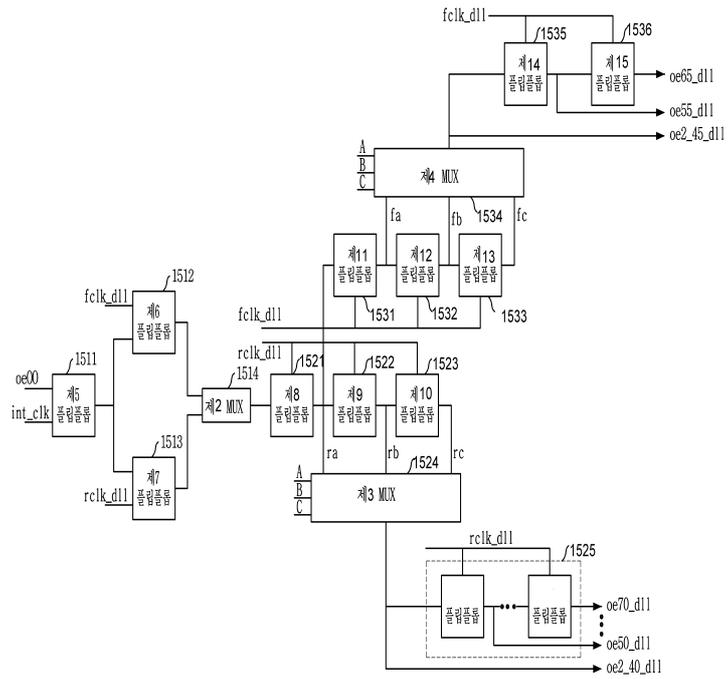
도면14b



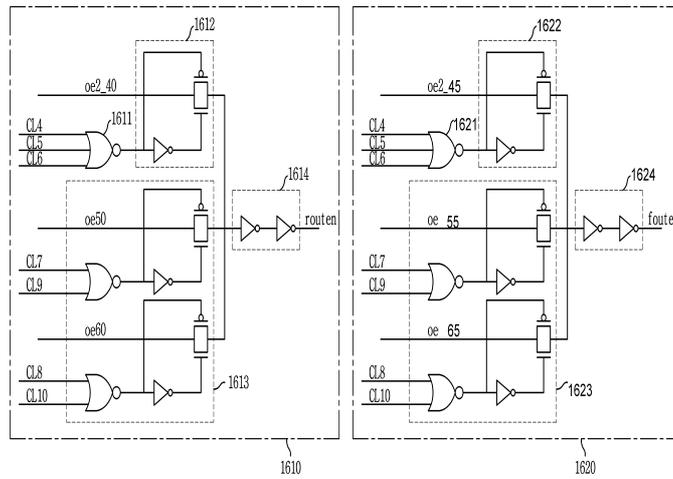
도면14c



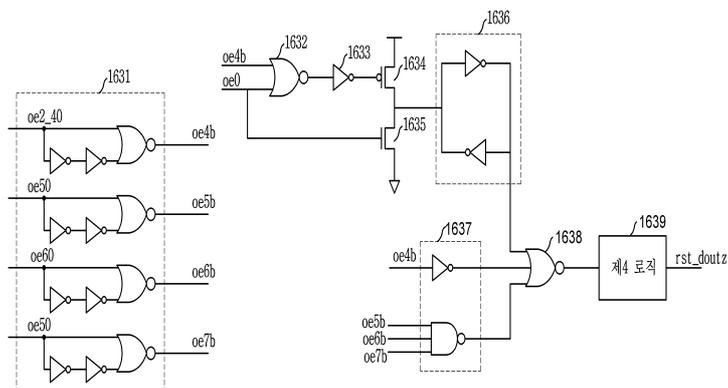
도면15



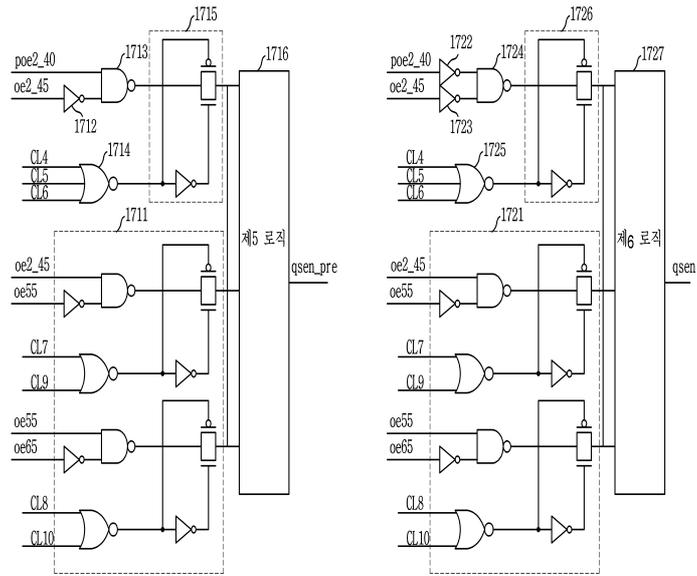
도면16a



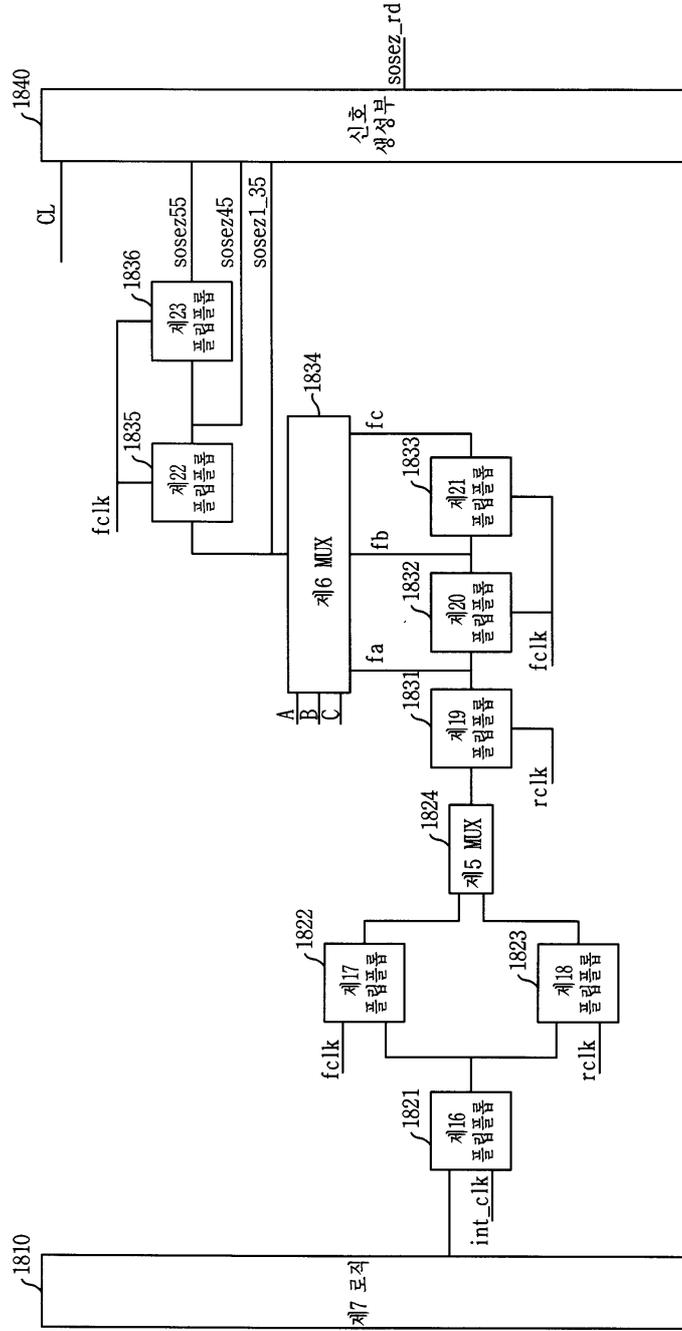
도면16b



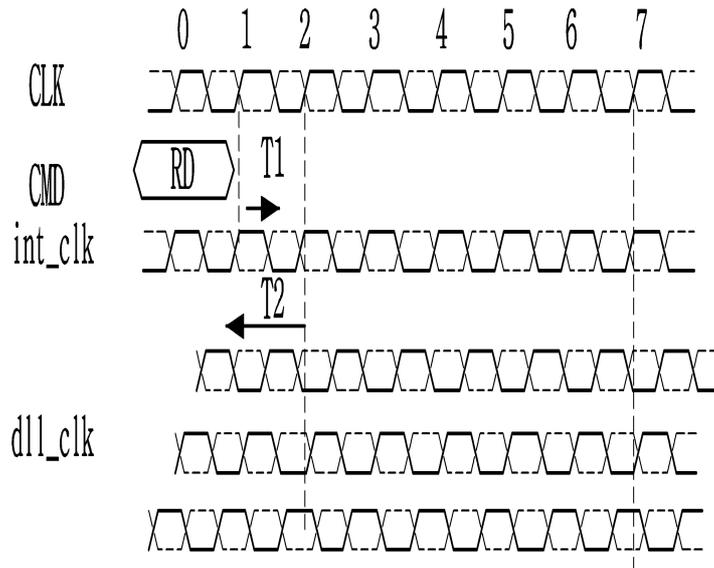
도면17



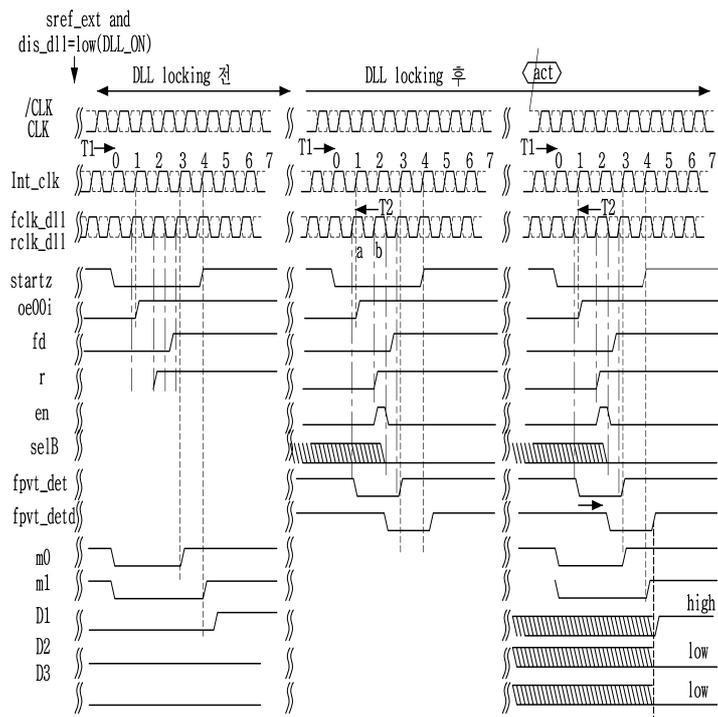
도면 18



도면19



도면20a



도면20b

