



(21) 申請案號：108136398

(22) 申請日：中華民國 108 (2019) 年 10 月 08 日

(51) Int. Cl. : *H01L23/28 (2006.01)**H01L23/48 (2006.01)*

(30) 優先權：2019/02/22 南韓

10-2019-0021452

(71) 申請人：南韓商愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)

南韓

(72) 發明人：成基俊 SUNG, KI JUN (KR) ; 金鍾薰 KIM, JONG HOON (KR) ; 金載敏 KIM, JAE MIN (KR)

(74) 代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：21 項 圖式數：11 共 50 頁

(54) 名稱

包含橋接晶粒的系統級封裝件

(57) 摘要

一種系統級封裝件包括再分配線(RDL)結構、第一半導體晶片、第二半導體晶片、第二子封裝件、第一橋接晶粒和第二橋接晶粒。該 RDL 結構包括第一 RDL 圖案，第一半導體晶片的第一晶片焊墊電連接至第一 RDL 圖案。第二半導體晶片層疊在第一半導體晶片上，使得第二半導體晶片突出越過第一半導體晶片的側表面，其中，設置在第二半導體晶片的突出部上的第二晶片焊墊通過第一橋接晶粒電連接到第一 RDL 圖案。第二橋接晶粒被設置為將第二子封裝件電連接到第一半導體晶片。

A system-in-package includes a redistributed line (RDL) structure, a first semiconductor chip, a second semiconductor chip, a second sub-package, a first bridge die, and a second bridge die. The RDL structure includes a first RDL pattern to which a first chip pad of the first semiconductor chip is electrically connected. The second semiconductor is stacked on the first semiconductor chip such that the second semiconductor chip protrudes past a side surface of the first semiconductor chip, wherein a second chip pad disposed on the protrusion of the second semiconductor chip is electrically connected to the first RDL pattern through the first bridge die. The second bridge die is disposed to electrically connect the second sub-package to the first semiconductor chip.

指定代表圖：

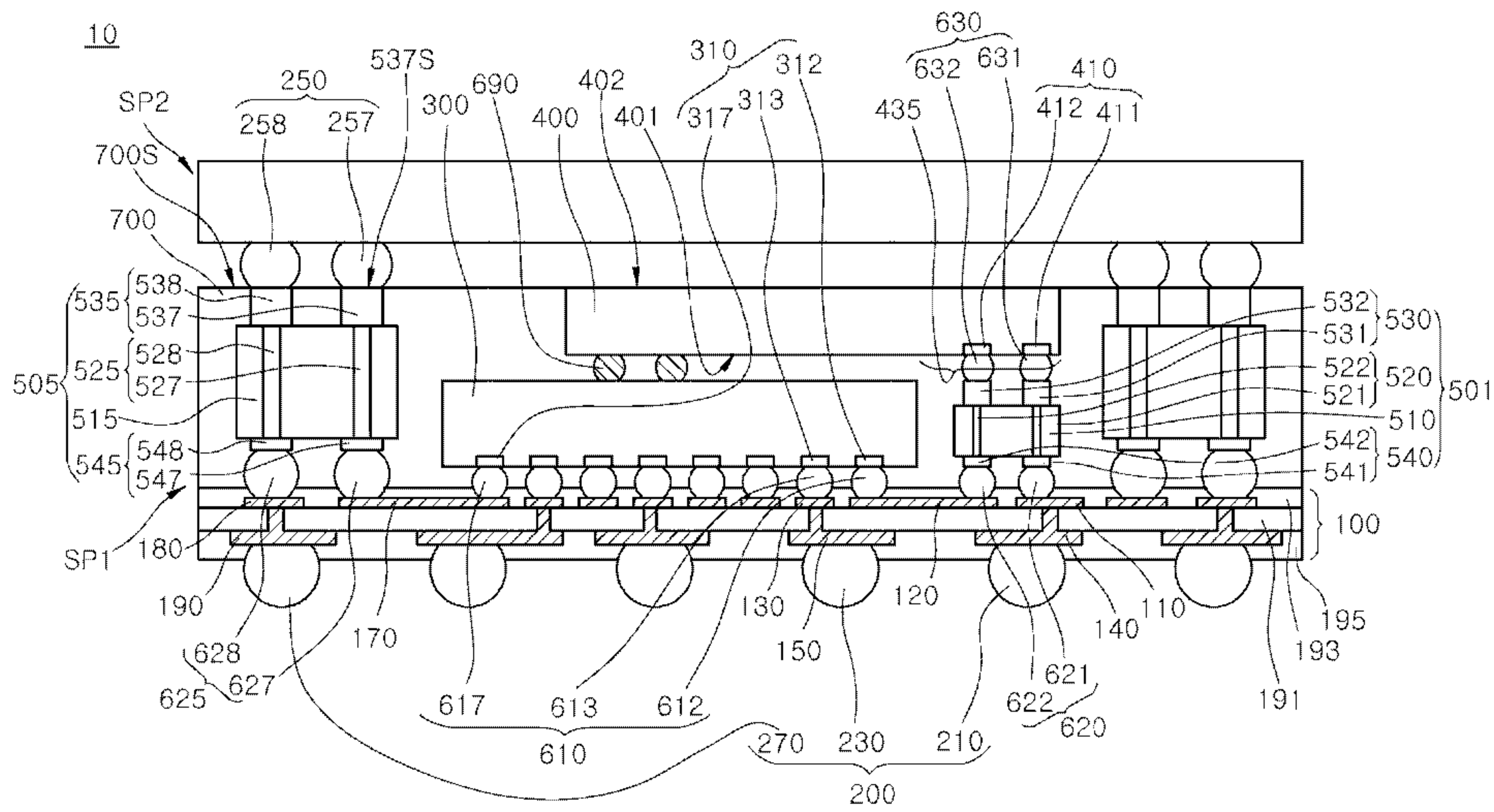


圖1

符號簡單說明：

10:系統級封裝件(SiP)

11:SiP

100:再分配線(RDL)結構

110:第三 RDL 圖案

120:第一 RDL 圖案

130:第四 RDL 圖案

140:第五 RDL 圖案

150:第六 RDL 圖案

170:第二 RDL 圖案

180:第七 RDL 圖案

190:第八 RDL 圖案

191:第一介電層

193:第二介電層

195:第三介電層

200:外連接器

210:第一外連接器

230:第二外連接器

250:互連器

257:第一互連器

258:第二互連器

270:第三外連接器

300:第一半導體晶片

310:第一組的晶片焊墊

312:第一晶片焊墊

313:第四晶片焊墊

317:第五晶片焊墊

400:第二半導體晶片

401:第一表面

402:第二表面

410:第二組的晶片焊墊

411:第三晶片焊墊

412:第二晶片焊墊

435:突出部

501:第一橋接晶粒

505:第二橋接晶粒

510:第一主體
515:第二主體
520:通孔
521:第三通孔
522:第一通孔
525、525-1:通孔
527、527-1:第二通孔
528、528-1:第四通孔
530:柱狀凸塊
531:第三柱狀凸塊
532:第一柱狀凸塊
535:柱狀凸塊
537:第二柱狀凸塊
537S:頂表面
538:第四柱狀凸塊
540:通孔焊墊
541:第三通孔焊墊
542:第一通孔焊墊
545:通孔焊墊
547:第二通孔焊墊
548:第四通孔焊墊
610:第一組的內連接器
612:第五內連接器
613:第三內連接器
617:第四內連接器
620:第二組的內連接器
621:第六內連接器
622:第一內連接器
625:內連接器
627:第八內連接器
628:第九內連接器
630:第三組的內連接器
631:第七內連接器
632:第二內連接器
690:虛擬凸塊
700:模製層
700S:頂表面

202032731

TW 202032731 A

SP1:第一子封装件

SP2:第一子封装件



202032731

【發明摘要】**【中文發明名稱】** 包含橋接晶粒的系統級封裝件**【英文發明名稱】** SYSTEM-IN-PACKAGES INCLUDING A BRIDGE DIE**【中文】**

一種系統級封裝件包括再分配線(RDL)結構、第一半導體晶片、第二半導體晶片、第二子封裝件、第一橋接晶粒和第二橋接晶粒。該RDL結構包括第一RDL圖案，第一半導體晶片的第一晶片焊墊電連接至第一RDL圖案。第二半導體晶片層疊在第一半導體晶片上，使得第二半導體晶片突出越過第一半導體晶片的側表面，其中，設置在第二半導體晶片的突出部上的第二晶片焊墊通過第一橋接晶粒電連接到第一RDL圖案。第二橋接晶粒被設置為將第二子封裝件電連接到第一半導體晶片。

【英文】

A system-in-package includes a redistributed line (RDL) structure, a first semiconductor chip, a second semiconductor chip, a second sub-package, a first bridge die, and a second bridge die. The RDL structure includes a first RDL pattern to which a first chip pad of the first semiconductor chip is electrically connected. The second semiconductor is stacked on the first semiconductor chip such that the second semiconductor chip protrudes past a side surface of the first semiconductor chip, wherein a second chip pad disposed on the protrusion of the second semiconductor chip is electrically connected to the first RDL pattern through the first bridge die. The second bridge die is disposed to electrically connect the second sub-package to the first semiconductor chip.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

- 10 系統級封裝件 (SiP)
- 11 SiP
- 100 再分配線 (RDL) 結構
- 110 第三RDL圖案
- 120 第一RDL圖案
- 130 第四RDL圖案
- 140 第五RDL圖案
- 150 第六RDL圖案
- 170 第二RDL圖案
- 180 第七RDL圖案
- 190 第八RDL圖案
- 191 第一介電層
- 193 第二介電層
- 195 第三介電層
- 200 外連接器
- 210 第一外連接器
- 230 第二外連接器
- 250 互連器
- 257 第一互連器
- 258 第二互連器
- 270 第三外連接器

- 300 第一半導體晶片
- 310 第一組的晶片焊墊
- 312 第一晶片焊墊
- 313 第四晶片焊墊
- 317 第五晶片焊墊
- 400 第二半導體晶片
- 401 第一表面
- 402 第二表面
- 410 第二組的晶片焊墊
- 411 第三晶片焊墊
- 412 第二晶片焊墊
- 435 突出部
- 501 第一橋接晶粒
- 505 第二橋接晶粒
- 510 第一主體
- 515 第二主體
- 520 通孔
- 521 第三通孔
- 522 第一通孔
- 525、525-1 通孔
- 527、527-1 第二通孔
- 528、528-1 第四通孔
- 530 柱狀凸塊
- 531 第三柱狀凸塊

- 532 第一柱狀凸塊
- 535 柱狀凸塊
- 537 第二柱狀凸塊
- 537S 頂表面
- 538 第四柱狀凸塊
- 540 通孔焊墊
- 541 第三通孔焊墊
- 542 第一通孔焊墊
- 545 通孔焊墊
- 547 第二通孔焊墊
- 548 第四通孔焊墊
- 610 第一組的內連接器
- 612 第五內連接器
- 613 第三內連接器
- 617 第四內連接器
- 620 第二組的內連接器
- 621 第六內連接器
- 622 第一內連接器
- 625 內連接器
- 627 第八內連接器
- 628 第九內連接器
- 630 第三組的內連接器
- 631 第七內連接器
- 632 第二內連接器

690 虛擬凸塊

700 模製層

700S 頂表面

SP1 第一子封裝件

SP2 第一子封裝件

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 包含橋接晶粒的系統級封裝件

【英文發明名稱】 SYSTEM-IN-PACKAGES INCLUDING A BRIDGE DIE

【技術領域】

【0001】 本公開涉及半導體封裝技術，更具體地，涉及包括橋接晶粒的系統級封裝件。

相關申請的交叉引用

【0002】 本申請主張2019年2月22日提交的韓國申請No. 10-2019-0021452的優先權，其整體通過引用併入本文。

【先前技術】

【0003】 近來，大量努力集中在將多個半導體晶片整合到單個半導體封裝件中。即，已嘗試增加封裝整合密度以實現利用多功能操作高速處理大量數據的高性能半導體封裝件。例如，系統級封裝件（SiP）技術可被視為實現高性能半導體封裝件的有吸引力的候選。包括在各個SiP中的多個半導體晶片並排設置。然而，這可導致難以減小SiP的寬度。因此，已提出將多個半導體晶片設置在SiP封裝件中的各種技術以減小SiP的尺寸。

【發明內容】

【0004】 根據實施方式，一種系統級封裝件包括第一子封裝件以及安裝在第一子封裝件上的第二子封裝件。第一子封裝件包括再分配線（RDL）結構，該RDL結構具有第一RDL圖案和第二RDL圖案。第一子封裝件還包括第一半導體晶片，該第一半導體晶片設置在RDL結構上，使得第一半導體晶片的電連接

到第一RDL圖案的第一晶片焊墊面向RDL結構。第一子封裝件還包括第二半導體晶片，該第二半導體晶片層疊在第一半導體晶片上，使得第二半導體晶片突出越過第一半導體晶片的側表面，其中，設置在第二半導體晶片的突出部上的第二晶片焊墊面向RDL結構。第一子封裝件另外包括第一橋接晶粒，該第一橋接晶粒設置在RDL結構上以支撐第二半導體晶片的突出部，其中，第一橋接晶粒包括由第一通孔穿透的第一主體，其中，第一通孔將第二晶片焊墊電連接到第一RDL圖案。第一子封裝件還包括第二橋接晶粒，該第二橋接晶粒設置在RDL結構上並且與第一半導體晶片間隔開，其中，該第二橋接晶粒包括由第二通孔穿透的第二主體，其中，第二通孔將第二子封裝件電連接到第二RDL圖案。第一子封裝件還包括模製層，該模製層設置在RDL結構上以覆蓋第一半導體晶片和第一橋接晶粒並且圍繞第二半導體晶片和第二橋接晶粒。

【0005】 根據另一實施方式，一種系統級封裝件包括第一子封裝件以及安裝在第一子封裝件上的第二子封裝件。第一子封裝件包括再分配線（RDL）結構，該RDL結構包括第一RDL圖案和第二RDL圖案。第一子封裝件還包括第一半導體晶片，該第一半導體晶片設置在RDL結構上，使得第一半導體晶片的電連接到第一RDL圖案的第一晶片焊墊面向RDL結構。第一子封裝件還包括第二半導體晶片，該第二半導體晶片層疊在第一半導體晶片上，使得第二半導體晶片突出越過第一半導體晶片的側表面，其中，設置在第二半導體晶片的突出部上的第二晶片焊墊面向RDL結構。第一子封裝件另外包括第一橋接晶粒，該第一橋接晶粒設置在RDL結構上以支撐第二半導體晶片的突出部，其中，該第一橋接晶粒包括由第一通孔穿透的第一模製材料基板，其中，第一通孔將第二晶片焊墊電連接到第一RDL圖案。第一子封裝件還包括第二橋接晶粒，該第二橋接晶粒設置在RDL結構上並且與第一半導體晶片間隔開，其中，該第二橋接晶粒包括由第二通孔穿透的第二模製材料基板，其中，第二通孔將第二子封裝件

電連接到第二RDL圖案。第一子封裝件還包括模製層，該模製層設置在RDL結構上以覆蓋第一半導體晶片和第一橋接晶粒並且圍繞第二半導體晶片和第二橋接晶粒。

【圖式簡單說明】

【0006】

圖1是示出根據實施方式的系統級封裝件（SiP）的橫截面圖。

圖2是示出圖1的一部分（包括第一橋接晶粒）的放大橫截面圖。

圖3是示出將圖2所示的半導體晶片彼此連接的電路徑的立體圖。

圖4是示出圖1的一部分（包括第二橋接晶粒）的放大橫截面圖。

圖5是示出圖1的一部分（包括第一橋接晶粒和第二橋接晶粒）的放大橫截面圖。

圖6是示出圖5所示的第一橋接晶粒和第二橋接晶粒的柱狀凸塊的平面圖。

圖7是示出圖1所示的半導體晶片之間的連接部分的放大橫截面圖。

圖8是示出根據另一實施方式的SiP的橫截面圖。

圖9是示出根據另一實施方式的SiP的橫截面圖。

圖10是示出採用包括根據實施方式的至少一個SiP的記憶卡的電子系統的方塊圖。

圖11是示出包括根據實施方式的至少一個SiP的另一電子系統的方塊圖。

【實施方式】

【0007】 本文所使用的術語可對應於考慮其在實施方式中的功能而選擇的詞語，術語的含義可被解釋為根據實施方式所屬領域的通常知識者而不同。如果詳細定義，則可根據定義來解釋術語。除非另外定義，否則本文所使用的

術語（包括技術術語和科學術語）具有實施方式所屬領域的通常知識者通常理解的相同含義。

【0008】 將理解，儘管本文中可使用術語“第一”、“第二”、“第三”等來描述各種元件，但是這些元件不應受這些術語限制。這些術語僅用於將一個元件與另一元件相區分，而非用於僅限定元件本身或者意指特定順序。

【0009】 還將理解，當元件或層被稱為在另一元件或層“上”、“上方”、“下面”、“下方”或“外側”時，該元件或層可與另一元件或層直接接觸，或者可存在中間元件或層。用於描述元件或層之間的關係的其它詞語應該以類似的方式解釋（例如，“在...之間”與“直接在...之間”或者“相鄰”與“直接相鄰”）。

【0010】 諸如“在...之下”、“在...下面”、“下”、“上面”、“上”、“頂部”、“底部”等的空間相對術語可用於描述元件和/或特徵與另一元件和/或特徵的關係（例如，如圖中所示）。將理解，除了附圖中所描繪的取向之外，空間相對術語旨在涵蓋裝置在使用和/或操作中的不同取向。例如，當附圖中的裝置翻轉時，被描述為在其它元件或特徵下面和/或之下的元件將被取向為在其它元件或特徵上面。裝置可按照其它方式取向（旋轉90度或處於其它取向）並且相應地解釋本文中所使用的空間相對描述符。

【0011】 系統級封裝件（SiP）可對應於半導體封裝件，並且半導體封裝件可包括諸如半導體晶片或半導體晶粒的電子元件。半導體晶片或半導體晶粒可通過使用晶粒切割製程將諸如晶圓的半導體基板分離成多片來獲得。半導體晶片可對應於記憶體晶片、邏輯晶片、特殊應用積體電路（ASIC）晶片、應用處理器（AP）、圖形處理單元（GPU）、中央處理單元（CPU）或系統晶片（SoC）。記憶體晶片可包括整合在半導體基板上的動態隨機存取記憶體（DRAM）電路、靜態隨機存取記憶體（SRAM）電路、NAND型快閃記憶體電路、NOR型快閃記憶體電路、磁隨機存取記憶體（MRAM）電路、電阻式隨機存取記憶體（ReRAM）

電路、鐵電隨機存取記憶體（FeRAM）電路或相變隨機存取記憶體（PcRAM）電路。邏輯晶片可包括整合在半導體基板上的邏輯電路。半導體封裝件可用在諸如移動電話的通信系統、與生物技術或保健關聯的電子系統或可穿戴電子系統中。半導體封裝件可適用於物聯網（IoT）。

【0012】 通篇說明書中，相同的標號表示相同的元件。即使標號未參照一幅圖提及或描述，該標號也可參照另一幅圖提及或描述。另外，即使標號未在一幅圖中示出，其也可參照另一幅圖提及或描述。

【0013】 圖1是示出根據實施方式的系統級封裝件（SiP）10的橫截面圖。

【0014】 參照圖1，SiP 10可被實現為具有層疊封裝（PoP）形狀。SiP 10可被配置為包括第一子封裝件SP1以及安裝在第一子封裝件SP1上的第二子封裝件SP2。第一子封裝件SP1可包括再分配線（RDL）結構100、第一半導體晶片300、第二半導體晶片400、第一橋接晶粒501、第二橋接晶粒505和模製層700。

【0015】 RDL結構100可對應於電連接到第一半導體晶片300和第二半導體晶片400的互連結構。在另一實施方式中，印刷電路板（PCB）可用作互連結構。

【0016】 第一半導體晶片300可設置在RDL結構100上。第二半導體晶片400可層疊在第一半導體晶片300的與RDL結構100相對的表面上以與第一半導體晶片300交疊。第二半導體晶片400可層疊在第一半導體晶片300上以具有突出部435，突出部435對應於從與第一半導體晶片300的側表面對準的垂直線橫向突出的伸出物（overhang）。第一橋接晶粒501可設置在RDL結構100上以支撐第二半導體晶片400的突出部435。第一橋接晶粒501可設置在第二半導體晶片400的突出部435與RDL結構100之間，並且可被設置為在與突出部435相同的方向上與第一半導體晶片300橫向間隔開。

【0017】 模製層700可設置在RDL結構100上。模製層700可形成為覆蓋第

一半導體晶片300和第一橋接晶粒501。模製層700可延伸以覆蓋第二半導體晶片400。模製層700可形成為圍繞並保護第二半導體晶片400並露出第二半導體晶片400的與第一半導體晶片300相對的第二表面402。在模製層700形成為露出第二半導體晶片400的第二表面402的情況下，來自第二半導體晶片400和第一半導體晶片300的由於SiP 10的操作而生成的熱可通過第二半導體晶片400的第二表面402更容易地消散到外部空間。模製層700可被設置為圍繞並保護第二橋接晶粒505。模製層700可由各種模製材料或囊封材料中的任一種形成。例如，模製層700可由環氧樹脂模製料（EMC）材料形成。

【0018】 圖2是示出圖1的一部分（包括第一橋接晶粒501）的放大橫截面圖。

【0019】 參照圖1和圖2，RDL結構100可包括第一RDL圖案120。各個第一RDL圖案120可被設置為具有與第一半導體晶片300的一部分交疊的第一端以及與第一橋接晶粒501的一部分交疊的第二端。

【0020】 第一半導體晶片300可包括第一組的晶片焊墊310。第一半導體晶片300可設置在RDL結構100上，使得第一半導體晶片300的第一晶片焊墊312電連接到第一RDL圖案120的第一端。第一晶片焊墊312可被包括在第一組的晶片焊墊310中。第一半導體晶片300可按照覆晶形成方式來安裝在RDL結構100上，使得第一半導體晶片300的第一組的晶片焊墊310面向RDL結構100。

【0021】 第一組的內連接器610可設置在第一半導體晶片300與RDL結構100之間以將第一半導體晶片300電連接到RDL結構100。第一組的內連接器610可以是導電凸塊或焊料凸塊。第一組的內連接器610中的第五內連接器612可接合到第一RDL圖案120的一部分以將第一晶片焊墊312電連接到第一RDL圖案120。第五內連接器612可以是第一組的內連接器610中的任一個。

【0022】 第二半導體晶片400可包括設置在第二半導體晶片400的突出部

435上的第二組的晶片焊墊410。第二半導體晶片400可按照覆晶形成方式來安裝在第一半導體晶片300上。因此，設置在突出部435上的第二組的晶片焊墊410中的第二晶片焊墊412可面向RDL結構100。由於第二晶片焊墊412設置在突出部435上，所以第二晶片焊墊412可能不與第一半導體晶片300垂直地交疊以在第一半導體晶片300的外側區域中露出。第二晶片焊墊412可以是第二組的晶片焊墊410中的任一個。

【0023】 第一橋接晶粒501可設置在RDL結構100上以與第二半導體晶片400的突出部435交疊。第一橋接晶粒501可被配置為包括第一主體510以及穿透第一主體510的多個通孔520。儘管圖中未示出，絕緣層可另外設置在第一主體510與各個通孔520之間以將通孔520與第一主體510電絕緣。通孔520中的第一通孔522可被設置為與第二晶片焊墊412交疊，並且可電連接到第二半導體晶片400的第二晶片焊墊412。第一通孔522可以是通孔520中的任一個。第一通孔522可被設置為與第一RDL圖案120的一部分交疊，並且可電連接到與第一通孔522交疊的第一RDL圖案120。第一通孔522可被設置為在垂直方向上將第二晶片焊墊412電連接到第一RDL圖案120。

【0024】 第一橋接晶粒501還可包括多個柱狀凸塊530。柱狀凸塊530可設置在第一主體510上以從第一主體510的頂表面突出。第一柱狀凸塊532可連接到第一通孔522的頂部。第一柱狀凸塊532可以是柱狀凸塊530中的任一個。

【0025】 第三組的內連接器630可設置在第一橋接晶粒501與第二半導體晶片400之間以將第一橋接晶粒501電連接到第二半導體晶片400。第一橋接晶粒501可通過第三組的內連接器630接合到第二半導體晶片400，並且可通過第三組的內連接器630電連接到第二半導體晶片400。第二內連接器632可將第二晶片焊墊412電連接到第一柱狀凸塊532。第二內連接器632可以是第三組的內連接器630中的任一個。第一橋接晶粒501還可包括設置在第一主體510的底表面上的通

孔焊墊540。第一通孔焊墊542可連接到第一通孔522的底部。第一通孔焊墊542可以是通孔焊墊540中的任一個。

【0026】 第二組的內連接器620可設置在第一橋接晶粒501與RDL結構100之間以將第一橋接晶粒501電連接到RDL結構100。第一橋接晶粒501可通過第二組的內連接器620接合到RDL結構100，並且可通過第二組的內連接器620電連接到RDL結構100。第一內連接器622可接合並且電連接到第一通孔焊墊542。第一內連接器622可以是第二組的內連接器620中的任一個。第一內連接器622可接合到第一RDL圖案120的一部分以將第一通孔焊墊542電連接到第一RDL圖案120。

【0027】 圖3是示出將圖2所示的第一半導體晶片300和第二半導體晶片400彼此電連接的第一電路徑P1的立體圖。

【0028】 參照圖2和圖3，第一橋接晶粒501在結構上支撐第二半導體晶片400的突出部435並且還提供將第二半導體晶片400電連接到第一半導體晶片300的第一電路徑P1的一部分。第一電路徑P1可被配置為包括第二半導體晶片400的第二晶片焊墊412、第二內連接器632、第一柱狀凸塊532、第一通孔522、第一通孔焊墊542、第一內連接器622、第一RDL圖案120、第五內連接器612和第一半導體晶片300的第一晶片焊墊312。

【0029】 第一半導體晶片300可以是執行數據的邏輯運算的處理器。例如，第一半導體晶片300可包括諸如執行邏輯運算的應用處理器的系統晶片(SoC)。第二半導體晶片400可以是儲存數據的記憶體半導體晶片。記憶體半導體晶片可以是快取記憶體晶片，其暫時儲存並提供在SoC的邏輯運算中使用的數據。第二半導體晶片400可被配置為包括DRAM裝置。

【0030】 第一半導體晶片300的第一組的晶片焊墊310可均勻地設置在第一半導體晶片300的第一表面301的整個區域上，如圖3所示。第二半導體晶片400的第二組的晶片焊墊410可設置在第二半導體晶片400的突出部435上。第二半導

體晶片400的第二組的晶片焊墊410可設置在第二半導體晶片400的相對於第一半導體晶片300外伸（不交疊）的部分（即，突出部435）上。第二半導體晶片400的第二組的晶片焊墊410可設置在第二半導體晶片400的外圍區域430上。設置有第二組的晶片焊墊410的外圍區域430可位於第二半導體晶片400的突出部435的第一表面401上。

【0031】 第二半導體晶片400可與第一半導體晶片300部分地交疊。第二半導體晶片400的除了突出部435之外的其它區域可與第一半導體晶片300交疊。第二半導體晶片400的所述其它區域可由第一半導體晶片300共享。因此，第二半導體晶片400的第二組的晶片焊墊410可能不設置在第二半導體晶片400的所述其它區域上。

【0032】 第一晶片焊墊312可通過第一電路徑P1電連接到第二晶片焊墊412。第一晶片焊墊312可以是第一組的晶片焊墊310中的一個。儘管圖3將第一電路徑P1示出為單個路徑，但SiP 10可包括多個第一電路徑P1。在這種情況下，第一組的晶片焊墊310可分別通過多個第一電路徑P1電連接到第二組的晶片焊墊410。在實施方式中，多個第一電路徑P1中的每一個可被配置為包括第二半導體晶片400的第二組的晶片焊墊410中的一個、第三組的內連接器630中的一個、柱狀凸塊530中的一個、通孔520中的一個、通孔焊墊540中的一個、第二組的內連接器620中的一個、第一RDL圖案120中的一個、第一組的內連接器610中的一個以及第一半導體晶片300的第一組的晶片焊墊310中的一個。由於第二半導體晶片400通過多個第一電路徑P1電連接到第一半導體晶片300，所以可在第一半導體晶片300和第二半導體晶片400之間提供多個輸入/輸出（I/O）路徑。即，由於兩個相鄰的半導體晶片通過與I/O路徑對應的多個短信號路徑彼此電連接，所以與通過單個路徑相比，可通過多個路徑在兩個相鄰的半導體晶片之間同時發送相對更多的數據。因此，可使用平行路徑以給定速度從第一半導體晶片300向

第二半導體晶片400發送更大量的數據，或者反之亦然。如果第一半導體晶片300是處理器晶片並且第二半導體晶片400是記憶體晶片，則第一半導體晶片300可與充當高性能快取記憶體的第三半導體晶片400一起操作。因此，可改進包括第一半導體晶片300和第三半導體晶片400的SiP 10的操作速度和性能。

【0033】 再參照圖2，第三半導體晶片400還可包括第三晶片焊墊411，第三晶片焊墊411設置在突出部435上以與第二晶片焊墊412間隔開。第一橋接晶粒501還可包括第三柱狀凸塊531，第三柱狀凸塊531被設置為基本上與第三晶片焊墊411交疊。第一橋接晶粒501還可包括第三通孔521，第三通孔521電連接到第三柱狀凸塊531並被設置為與第一通孔522間隔開。第一橋接晶粒501還可包括電連接到第三通孔521的第三通孔焊墊541。

【0034】 RDL結構100還可包括第三RDL圖案110，第三RDL圖案110被設置為與第一RDL圖案120間隔開。第三RDL圖案110可被設置為具有與第三通孔焊墊541交疊的部分。第三RDL圖案110可通過第五RDL圖案140電連接到第一外連接器210。第一外連接器210可以是連接到RDL結構100的多個外連接器200中的一個。外連接器200可充當將SiP 10電連接到外部裝置的連接端子或連接引線。外連接器200可以是諸如焊球的連接構件。

【0035】 RDL結構100還可包括設置在第五RDL圖案140與第三RDL圖案110之間的第一介電層191。第五RDL圖案140和第三RDL圖案110可設置在第一介電層191上。第五RDL圖案140可基本上穿透第一介電層191以連接到第三RDL圖案110。RDL結構100還可包括第二介電層193，第二介電層193設置在第一介電層191的與外連接器200相對的表面上以將第三RDL圖案110與第一RDL圖案120電隔離。RDL結構100還可包括第三介電層195，第三介電層195設置在第一介電層191的與第一半導體晶片300相對的表面上以將第五RDL圖案140與SiP 10的外部空間電隔離。第一外連接器210可基本上穿透第三介電層195以連接到第

五RDL圖案140。

【0036】 第六內連接器621可接合到第三RDL圖案110以將第三通孔焊墊541電連接到第三RDL圖案110。第六內連接器621可以是將第一橋接晶粒501電連接到RDL結構100的第二組的內連接器620中的任一個。第七內連接器631可將第三柱狀凸塊531電連接到第三晶片焊墊411。第七內連接器631可以是將第一橋接晶粒501電連接到第二半導體晶片400的第三組的內連接器630中的任一個。

【0037】 參照圖2和圖3，第二電路徑P2可被設置為包括第一外連接器210、第五RDL圖案140、第三RDL圖案110、第六內連接器621、第三通孔焊墊541、第三通孔521、第三柱狀凸塊531、第七內連接器631和第三晶片焊墊411。第二電路徑P2可以是將第二半導體晶片400電連接到第一外連接器210的路徑。與第一電路徑P1不同，第二電路徑P2可能不電連接到第一半導體晶片300。第一電路徑P1可將第一半導體晶片300和第二半導體晶片400彼此電連接，使得第一半導體晶片300和第二半導體晶片400彼此通信。相比之下，第二電路徑P2可用作將電源電壓或接地電壓供應給第二半導體晶片400的電路徑。

【0038】 再參照圖2，RDL結構100還可包括第四RDL圖案130，第四RDL圖案130被設置為與第一RDL圖案120和第三RDL圖案110間隔開。第四RDL圖案130可被設置為與第一半導體晶片300交疊。第四RDL圖案130可通過第六RDL圖案150電連接到第二外連接器230。第一半導體晶片300還可包括第四晶片焊墊313，第四晶片焊墊313被設置為與第一晶片焊墊312間隔開。第三內連接器613可被設置為將第四晶片焊墊313電連接到第四RDL圖案130。第三內連接器613可以是將第一半導體晶片300電連接到RDL結構100的第一組的內連接器610中的任一個。

【0039】 第三電路徑P3可被設置為包括第四晶片焊墊313、第三內連接器613、第四RDL圖案130、第六RDL圖案150和第二外連接器230。第三電路徑P3

可以是將第一半導體晶片300電連接到第二外連接器230的電路徑。第一半導體晶片300可通過第三電路徑P3與外部裝置通信，或者可通過第三電路徑P3從外部裝置接收電力。

【0040】 圖4是示出圖1的一部分（包括第二橋接晶粒505）的放大橫截面圖。

【0041】 參照圖1和圖4，第二橋接晶粒505可設置在RDL結構100上以與第一半導體晶片300間隔開。第二橋接晶粒505可將第二子封裝件SP2電連接到第二RDL圖案170。RDL結構100可包括第二RDL圖案170，第二RDL圖案170被設置為與第一RDL圖案120間隔開。第二RDL圖案170可具有與第二橋接晶粒505交疊的第一端並且可延伸以具有與第一半導體晶片300交疊的第二端。

【0042】 第二橋接晶粒505可被配置為包括第二主體515以及穿透第二主體515的多個通孔525。第二橋接晶粒505的多個通孔525可包括第二通孔527。第二通孔527可被設置為與第二RDL圖案170的第一端交疊並且可電連接到第二RDL圖案170的第一端。

【0043】 第二橋接晶粒505還可包括多個通孔焊墊545，多個通孔焊墊545設置在第二主體515的與第二子封裝件SP2相對的表面上。第二通孔焊墊547可連接到第二通孔527的底部。第二通孔焊墊547可以是多個通孔焊墊545中的任一個。

【0044】 多個內連接器625可設置在第二橋接晶粒505與RDL結構100之間以將第二橋接晶粒505電連接到RDL結構100。第二橋接晶粒505可通過內連接器625接合到和電連接到RDL結構100。第八內連接器627可接合到並且電連接到第二通孔焊墊547。第八內連接器627可以是內連接器625中的任一個。第八內連接器627可接合到並且電連接到第二RDL圖案170的第一端。

【0045】 第一半導體晶片300的第五晶片焊墊317可通過第四內連接器617

電連接到第二RDL圖案170的第二端。第四內連接器617可以是將第一半導體晶片300電連接到RDL結構100的第一組的內連接器610中的任一個。第五晶片焊墊317可以是第一半導體晶片300的第一組的晶片焊墊310中的任一個。

【0046】 第二橋接晶粒505還可包括多個柱狀凸塊535。第二柱狀凸塊537可設置在第二主體515上以從第二主體515的頂表面突出。第二柱狀凸塊537可連接到第二通孔527的頂部。第二柱狀凸塊537可以是第二橋接晶粒505的多個柱狀凸塊535中的任一個。

【0047】 第二柱狀凸塊537可設置在模製層700的頂表面700S與第二主體515之間以基本上穿透模製層700。第二柱狀凸塊537的頂表面537S可在模製層700的頂表面700S處露出。柱狀凸塊535之間的空間（例如，第二柱狀凸塊537和與第二柱狀凸塊537相鄰的第四柱狀凸塊538之間的空間）可由模製層700填充。第一互連器257可接合到第二柱狀凸塊537的頂表面537S。第一互連器257可以是將第二橋接晶粒505電連接到第二子封裝件SP2的多個互連器250中的任一個。多個互連器250可以是諸如焊球的連接構件。

【0048】 儘管圖中未示出，第二子封裝件SP2可被設置為包括：半導體晶粒，其包括整合電路；內部互連線，其用於半導體晶粒中的組件之間的電連接；以及模製層，其保護半導體晶粒。

【0049】 第四電路徑P4可被設置為包括第一互連器257、第二柱狀凸塊537、第二通孔527、第八內連接器627、第二RDL圖案170、第四內連接器617和第五晶片焊墊317。第四電路徑P4可充當將第二子封裝件SP2電連接到第一半導體晶片300的電路徑。

【0050】 RDL結構100還可包括第七RDL圖案180，第七RDL圖案180與第二RDL圖案170間隔開。第七RDL圖案180可電連接到第八RDL圖案190，並且第八RDL圖案190可電連接到第三外連接器270。第三外連接器270可以是外連接器

200中的任一個。

【0051】 第二橋接晶粒505還可包括第四通孔528，第四通孔528被設置為與第二通孔527間隔開。第二橋接晶粒505還可包括連接到第四通孔528的第四柱狀凸塊538和第四通孔焊墊548。第九內連接器628可被設置為將第四通孔焊墊548電連接到第七RDL圖案180。第九內連接器628可以是內連接器625中的任一個。第二互連器258可將第四柱狀凸塊538電連接到第二子封裝件SP2。第二互連器258可以是互連器250中的任一個。

【0052】 第二互連器258、第四柱狀凸塊538、第四通孔528、第四通孔焊墊548、第七RDL圖案180、第八RDL圖案190和第三外連接器270可構成第五電路徑P5。第五電路徑P5可以是將電源電壓或接地電壓供應給第二子封裝件SP2的電路徑。

【0053】 圖5是示出圖1的一部分（包括第一橋接晶粒501和第二橋接晶粒505）的放大橫截面圖。這裡，由於兩個橋接晶粒505在結構上相似，所以給予圖1的最右橋接晶粒505及其組件與圖1的最左橋接晶粒505及其組件相同的標號。圖6是示出圖5所示的第一橋接晶粒501和第二橋接晶粒505的柱狀凸塊530和535的平面圖。

【0054】 參照圖1和圖5，第一橋接晶粒501的第一主體510可對應於諸如矽基板的半導體基板。第二橋接晶粒505的第二主體515也可對應於半導體基板（例如，矽基板）。由於第一橋接晶粒501的第一主體510和第二橋接晶粒505的第二主體515包括矽材料，所以可使用應用於矽晶圓的光學微影製程來形成通孔520和525。

【0055】 第一橋接晶粒501的通孔520可對應於具有直徑D1的矽通孔（TSV）。直徑D1可小於穿透模製層的模製通孔（TMV）的直徑。因此，可增加在具有有限尺寸的第一主體510中形成的通孔520的數量。第二橋接晶粒505的通

孔525也可形成為具有直徑D11的TSV。

【0056】 如圖3所示，第二組的晶片焊墊410可密集地設置在第二半導體晶片400的突出部435上。第一橋接晶粒501的電連接到第二組的晶片焊墊410的柱狀凸塊530可包括至少兩個凸塊，如圖6所示。在這種情況下，第一橋接晶粒501的通孔520可對準以與第二組的晶片焊墊410交疊，使得第一橋接晶粒501的柱狀凸塊530與第二半導體晶片400的第二組的晶片焊墊410交疊。由於使用TSV工藝形成第一橋接晶粒501的通孔520，所以例如與TMV的直徑相比，通孔520可形成為具有值相對小的直徑D1。因此，可使第一橋接晶粒501的分別與多個I/O端子、電源端子和接地端子對應的通孔520的數量最大化。即，即使第二組的晶片焊墊410密集地設置，也可形成第一橋接晶粒501的通孔520，使得通孔520被設置為具有與第二組的晶片焊墊410相同的間距大小。因此，即使第二組的晶片焊墊410密集地設置，也可將第二組的晶片焊墊410垂直地連接到第一橋接晶粒501的相應通孔520，而不在第二半導體晶片400上形成任何再分配線。

【0057】 如果第一橋接晶粒501的通孔520的直徑D1減小，則通孔520的垂直長度也可減小。當第一橋接晶粒501的通孔520形成為穿透具有厚度T3的第一主體510時，由於由通孔520填充的過孔的縱橫比的限制，在減小通孔520的直徑D1方面可存在限制。為了減小第一橋接晶粒501的通孔520的直徑D1，可能有必要減小第一主體510的厚度T3以滿足形成通孔520的通孔洞的縱橫比的限制。為了增加第一主體510中形成的通孔520的數量，可能有必要將第一主體510的厚度T3減小為小於第一半導體晶片300的厚度T1。在這種情況下，可減小第一橋接晶粒501的通孔520的直徑D1。

【0058】 第一橋接晶粒501的第一主體510的厚度T3可小於第二橋接晶粒505的第二主體515的厚度T33。第一橋接晶粒501的第一通孔522的直徑D1可小於第二橋接晶粒505的第二通孔527的直徑D11。由於第二橋接晶粒505的第二主體

515比第一橋接晶粒501的第一主體510厚，所以在由於縱橫比的限制第二通孔527的直徑D11大於第一通孔522的直徑D1的情況下，第二通孔527可基本上充分地穿透第二主體515。

【0059】 第二柱狀凸塊537的直徑D22可大於第二通孔527的直徑D11。第二通孔焊墊547的直徑D33可大於第二通孔527的直徑D11。第二柱狀凸塊537的直徑D22也可大於第一柱狀凸塊532的直徑D2。因此，如圖6所示，柱狀凸塊535的間距大小S2可大於柱狀凸塊530的間距大小S1。

【0060】 參照圖5，為了第一橋接晶粒501在結構上支撐第二半導體晶片400，第一橋接晶粒501的總厚度T2被設定為等於第一半導體晶片300的厚度T1可能是有效的。例如，小於第一半導體晶片300的厚度T1的第一主體510的厚度T3可由第一橋接晶粒501的柱狀凸塊530的厚度T4和第一橋接晶粒501的通孔焊墊540的厚度T5補償。即，通過適當地調節第一橋接晶粒501的柱狀凸塊530的厚度T4，第一橋接晶粒501的總厚度T2可被調節為等於第一半導體晶片300的厚度T1。第一橋接晶粒501的總厚度T2可包括第一橋接晶粒501的柱狀凸塊530的厚度T4、第一橋接晶粒501的通孔焊墊540的厚度T5和第一主體510的厚度T3。

【0061】 第一橋接晶粒501的柱狀凸塊530可分別直接接合到第三組的內連接器630。第一柱狀凸塊532的直徑D2可大於第一橋接晶粒501的通孔520的直徑D1。因此，用作第三組的內連接器630的焊料凸塊可分別直接接合到第一橋接晶粒501的柱狀凸塊530。為了第一橋接晶粒501的通孔焊墊540直接接合到第二組的內連接器620，通孔焊墊540的直徑D3可大於第一橋接晶粒501的通孔520的直徑D1。

【0062】 圖7是示出圖1所示的第一半導體晶片300和第二半導體晶片400之間的連接部分的放大橫截面圖。

【0063】 參照圖1和圖7，第二半導體晶片400可與第一半導體晶片300部分

地交疊，並且第二半導體晶片400的突出部435可由第一橋接晶粒501支撐。第二半導體晶片400的突出部435通過第三組的內連接器630接合到第一橋接晶粒501，並且虛擬凸塊690可用於支撐第二半導體晶片400的與突出部435相對的邊緣436。由於虛擬凸塊690支撐第二半導體晶片400的邊緣436，所以可防止第二半導體晶片400傾斜。由於當第二半導體晶片400的突出部435接合到第一橋接晶粒501時虛擬凸塊690設置在第一半導體晶片300與第二半導體晶片400之間，所以第二半導體晶片400可維持水平高度。

【0064】 虛擬凸塊690可以是焊料凸塊。虛擬凸塊690可附接到第二半導體晶片400的第一表面401。虛擬接合焊墊691可形成在第二半導體晶片400的第一表面401上。在這種情況下，虛擬凸塊690可接合到虛擬接合焊墊691。虛擬接合焊墊691可形成在設置在第二半導體晶片400的第一表面401上的鈍化層425上。虛擬接合焊墊691可使用金屬濺鍍製程形成在鈍化層425上。鈍化層425可形成為覆蓋第二半導體晶片400的主體420（由矽材料製成）並將其電絕緣。因此，虛擬凸塊690可與第二半導體晶片400的內部電路電絕緣。虛擬凸塊690可與第一半導體晶片300的與RDL結構100相對的第二表面302接觸。

【0065】 圖8是示出根據另一實施方式的SiP 11的橫截面圖。

【0066】 參照圖8，SiP 11可被實現為具有層疊封裝（PoP）形狀。SiP 11可被配置為包括第一子封裝件SP1'以及安裝在第一子封裝件SP1'上的第二子封裝件SP2。第一子封裝件SP1'可被配置為包括RDL結構100、第一半導體晶片300、第二半導體晶片400、第一橋接晶粒501、第二橋接晶粒505和模製層700。第二半導體晶片400可與第一半導體晶片300部分地交疊，並且第二半導體晶片400的突出部435可由第一橋接晶粒501在結構上支撐。黏合層690L可設置在第一半導體晶片300與第二半導體晶片400之間。黏合層690L可支撐第二半導體晶片400。當第二半導體晶片400的突出部435接合到第一橋接晶粒501並由第一橋接

晶粒501支撐時，黏合層690L可防止第二半導體晶片400傾斜。黏合層690L可幫助第二半導體晶片400維持水平高度。

【0067】 黏合層690L可附接到第二半導體晶片400的第一表面401和第一半導體晶片300的第二表面302。黏合層690L可將第二半導體晶片400接合到第一半導體晶片300。

【0068】 圖9是示出根據另一實施方式的SiP 12的橫截面圖。

【0069】 參照圖9，SiP 12可被實現為具有層疊封裝（PoP）形狀。SiP 12可被配置為包括第一子封裝件SP1”以及安裝在第一子封裝件SP1”上的第二子封裝件SP2。第一子封裝件SP1”可被配置為包括RDL結構100、第一半導體晶片300、第二半導體晶片400、第一橋接晶粒501-1、第二橋接晶粒505-1和模製層700。

【0070】 第一半導體晶片300可設置在RDL結構100上。第二半導體晶片400可層疊在第一半導體晶片300上以與第一半導體晶片300交疊。第一組的內連接器610可設置在第一半導體晶片300與RDL結構100之間以將第二半導體晶片400電連接到RDL結構100。第一組的內連接器610中的第五內連接器612可接合到第一RDL圖案120的一部分以將第一組的晶片焊墊310中的第一晶片焊墊312電連接到第一RDL圖案120。第二半導體晶片400可包括在第二半導體晶片400的突出部435上的第二組的晶片焊墊410。

【0071】 RDL結構100還可包括第三RDL圖案110，第三RDL圖案110被設置為與第一RDL圖案120間隔開。第三RDL圖案110可通過第五RDL圖案140電連接到外連接器200中的第一外連接器210。RDL結構100可包括設置在第五RDL圖案140與第三RDL圖案110之間的第一介電層191。第三RDL圖案110和第一RDL圖案120可設置在第一介電層191上。第五RDL圖案140可基本上穿透第一介電層191以連接到第三RDL圖案110。

【0072】 RDL結構100還可包括第二介電層193，第二介電層193設置在第

一介電層191的與外連接器200相對的表面上以將第三RDL圖案110和第一RDL圖案120彼此電隔離。RDL結構100還可包括第三介電層195，第三介電層195設置在第一介電層191的與第一半導體晶片300相對的表面上以將第五RDL圖案140與SiP 12的外部空間電隔離。第一外連接器210可基本上穿透第三介電層195以連接到第五RDL圖案140。

【0073】 第一橋接晶粒501-1可設置在RDL結構100上以支撐第二半導體晶片400的突出部435。當第二半導體晶片400的突出部435由第一橋接晶粒501-1在結構上支撐時，虛擬凸塊690可用於支撐第二半導體晶片400的與突出部435相對的邊緣436。

【0074】 第一橋接晶粒501-1可被配置為包括第一模製材料基板510-1以及穿透第一模製材料基板510-1的通孔520-1。通孔520-1中的第一通孔522-1可將第二半導體晶片400的第二晶片焊墊412電連接到第一RDL圖案120。

【0075】 第一橋接晶粒501-1可通過第三組的內連接器630電連接到第二半導體晶片400。第三組的內連接器630中的第二內連接器632可將第二晶片焊墊412電連接到第一通孔522-1。第二組的內連接器620可將第一橋接晶粒501-1電連接到第一RDL圖案120。第一內連接器622可接合到第一RDL圖案120的一部分以將第一通孔522-1電連接到第一RDL圖案120。

【0076】 第二半導體晶片400可通過第一電路徑電連接到第一半導體晶片300。第一電路徑可包括第二半導體晶片400的第二晶片焊墊412、第二內連接器632、第一通孔522-1、第一內連接器622、第一RDL圖案120、第五內連接器612和第一半導體晶片300的第一晶片焊墊312。

【0077】 第二半導體晶片400還可包括第三晶片焊墊411，第三晶片焊墊411設置在突出部435上以與第二晶片焊墊412間隔開。第一橋接晶粒501-1還可包括第三通孔521-1，第三通孔521-1被設置為與第三晶片焊墊411基本上交疊。

【0078】 第六內連接器621可接合到第三RDL圖案110以將第三通孔521-1電連接到第三RDL圖案110。第三組的內連接器630中的第七內連接器631可將第三通孔521-1電連接到第三晶片焊墊411。

【0079】 第一外連接器210、第五RDL圖案140、第三RDL圖案110、第六內連接器621、第三通孔521-1、第七內連接器631和第三晶片焊墊411可構成第二電路徑。第二電路徑可以是將第二半導體晶片400電連接到第一外連接器210的路徑。第四晶片焊墊313、第三內連接器613、第四RDL圖案130、第六RDL圖案150和第二外連接器230可構成第三電路徑。

【0080】 RDL結構100還可包括第四RDL圖案130，第四RDL圖案130被設置為與第一RDL圖案120間隔開。第四RDL圖案130可通過第六RDL圖案150電連接到第二外連接器230。第一半導體晶片300還可包括第四晶片焊墊313，第四晶片焊墊313被設置為與第一晶片焊墊312間隔開。第三內連接器613可將第四晶片焊墊313電連接到第四RDL圖案130。

【0081】 第二橋接晶粒505-1可設置在RDL結構100上以與第一半導體晶片300間隔開。第二橋接晶粒505-1可將第二子封裝件SP2電連接到第二RDL圖案170。

【0082】 第二橋接晶粒505-1可被配置為包括第二模製材料基板515-1以及穿透第二模製材料基板515-1的通孔525-1。通孔525-1中的第二通孔527-1可被設置為與第二RDL圖案170的一部分交疊並且可電連接到第二RDL圖案170的該部分。

【0083】 內連接器625可設置在第二橋接晶粒505-1與RDL結構100之間以將第二橋接晶粒505-1電連接到RDL結構100。內連接器625中的第八內連接器627可將第二通孔527-1連接到第二RDL圖案170的一部分。

【0084】 第二橋接晶粒505-1可被設置為使得第二通孔527-1的頂表面

527-1S在模製層700的頂表面700S處露出。第二橋接晶粒505-1可被設置為基本上穿透模製層700。第一互連器257可接合到第二通孔527-1的頂表面527-1S。第一互連器257可以是將第二橋接晶粒505電連接到第二子封裝件SP2的互連器250中的任一個。

【0085】 儘管圖中未示出，第二子封裝件SP2可被設置為包括：半導體晶粒，其包括整合電路；內部互連線，其用於半導體晶粒中的組件之間的電連接；以及模製層，其保護半導體晶粒。

【0086】 第一互連器257、第二通孔527-1、第八內連接器627、第二RDL圖案170、第四內連接器617和第五晶片焊墊317可構成第四電路徑。第四電路徑可充當將第二子封裝件SP2電連接到第一半導體晶片300的電路徑。

【0087】 RDL結構100還可包括與第二RDL圖案170間隔開的第七RDL圖案180。第七RDL圖案180可電連接到第八RDL圖案190，第八RDL圖案190可電連接到第三外連接器270。

【0088】 第二橋接晶粒505-1還可包括第四通孔528-1，第四通孔528-1被設置為與第二通孔527-1間隔開。內連接器625中的第九內連接器628可被設置為將第四通孔焊墊528-1電連接到第七RDL圖案180。第二互連器258可將第四通孔528-1電連接到第二子封裝件SP2。

【0089】 第二互連器258、第四通孔528-1、第七RDL圖案180、第八RDL圖案190和第三外連接器270可構成第五電路徑。第五電路徑可以是將電源電壓或接地電壓供應給第二子封裝件SP2的電路徑。

【0090】 再參照圖9，第一橋接晶粒501-1的第一模製材料基板510-1可由模製材料或囊封材料形成。第二橋接晶粒505-1的第二模製材料基板515-1可由模製材料或囊封材料形成。第一模製材料基板510-1和第二模製材料基板515-1可包括兩種不同的材料。第一模製材料基板510-1和第二模製材料基板515-1可由不同

於模製層700的材料形成。例如，第一模製材料基板510-1和第二模製材料基板515-1可由組分不同於模製層700的環氧樹脂模製料（EMC）材料的組分的EMC材料形成。

【0091】 第一橋接晶粒501-1的第一通孔522-1或第二橋接晶粒505-1的第二通孔527-1可形成為包括鍍層。例如，第一橋接晶粒501-1的第一通孔522-1或第二橋接晶粒505-1的第二通孔527-1可形成為包括銅鍍層。更具體地，在使用鍍覆製程形成第一橋接晶粒501-1的第一通孔522-1或第二橋接晶粒505-1的第二通孔527-1之後，可形成覆蓋第一通孔522-1的第一模製層或覆蓋第二通孔527-1的第二模製層。由於縱橫比的限制，在減小第一通孔或第二通孔（圖5的522或527）的直徑或增加第一通孔或第二通孔（圖5的522或527）的長度方面可存在限制。然而，在形成第一模製層或第二模製層之前使用鍍覆製程形成第一通孔522-1或第二通孔527-1的情況下，可形成第一通孔522-1或第二通孔527-1而沒有由第一通孔522-1或第二通孔527-1填充的貫通孔的縱橫比的任何限制。

【0092】 如上所述，根據一些實施方式，第二半導體晶片400可層疊在第一半導體晶片300上以減小SiP 10、11或12的寬度或大小。根據SiP 10、11或12，由於第二半導體晶片400使用第一橋接晶粒501或501-1電連接到第一半導體晶片300，所以可在第一半導體晶片300上層疊第二半導體晶片400。

【0093】 對半導體晶片施加熱的製程可使半導體晶片（具體地，記憶體晶片）的特性劣化。例如，當熱施加到DRAM裝置時，DRAM裝置的記憶體單元的數據保持時間減少，從而減小DRAM裝置的刷新循環時間。另外，如果熱施加到NAND型快閃裝置，則NAND型快閃裝置的記憶體單元的數據保持時間也可減小。

【0094】 根據本教導的實施方式的SiP 10、11和12可被實現為包括內連接器，內連接器附接到RDL結構100以用於半導體晶片之間以及外部裝置與半導體

晶片之間的互連。因此，可省略或減少使用於形成再分配線的聚合物層固化的熱製程（或退火製程）。結果，SiP 10、11和12的性能可改進。例如，如果在形成RDL結構100之後第一半導體晶片300和第二半導體晶片400層疊在RDL結構100上以形成SiP 10、11或12，則當執行熱製程（或退火製程）以使用於形成RDL圖案的聚合物層固化時，可防止熱施加到第一半導體晶片300和第二半導體晶片400。

【0095】 圖10是示出包括採用根據實施方式的系統級封裝件（SiP）中的至少一個的記憶卡7800的電子系統的方塊圖。記憶卡7800包括諸如非揮發性記憶體裝置的記憶體7810以及儲存控制器7820。記憶體7810和儲存控制器7820可儲存數據以及讀出所儲存的數據。記憶體7810和儲存控制器7820中的至少一個可包括根據實施方式的SiP中的至少一個。

【0096】 記憶體7810可包括應用了本公開的實施方式的技術的非揮發性記憶體裝置。儲存控制器7820可控制記憶體7810，使得響應於來自主機7830的讀/寫請求，讀出所儲存的數據或者儲存數據。

【0097】 圖11是示出包括根據實施方式的SiP中的至少一個的電子系統8710的方塊圖。電子系統8710可包括控制器8711、輸入/輸出單元8712和記憶體8713。控制器8711、輸入/輸出單元8712和記憶體8713可通過提供數據移動的路徑的總線8715彼此連接。

【0098】 在實施方式中，控制器8711可包括一個或更多個微處理器、數位信號處理器、微控制器和/或能夠執行與這些組件相同的功能的邏輯元件。控制器8711或記憶體8713可包括根據本公開的實施方式的SiP中的至少一個。輸入/輸出單元8712可包括選自鍵板、鍵盤、顯示裝置、觸控螢幕等中的至少一個。記憶體8713是用於儲存數據的裝置。記憶體8713可儲存要由控制器8711執行的數據和/或命令等。

【0099】 記憶體8713可包括諸如DRAM的揮發性記憶體裝置和/或諸如快閃記憶體的非揮發性記憶體裝置。例如，快閃記憶體可被安裝到諸如移動終端或桌上型電腦的資訊處理系統。快閃記憶體可構成固態硬碟（SSD）。在這種情況下，電子系統8710可在快閃記憶體系統中穩定地儲存大量數據。

【0100】 電子系統8710還可包括被配置為向通信網絡發送數據以及從通信網絡接收數據的介面8714。介面8714可為有線或無線型。例如，介面8714可包括天線或者有線或無線收發器。

【0101】 電子系統8710可被實現為移動系統、個人電腦、工業電腦或者執行各種功能的邏輯系統。例如，移動系統可以是個人數位助理（PDA）、攜帶式電腦、平板電腦、移動電話、智能電話、無線電話、膝上型電腦、記憶卡、數位音樂系統和資訊發送/接收系統中的任一個。

【0102】 如果電子系統8710是能夠執行無線通信的設備，則電子系統8710可用在使用CDMA（碼分多址）、GSM（全球移動通信系統）、NADC（北美數位蜂窩）、E-TDMA（增強型分時多重存取）、WCDAM（頻寬多重分碼存取）、CDMA2000、LTE（長期演進）或Wibro（無線寬帶互聯網）的技術的通信系統中。

【0103】 出於例示性目的公開了本公開的實施方式。所屬技術領域中具有通常知識者將理解，在不脫離本公開和所附請求項的範圍和精神的情況下，可進行各種修改、添加和替換。

【符號說明】

【0104】

10 系統級封裝件（SiP）

11 SiP

- 100 再分配線 (RDL) 結構
- 110 第三RDL圖案
- 120 第一RDL圖案
- 130 第四RDL圖案
- 140 第五RDL圖案
- 150 第六RDL圖案
- 170 第二RDL圖案
- 180 第七RDL圖案
- 190 第八RDL圖案
- 191 第一介電層
- 193 第二介電層
- 195 第三介電層
- 200 外連接器
- 210 第一外連接器
- 230 第二外連接器
- 250 互連器
- 257 第一互連器
- 258 第二互連器
- 270 第三外連接器
- 300 第一半導體晶片
- 301 第一表面
- 302 第二表面
- 310 第一組的晶片焊墊
- 312 第一晶片焊墊

- 313 第四晶片焊墊
- 317 第五晶片焊墊
- 400 第二半導體晶片
- 401 第一表面
- 402 第二表面
- 410 第二組的晶片焊墊
- 411 第三晶片焊墊
- 412 第二晶片焊墊
- 420 主體
- 425 鈍化層
- 430 外圍區域
- 435 突出部
- 436 邊緣
- 501 第一橋接晶粒
- 501-1 第一橋接晶粒
- 505、505-1 第二橋接晶粒
- 510 第一主體
- 510-1 第一模製材料基板
- 515 第二主體
- 520、520-1 通孔
- 521、521-1 第三通孔
- 522、522-1 第一通孔
- 525 通孔
- 527 第二通孔

- 527-1S 頂表面
- 528 第四通孔
- 530 柱狀凸塊
- 531 第三柱狀凸塊
- 532 第一柱狀凸塊
- 535 柱狀凸塊
- 537 第二柱狀凸塊
- 537S 頂表面
- 538 第四柱狀凸塊
- 540 通孔焊墊
- 541 第三通孔焊墊
- 542 第一通孔焊墊
- 545 通孔焊墊
- 547 第二通孔焊墊
- 548 第四通孔焊墊
- 610 第一組的內連接器
- 612 第五內連接器
- 613 第三內連接器
- 617 第四內連接器
- 620 第二組的內連接器
- 621 第六內連接器
- 622 第一內連接器
- 625 內連接器
- 627 第八內連接器

- 628 第九內連接器
- 630 第三組的內連接器
- 631 第七內連接器
- 632 第二內連接器
- 690 虛擬凸塊
- 690L 黏合層
- 691 虛擬接合焊墊
- 700 模製層
- 700S 頂表面
- 7800 記憶卡
- 7810 記憶體
- 7820 儲存控制器
- 7830 主機
- 8710 電子系統
- 8711 控制器
- 8712 輸入/輸出單元
- 8713 記憶體
- 8714 介面
- 8715 總線
- SP1 第一子封裝件
- SP2 第一子封裝件
- P1 第一電路徑
- P2 第二電路徑
- P3 第三電路徑

P4 第四電路徑

P5 第五電路徑

【發明申請專利範圍】

【第1項】一種系統級封裝件，該系統級封裝件包括：

第一子封裝件；以及

安裝在所述第一子封裝件上的第二子封裝件，

其中，所述第一子封裝件包括：

再分配線(RDL)結構，該RDL結構包括第一RDL圖案和第二RDL圖案；

第一半導體晶片，該第一半導體晶片設置在所述RDL結構上，使得所述第一半導體晶片的電連接到所述第一RDL圖案的第一晶片焊墊面向所述RDL結構；

第二半導體晶片，該第二半導體晶片層疊在所述第一半導體晶片上，使得所述第二半導體晶片突出越過所述第一半導體晶片的側表面，其中，設置在所述第二半導體晶片的突出部上的第二晶片焊墊面向所述RDL結構；

第一橋接晶粒，該第一橋接晶粒設置在所述RDL結構上以支撐所述第二半導體晶片的所述突出部，其中，所述第一橋接晶粒包括由第一通孔穿透的第一主體，其中，所述第一通孔將所述第二晶片焊墊電連接到所述第一RDL圖案；

第二橋接晶粒，該第二橋接晶粒設置在所述RDL結構上並且與所述第一半導體晶片間隔開，其中，所述第二橋接晶粒包括由第二通孔穿透的第二主體，其中，所述第二通孔將所述第二子封裝件電連接到所述第二RDL圖案；以及

模製層，該模製層設置在所述RDL結構上以覆蓋所述第一半導體晶片和所述第一橋接晶粒並且圍繞所述第二半導體晶片和所述第二橋接晶粒。

【第2項】根據請求項1所述的系統級封裝件，其中，

所述第二半導體晶片包括被配置為儲存數據的第一記憶體半導體晶片；

所述第一半導體晶片包括系統晶片(SoC)，該SoC被配置為通過第一電路徑接收儲存在所述第一記憶體半導體晶片中的數據，該第一電路徑包括所述第二晶片焊墊、所述第一通孔、所述第一RDL圖案和所述第一晶片焊墊；並且

所述第二子封裝件包括電連接到所述SoC的第二記憶體半導體晶片。

【第3項】根據請求項1所述的系統級封裝件，其中，所述第一橋接晶粒包括：

第一柱狀凸塊，該第一柱狀凸塊設置在所述第一主體的頂表面上並且電連接到所述第一通孔，其中，所述第一柱狀凸塊的直徑大於所述第一通孔的直徑；以及

第一通孔焊墊，該第一通孔焊墊設置在所述第一主體的底表面上並且電連接到所述第一通孔，其中，所述第一通孔焊墊的直徑大於所述第一通孔的直徑。

【第4項】根據請求項3所述的系統級封裝件，該系統級封裝件還包括：

第一內連接器，該第一內連接器將所述第一通孔焊墊電連接到所述第一RDL圖案；以及

第二內連接器，該第二內連接器將所述第一柱狀凸塊電連接到所述第二晶片焊墊。

【第5項】根據請求項4所述的系統級封裝件，該系統級封裝件還包括設置在所述第一半導體晶片與所述第二半導體晶片之間並且與所述第二內連接器間隔開的虛擬凸塊，其中，該虛擬凸塊被配置為支撐所述第二半導體晶片。

【第6項】根據請求項5所述的系統級封裝件，其中，

所述第二半導體晶片還包括設置在所述第二半導體晶片的面向所述第一半導體晶片的表面上的虛擬接合焊墊；並且

所述虛擬凸塊接合到所述虛擬接合焊墊。

【第7項】根據請求項4所述的系統級封裝件，該系統級封裝件還包括設置在所述第一半導體晶片與所述第二半導體晶片之間並且與所述第二內連接器間隔開的黏合層，其中，該黏合層被配置為支撐所述第二半導體晶片。

【第8項】根據請求項3所述的系統級封裝件，其中，

所述第二半導體晶片還包括第三晶片焊墊，該第三晶片焊墊設置在所述突出部上並且與所述第二晶片焊墊間隔開；

所述RDL結構還包括第三RDL圖案，該第三RDL圖案與所述第一RDL圖案間隔開並且電連接到第一外連接器；並且

所述第一橋接晶粒還包括第三通孔和第三柱狀凸塊，所述第三通孔與所述第一通孔間隔開並且通過所述第三RDL圖案將所述第三晶片焊墊電連接到所述第一外連接器，所述第三柱狀凸塊電連接到所述第三通孔。

【第9項】根據請求項8所述的系統級封裝件，其中，所述第一外連接器、所述第三RDL圖案、所述第三通孔、所述第三柱狀凸塊和所述第三晶片焊墊構成將電源電壓供應給所述第二半導體晶片或者將所述第二半導體晶片接地的第二電路徑。

【第10項】根據請求項3所述的系統級封裝件，其中，所述第二橋接晶粒還包括：

第二柱狀凸塊，該第二柱狀凸塊設置在所述第二主體的在所述模製層的頂表面處露出的頂表面上，其中，所述第二柱狀凸塊直接連接到所述第二通孔並且電連接到所述第二子封裝件，並且其中，所述第二柱狀凸塊的直徑大於所述第二通孔的直徑；以及

第二通孔焊墊，該第二通孔焊墊設置在所述第二主體的底表面上並且電連接到所述第二通孔，其中，所述第二通孔焊墊的直徑大於所述第二通孔的直徑。

【第11項】根據請求項10所述的系統級封裝件，其中，

所述第一橋接晶粒的所述第一主體的厚度小於所述第二橋接晶粒的所述第二主體的厚度；並且

所述第一通孔的直徑小於所述第二通孔的直徑。

【第12項】 根據請求項11所述的系統級封裝件，其中，

所述第一橋接晶粒的所述第一主體的厚度小於所述第一半導體晶片的厚度；並且

所述第二橋接晶粒的所述第二主體的厚度大於所述第一半導體晶片的厚度。

【第13項】 根據請求項12所述的系統級封裝件，其中，所述第一柱狀凸塊、所述第一通孔和所述第一通孔焊墊的組合厚度基本上等於所述第一半導體晶片的厚度。

【第14項】 根據請求項10所述的系統級封裝件，該系統級封裝件還包括互連器，該互連器接合到所述第二橋接晶粒的所述第二柱狀凸塊以將所述第二柱狀凸塊電連接到所述第二子封裝件。

【第15項】 根據請求項1所述的系統級封裝件，

其中，所述第一橋接晶粒的所述第一主體包括矽材料；並且

其中，所述第一橋接晶粒的所述第一通孔包括矽通孔(TSV)。

【第16項】 根據請求項1所述的系統級封裝件，其中，

所述RDL結構還包括第四RDL圖案，該第四RDL圖案與所述第一RDL圖案間隔開並且電連接到第二外連接器；並且

所述第一半導體晶片還包括第四晶片焊墊，該第四晶片焊墊通過第三內連接器電連接到所述第四RDL圖案。

【第17項】 根據請求項1所述的系統級封裝件，其中，所述第一半導體晶片還包括第五晶片焊墊，該第五晶片焊墊通過第四內連接器電連接到所述第二

RDL圖案。

【第18項】一種系統級封裝件，該系統級封裝件包括：

第一子封裝件；以及

安裝在所述第一子封裝件上的第二子封裝件，

其中，所述第一子封裝件包括：

再分配線RDL結構，該RDL結構包括第一RDL圖案和第二RDL圖案；

第一半導體晶片，該第一半導體晶片設置在所述RDL結構上，使得所述第一半導體晶片的電連接到所述第一RDL圖案的第一晶片焊墊面向所述RDL結構；

第二半導體晶片，該第二半導體晶片層疊在所述第一半導體晶片上，使得所述第二半導體晶片突出越過所述第一半導體晶片的側表面，其中，設置在所述第二半導體晶片的突出部上的第二晶片焊墊面向所述RDL結構；

第一橋接晶粒，該第一橋接晶粒設置在所述RDL結構上以支撐所述第二半導體晶片的所述突出部，其中，所述第一橋接晶粒包括由第一通孔穿透的第一模製材料基板，其中，所述第一通孔將所述第二晶片焊墊電連接到所述第一RDL圖案；

第二橋接晶粒，該第二橋接晶粒設置在所述RDL結構上並且與所述第一半導體晶片間隔開，其中，所述第二橋接晶粒包括由第二通孔穿透的第二模製材料基板，其中，所述第二通孔將所述第二子封裝件電連接到所述第二RDL圖案；以及

模製層，該模製層設置在所述RDL結構上以覆蓋所述第一半導體晶片和所述第一橋接晶粒並且圍繞所述第二半導體晶片和所述第二橋接晶粒。

【第19項】根據請求項18所述的系統級封裝件，其中，

所述第二半導體晶片包括被配置為儲存數據的第一記憶體半導體晶片；

所述第一半導體晶片包括系統晶片(SoC)，該SoC被配置為通過第一電路徑接收儲存在所述第一記憶體半導體晶片中的數據，該第一電路徑包括所述第二晶片焊墊、所述第一通孔、所述第一RDL圖案和所述第一晶片焊墊；並且

所述第二子封裝件包括電連接到所述SoC的第二記憶體半導體晶片。

【第20項】 根據請求項18所述的系統級封裝件，其中，所述第一橋接晶粒包括：

第一內連接器，該第一內連接器將所述第一通孔電連接到所述第一RDL圖案；以及

第二內連接器，該第二內連接器將所述第一通孔電連接到所述第二晶片焊墊。

【第21項】 根據請求項18所述的系統級封裝件，其中，所述第一橋接晶粒的所述第一模製材料基板包括模製材料，所述模製材料與用於所述模製層的材料不同。

【發明圖式】

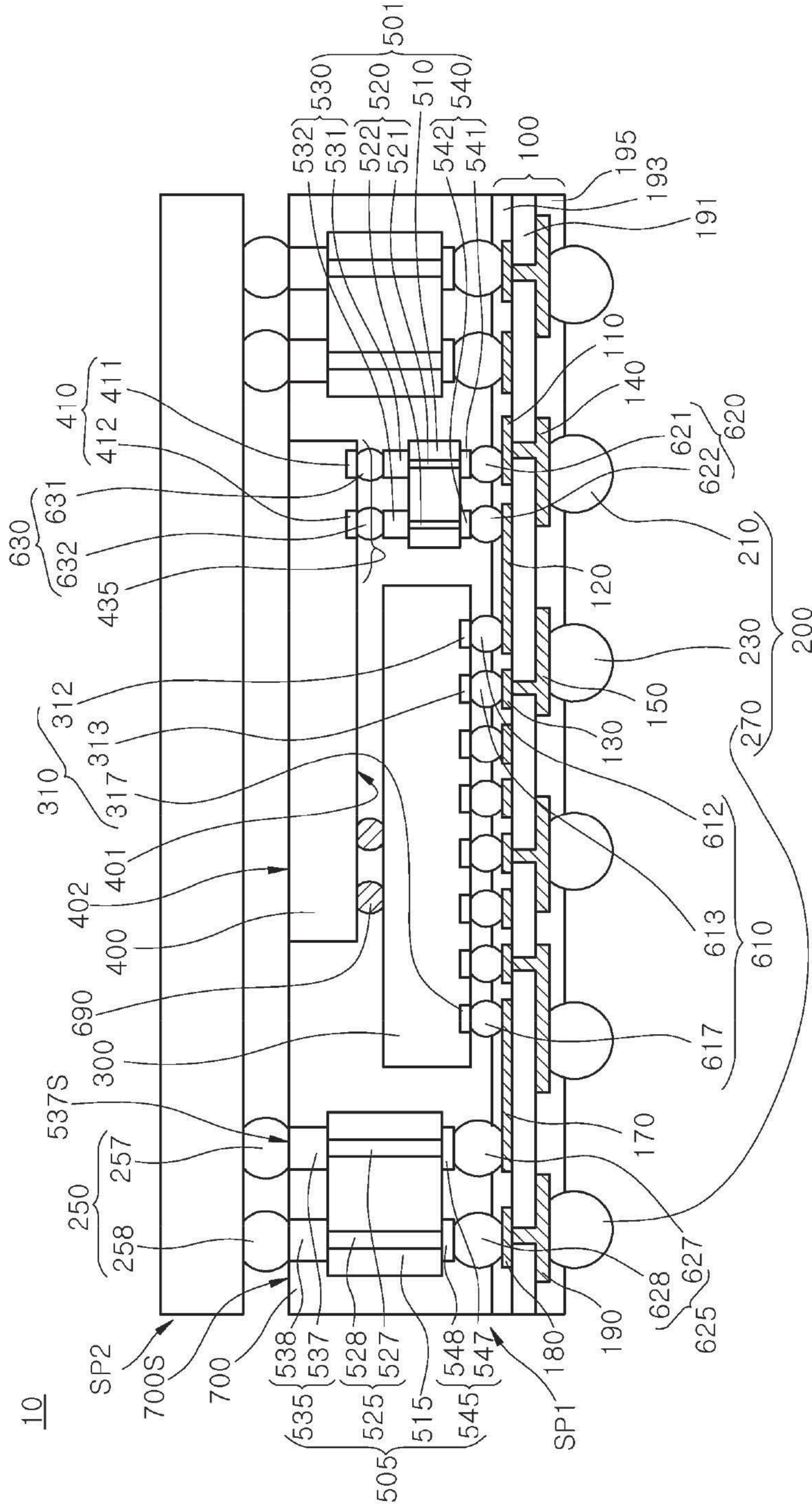


圖1

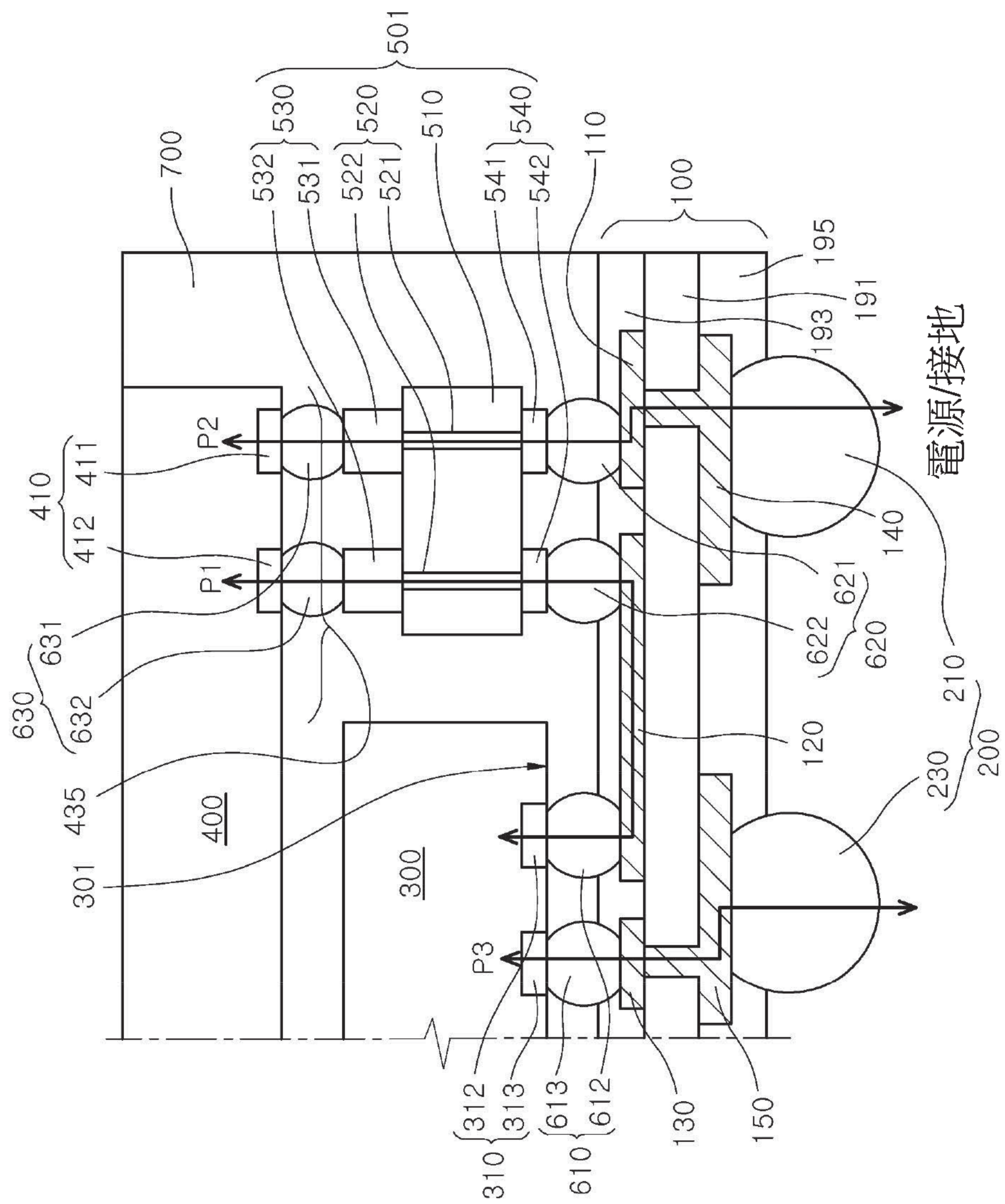


圖2

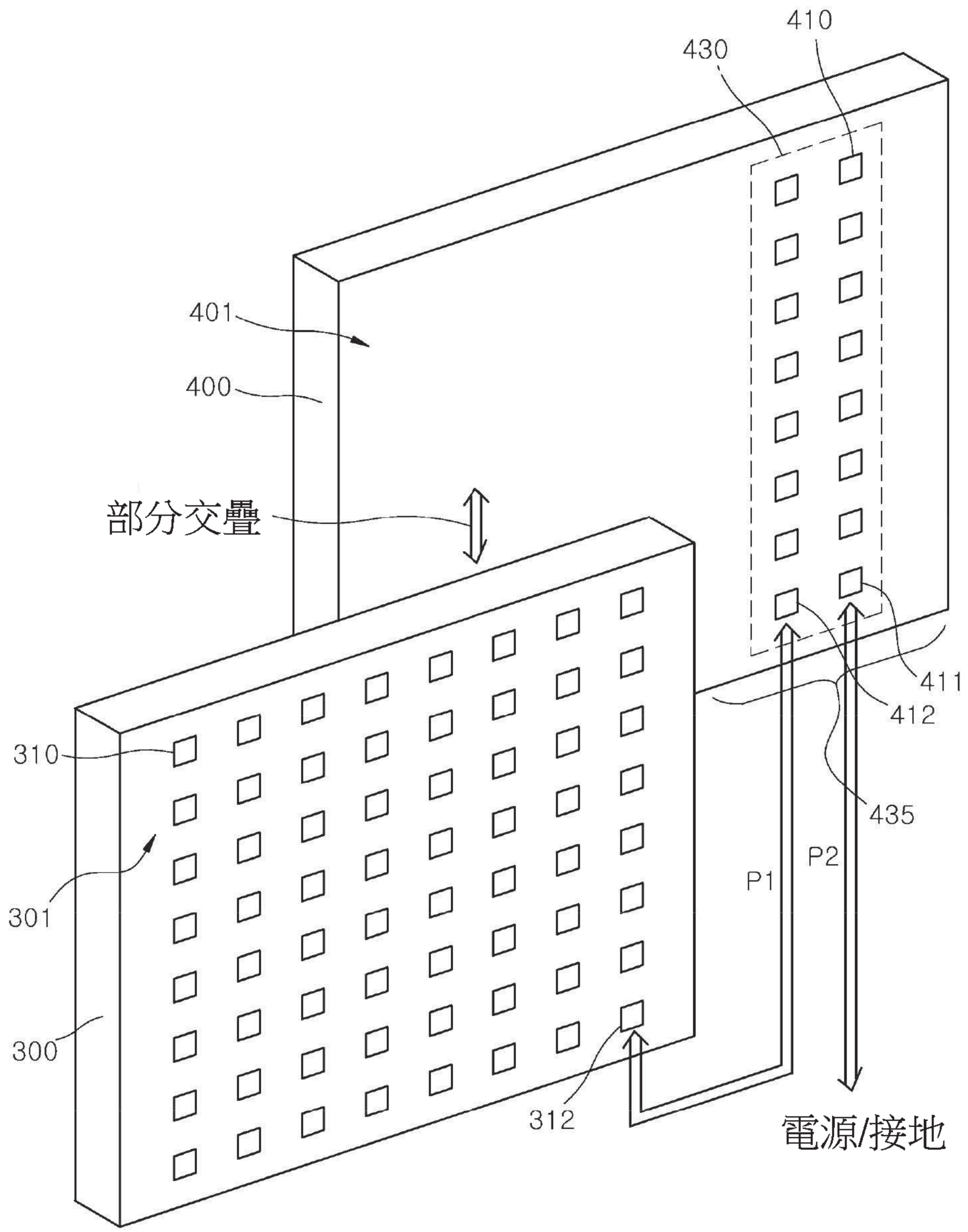


圖3

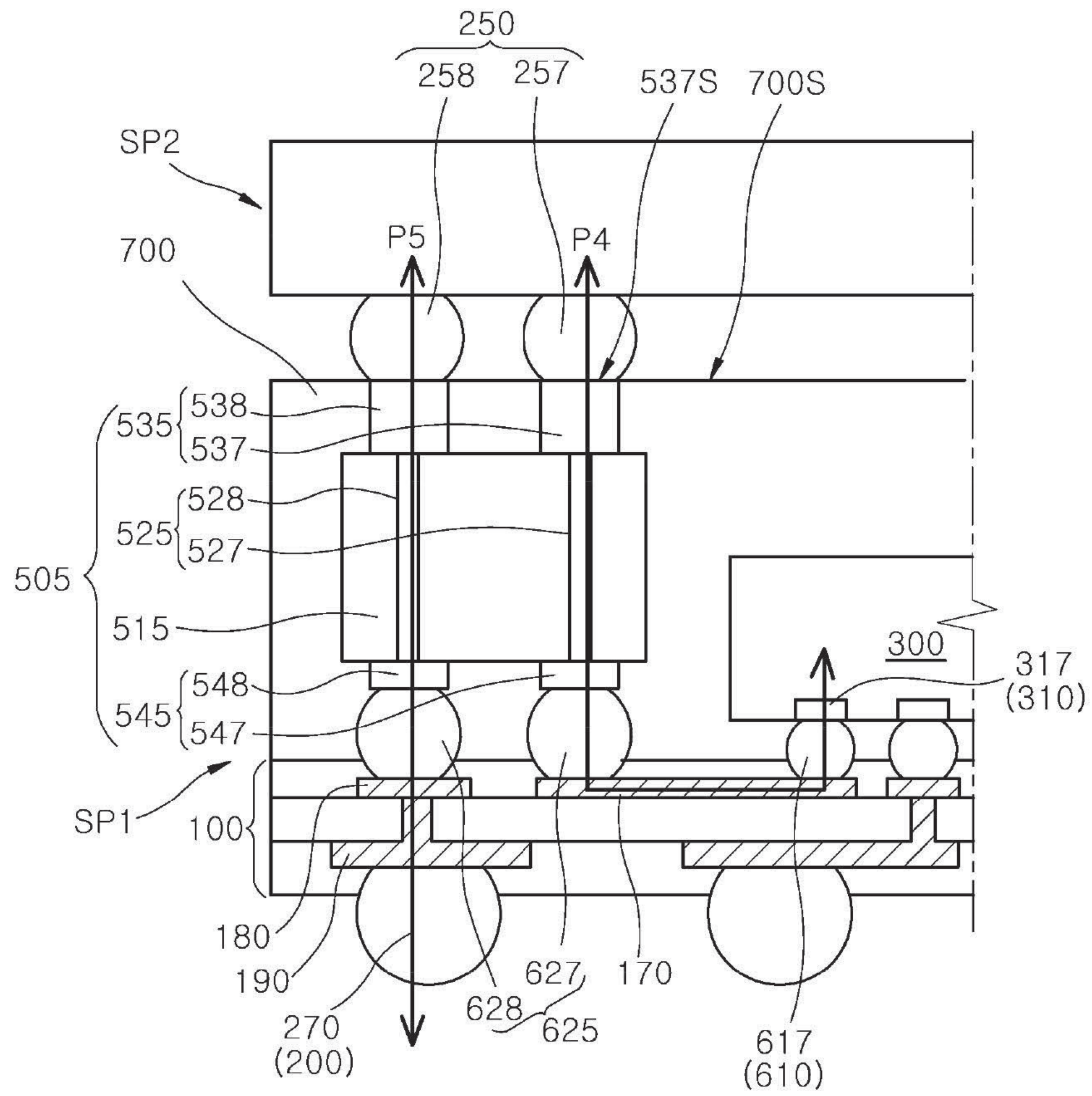


圖4

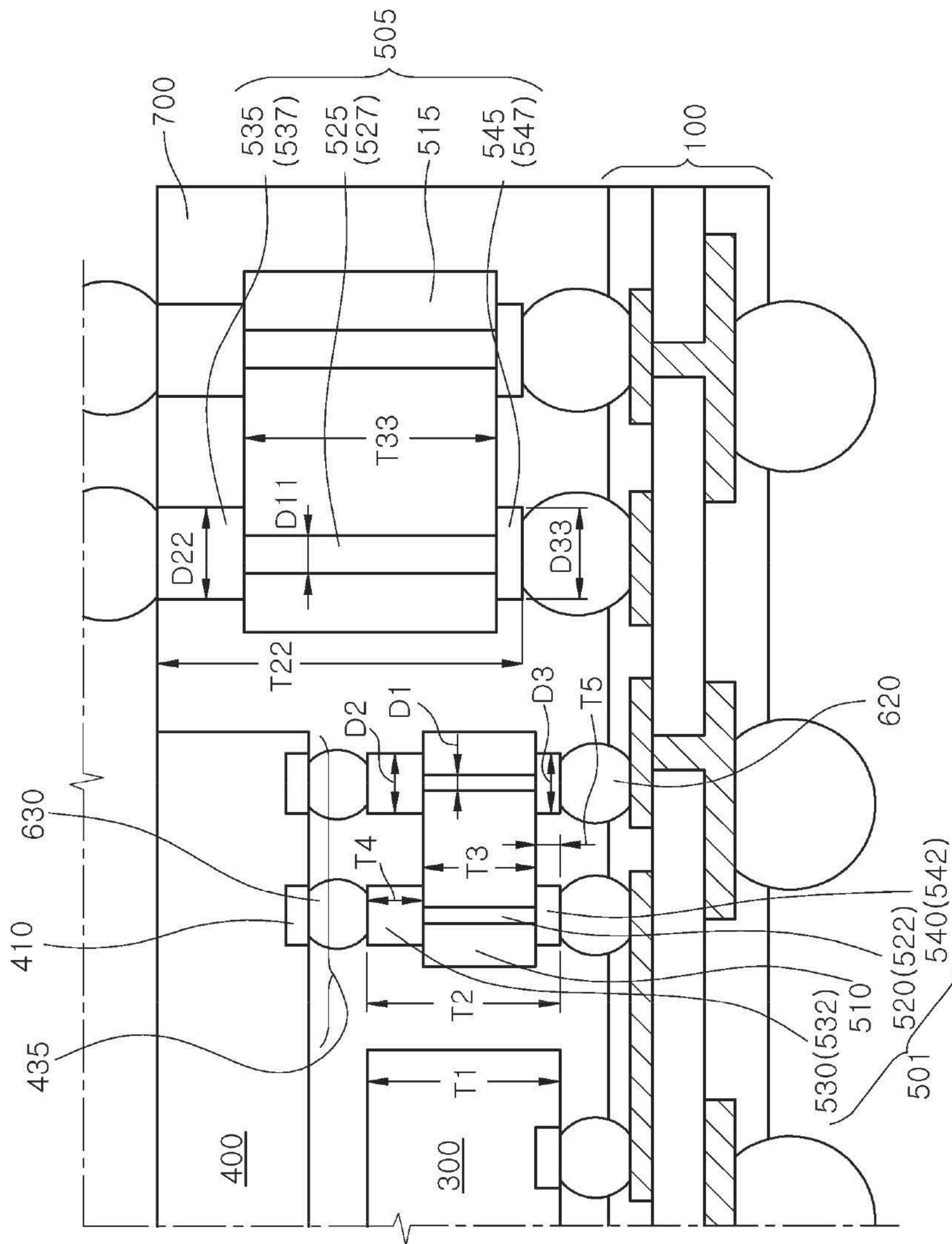


圖5

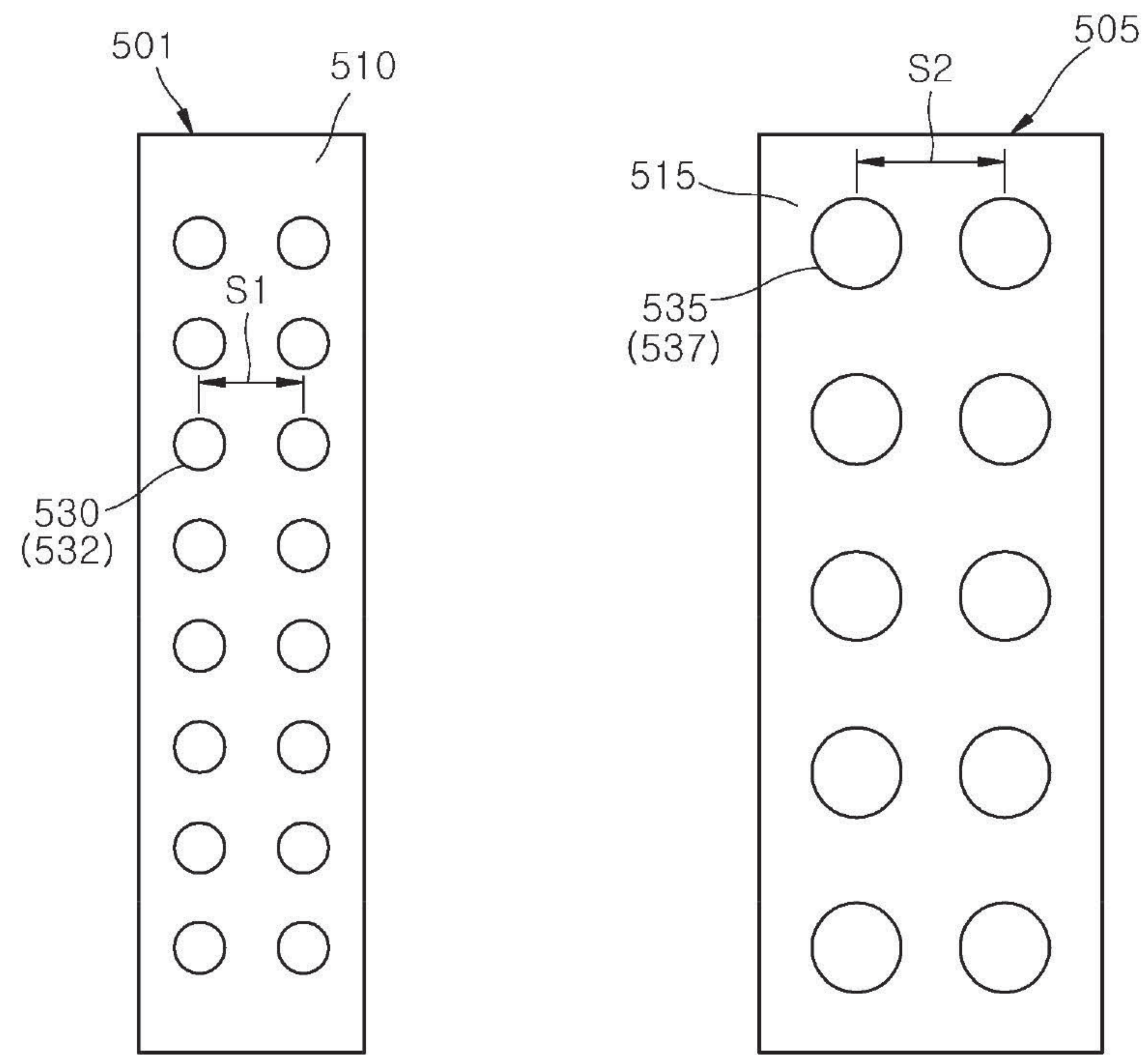


圖6

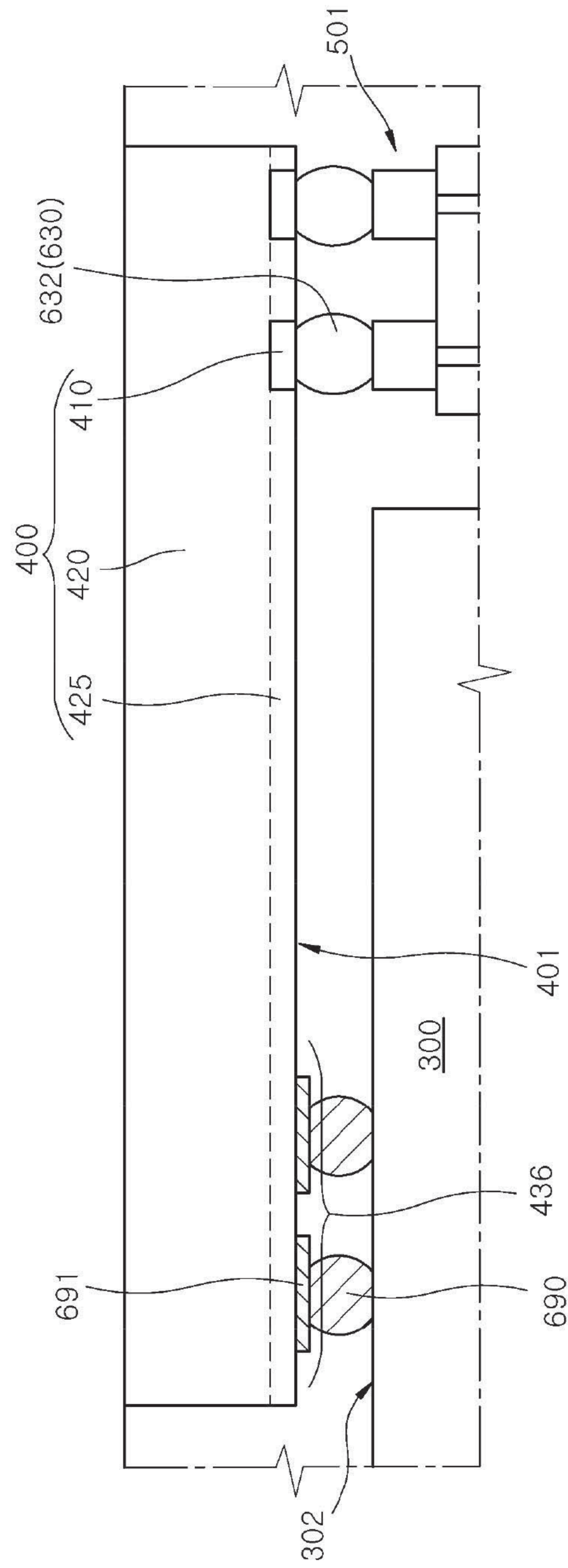


圖7

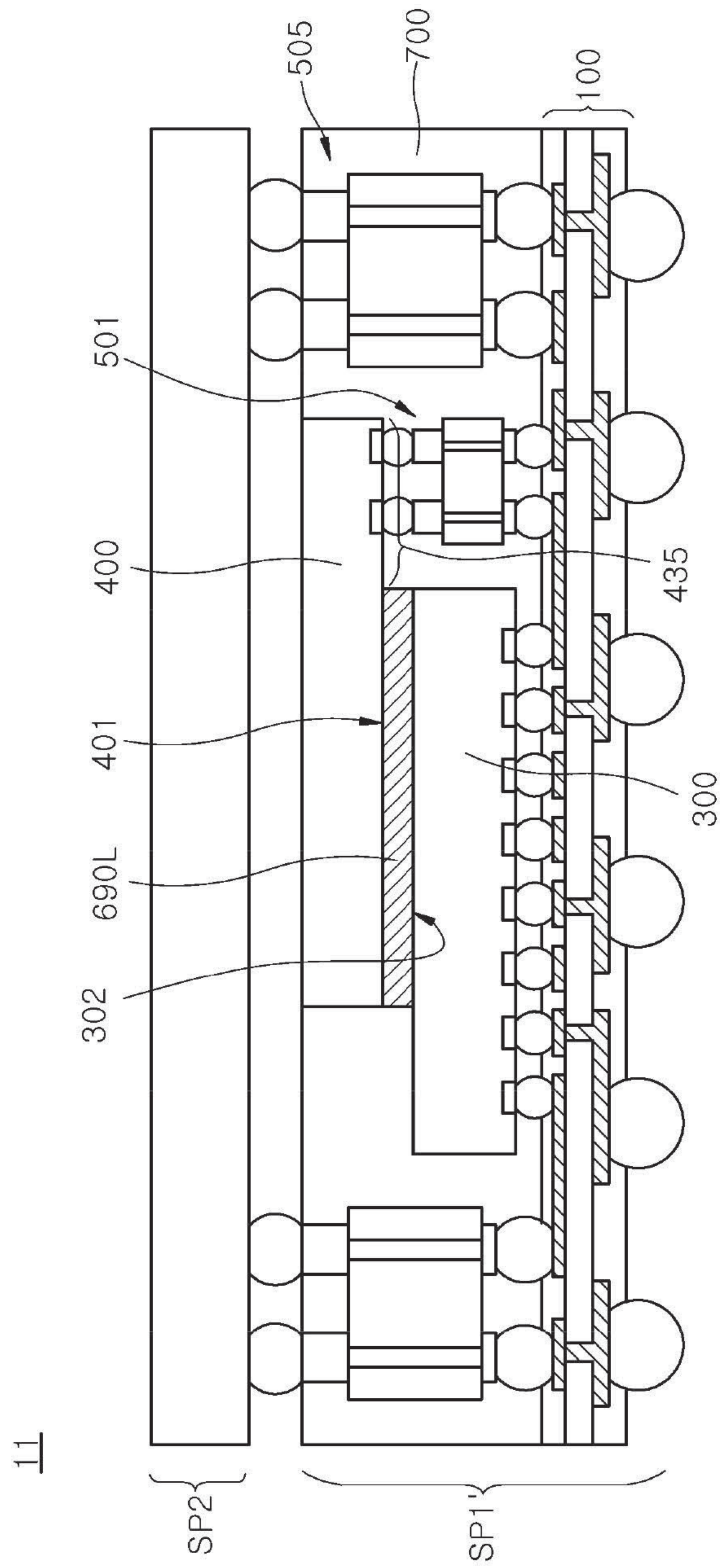


圖8

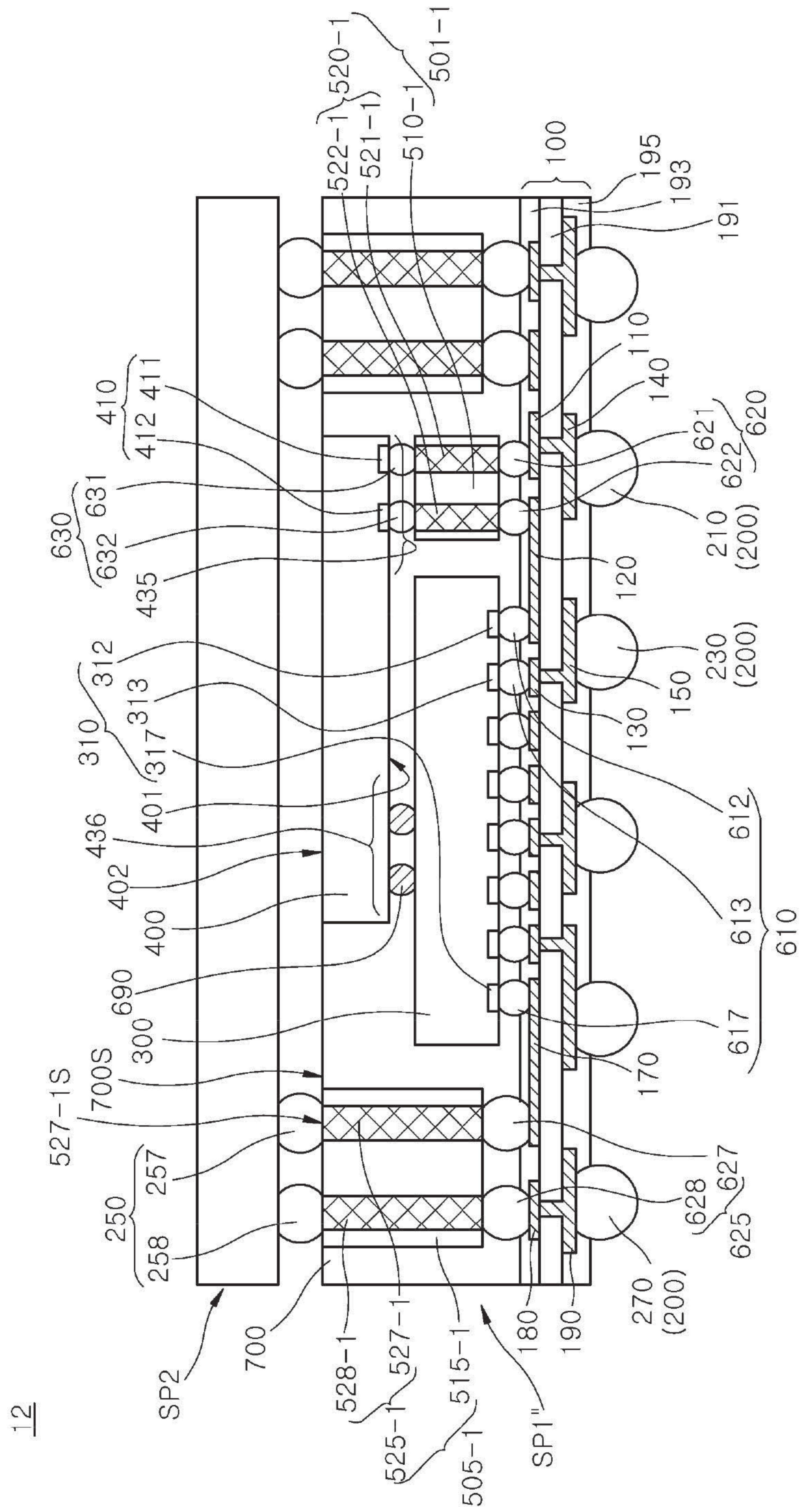


圖9

12

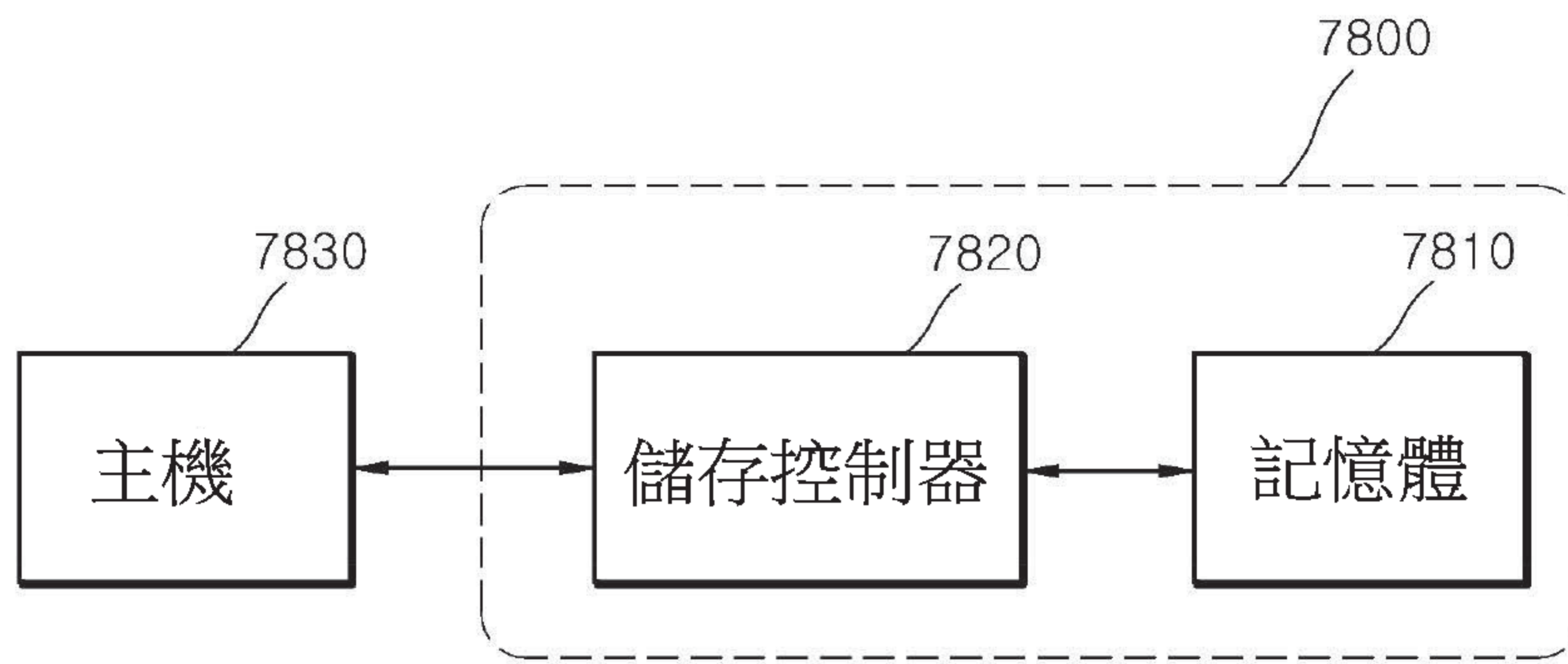


圖10

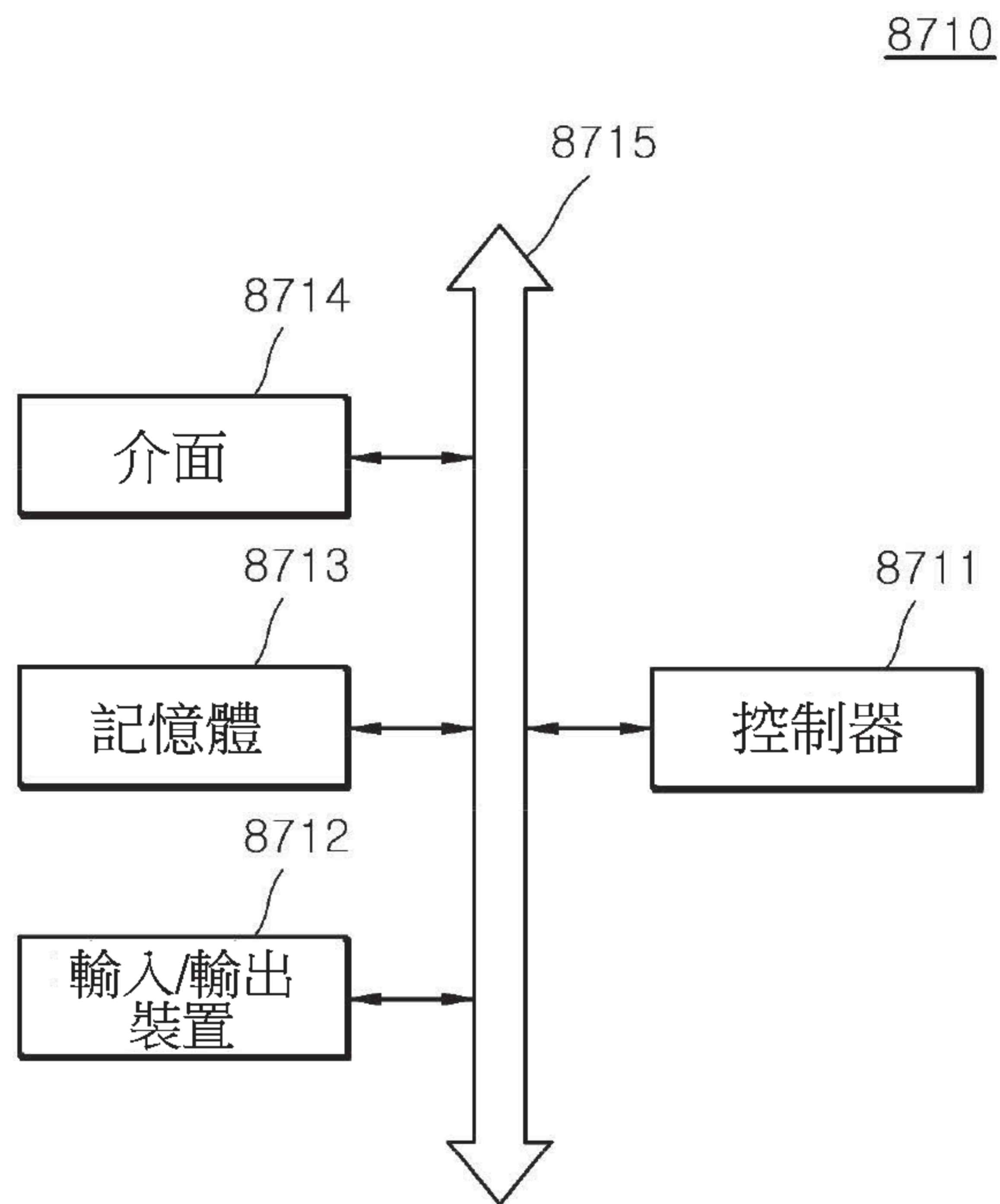


圖11