

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/786	(45) 공고일자 1999년03월20일 (11) 등록번호 특0176179 (24) 등록일자 1998년11월12일
(21) 출원번호 특1995-054709 (22) 출원일자 1995년12월22일	(65) 공개번호 특1997-054502 (43) 공개일자 1997년07월31일

(73) 특허권자	삼성전자주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 김남덕
(74) 대리인	서울특별시 광진구 자양동 520번지 우성아파트 203동 1406호 이영필, 권석흠, 노민식

심사관 : 임동우

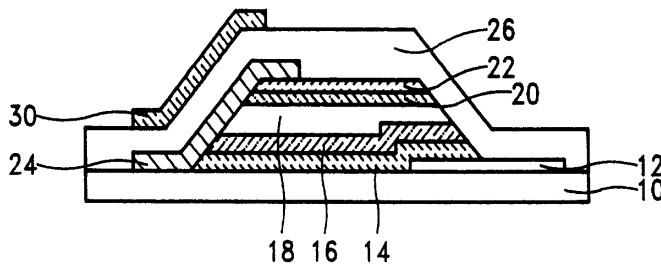
(54) 수직형 박막트랜지스터와 그 제조방법, 및 이를 이용한 초박막액정표시소자용 화소 어레이

요약

신규한 수직형 박막트랜지스터와 그 제조방법, 및 이를 이용한 초박막액정표시소자용 화소 어레이가 개시되어 있다. 투명한 기판 상에 화소전극이 형성된다. 상기 화소전극 상에는, 오믹 반도체층과 절연층을 사이에 두고 소오스 및 드레인 전극이 테이퍼 식각방법으로 수직구조로써 형성된다. 상기 소오스 및 드레인 전극 상에는 액티브 반도체층 및 게이트절연층이 차례로 형성된다. 상기 게이트절연층 상에는 게이트전극이 소오스 및 드레인 전극에 셀프-얼라인되어 형성된다.

소오스전극과 게이트전극 간에 오버랩 폭이 형성되지 않아 기생용량을 감소시킬 수 있다.

대표도



명세서

[발명의 명칭]

수직형 박막트랜지스터와 그 제조방법, 및 이를 이용한 초박막액정표시소자용 화소 어레이

[도면의 간단한 설명]

제1도는 수직형 박막트랜지스터의 기본적인 구조를 나타내는 단면도.

제2a도 및 제2b도는 히타치사가 개발한 수직형 박막트랜지스터의 개략적인 측면도들.

제3도는 본 발명에 의한 수직형 박막트랜지스터의 단면도.

제4a도 내지 제4e도는 본 발명에 의한 수직형 박막트랜지스터를 갖는 액정표시소자의 제조방법을 설명하기 위한 단면도들.

제5도는 본 발명에 의한 수직형 박막트랜지스터를 사용하는 액정표시소자에서의 화소 레이아웃도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------|-----------------------|
| 1, 10 : 기판 | 2, 12 : 화소전극 |
| 3, 14 : 드레인전극 | 4, 16 : 제1 n+ 비정질실리콘층 |
| 5, 18 : 제1 절연층 | 6, 20 : 제2 n+ 비정질실리콘층 |
| 7, 22 : 소오스전극 | 24 : 비정질실리콘층 |

본 발명에 의하면, 테이퍼 식각방법으로 형성된 소오스 및 드레인 전극에 셀프-얼라인되는 게이트전극을 형성함으로써, 기생용량을 감소시키고 화소 어레이의 구성이 미스-얼라인의 문제를 해결할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명하고자 한다.

제3도는 본 발명에 의한 수직형 박막트랜지스터의 단면도이다.

제3도를 참조하면, 투명한 기판(10), 예컨대 유리기판 상에 ITO(Indium Tin Oxide)로 이루어진 화소전극(12)이 형성되어 있다. 상기 화소전극(12) 상에는 예컨대, n+ 비정질실리콘으로 이루어진 오믹 반도체층(16,20)과 실리콘질화물(SiNx)로 이루어진 절연층(18)을 사이에 두고 소오스 및 드레인 전극(22,14)이 수직구조로 형성되어 있다. 상기 소오스 및 드레인 전극(22,14)은 테이퍼 식각방법으로 형성된다. 상기 소오스 및 드레인 전극(22,14) 상에는 채널로 사용되는 액티브 반도체층(24) 및 게이트절연층(26)이 차례로 형성되어 있다. 상기 채널용 액티브 반도체층(24)은 테이퍼 식각된 소오스 및 드레인 전극(22,14)으로 인해 그 경사가 낮아진다. 상기 게이트절연층(26) 상에는, 상기 소오스 및 드레인 전극(22,14)에 셀프-얼라인되어 게이트전극(30)이 형성된다.

제4a도 내지 제4e도는 본 발명에 의한 수직형 박막트랜지스터를 갖는 액정표시소자의 제조방법을 설명하기 위한 단면도들이다.

제4a를 참조하면, 투명한 기판(10), 예컨대 유리기판 상에 ITO금속을 증착한 후, 이를 사진식각 공정으로 패터닝하여 화소전극(12)을 형성한다.

제4b를 참조하면, 상기 화소전극(12)이 형성된 결과물 상에 탄탈륨(Ta) 또는 크롬(Cr)과 같은 제1 금속층, 제1 n+ 비정질실리콘층(16), 실리콘질화물과 같은 제1 절연층(18), 제2 n+ 비정질실리콘층(20) 및 Ta 또는 Cr과 같은 제2 금속층을 차례로 증착한다. 이어서, 사진식각 공정으로 상기 적층된 층들을 건식 또는 습식 식각방법으로 테이퍼 식각함으로써, 제1 금속층으로 이루어진 드레인전극(14) 및 제2 금속층으로 이루어진 소오스전극(22)을 형성한다.

제4c를 참조하면, 상기 결과물 상에 비정질실리콘을 증착한 후 이를 사진식각 공정으로 패터닝함으로써, 박막트랜지스터의 채널로 사용되는 액티브 반도체층(24)을 형성한다. 이어서, 상기 액티브 반도체층(24)이 형성된 결과물 상에 절연물질, 예컨대 실리콘질화물(SiNx)을 증착하여 게이트절연층(26)을 형성한다. 다음에, 상기 게이트절연층(26) 상에 리프트-오프(lift-off) 공정을 위한 제2 절연층(28), 예컨대 실리콘산화물(SiO₂) 또는 제1 포토레지스트를 증착 또는 도포한다.

제4d를 참조하면, 상기 결과물 상에 제2 포토레지스트를 도포한 후, 패터닝된 소오스 및 드레인 전극(22,14)을 이용하여 기판(10)의 하측면에서 백(back) 노광을 실시함으로써, 제2 포토레지스트로 이루어진 포토레지스트 패턴(29)을 형성한다. 이어서, 상기 포토레지스트 패턴(29)을 식각마스크로 사용하여 상기 제2 절연층(28)을 식각한다.

만일, 상기 제2 절연층(28)으로서 제1 포토레지스트를 사용한다면, 추가 현상공정을 실시하여 제1 포토레지스트를 제거해야 한다. 다음에, 상기 결과물 상에 크롬(Cr) 또는 알루미늄(Al)과 같은 제3 금속층(30')을 증착한 후, 리프트-오프시켜 상기 포토레지스트 패턴(29)을 제거한다.

제4e를 참조하면, 게이트전극 형성을 위한 사진식각 공정을 실시하여 상기 제3 금속층(30')을 패터닝함으로써, 게이트전극(30)을 형성한다. 이때, 상기 제2 절연층(28)으로서 제1 포토레지스트를 사용할 경우, 게이트전극(30)형성을 위한 식각공정시 함께 제거된다.

본 발명에 의한 수직형 박막트랜지스터의 제조방법에 사용되는 마스크 수는 4매임, 백노광시 사진공정이 추가된다.

제5도는 본 발명에 의한 수직형 박막트랜지스터를 사용하는 액정표시소자에서의 화소 레이아웃도이다. 여기서, 참조부호 12는 화소전극, 24는 액티브 반도체층, 32는 게이트 버스라인, 34는 데이터 버스라인, 36은 콘택홀, 그리고 38은 스토리지 커패시터를 각각 나타낸다. 도면에 표시된 AA'의 단면도가 제3도가 된다.

제5도를 참조하면, 본 발명에 의한 수직형 박막트랜지스터를 사용하여 초박막액정표시소자용 화소 어레이를 제작할 경우, 게이트 또는 데이터 버스라인(32 또는 34) 및 패드 형성을 위해 콘택용 마스크 1매가 박막트랜지스터 제작시보다 추가로 필요하게 되어, 총 5매의 마스크가 사용된다. 또한, 스토리지 커패시터도 포함되어 설계된다.

이상 상술한 바와 같이 본 발명에 의하면, 테이퍼 식각방법으로 형성된 소오스 및 드레인 전극에 셀프-얼라인되는 게이트전극을 형성한다. 따라서, 소오스전극과 게이트전극 간에 오버랩 폭이 생기지 않아 기생용량을 감소시킬 수 있으며, 패턴 형성시 디자인 룰이 증가되지 않는다. 또한, 이와 같은 구조를 갖는 수직형 박막트랜지스터로 초박막액정표시소자용 화소 어레이를 구성하면, 미스-얼라인의 문제를 해결할 수 있다.

본 발명이 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

(57) 청구의 범위

청구항 1

투명한 기판; 상기 기판 상에 형성된 화소전극; 상기 화소전극 상에 위치하며, 오믹 반도체층과 절연층을 사이에 두고 테이퍼 식각방법으로 수직구조로써 형성된 소오스 및 드레인 전극; 상기 소오스 및 드레인 전극 상에 차례로 형성된 액티브 반도체층 및 게이트절연층; 및 상기 게이트절연층 상에 위치하며, 상기 소오스 및 드레인 전극에 셀프-얼라인되어 형성된 게이트전극을 구비하는 것을 특징으로 하는 박막트랜지

스터.

청구항 2

제1항에 있어서, 상기 테이퍼 식각으로 형성된 소오스 및 드레인 전극으로 인해, 상기 액티브 반도체층의 경사가 낮아진 것을 특징으로 하는 박막트랜지스터.

청구항 3

제1항에 있어서, 상기 오믹 반도체층은 불순물이 도우프된 비정질실리콘으로 형성된 것을 특징으로 하는 박막트랜지스터.

청구항 4

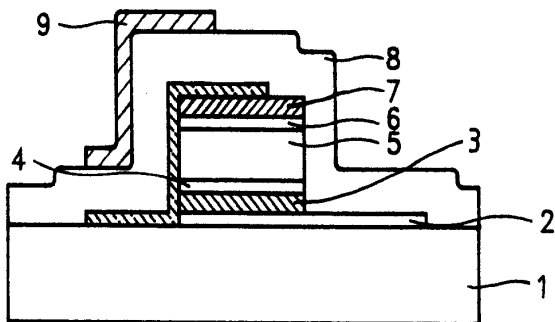
투명한 기판 상에 화소전극을 형성하는 단계; 상기 결과물 상에 제1 금속층, 제1 오믹 반도체층, 제1 절연층, 제2 오믹 반도체층 및 제2 금속층을 차례로 증착하는 단계; 사진식각 공정으로 상기 적층된 층들을 테이퍼 식각하여 제1 금속층으로 이루어진 드레인전극 및 제2 금속층으로 이루어진 소오스전극을 형성하는 단계; 상기 결과물 상에 액티브 반도체층을 형성하는 단계; 상기 결과물 상에 게이트절연층 및 제2 절연층을 차례로 형성하는 단계; 상기 소오스 및 드레인 전극을 이용하여 백노광을 실시함으로써 상기 결과물 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여 상기 제2 절연층을 식각하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 및 상기 결과물 상에 게이트전극을 형성하는 단계를 구비하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 5

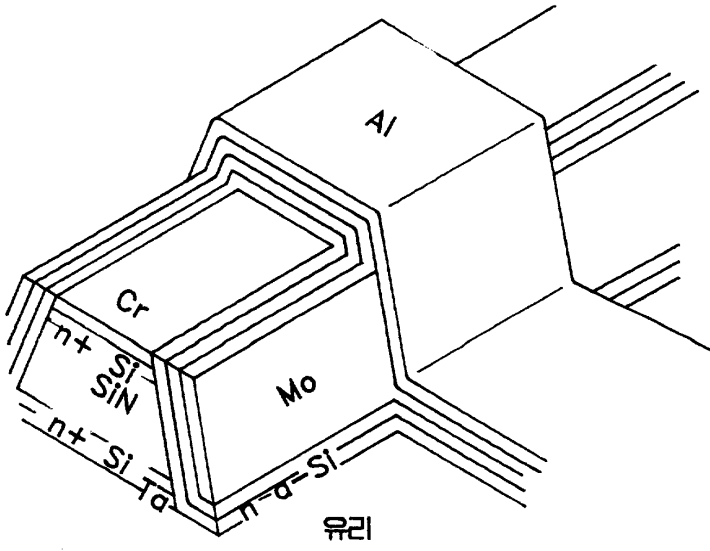
투명한 기판 상에 형성된 화소전극과, 상기 화소전극 상에 위치하며 오믹 반도체층과 절연층을 사이에 두고 테이퍼 식각방법으로 수직구조로써 형성된 소오스 및 드레인 전극과, 상기 소오스 및 드레인 전극 상에 차례로 형성된 액티브 반도체층 및 게이트절연층, 및 상기 게이트절연층 상에 위치하고, 상기 소오스 및 드레인 전극에 셀프-얼라인되어 형성된 게이트전극을 구비하는 박막트랜지스터; 상기 게이트전극에 접속된 게이트 버스라인; 상기 소오스 및 드레인 전극에 접속된 데이터 버스라인; 및 상기 박막트랜지스터 상에 형성되는 스토리지 커패시터를 구비하는 것을 특징으로 하는 초박막액정표시소자용 화소 어레이.

도면

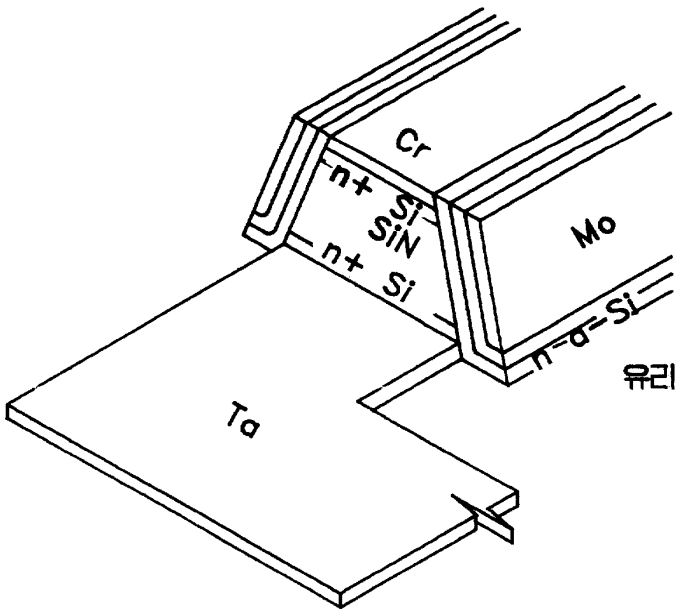
도면1



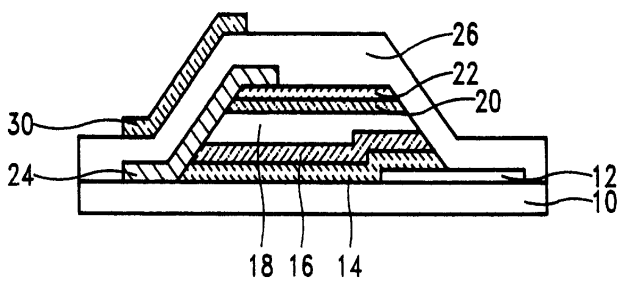
도면2a



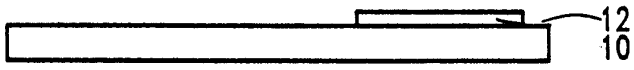
도면2b



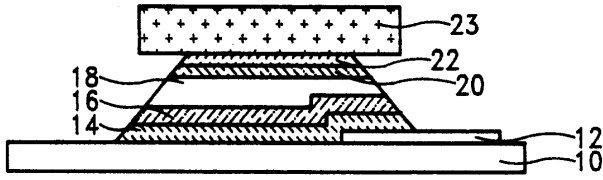
도면3



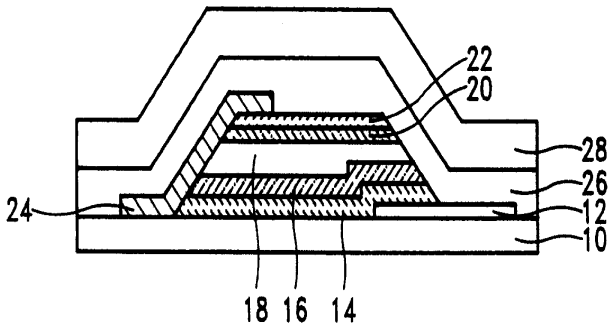
도면4a



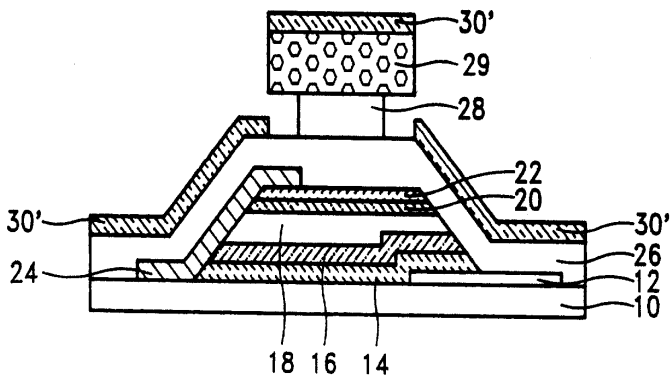
도면4b



도면4c



도면4d



도면4e

