



# (12) 发明专利

(10) 授权公告号 CN 112086364 B

(45) 授权公告日 2023. 01. 10

(21) 申请号 201910931762.6

(22) 申请日 2019.09.29

(65) 同一申请的已公布的文献号  
申请公布号 CN 112086364 A

(43) 申请公布日 2020.12.15

(30) 优先权数据  
16/439,690 2019.06.12 US

(73) 专利权人 南亚科技股份有限公司  
地址 中国台湾新北市泰山区南林路98号

(72) 发明人 施信益 王茂盈 吴鸿谟

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270  
专利代理师 浦彩华 姚开丽

(51) Int.Cl.

H01L 21/48 (2006.01)

H01L 23/48 (2006.01)

(56) 对比文件

US 2007224835 A1, 2007.09.27

US 2007224835 A1, 2007.09.27

US 2008012142 A1, 2008.01.17

US 2006014381 A1, 2006.01.19

审查员 韩增智

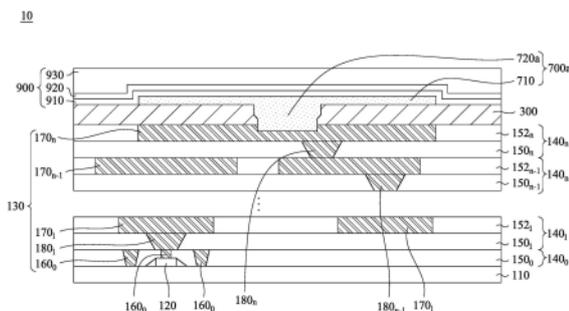
权利要求书1页 说明书6页 附图14页

## (54) 发明名称

半导体结构及其制造方法

## (57) 摘要

本发明公开了一种半导体结构及其制造方法。半导体结构的制造方法包括以下步骤。在导线之上形成介电层。于介电层之上形成光阻层。图案化光阻层，以形成遮罩特征与开口，开口是被遮罩特征所定义。开口具有底部与顶部，顶部连通底部，且顶部比底部宽。以遮罩特征作为蚀刻遮罩蚀刻介电层，以在介电层中形成通孔孔洞。在通孔孔洞中填入导电材料，以形成导电通孔。通过使用上述的制造方法，通孔密度可以被改善。



1. 一种半导体结构的制造方法,其特征在于,包含:  
在导线之上形成介电层;  
在所述介电层之上形成光阻层;  
图案化所述光阻层,以形成遮罩特征与开口,所述开口是被所述遮罩特征所定义,其中所述开口具有底部与顶部,所述顶部连通所述底部,且所述顶部比所述底部宽;  
以所述遮罩特征作为蚀刻遮罩蚀刻所述介电层,以在所述介电层中形成通孔孔洞;以及  
在所述通孔孔洞中填入导电材料,以形成导电通孔,其中所述导电通孔包含底部、顶部及位于所述底部与所述顶部之间的渐缩部,所述导电通孔的所述渐缩部的宽度变化大于所述导电通孔的所述底部与所述导电通孔的所述顶部的宽度变化,所述导电通孔的所述顶部具有从所述导电通孔的所述渐缩部的倾斜侧壁向上连续延伸且垂直所述导电通孔的最低表面的侧壁。
2. 如权利要求1所述的半导体结构的制造方法,其特征在于,还包含:  
加深所述通孔孔洞,使得凹陷形成于所述导线之中。
3. 如权利要求2所述的半导体结构的制造方法,其特征在于,还包含:  
在所述凹陷中填入所述导电材料。
4. 如权利要求1所述的半导体结构的制造方法,其特征在于,通过使用光罩来图案化所述光阻层,所述光罩具有透光部、半透光部与遮光部,所述半透光部位于所述透光部与所述遮光部之间。
5. 如权利要求1所述的半导体结构的制造方法,其特征在于,所述遮罩特征具有外部与内部,所述内部比所述外部宽,且所述内部接触于所述介电层。
6. 一种半导体结构,其特征在于,包含:  
半导体元件;  
导线,位于所述半导体元件之上;  
介电层,位于所述导线之上;以及  
重分布层,包含导电结构与导电通孔,所述导电结构位于所述介电层上方,所述导电通孔从所述导电结构向下延伸并穿过所述介电层,其中所述导电通孔包含底部、顶部与渐缩部,所述渐缩部位于所述底部与所述顶部之间,其中所述渐缩部的宽度变化大于所述底部与所述顶部的宽度变化,且所述导电通孔的所述顶部具有从所述导电通孔的所述渐缩部的倾斜侧壁向上连续延伸且垂直所述导电通孔的最低表面的侧壁。
7. 如权利要求6所述的半导体结构,其特征在于,所述渐缩部从所述顶部往所述底部渐缩。
8. 如权利要求6所述的半导体结构,其特征在于,所述底部接触于所述导线。
9. 如权利要求6所述的半导体结构,其特征在于,还包含:  
保护层,位于所述重分布层之上。
10. 如权利要求6所述的半导体结构,其特征在于,所述导电通孔的底表面低于所述导线的顶表面。

## 半导体结构及其制造方法

### 技术领域

[0001] 本发明是有关于一种半导体结构与一种形成半导体结构的方法。更特别地,本发明是关于形成半导体结构的重新分布层(redistribution layer;RDL)。

### 背景技术

[0002] 随着电子工业的快速发展,集成电路(integrated circuits;ICs)的发展是为了实现高性能与微型化。集成电路材料与设计的技术进步已经产生了几代的集成电路,其中每一代的集成电路都具有比上一代的集成电路更小与更复杂的电路。因此,用于集成电路的重新分布层(redistribution layer;RDL)的通孔孔洞也被缩小。

### 发明内容

[0003] 本发明的目的在于提供一种半导体结构的制造方法,该方法可以改善通孔的密度。

[0004] 本发明提供一种用于改善通孔密度的半导体结构及其制造方法。半导体结构的制造方法包括以下步骤。在导线之上形成介电层。在介电层之上形成光阻层。图案化光阻层,以形成遮罩特征与开口,开口是被遮罩特征所定义。开口具有底部与顶部,顶部连通底部,且顶部比底部宽。以遮罩特征作为蚀刻遮罩蚀刻介电层,以在介电层中形成通孔孔洞。在通孔孔洞中填入导电材料,以形成导电通孔。

[0005] 依据本发明的一些实施方式中,半导体结构的制造方法还包括加深通孔孔洞,使得凹陷形成于导线之中。

[0006] 依据本发明的一些实施方式,半导体结构的制造方法还包括在凹陷中填入导电材料。

[0007] 依据本发明的一些实施方式,通过使用光罩来图案化光阻层,光罩具有透光部、半透光部与遮光部,半透光部位于透光部与遮光部之间。

[0008] 依据本发明的一些实施方式,遮罩特征具有外部与内部,内部比外部宽,且内部接触于介电层。

[0009] 依据本发明的一些实施方式,一种半导体结构包括半导体元件、导线、介电层以及重新分布层。导线在半导体元件之上。介电层在导线之上。重新分布层包括导电结构与导电通孔。导电结构位于介电层上方。导电通孔从导电结构向下延伸并穿过介电层。导电通孔包括底部、顶部与渐缩部。渐缩部位于底部与顶部之间。渐缩部的宽度变化大于底部与顶部的宽度变化。

[0010] 依据本发明的一些实施方式,渐缩部从顶部往底部渐缩。

[0011] 依据本发明的一些实施方式,底部接触于导线。

[0012] 依据本发明的一些实施方式,半导体结构还包括保护层,位于重新分布层之上。

[0013] 依据本发明的一些实施方式,导电通孔的底表面低于导线的顶表面。

[0014] 综上所述,本发明提供一种半导体结构及其制造方法。导电通孔包括底部、渐缩部

与顶部。因为渐缩部与顶部比底部为宽,故渐缩部与顶部可以为随后的金属沉积工艺提供更多的空间,此也可以减轻例如金属沉积的外伸所导致的不利影响。再者,因为底部窄于渐缩部与顶部,故可具有改善通孔密度的功效。

[0015] 应当了解前面的一般说明和以下的详细说明都仅是示例,并且旨在提供对本发明的进一步解释。

## 附图说明

[0016] 本发明的各个方面可从以下实施方式的详细说明及随附的附图中得到进一步的理解。

[0017] 图1是根据本发明的一些实施方式绘示的半导体结构的剖面示意图。

[0018] 图2、图3以及图5至图14是根据本发明的一些实施方式在各个阶段形成半导体结构的方法的剖面图。

[0019] 图4是根据本发明的一些实施方式的用于图案化光阻层的光罩的示意图。

[0020] 主要附图标记说明:

[0021] 10-半导体结构,110-基板,120-主动及/或被动元件(半导体元件),130-内连接结构,140<sub>0</sub>至140<sub>n</sub>-金属化层,150<sub>0</sub>至150<sub>n</sub>、152<sub>1</sub>至152<sub>n</sub>-介电层,160<sub>0</sub>-导电插塞,170<sub>1</sub>至170<sub>n</sub>-导线,180<sub>1</sub>至180<sub>n</sub>-导电通孔,300-介电层,400-光阻层,410-光罩,412-透光部,414-半透光部,416-遮光部,420-遮罩特征,422-外部,424-内部,500-开口,502-底部,504-顶部,600-通孔孔洞,600t-顶部区域,602-底部,604-渐缩部,606-顶部,700-导电层,700a-重分布层,710-导电通孔,712-底部,714-渐缩部,716-顶部,720、720a-导电结构,800-图案化遮罩层,900-保护层,910-氧化硅层,920-氮化硅层,930-聚酰亚胺层,R-凹陷,W1、W2-宽度。

## 具体实施方式

[0022] 现在将参照本发明的实施方式,其示例被绘示在附图中。本发明在附图及说明书中尽量使用相同的附图元件号码,来表示相同或相似的部分。

[0023] 图1是根据本发明的一些实施方式绘示的半导体结构10的剖面示意图。参阅图1,介电层300形成于内连接结构130之上,其中内连接结构130形成于基板110之上。重分布层(redistribution layer;RDL)700a位于基板110之上,且重分布层700a包括导电通孔710与导电结构720a。重分布层700a接触于介电层300。保护层900位于重分布层700a之上,且覆盖重分布层700a。

[0024] 在一些实施方式中,基板110可以是硅基板。在一些其他的实施方式中,基板110可包括其他半导体元素,例如:锗(germanium),或包括半导体化合物,例如:碳化硅(silicon carbide)、砷化镓(gallium arsenic)、磷化镓(gallium phosphide)、磷化铟(indium phosphide)、砷化铟(indium phosphide)、及/或锑化铟(indium antimonide),或其他半导体合金,例如:硅锗(SiGe)、磷化砷镓(GaAsP)、砷化铟铝(AlInAs)、砷化镓铝(AlGaAs)、砷化铟镓(GaInAs)、磷化铟镓(GaInP)、及/或磷砷化铟镓(GaInAsP),或其组合。在一些其他的实施方式中,基板110包括绝缘层覆硅(semiconductor-on-insulator;SOI)基板,例如具有埋层(buried layer)。

[0025] 在一些实施方式中,一个或多个主动及/或被动元件120形成于基板110之上。一个

或多个主动及/或被动元件120可包括各种N型金属氧化物半导体(N-type metal-oxide semiconductor;NMOS)及/或P型金属氧化物半导体(P-type metal-oxide semiconductor;PMOS),例如晶体管、电容器、电阻器、二极管、光电二极管与熔丝等。

[0026] 内连接结构130形成于一个或多个主动及/或被动元件120与基板110之上。内连接结构130电性连接一个或多个主动及/或被动元件120,以形成在半导体结构10内的功能电路。内连接结构130可以包括一个或多个金属化层140<sub>0</sub>至140<sub>n</sub>,其中n+1为一个或多个金属化层140<sub>0</sub>至140<sub>n</sub>的数量。在一些实施方式中,n的值会基于半导体结构10的设计规范而变化。金属化层140<sub>1</sub>至140<sub>n</sub>可以包括介电层152<sub>1</sub>至152<sub>n</sub>、导线170<sub>1</sub>至170<sub>n</sub>以及导电通孔180<sub>1</sub>至180<sub>n</sub>。介电层152<sub>1</sub>至152<sub>n</sub>形成于相对应的介电层150<sub>1</sub>至150<sub>n</sub>之上。

[0027] 在一些实施方式中,金属化层140<sub>0</sub>可以包括通过介电层150<sub>0</sub>的导电插塞160<sub>0</sub>,并且金属化层140<sub>1</sub>至140<sub>n</sub>分别包括一个或多个导电内连接,例如分别在介电层152<sub>1</sub>至152<sub>n</sub>中的导线170<sub>1</sub>至170<sub>n</sub>,以及分别在介电层150<sub>1</sub>至150<sub>n</sub>中导电通孔180<sub>1</sub>至180<sub>n</sub>。导电插塞160<sub>0</sub>将一个或多个主动及/或被动元件120电性耦合到导线170<sub>1</sub>至170<sub>n</sub>以及导电通孔180<sub>1</sub>至180<sub>n</sub>。在半导体元件120是晶体管的一些实施方式中,导电插塞160<sub>0</sub>可以分别落在栅极电极与晶体管120的源极/漏极区上,因此可分别作为栅极接触与源极/漏极接触。

[0028] 在一些实施方式中,导电插塞160<sub>0</sub>、导线170<sub>1</sub>至170<sub>n</sub>以及导电通孔180<sub>1</sub>至180<sub>n</sub>可以使用任何适当的方法来形成,例如镶嵌(damascene)、双镶嵌(dual damascene)等。导电插塞160<sub>0</sub>、导线170<sub>1</sub>至170<sub>n</sub>以及导电通孔180<sub>1</sub>至180<sub>n</sub>可以包括导电材料,例如铜、铝、钨,及其组合等。在一些实施方式中,导电插塞160<sub>0</sub>、导线170<sub>1</sub>至170<sub>n</sub>以及导电通孔180<sub>1</sub>至180<sub>n</sub>还可包括一个或多个阻挡/粘着层(未绘示),以保护相对应的介电层150<sub>0</sub>至150<sub>n</sub>以及介电层152<sub>0</sub>至152<sub>n</sub>免于扩散与金属中毒。一个或多个阻挡/粘着层可以包括钛、氮化钛、钽、氮化钽等,并且可以使用物理气相沉积(PVD)、化学气相沉积(CVD)、原子层气相沉积(ALD)等形成。

[0029] 图2、图3以及图5至图14是根据本发明的一些实施方式在各个阶段形成一半导体结构10的方法的剖面图。为了清楚说明本发明的特征,基板110与内连接结构130(如图1所示)在图2、图3以及图5至图14中不绘示,合先叙明。

[0030] 参阅图2。介电层300形成于导线170<sub>n</sub>之上。形成介电层300的方法可以使用例如物理气相沉积(PVD)、化学气相沉积(CVD)、原子层气相沉积(ALD),或其他适当的技术。在一些实施方式中,介电层300可包括单层或多层。介电层300可以包括氧化硅、氮化硅、氮氧化硅,或其他适当的材料。在一些实施方式中,在形成介电层300之前,在导线170<sub>n</sub>上形成阻挡层(未绘示)。阻挡层可以有利于导电线170<sub>n</sub>与介电层300之间的粘附。

[0031] 参阅图3。光阻层400形成于介电层300之上。在一些实施方式中,形成光阻层400的方法可包括形成一个等离子体增强四乙氧基硅烷(plasma enhanced tetraethoxysilane;PETEOS)薄膜于介电层300之上。在一些实施方式中,光阻层400的材料可以包括有机材料,例如旋涂碳(spin-on carbon;SOC)材料等。

[0032] 一并参阅图4与图5。图4是光罩410的示意图,此光罩410是用以图案化图3的光阻层400。如图4所示,光罩410包括透光部412、半透光部414以及遮光部416。遮光部416的遮光区域的密度大于半透光部414的遮光区域的密度。半透光部414位于透光部412与遮光部416之间。在一些实施方式中,形成具有透光部412、半透光部414以及遮光部416的光罩410的方法,可以使用玻璃上铬(chrome on glass;COG)、相位偏移遮罩(phase shift mask),或其

他适当的方法。

[0033] 如图5所示,光罩410(如图4所示)是用以图案化光阻层400(如图3所示),因而形成遮罩特征420。换句话说,通过使用适当的光刻技术,将光阻层400(如图3所示)图案化以形成遮罩特征420。遮罩特征420具有外部422与内部424。内部424比外部422更宽。内部424接触于介电层300。

[0034] 在本实施方式中,开口500是由遮罩特征420所定义,且开口500暴露下面的介电层300。开口500具有底部502与顶部504,且顶部504连通底部502。详细来说,底部502具有宽度W1,而顶部504具有宽度W2。宽度W2比宽度W1宽。由于光罩410的透光部412、半透光部414与遮光部416具有不同的透光深度,而使得图5中的遮罩特征420具有开口500,且开口500具有宽度W1的底部502以及具有宽度W2的顶部504。

[0035] 参阅图6。使用遮罩特征420作为蚀刻遮罩,以蚀刻介电层300。蚀刻工艺在介电层300中产生通孔孔洞600。由于蚀刻工艺使用遮罩特征420作为蚀刻遮罩,使得通孔孔洞600具有的宽度W1与遮罩特征420内的开口500的底部502的宽度W1实质上相同。

[0036] 如图6所示,介电层300的一部分保留在通孔孔洞600的下面。通孔孔洞600位于开口500的下面。换句话说,介电层300的一部分保留在通孔孔洞600与下面的介电层300之间。

[0037] 在一些实施方式中,蚀刻介电层300的方法可以使用干式蚀刻。当使用干式蚀刻以蚀刻介电层300时,所选择的干式蚀刻剂可包括氢气(H<sub>2</sub>)及氮气(N<sub>2</sub>)。

[0038] 参阅图7。使用遮罩特征420作为蚀刻遮罩,以蚀刻介电层300,使得通孔孔洞600被加深与被扩展。详细来说,遮罩特征420的内部424在蚀刻工艺期间被消耗,且遮罩特征420的外部422的厚度减少,使得遮罩特征420的外部422对齐于遮罩特征420的内部424。换句话说,在遮罩特征420的内部424被消耗之后,蚀刻内部424下面的介电层300的一部分,进而使得通孔孔洞600具有渐缩轮廓(tapered profile)。再换句话说,因为遮罩特征420(如图6所示)具有阶梯状轮廓(step profile),例如遮罩特征420的内部424与外部422,所以通孔孔洞600具有渐缩轮廓。在一些实施方式中,开口500的顶部504的宽度等于开口500的底部502的宽度。由于遮罩特征420具有侧向扩展的底部502的开口500,因此蚀刻工艺导致在介电层300与遮罩特征420的界面中侧向扩展通孔孔洞600的顶部区域600t。详细来说,通孔孔洞600的顶部区域600t被扩展,且具有宽度W2。举例来说,通孔孔洞600的顶部区域600t的宽度W2等于图5中的开口500的顶部504的宽度W2。

[0039] 在一些实施方式中,在图7中蚀刻介电层300以扩展通孔孔洞600可与图6的先前蚀刻工艺于原位(in-situ)进行。换句话说,可以在没有破真空(vacuum break)的情况下,进行图7的扩展通孔孔洞600的蚀刻工艺以及图6的蚀刻工艺。举例来说,图7的扩展通孔孔洞600的蚀刻工艺以及图6的蚀刻工艺可以在相同蚀刻工具中进行,并且具有实质上相同的蚀刻参数。

[0040] 参阅图8。使用遮罩特征420作为蚀刻遮罩,以蚀刻介电层300。详细来说,蚀刻工艺加深通孔孔洞600,直到抵达导线170n。换句话说,导线170n被暴露。在一些实施方式中,在图8中蚀刻介电层300以加深通孔孔洞600可与图7的先前蚀刻工艺于原位进行。换句话说,可以在没有破真空的情况下,进行图8的加深通孔孔洞600的蚀刻工艺以及图7的扩展通孔孔洞600的蚀刻工艺。举例来说,图8的加深通孔孔洞600的蚀刻工艺以及图7的扩展通孔孔洞600的蚀刻工艺可以在相同蚀刻工具中进行,并且具有实质上相同的蚀刻参数。

[0041] 参阅图9。使用遮罩特征420作为蚀刻遮罩,以蚀刻介电层300。蚀刻工艺加深通孔孔洞600,使得凹陷R形成于导线 $170_n$ 内。详细来说,通孔孔洞600具有底部602、渐缩部604以及顶部606。渐缩部604位于底部602之上,且顶部606位于渐缩部604之上。渐缩部604从顶部606往底部602渐缩。底部602的宽度变化小于渐缩部604的宽度变化,且顶部606的宽度变化也小于渐缩部604的宽度变化。通孔孔洞600的底部602接触于导线 $170_n$ 。换句话说,通孔孔洞600的底部602接触于介电层300与导线 $170_n$ 。

[0042] 在一些实施方式中,底部602的宽度实质上是不变的,且顶部606的宽度也是实质上不变的。因为渐缩部604与顶部606比底部602宽,所以渐缩部604与顶部606可以为随后的金属沉积工艺提供更多的空间,此也可以减轻由于随后的金属沉积的外伸(overhang)而导致的不利影响。再者,因为底部602窄于渐缩部604与顶部606,所以可实现改善通孔密度的功效。

[0043] 在一些实施方式中,在图9中在导线 $170_n$ 内加深通孔孔洞600可与图8的在介电层300内加深通孔孔洞600的先前蚀刻工艺于原位进行。换句话说,可以在没有破真空的情况下,进行图9的在导线 $170_n$ 内加深通孔孔洞600的蚀刻工艺以及图8的在介电层300内加深通孔孔洞600的蚀刻工艺。举例来说,图9的在导线 $170_n$ 内加深通孔孔洞600的蚀刻工艺以及图8的在介电层300内加深通孔孔洞600的蚀刻工艺可以在相同蚀刻工具中进行,并且具有实质上相同的蚀刻参数。

[0044] 参阅图10。遮罩特征420被移除。在一些实施方式中,可以通过使用光阻剥离(photoresist strip)工艺来执行移除遮罩特征420。例如,光阻剥离工艺可为灰化(ashing)工艺。

[0045] 参阅图11。导电材料被填入于通孔孔洞600中。换句话说,导电材料亦被填入于凹陷R中(如图10所示)。如图11所示,导电层700形成于介电层300之上。详细来说,导电层700包括导电通孔710与导电结构720。导电层700覆盖介电层300,并且被填入于通孔孔洞600中,以在此通孔孔洞600中形成导电通孔710。在一些实施方式中,导电层700包括金属或金属合金,例如铝(Al)、铜(Cu)、其他适当的导电材料,或其组合。导电层700可以通过例如溅射方法的物理气相沉积(PVD)方法或其他适当的方法来形成。

[0046] 在本实施方式中,导电通孔710从导电结构720向下延伸并且穿过介电层300。因为导电通孔710填入通孔孔洞600,故导电通孔710继承通孔孔洞600的轮廓。详细来说,导电通孔710包括底部712、渐缩部714与顶部716。渐缩部714从顶部716往底部712渐缩。底部712的宽度变化小于渐缩部714的宽度变化,并且顶部716的宽度变化也小于渐缩部714的宽度变化。举例来说,底部712的宽度是实质上不变的,且顶部716的宽度也是实质上不变的。在一些实施方式中,导电通孔710的底表面低于导线 $170_n$ 的顶表面。

[0047] 参阅图12。图案化遮罩层800形成于导电层700之上。图案化遮罩层800覆盖导电结构720的一部分,同时暴露导电结构720的另一部分。在本实施方式中,图案化遮罩层800可以是光阻层。形成图案化遮罩层800的方法可包括先形成光阻层,然后用光刻工艺图案化前述的光阻层。

[0048] 随后,使用图案化遮罩层800为蚀刻遮罩来图案化导电层700,所得到的结构如图13所示。在使用适当的蚀刻技术对导电层700进行图案化之后,可通过例如灰化工艺移除图案化遮罩层800。如图13所示,重分布层700a包括导电结构720a与导电通孔710。导电结构

720a覆盖导电通孔710与介电层300的一部分,同时暴露介电层300的另一部分。

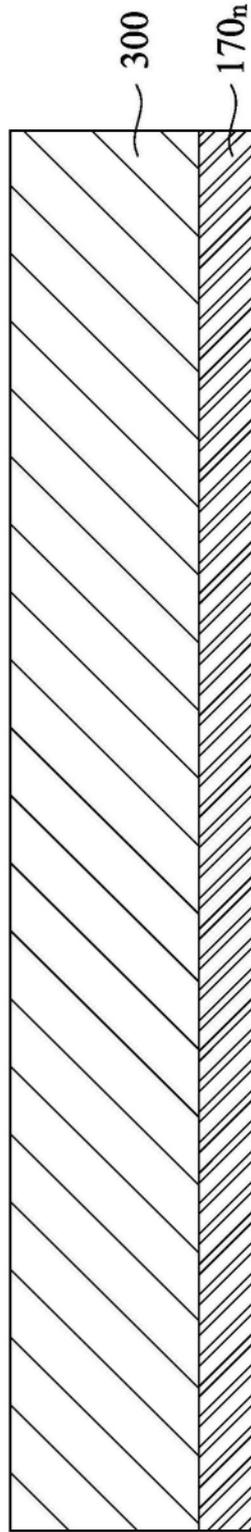
[0049] 参阅图14。保护层900形成于基板110之上,以覆盖重分布层700a与介电层300。在一些实施方式中,保护层900是单层、双层或多层结构。保护层900可包括硅、氧化硅、氮氧化硅、氮化硅、有机材料、聚合物,或其组合。有机材料可为例如苯并环丁烯(benzocyclobutene;BCB),并且聚合物可为例如聚酰亚胺(polyimide;PI)。保护层900可以通过化学气相沉积(CVD)方法、涂布(coating)方法,或其他适当的方法形成。在本实施方式中,保护层900包括氧化硅层910、氮化硅层920以及聚酰亚胺层930。

[0050] 综上所述,导电通孔包括底部、渐缩部与顶部。因为渐缩部与顶部比底部为宽,故渐缩部与顶部可以为随后的金属沉积工艺提供更多的空间,此也有助于减轻例如金属沉积的外伸所导致的不利影响。再者,因为底部窄于渐缩部与顶部,故可具有改善通孔密度的功效。

[0051] 虽然本发明已经将实施方式详细地公开如上,然而其他的实施方式也是可能的,并非用以限定本发明。因此,所附的权利要求的精神及其范围不应限于本发明实施方式的说明。

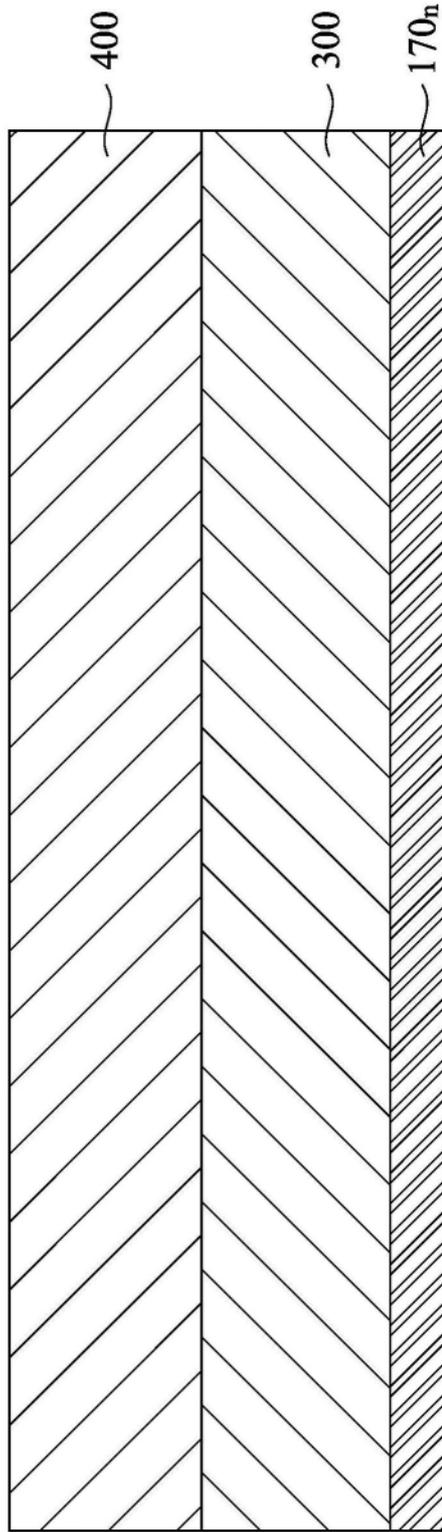
[0052] 本领域任何的技术人员,在不脱离本发明的精神和范围内,当可作各种的改变或替换,因此所有的这些改变或替换都应涵盖于本发明的权利要求的保护范围之内。





10

图2



10

图3

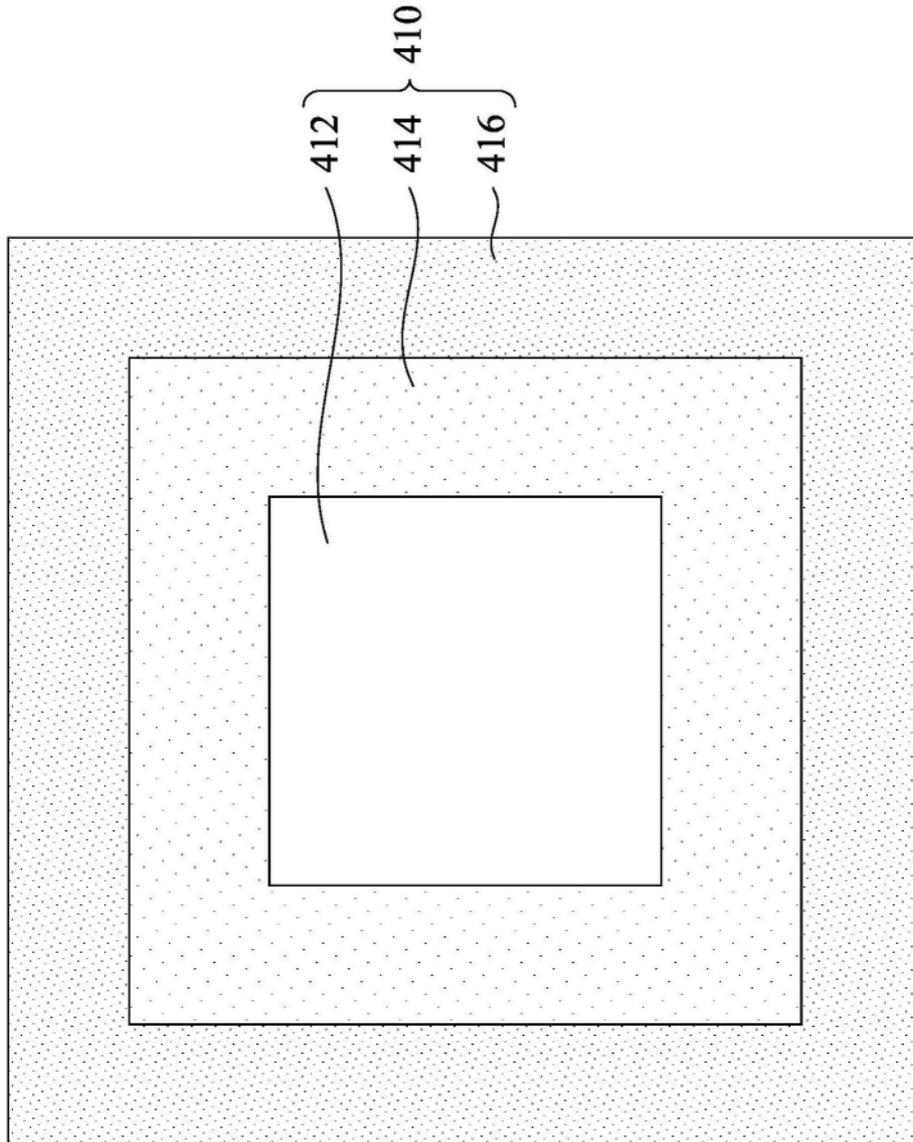


图4

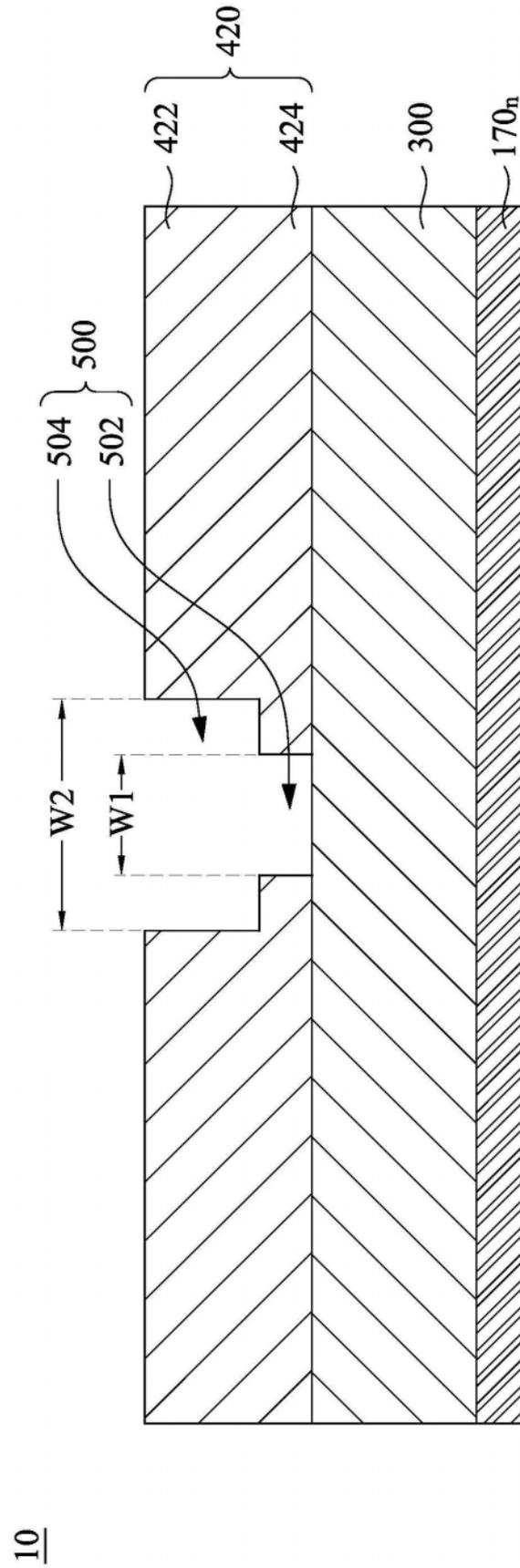


图5

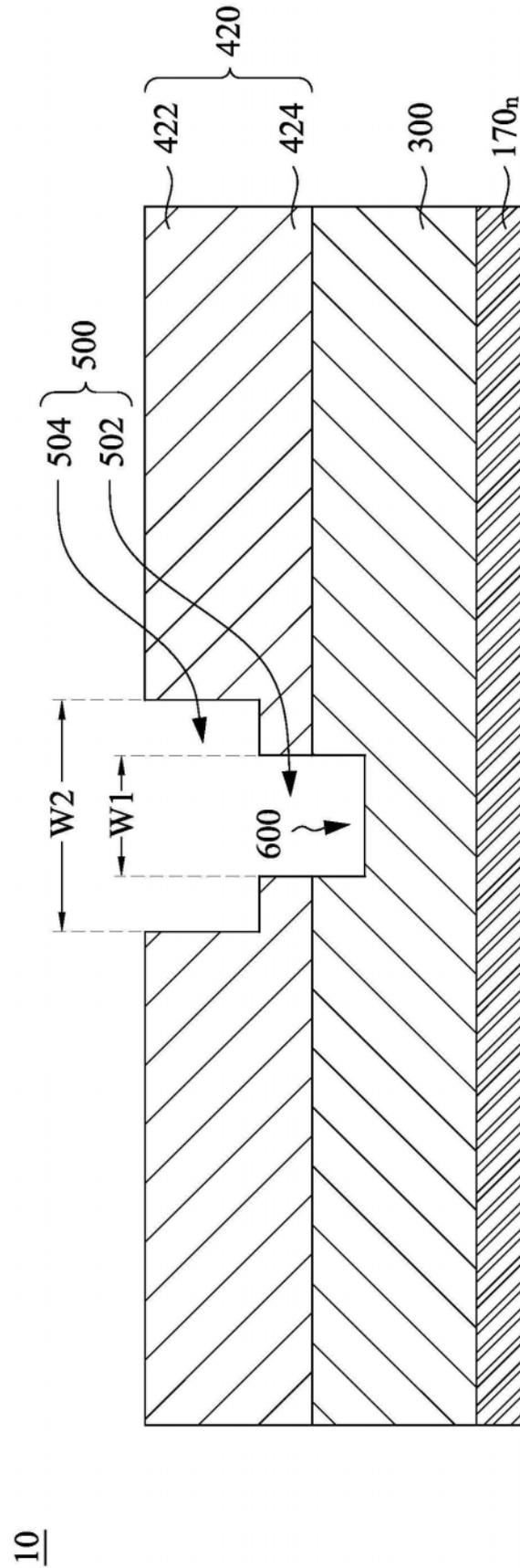
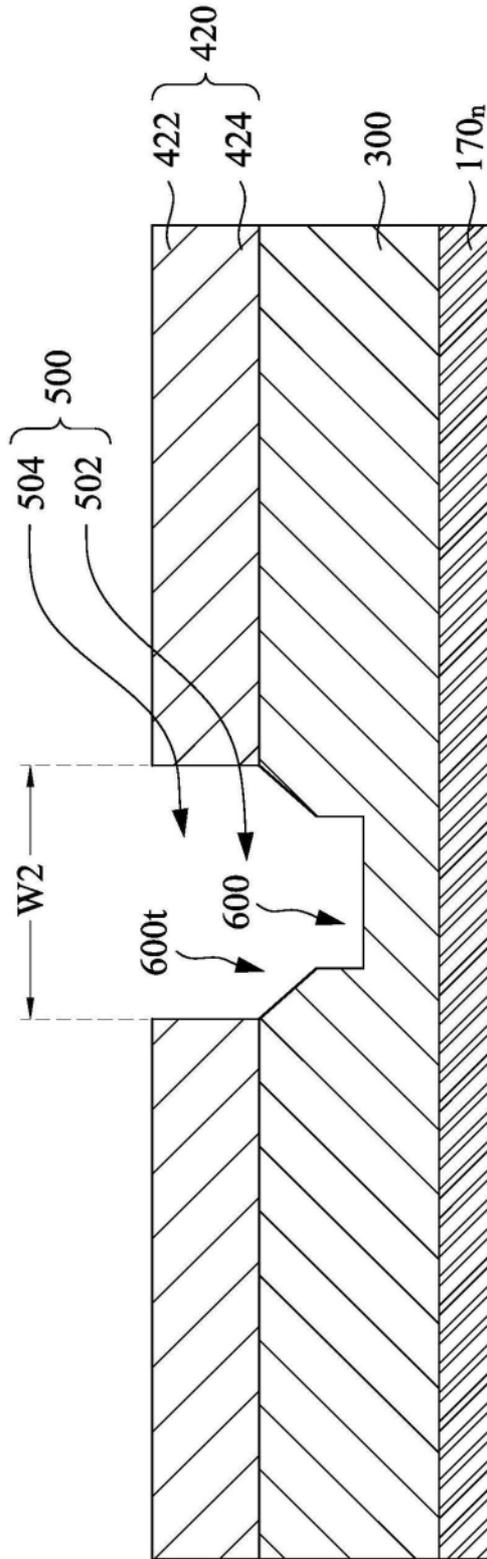
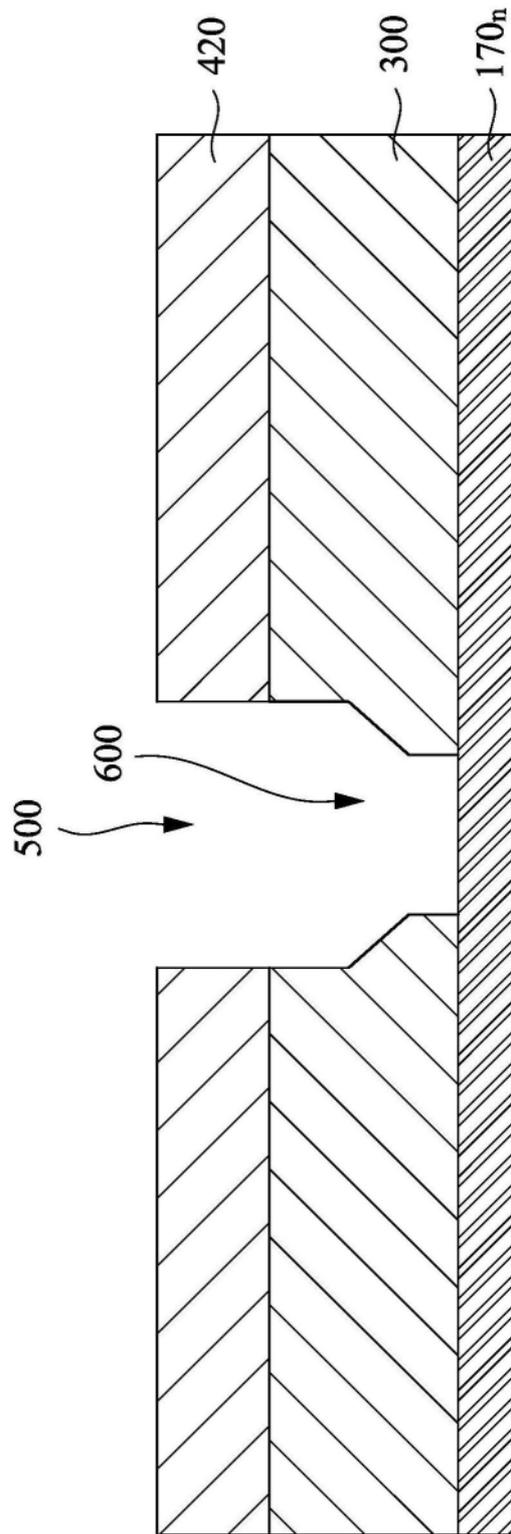


图6



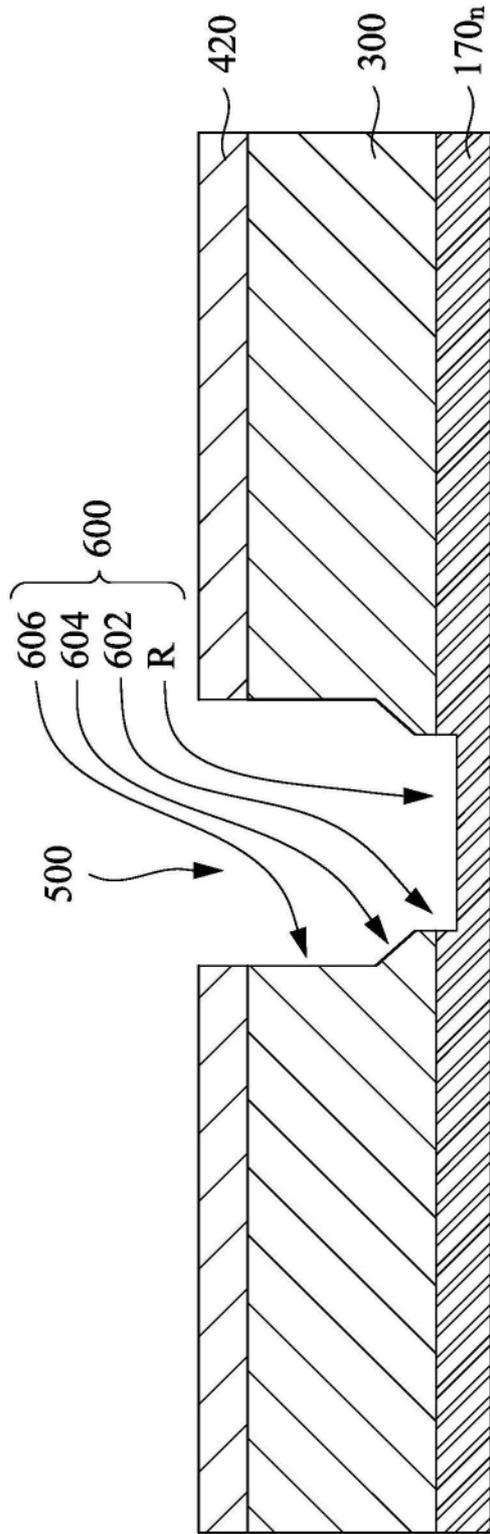
10

图7



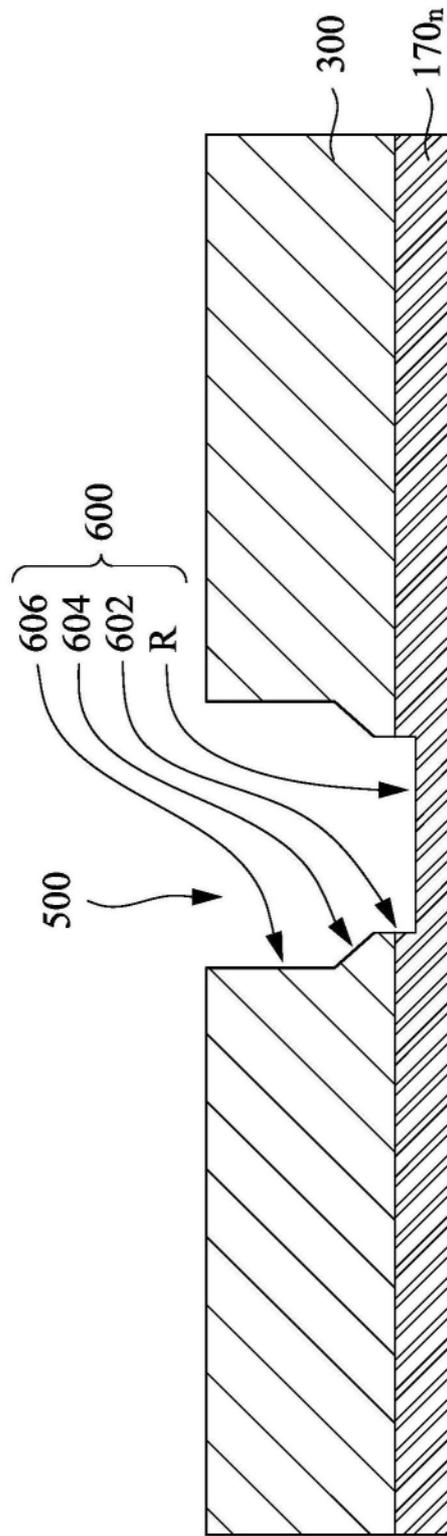
10

图8



10

图9



10

图10

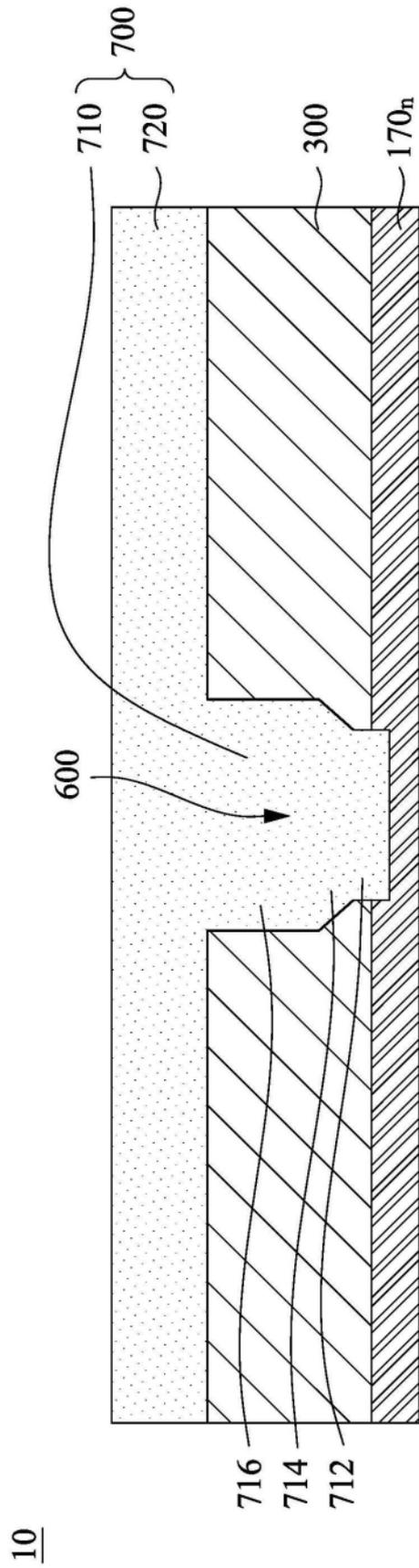


图11

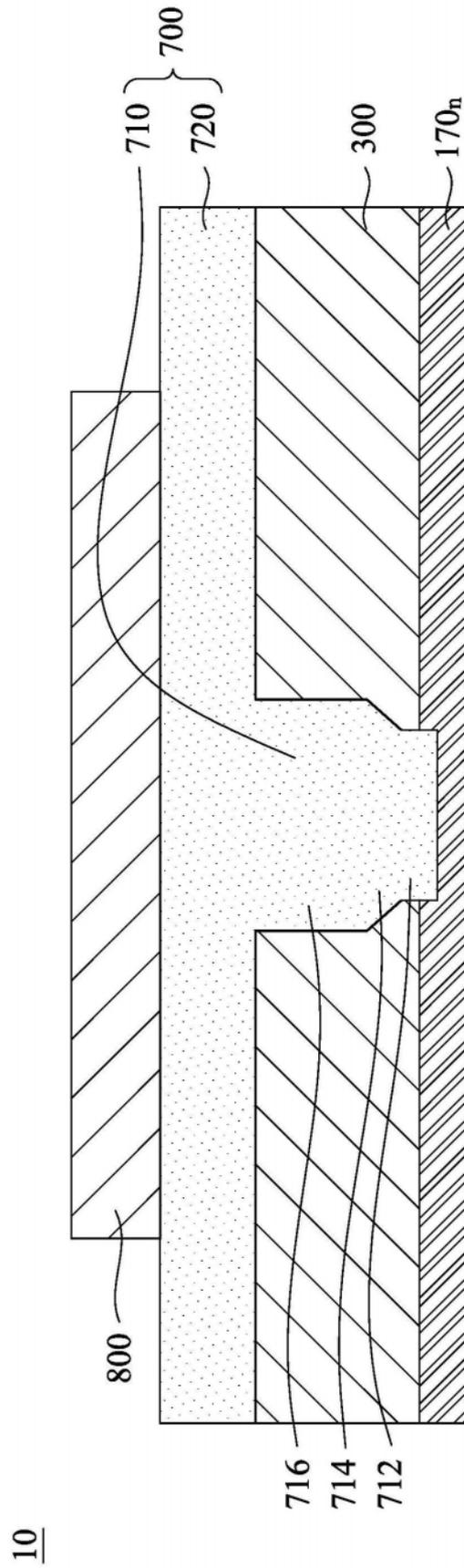


图12

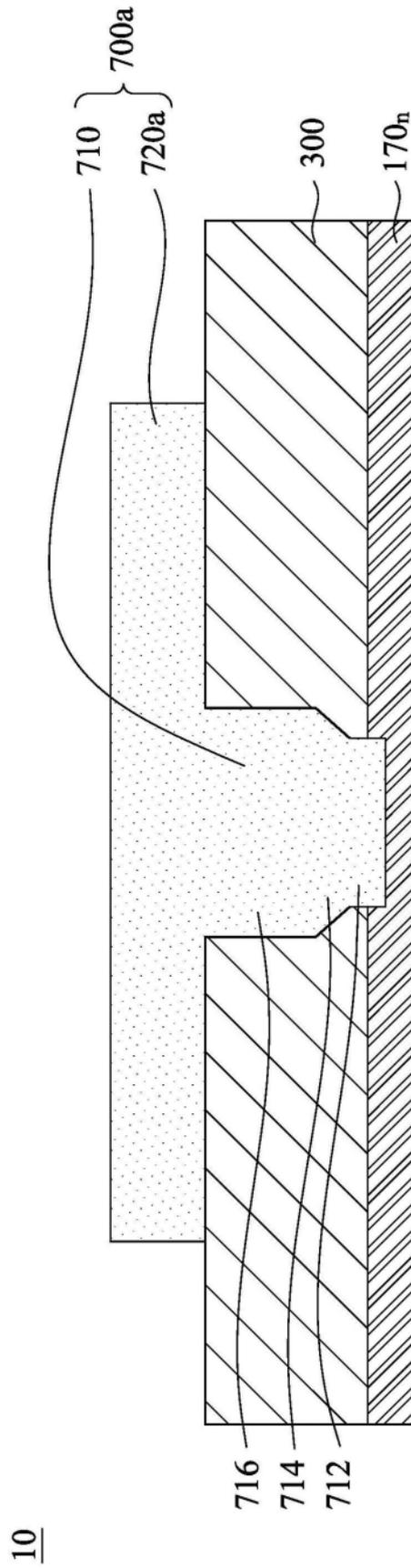


图13

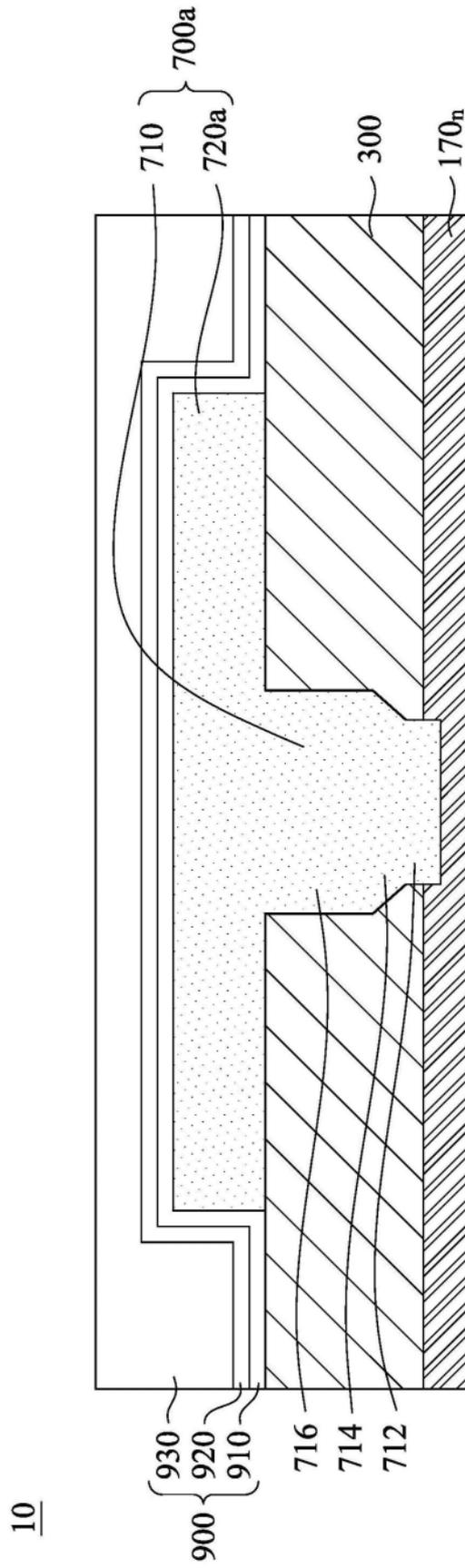


图14