

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-180412

(P2018-180412A)

(43) 公開日 平成30年11月15日(2018.11.15)

(51) Int.Cl.			F I	テーマコード (参考)	
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36	2H193
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	624B
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	680H
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	631A
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	631B

審査請求 未請求 請求項の数 5 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2017-82851 (P2017-82851)  
 (22) 出願日 平成29年4月19日 (2017.4.19)

(71) 出願人 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 110002147  
 特許業務法人酒井国際特許事務所  
 (72) 発明者 光澤 穰  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内  
 (72) 発明者 仲尾 貴之  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内  
 (72) 発明者 玉置 昌哉  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内

最終頁に続く

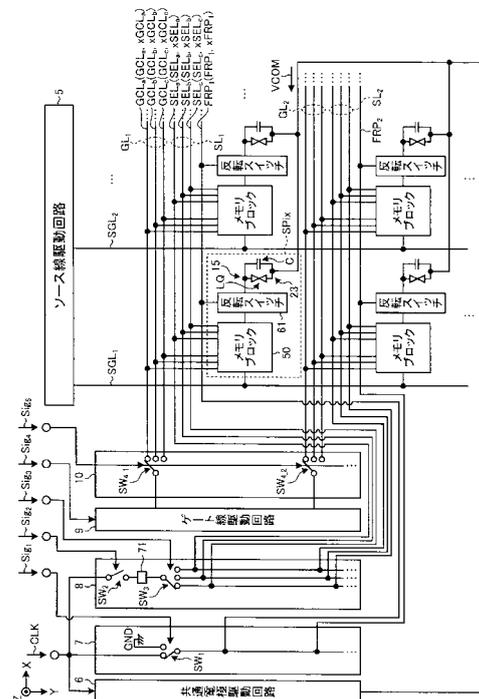
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 画像を短時間で変化させることができる。

【解決手段】 表示装置は、複数のメモリを有するメモリブロックを各々が含む、複数の副画素と、各行に夫々設けられており、当該行に属する副画素のメモリブロックに電氣的に接続されている複数のメモリ選択線を各々が含む、複数のメモリ選択線群と、メモリブロック内の複数のメモリから1つのメモリを選択するメモリ選択信号を、複数のメモリ選択線群に同時に出力するメモリ選択回路と、を備える。複数の副画素は、メモリ選択信号が供給されたメモリ選択線に応じて、複数のメモリの内の1つのメモリに格納されている副画素データに基づいて、画像を表示する。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

行方向及び列方向に配列されると共に、副画素データを格納する複数のメモリを有するメモリブロックを各々が含む、複数の副画素と、

各行に夫々設けられており、当該行に属する前記副画素の前記メモリブロックに電氣的に接続されている複数のメモリ選択線を各々が含む、複数のメモリ選択線群と、

前記メモリブロック内の複数のメモリから 1 つのメモリを選択するメモリ選択信号を、複数のメモリ選択線群に同時に出力するメモリ選択回路と、

を備え、

前記複数の副画素は、

前記メモリ選択信号が供給された前記メモリ選択線に応じて、前記複数のメモリの内の 1 つのメモリに格納されている前記副画素データに基づいて、画像を表示する、

表示装置。

10

## 【請求項 2】

各行に夫々設けられており、当該行に属する前記副画素の前記メモリブロックに電氣的に夫々接続されている複数のゲート線を各々が含む、複数のゲート線群と、

前記副画素データを前記メモリブロックに書き込む場合に、前記複数の行の内の 1 つの行を選択するゲート信号を前記複数の行に向けて順次出力するゲート線駆動回路と、

各列に夫々設けられた複数のソース線と、

前記副画素データを前記メモリブロックに書き込む場合に、複数の前記副画素データを前記複数のソース線に出力するソース線駆動回路と、

20

前記副画素データを前記メモリブロックに書き込む場合に、前記複数のゲート線群の各々の内の 1 本のゲート線と、前記ゲート線駆動回路と、を電氣的に接続するゲート線選択回路と、

を更に備え、

前記ゲート信号が供給された行の前記副画素は、

前記ゲート信号が供給された前記ゲート線に応じて、前記ソース線に供給されている前記副画素データを、前記複数のメモリの内の 1 つのメモリに格納する、

請求項 1 に記載の表示装置。

## 【請求項 3】

30

前記複数の副画素は、

前記メモリ選択信号が供給された前記メモリ選択線に応じて、前記複数のメモリの内の 1 つのメモリに格納されている前記副画素データに基づいて画像を表示しながら、前記ゲート信号が供給された前記ゲート線に応じて、前記ソース線に供給されている前記副画素データを、前記複数のメモリの内の他の 1 つのメモリに格納する、

請求項 2 に記載の表示装置。

## 【請求項 4】

前記複数の副画素の各々は、

副画素電極と、

前記メモリブロックから出力される前記副画素データを副画素電極に出力するスイッチ回路と、

40

を更に含み、

前記複数の副画素に共通なコモン電位が供給される共通電極と、

前記コモン電位を基準信号に同期して反転させて、前記共通電極に出力する、共通電極駆動回路と、

各行に夫々設けられ、前記スイッチ回路に電氣的に夫々接続されている、複数の表示信号線と、

前記副画素電極に供給される前記副画素データをそのまま又は反転させるための表示信号を、前記基準信号に同期して反転させて前記複数の表示信号線に出力する、反転駆動回路と、

50

を更に備え、  
 前記スイッチ回路は、  
 前記表示信号に基づいて、前記副画素データをそのまま又は反転させて前記副画素電極に出力する、  
 請求項 1 から 3 までのいずれか 1 項に記載の表示装置。

【請求項 5】

前記メモリ選択回路は、  
 前記複数のメモリ選択線群の各々の内の、前記メモリ選択信号の出力先の前記メモリ選択線を順次切り替え、  
 前記複数の副画素は、  
 前記メモリ選択信号の出力先の前記メモリ選択線が順次切り替えられることに応じて、前記複数のメモリに夫々格納されている複数の前記副画素データに基づいて、動画像を表示する、  
 請求項 1 から 4 までのいずれか 1 項に記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

画像を表示する表示装置は、複数の画素を備える。下記の特許文献 1 には、複数の画素の各々がメモリを含む、いわゆる M I P (Memory In Pixel) 型の表示装置が記載されている。特許文献 1 記載の表示装置では、複数の画素の各々が、複数のメモリとこれらのメモリの切替え回路とを含んでいる。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 9 - 2 1 2 1 4 0 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

特許文献 1 記載の表示装置では、各画素のメモリの切り替えは、切り替え回路を走査信号により操作する線順次走査によって行われる。従って、特許文献 1 記載の表示装置では、全部の画素のメモリの切り替えには、1 フレーム時間が必要である。つまり、特許文献 1 記載の表示装置では、画像 (フレーム) を変化させるために、1 フレーム時間が必要である。

【0005】

本発明は、画像を短時間で変化させることができる表示装置を提供することを目的とする。

【課題を解決するための手段】

40

【0006】

本発明の一態様の表示装置は、行方向及び列方向に配列されると共に、副画素データを格納する複数のメモリを有するメモリブロックを各々が含む、複数の副画素と、各行に夫々設けられており、当該行に属する前記副画素のメモリブロックに電氣的に接続されている複数のメモリ選択線を各々が含む、複数のメモリ選択線群と、メモリブロック内の複数のメモリから 1 つのメモリを選択するメモリ選択信号を、複数のメモリ選択線群に同時に出力するメモリ選択回路と、を備える。複数の副画素は、メモリ選択信号が供給されたメモリ選択線に応じて、複数のメモリの内の 1 つのメモリに格納されている副画素データに基づいて、画像を表示する。

【図面の簡単な説明】

50

## 【 0 0 0 7 】

【図 1】図 1 は、実施形態の表示装置の全体構成の概要を示す図である。

【図 2】図 2 は、実施形態の表示装置の断面図である。

【図 3】図 3 は、実施形態の表示装置の画素内での副画素の配置を示す図である。

【図 4】図 4 は、実施形態の表示装置の回路構成を示す図である。

【図 5】図 5 は、実施形態の表示装置の副画素の回路構成を示す図である。

【図 6】図 6 は、実施形態の表示装置の副画素のメモリの回路構成を示す図である。

【図 7】図 7 は、実施形態の表示装置の副画素の反転スイッチの回路構成を示す図である。

【図 8】図 8 は、実施形態の表示装置の副画素のレイアウトの概要を示す図である。

10

【図 9】図 9 は、実施形態の表示装置の動作タイミングを示すタイミング図である。

【図 10】図 10 は、実施形態の表示装置の適用例を示す図である。

【発明を実施するための形態】

## 【 0 0 0 8 】

本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

20

## 【 0 0 0 9 】

（実施形態）

[全体構成]

図 1 は、実施形態の表示装置の全体構成の概要を示す図である。表示装置 1 は、第 1 パネル 2 と、第 1 パネル 2 に対向配置された第 2 パネル 3 と、を含む。表示装置 1 は、画像を表示する表示領域 D A と、表示領域 D A の外側の額縁領域 G D と、を有する。表示領域 D A において、第 1 パネル 2 と第 2 パネル 3 との間には、液晶層が封入されている。

30

## 【 0 0 1 0 】

なお、実施形態では、表示装置 1 は、液晶層を使用した液晶表示装置としたが、本開示はこれに限定されない。表示装置 1 は、液晶層に代えて有機 E L (Electro-Luminescence) 素子を使用した有機 E L 表示装置であっても良い。

## 【 0 0 1 1 】

表示領域 D A 内には、複数の画素 P i x が、第 1 パネル 2 及び第 2 パネル 3 の主面と平行な X 方向に N 列 (N は、自然数)、第 1 パネル 2 及び第 2 パネル 3 の主面と平行且つ X 方向と交差する Y 方向に M 行 (M は、自然数) のマトリクス状に配置されている。額縁領域 G D 内には、インタフェース回路 4 と、ソース線駆動回路 5 と、共通電極駆動回路 6 と、反転駆動回路 7 と、メモリ選択回路 8 と、ゲート線駆動回路 9 と、ゲート線選択回路 10 とが、配置されている。なお、これら複数の回路のうち、インタフェース回路 4 と、ソース線駆動回路 5 と、共通電極駆動回路 6 と、反転駆動回路 7 と、メモリ選択回路 8 とを IC チップに組み込み、ゲート線駆動回路 9 と、ゲート線選択回路 10 とを第 1 パネル上に形成した構成を採用することも可能である。或いは、IC チップに組み込まれる回路群を表示装置外のプロセッサに形成し、それらと表示装置とを接続する構成も採用可能である。

40

## 【 0 0 1 2 】

M × N 個の画素 P i x の各々は、複数の副画素 S P i x を含む。実施形態では、複数の副画素 S P i x は、R (赤)、G (緑) 及び B (青) の 3 個とするが、本開示はこれに限

50

定されない。複数の副画素  $SPix$  は、 $R$  (赤)、 $G$  (緑) 及び  $B$  (青) に  $W$  (白) を加えた 4 個であっても良い。或いは、複数の副画素  $SPix$  は、色が異なる 5 個以上であっても良い。

【0013】

実施形態では、複数の副画素  $SPix$  が 3 個であるので、表示領域  $DA$  内には、 $M \times N \times 3$  個の副画素  $SPix$  が配置されていることになる。また、実施形態では、 $M \times N$  個の画素  $Pix$  の各々の 3 個の副画素  $SPix$  が  $X$  方向に配置されているので、 $M \times N$  個の画素  $Pix$  の 1 つの行には、 $N \times 3$  個の副画素  $SPix$  が配置されていることになる。

【0014】

各副画素  $SPix$  は、複数のメモリを含む。実施形態では、複数のメモリは、第 1 メモリから第 3 メモリまでの 3 個とするが、本開示はこれに限定されない。複数のメモリは、2 個であっても良いし、4 個以上であっても良い。

10

【0015】

実施形態では、複数のメモリが 3 個であるので、表示領域  $DA$  内には、 $M \times N \times 3 \times 3$  個のメモリが配置されていることになる。また、実施形態では、各副画素  $SPix$  が 3 個のメモリを含んでいるので、 $M \times N$  個の画素  $Pix$  の 1 つの行には、 $N \times 3 \times 3$  個のメモリが配置されていることになる。

【0016】

各副画素  $SPix$  は、各々が含む第 1 のメモリから第 3 のメモリまでの内の選択された 1 個のメモリに格納されている副画素データに基づいて、当該副画素  $SPix$  の表示が実施される。つまり、 $M \times N \times 3$  個の副画素  $SPix$  に含まれる  $M \times N \times 3 \times 3$  個のメモリの集合は、3 個のフレームメモリと同等である。

20

【0017】

インタフェース回路 4 は、シリアル - パラレル変換回路 4 a と、タイミングコントローラ 4 b と、を含む。タイミングコントローラ 4 b は、設定レジスタ 4 c を含む。シリアル - パラレル変換回路 4 a には、コマンドデータ  $CMD$  及び画像データ  $ID$  が、外部回路からシリアルに供給される。外部回路は、ホスト  $CPU$  (Central Processing Unit) 又はアプリケーションプロセッサが例示されるが、本開示はこれらに限定されない。

【0018】

シリアル - パラレル変換回路 4 a は、供給されたコマンドデータ  $CMD$  をパラレルに変換して、設定レジスタ 4 c に出力する。設定レジスタ 4 c には、ソース線駆動回路 5、反転駆動回路 7、メモリ選択回路 8、ゲート線駆動回路 9 及びゲート線選択回路 10 を制御するための値がコマンドデータ  $CMD$  に基づいて設定される。

30

【0019】

シリアル - パラレル変換回路 4 a は、供給された画像データ  $ID$  をパラレルに変換して、タイミングコントローラ 4 b に出力する。タイミングコントローラ 4 b は、設定レジスタ 4 c に設定された値に基づいて、画像データ  $ID$  をソース線駆動回路 5 に出力する。また、タイミングコントローラ 4 b は、設定レジスタ 4 c に設定された値に基づいて、反転駆動回路 7、メモリ選択回路 8、ゲート線駆動回路 9 及びゲート線選択回路 10 を制御する。

40

【0020】

共通電極駆動回路 6、反転駆動回路 7 及びメモリ選択回路 8 には、基準クロック信号  $CLK$  が、外部回路から供給される。外部回路は、クロックジェネレータが例示されるが、本開示はこれに限定されない。

【0021】

液晶表示装置の画面の焼き付きを抑制するための駆動方式として、コモン反転、カラム反転、ライン反転、ドット反転、フレーム反転などの駆動方式が知られている。

【0022】

表示装置 1 は、上記の各駆動方式のいずれを採用することも可能である。実施形態では、表示装置 1 は、コモン反転駆動方式を採用する。表示装置 1 がコモン反転駆動方式を採

50

用するので、共通電極駆動回路6は、基準クロック信号CLKに同期して、共通電極の電位(コモン電位)を反転する。反転駆動回路7は、タイミングコントローラ4bの制御下で、基準クロック信号CLKに同期して、副画素電極の電位を反転させる。これにより、表示装置1は、コモン反転駆動方式を実現することができる。実施形態では、表示装置1は、液晶に電圧が印加されていない場合に黒色を表示し、液晶に電圧が印加されている場合に白色を表示する、いわゆるノーマリーブラック液晶表示装置とする。ノーマリーブラック液晶表示装置では、副画素電極の電位とコモン電位とが同相の場合には、黒色が表示され、副画素電極の電位とコモン電位とが異相の場合には、白色が表示される。

**【0023】**

基準クロック信号CLKが、本発明の基準信号に対応する。

10

**【0024】**

表示装置にて画像を表示させるべく、各副画素SPixの第1メモリから第3メモリまでに副画素データを格納する必要がある。各メモリに副画素データを格納するために、ゲート線駆動回路9は、タイミングコントローラ4bの制御下で、M×N個の画素Pixの内の1つの行を選択するためのゲート信号を出力する。

**【0025】**

各副画素が1個のメモリを有するMIP型液晶表示装置では、1つの行(画素行(副画素行))当たり1本のゲート線が配置される。しかしながら、実施形態では、各副画素SPixが、第1メモリから第3メモリまでの3個のメモリを含んでいる。そこで、実施形態では、1つの行当たり、3本のゲート線が配置されている。3本のゲート線は、1つの行に含まれる副画素SPixの各々の第1メモリから第3メモリまでに夫々電氣的に接続されている。なお、副画素SPixが、ゲート信号に加えて、ゲート信号を反転した反転ゲート信号とで動作する場合には、1つの行当たり、6本のゲート線が配置される。

20

**【0026】**

1つの行当たりに配置されている3本又は6本のゲート線が、本発明のゲート線群に対応する。実施形態では、表示装置1は、M行の画素Pixを有するので、M群のゲート線群が配置されている。

**【0027】**

ゲート線駆動回路9は、M行の画素Pixに対応して、M個の出力端子を有している。ゲート線駆動回路9は、タイミングコントローラ4bの制御下で、M行の内の1つの行を選択するためのゲート信号を、M個の出力端子から順次出力する。

30

**【0028】**

ゲート線選択回路10は、タイミングコントローラ4bの制御下で、1つの行に配置された3本のゲート線の内の1本を選択する。これにより、ゲート線駆動回路9から出力されたゲート信号は、1つの行に配置された3本のゲート線の内の選択された1本に、供給される。

**【0029】**

ソース線駆動回路5は、タイミングコントローラ4bの制御下で、ゲート信号によって選択されているメモリに副画素データを夫々出力する。これにより、各副画素の第1メモリ~第3メモリに順次副画素データが夫々格納される。

40

**【0030】**

表示装置1は、M行の画素Pixを線順次走査することによって、1個のフレームデータの副画素データが各副画素SPixの第1メモリにされる。そして、表示装置1は、線順次走査を3回実行することによって、各副画素SPixの第1メモリから第3メモリに3個のフレームデータが格納される。

これに際し、表示装置1は、1つの行の走査ごとに第1のメモリへの書き込み、第2のメモリへの書き込み、第3のメモリへの書き込みを行う手順を採用することも可能である。かかる走査を第1列から第M列まで実施することにより、一度の線順次走査で各副画素SPixの第1メモリから第3メモリまでに副画素データを格納することができる。

**【0031】**

50

実施形態では、1つの行当たり、3本のメモリ選択線が配置されている。3本のメモリ選択線は、1つの行に含まれる $N \times 3$ 個の副画素 $SPix$ の各々の第1メモリから第3メモリまでに夫々電氣的に接続されている。なお、副画素 $SPix$ が、メモリ選択信号に加えて、メモリ選択信号を反転した反転メモリ選択信号とで動作する場合には、1つの行当たり、6本のメモリ選択線が配置される。

#### 【0032】

1つの行当たりに配置されている3本又は6本のメモリ選択線が、本発明のメモリ選択線群に対応する。実施形態では、表示装置1は、M行の画素 $Pix$ を有するので、M群のメモリ選択線群が配置されている。

#### 【0033】

メモリ選択回路8は、タイミングコントローラ4bの制御下で、基準クロック信号CLKに同期して、各副画素 $SPix$ の第1メモリから第3メモリまでの内の1個を、同時に選択する。より詳細には、全ての副画素 $SPix$ の第1メモリが同時に選択される。或いは、全ての副画素 $SPix$ の第2メモリが同時に選択される。全ての副画素 $SPix$ の第3メモリが同時に選択される。従って、表示装置1は、各副画素 $SPix$ の第1メモリから第3メモリまでの選択を切り替えることによって、3つの画像の内の1つの画像を表示させることができる。これにより、表示装置1は、画像を一斉に変化させることができ、画像を短時間で変化させることができる。また、表示装置1は、各副画素 $SPix$ の第1メモリから第3メモリまでの選択を順次切り替えることによって、アニメーション表示(動画像表示)を行うことができる。

#### 【0034】

##### [断面構造]

図2は、実施形態の表示装置の断面図である。図2に示すように、表示装置1は、第1パネル2と、第2パネル3と、液晶層30とを含む。第2パネル3は、第1パネル2と対向して配置される。液晶層30は、第1パネル2と第2パネル3との間に設けられる。第2パネル3の一主面たる表面が、画像を表示させるための表示面1aである。

#### 【0035】

表示面1a側の外部から入射した光は、第1パネル2の反射電極15によって反射されて表示面1aから出射する。実施形態の表示装置1は、この反射光を利用して、表示面1aに画像を表示する反射型液晶表示装置である。なお、本明細書において、表示面1aと平行な方向をX方向とし、表示面1aと平行な面においてX方向と交差する方向をY方向とする。また、表示面1aに垂直な方向をZ方向とする。

#### 【0036】

第1パネル2は、第1基板11と、絶縁層12と、反射電極15と、配向膜18とを有する。第1基板11は、ガラス基板又は樹脂基板が例示される。第1基板11の表面には、図示しない回路素子や、ゲート線、データ線等の各種配線が設けられる。回路素子は、TFT(Thin Film Transistor)等のスイッチング素子や、容量素子を含む。

#### 【0037】

絶縁層12は、第1基板11の上に設けられ、回路素子や各種配線等の表面を全体として平坦化している。反射電極15は、絶縁層12の上に複数設けられる。配向膜18は、反射電極15と液晶層30との間に設けられる。反射電極15は、各副画素 $SPix$ ごとに矩形状に設けられている。反射電極15は、アルミニウム(Al)又は銀(Ag)で例示される金属で形成されている。また、反射電極15は、これらの金属材料と、ITO(Indium Tin Oxide)で例示される透光性導電材料と、を積層した構成としても良い。反射電極15は、良好な反射率を有する材料が用いられ、外部から入射する光を拡散反射させる反射板として機能する。

#### 【0038】

反射電極15によって反射された光は、拡散反射によって散乱されるものの、表示面1a側に向かって一様な方向に進む。また、反射電極15に印加される電圧レベルが変化することにより、当該反射電極上の液晶層30における光の透過状態、すなわち副画素ごと

10

20

30

40

50

の光の透過状態が変化する。すなわち、反射電極 15 は、副画素電極としての機能も有する。

【0039】

第2パネル3は、第2基板21と、カラーフィルタ22と、共通電極23と、配向膜28と、1/4波長板24と、1/2波長板25と、偏光板26とを含む。第2基板21の両面のうち、第1パネル2と対向する面に、カラーフィルタ22及び共通電極23が、この順で設けられる。共通電極23と液晶層30との間に配向膜28が設けられる。第2基板21の、表示面1a側の面に、1/4波長板24、1/2波長板25及び偏光板26が、この順で積層されている。

【0040】

第2基板21は、ガラス基板又は樹脂基板が例示される。共通電極23は、ITOで例示される透光性導電材料で形成されている。共通電極23は、複数の反射電極15と対向して配置され、各副画素SPiXに対する共通の電位を供給する。カラーフィルタ22は、R(赤)、G(緑)、及び、B(青)の3色のフィルタを有することが例示されるが、本開示はこれに限定されない。

【0041】

液晶層30は、ネマティック(Nematic)液晶を含んでいることが例示される。液晶層30は、共通電極23と反射電極15との間の電圧レベルが変更されることにより、液晶分子の配向状態が変化する。これによって、液晶層30を透過する光を副画素SPiX毎に変調する。

【0042】

外光等が表示装置1の表示面1a側から入射する入射光となり、第2パネル3及び液晶層30を透過して反射電極15に到達する。そして、入射光は各副画素SPiXの反射電極15で反射される。かかる反射光は、副画素SPiX毎に変調されて表示面1aから出射される。これにより、画像の表示が行われる。

【0043】

[回路構成]

図3は、実施形態の表示装置の画素内での副画素の配置を示す図である。画素PiXは、R(赤)の副画素SPiX<sub>R</sub>と、G(緑)の副画素SPiX<sub>G</sub>と、B(青)の副画素SPiX<sub>B</sub>と、を含む。副画素SPiX<sub>R</sub>、SPiX<sub>G</sub>及びSPiX<sub>B</sub>は、X方向に配列されている。

【0044】

副画素SPiX<sub>R</sub>は、メモリブロック50と、反転スイッチ61と、を含む。メモリブロック50は、第1メモリ51と、第2メモリ52と、第3メモリ53と、を含む。反転スイッチ61、第1メモリ51、第2メモリ52及び第3メモリ53は、Y方向に配列されている。

【0045】

第1メモリ51、第2メモリ52及び第3メモリ53の各々は、1ビットのデータを格納するメモリセルとするが、本開示はこれに限定されない。第1メモリ51、第2メモリ52及び第3メモリ53の各々は、2ビット以上のデータを格納するメモリセルであっても良い。

【0046】

反転スイッチ61は、第1メモリ51、第2メモリ52及び第3メモリ53と、副画素電極(反射電極)15(図2参照)との間に電氣的に接続されている。反転スイッチ61は、反転駆動回路7から供給される、基準クロック信号CLKに同期して反転する表示信号に基づいて、第1メモリ51、第2メモリ52及び第3メモリ53の内の選択された1個のメモリから出力される副画素データを一定周期毎に反転して、副画素電極15に出力する。

【0047】

表示信号が反転する周期は、共通電極23の電位(コモン電位)が反転する周期と同じ

10

20

30

40

50

である。

【0048】

反転スイッチ61が、本発明のスイッチ回路に対応する。

【0049】

図4は、実施形態の表示装置の回路構成を示す図である。図4では、各副画素SPixの内の2×2個の副画素SPixを示している。

【0050】

副画素SPixは、メモリブロック50及び反転スイッチ61に加えて、液晶LQと、保持容量Cと、副画素電極15(図2参照)と、を含む。

【0051】

共通電極駆動回路6は、各副画素SPixに共通するコモン電位VCOMを、基準クロック信号CLKに同期して反転させて、共通電極23(図2参照)に出力する。共通電極駆動回路6は、基準クロック信号CLKを共通電極23にそのままコモン電位VCOMとして出力しても良いし、電流駆動能力を増幅するバッファ回路を介して共通電極23にコモン電位VCOMとして出力しても良い。

【0052】

ゲート線駆動回路9は、M行の画素Pixに対応して、M個の出力端子を有している。ゲート線駆動回路9は、タイミングコントローラ4bから供給される制御信号Sig4に基づいて、M行の内の1つの行を選択するためのゲート信号を、M個の出力端子から順次出力する。

【0053】

ゲート線駆動回路9は、制御信号Sig4(スキャン開始信号及びクロックパルス信号)に基づいて、ゲート信号をM個の出力端子から順次出力するスキャナ回路であっても良い。或いは、ゲート線駆動回路9は、符号化された制御信号Sig4を復号化し、該制御信号Sig4で指定された出力端子にゲート信号を出力するデコーダ回路であっても良い。

【0054】

ゲート線選択回路10は、M行の画素Pixに対応して、M個のスイッチSW4\_1、SW4\_2、・・・を含む。M個のスイッチSW4\_1、SW4\_2、・・・は、タイミングコントローラ4bから供給される制御信号Sig5によって共通に制御される。

【0055】

第1パネル2上には、M行の画素Pixに対応して、M群のゲート線群GL1、GL2、・・・が配置されている。M群のゲート線群GL1、GL2、・・・の各々は、当該行の第1メモリ51(図3参照)に電氣的に接続された第1ゲート線GCLaと、第2メモリ52(図3参照)に電氣的に接続された第2ゲート線GCLbと、第3メモリ53(図3参照)に電氣的に接続された第3ゲート線GCLcと、を含む。M群のゲート線群GL1、GL2、・・・の各々は、表示領域DA(図1参照)内において、X方向に沿う。

【0056】

M個のスイッチSW4\_1、SW4\_2、・・・の各々は、制御信号Sig5が第1の値の場合には、ゲート線駆動回路9の出力端子と、第1ゲート線GCLaと、を電氣的に接続する。M個のスイッチSW4\_1、SW4\_2、・・・の各々は、制御信号Sig5が第2の値の場合には、ゲート線駆動回路9の出力端子と、第2ゲート線GCLbと、を電氣的に接続する。M個のスイッチSW4\_1、SW4\_2、・・・の各々は、制御信号Sig5が第3の値の場合には、ゲート線駆動回路9の出力端子と、第3ゲート線GCLcと、を電氣的に接続する。

【0057】

ゲート線駆動回路9の出力端子と、第1ゲート線GCLaと、が電氣的に接続された場合には、ゲート信号が、各副画素SPixの第1メモリ51に供給される。ゲート線駆動回路9の出力端子と、第2ゲート線GCLbと、が電氣的に接続された場合には、ゲート信号が、各副画素SPixの第2メモリ52に供給される。ゲート線駆動回路9の出力端

10

20

30

40

50

子と、第3ゲート線  $GCL_c$  と、が電氣的に接続された場合には、ゲート信号が、各副画素  $SPix$  の第3メモリ53に供給される。

【0058】

第1パネル2上には、 $N \times 3$ 列の副画素  $SPix$  に対応して、 $N \times 3$ 本のソース線  $SSL_1$ 、 $SSL_2$ 、 $\dots$ が配置されている。各ソース線  $SSL_1$ 、 $SSL_2$ 、 $\dots$ の各々は、表示領域DA(図1参照)内において、Y方向に沿う。ソース線駆動回路5は、ゲート信号によって選択されている各副画素  $SPix$  の3個のメモリに対して、ソース線  $SSL_1$ 、 $SSL_2$ 、 $\dots$ を介して、副画素データを夫々出力する。

【0059】

ゲート信号が供給された行の副画素  $SPix$  は、ゲート信号が供給されたゲート線  $GCL$  に応じて、ソース線  $SSL$  に供給されている副画素データを、第1メモリ51から第3メモリ53までの内の1つのメモリに格納する。

10

【0060】

メモリ選択回路8は、スイッチ  $SW_2$  と、ラッチ71と、スイッチ  $SW_3$  と、を含む。スイッチ  $SW_2$  は、タイミングコントローラ4bから供給される制御信号  $Sig_2$  によって制御される。

【0061】

画像を表示する場合、つまり、 $M \times N \times 3$ 個の第1メモリ51、第2メモリ52及び第3メモリ53の内のいずれかから画像データを読み出す場合について説明する。この場合には、タイミングコントローラ4bは、第1の値の制御信号  $Sig_2$  をスイッチ  $SW_2$  20 10に出力する。スイッチ  $SW_2$  は、タイミングコントローラ4bから供給される第1の値の制御信号  $Sig_2$  に基づいて、オン状態になる。これにより、基準クロック信号  $CLK$  がラッチ71に供給される。

20

【0062】

画像を表示しない場合、つまり、 $M \times N \times 3$ 個の第1メモリ51、 $M \times N \times 3$ 個の第2メモリ52及び $M \times N \times 3$ 個の第3メモリ53の内のいずれからも画像データを読み出さない場合について説明する。この場合には、タイミングコントローラ4bは、第2の値の制御信号  $Sig_2$  をスイッチ  $SW_2$  に出力する。スイッチ  $SW_2$  は、タイミングコントローラ4bから供給される第2の値の制御信号  $Sig_2$  に基づいて、オフ状態になる。これにより、基準クロック信号  $CLK$  がラッチ71に供給されない。

30

【0063】

ラッチ71は、スイッチ  $SW_2$  がオン状態で基準クロック信号  $CLK$  が供給される場合には、基準クロック信号  $CLK$  のハイレベルを基準クロック信号  $CLK$  の1周期保持する。ラッチ71は、スイッチ  $SW_2$  がオフ状態で基準クロック信号  $CLK$  が供給されない場合には、ハイレベルを保持する。

【0064】

第1パネル2上には、M行の画素  $Pix$  に対応して、M群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$ が配置されている。M群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$ の各々は、当該行の第1メモリ51に電氣的に接続された第1メモリ選択線  $SEL_a$  と、第2メモリ52に電氣的に接続された第2メモリ選択線  $SEL_b$  と、第3メモリ53に電氣的に接続された第3メモリ選択線  $SEL_c$  と、を含む。M群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$ の各々は、表示領域DA(図1参照)内において、X方向に沿う。

40

【0065】

スイッチ  $SW_3$  は、タイミングコントローラ4bから供給される制御信号  $Sig_3$  によって制御される。スイッチ  $SW_3$  は、制御信号  $Sig_3$  が第1の値の場合には、ラッチ71の出力端子と、M群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$ の各々の第1メモリ選択線  $SEL_a$  と、を電氣的に接続する。スイッチ  $SW_3$  は、制御信号  $Sig_3$  が第2の値の場合には、ラッチ71の出力端子と、M群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$ の各々の第2メモリ選択線  $SEL_b$  と、を電氣的に接続する。スイッチ  $SW_3$  は、制御信号  $Sig_3$  が第3の値の場合には、ラッチ71の出力端子と、M群のメモリ選択線群  $SL_1$ 、

50

S L<sub>2</sub>、・・・の各々の第3メモリ選択線 S E L<sub>c</sub>とを電氣的に接続する。

【0066】

各副画素 S P i x は、メモリ選択信号が供給されたメモリ選択線 S E L に応じて、第1メモリ51から第3メモリ53までの内の1つのメモリに格納されている副画素データに基づいて、液晶層を変調する。その結果、表示面に画像(フレーム)が表示される。

【0067】

第1パネル2上には、M行の画素 P i x に対応して、M本の表示信号線 F R P<sub>1</sub>、F R P<sub>2</sub>、・・・が配置されている。M本の表示信号線 F R P<sub>1</sub>、F R P<sub>2</sub>、・・・の各々は、表示領域 D A (図1参照)内において、X方向に延在している。なお、反転スイッチ61が、表示信号に加えて、表示信号を反転した反転表示信号とで動作する場合には、1つの行当たり、表示信号線 F R P 及び第2表示信号線 x F R P が設けられる。

【0068】

1つの行当たりに配置されている1本又は2本の表示信号線が、本発明の表示信号線に対応する。

【0069】

反転駆動回路7は、スイッチ S W<sub>1</sub>を含む。スイッチ S W<sub>1</sub>は、タイミングコントローラ4bから供給される制御信号 S i g<sub>1</sub>によって制御される。スイッチ S W<sub>1</sub>は、制御信号 S i g<sub>1</sub>が第1の値の場合には、基準クロック信号 C L K を各表示信号線 F R P<sub>1</sub>、F R P<sub>2</sub>、・・・に供給する。これにより、基準クロック信号 C L K に同期して、電極15の電位が反転する。スイッチ S W<sub>1</sub>は、制御信号 S i g<sub>1</sub>が第2の値の場合には、基準電位(接地電位) G N D を各表示信号線 F R P<sub>1</sub>、F R P<sub>2</sub>、・・・に供給する。

【0070】

図5は、実施形態の表示装置の副画素の回路構成を示す図である。図5では、1個の副画素 S P i x を示している。

【0071】

副画素 S P i x は、メモリブロック50を含む。メモリブロック50は、第1メモリ51と、第2メモリ52と、第3メモリ53と、スイッチ G s w<sub>1</sub>から G s w<sub>3</sub>までと、スイッチ M s w<sub>1</sub>から M s w<sub>3</sub>までと、を含む。

【0072】

スイッチ G s w<sub>1</sub>の制御入力端子は、第1ゲート線 G C L<sub>a</sub>に電氣的に接続されている。スイッチ G s w<sub>1</sub>は、第1ゲート線 G C L<sub>a</sub>にハイレベルのゲート信号が供給されたらオン状態になり、ソース線 S G L<sub>1</sub>と、第1メモリ51の入力端子と、の間を電氣的に接続する。これにより、第1メモリ51に、ソース線 S G L<sub>1</sub>に供給される副画素データが格納される。

【0073】

スイッチ G s w<sub>2</sub>の制御入力端子は、第2ゲート線 G C L<sub>b</sub>に電氣的に接続されている。スイッチ G s w<sub>2</sub>は、第2ゲート線 G C L<sub>b</sub>にハイレベルのゲート信号が供給されたらオン状態になり、ソース線 S G L<sub>1</sub>と、第2メモリ52の入力端子と、の間を電氣的に接続する。これにより、第2メモリ52に、ソース線 S G L<sub>1</sub>に供給される副画素データが格納される。

【0074】

スイッチ G s w<sub>3</sub>の制御入力端子は、第3ゲート線 G C L<sub>c</sub>に電氣的に接続されている。スイッチ G s w<sub>3</sub>は、第3ゲート線 G C L<sub>c</sub>にハイレベルのゲート信号が供給されたらオン状態になり、ソース線 S G L<sub>1</sub>と、第3メモリ53の入力端子と、の間を電氣的に接続する。これにより、第3メモリ53に、ソース線 S G L<sub>1</sub>に供給される副画素データが格納される。

【0075】

なお、スイッチ G s w<sub>1</sub>から G s w<sub>3</sub>までがハイレベルのゲート信号で動作する場合には、図5に示すように、ゲート線群 G L<sub>1</sub>は、第1ゲート線 G C L<sub>a</sub>から第3ゲート線 G C L<sub>c</sub>までを含む。ハイレベルのゲート信号で動作するスイッチは、Nチャンネルトランジ

10

20

30

40

50

スタが例示されるが、本開示はこれに限定されない。

【0076】

一方、スイッチ  $G s w_1$  から  $G s w_3$  までが、ゲート信号に加えて、ゲート信号を反転した反転ゲート信号とで動作する場合には、ゲート線群  $G L_1$  は、第1ゲート線  $G C L_a$  から第3ゲート線  $G C L_c$  までに加えて、反転ゲート信号が供給される第4ゲート線  $x G C L_a$  から第6ゲート線  $x G C L_c$  までを更に含む。ゲート信号と、反転ゲート信号と、で動作するスイッチは、トランスファージェートが例示されるが、本開示はこれに限定されない。

【0077】

入力端子が第1ゲート線  $G C L_a$  に電氣的に接続され、出力端子が第4ゲート線  $x G C L_a$  に電氣的に接続されたインバータ回路を設けることで、反転ゲート信号を第4ゲート線  $x G C L_a$  に供給することが可能である。同様に、入力端子が第2ゲート線  $G C L_b$  に電氣的に接続され、出力端子が第5ゲート線に電氣的に接続されたインバータ回路を設けることで、反転ゲート信号を第5ゲート線  $x G C L_b$  に供給することが可能である。同様に、入力端子が第3ゲート線  $G C L_c$  に電氣的に接続され、出力端子が第6ゲート線に電氣的に接続されたインバータ回路を設けることで、反転ゲート信号を第6ゲート線  $x G C L_c$  に供給することが可能である。

【0078】

スイッチ  $M s w_1$  の制御入力端子は、第1メモリ選択線  $S E L_a$  に電氣的に接続されている。スイッチ  $M s w_1$  は、第1メモリ選択線  $S E L_a$  にハイレベルのメモリ選択信号が供給されたらオン状態になり、第1メモリ51の出力端子と、反転スイッチ61の入力端子と、の間を電氣的に接続する。これにより、第1メモリ51に格納されている副画素データが、反転スイッチ61に供給される。

【0079】

スイッチ  $M s w_2$  の制御入力端子は、第2メモリ選択線  $S E L_b$  に電氣的に接続されている。スイッチ  $M s w_2$  は、第2メモリ選択線  $S E L_b$  にハイレベルのメモリ選択信号が供給されたらオン状態になり、第2メモリ52の出力端子と、反転スイッチ61の入力端子と、の間を電氣的に接続する。これにより、第2メモリ52に格納されている副画素データが、反転スイッチ61に供給される。

【0080】

スイッチ  $M s w_3$  の制御入力端子は、第3メモリ選択線  $S E L_c$  に電氣的に接続されている。スイッチ  $M s w_3$  は、第3メモリ選択線  $S E L_c$  にハイレベルのメモリ選択信号が供給されたらオン状態になり、第3メモリ53の出力端子と、反転スイッチ61の入力端子と、の間を電氣的に接続する。これにより、第3メモリ53に格納されている副画素データが、反転スイッチ61に供給される。

【0081】

なお、スイッチ  $M s w_1$  から  $M s w_3$  までがハイレベルのメモリ選択信号で動作する場合には、図5に示すように、メモリ選択線群  $S L_1$  は、第1メモリ選択線  $S E L_a$  から第3メモリ選択線  $S E L_c$  までを含む。ハイレベルのゲート信号で動作するスイッチは、Nチャネルトランジスタが例示されるが、本開示はこれに限定されない。

【0082】

一方、スイッチ  $M s w_1$  から  $M s w_3$  までが、メモリ選択信号に加えて、メモリ選択信号を反転した反転メモリ選択信号とで動作する場合には、メモリ選択線群  $S L_1$  は、第1メモリ選択線  $S E L_a$  から第3メモリ選択線  $S E L_c$  までに加えて、反転メモリ選択信号が供給される第4メモリ選択線  $x S E L_a$  から第6メモリ選択線  $x S E L_c$  までを更に含む。メモリ選択信号と、反転メモリ選択信号と、で動作するスイッチは、トランスファージェートが例示されるが、本開示はこれに限定されない。

【0083】

入力端子が第1メモリ選択線  $S E L_a$  に電氣的に接続され、出力端子が第4メモリ選択線  $x S E L_a$  に電氣的に接続されたインバータ回路を設けることで、反転メモリ選択信号

10

20

30

40

50

を第4メモリ選択線 $\times SEL_a$ に供給することが可能である。同様に、入力端子が第2メモリ選択線 $SEL_b$ に電氣的に接続され、出力端子が第5メモリ選択線 $\times SEL_b$ に電氣的に接続されたインバータ回路を設けることで、反転メモリ選択信号を第5メモリ選択線 $\times SEL_b$ に供給することが可能である。同様に、入力端子が第3メモリ選択線 $SEL_c$ に電氣的に接続され、出力端子が第6メモリ選択線 $\times SEL_c$ に電氣的に接続されたインバータ回路を設けることで、反転メモリ選択信号を第6メモリ選択線 $\times SEL_c$ に供給することが可能である。

【0084】

反転スイッチ61には、基準クロック信号 $CLK$ に同期して反転する表示信号が、表示信号線 $FRP_1$ から供給される。反転スイッチ61は、表示信号に基づいて、第1メモリ51、第2メモリ52又は第3メモリ53に格納されている副画素データをそのまま又は反転して、副画素電極15に供給する。副画素電極15と共通電極23との間には、液晶 $LQ$ 及び保持容量 $C$ が、設けられている。保持容量 $C$ は、副画素電極15と共通電極23との間の電圧を保持する。液晶 $LQ$ は、副画素電極15と共通電極23との間の電圧に基づいて分子の方向が変化し、副画素画像を表示する。

10

【0085】

なお、反転スイッチ61が表示信号で動作する場合には、図5に示すように、1本の表示信号線 $FRP_1$ が、設けられる。一方、反転スイッチ61が、表示信号に加えて、表示信号を反転した反転表示信号とで動作する場合には、表示信号線 $FRP_1$ に加えて、第2表示信号線 $\times FRP_1$ が更に設けられる。そして、入力端子が表示信号線 $FRP_1$ に電氣的に接続され、出力端子が第2表示信号線 $\times FRP_1$ に電氣的に接続されたインバータ回路を設けることで、反転表示信号を第2表示信号線 $\times FRP_1$ に供給することが可能である。

20

【0086】

図6は、実施形態の表示装置の副画素のメモリの回路構成を示す図である。図6は、第1メモリ51の回路構成を示す図である。なお、第2メモリ52及び第3メモリ53の回路構成は、第1メモリ51の回路構成と同様であるので、図示及び説明を省略する。

【0087】

第1メモリ51は、インバータ回路81と、インバータ回路81に逆方向に電氣的に並列接続されたインバータ回路82と、を含む $SRAM$  (Static Random Access Memory) セル構造を有する。インバータ回路81の入力端子及びインバータ回路82の出力端子が、ノード $N1$ を構成し、インバータ回路81の出力端子及びインバータ回路82の入力端子が、ノード $N2$ を構成する。インバータ回路81及び82は、高電位側の電源供給線 $VDD$ 及び低電位側の電源供給線 $VSS$ から供給される電力を使用して、動作する。

30

【0088】

ノード $N1$ は、スイッチ $Gsw_1$ の出力端子に電氣的に接続されている。ノード $N2$ は、スイッチ $Msw_1$ の入力端子に電氣的に接続されている。

【0089】

図6では、スイッチ $Gsw_1$ として、トランスファークラークゲートが用いられている例を示している。スイッチ $Gsw_1$ の一方の制御入力端子は、第1ゲート線 $GCL_a$ に電氣的に接続されている。スイッチ $Gsw_1$ の他方の制御入力端子は、第4ゲート線 $\times GCL_a$ に電氣的に接続されている。第4ゲート線 $\times GCL_a$ には、第1ゲート線 $GCL_a$ に供給されるゲート信号を反転した、反転ゲート信号が供給される。

40

【0090】

スイッチ $Gsw_1$ の入力端子は、ソース線 $SSL_1$ に電氣的に接続されている。スイッチ $Gsw_1$ の出力端子は、ノード $N1$ に電氣的に接続されている。スイッチ $Gsw_1$ は、第1ゲート線 $GCL_a$ に供給されるゲート信号がハイレベル且つ第4ゲート線 $\times GCL_a$ に供給される反転ゲート信号がローレベルになると、オン状態になり、ソース線 $SSL_1$ と、ノード $N1$ と、の間を電氣的に接続する。これにより、ソース線 $SSL_1$ に供給される副画素データが、第1メモリ51に格納される。

50

## 【0091】

図6では、スイッチ $Msw_1$ として、トランスファークラークが用いられている例を示している。スイッチ $Msw_1$ の一方の制御入力端子は、第1メモリ選択線 $SEL_1$ に電氣的に接続されている。スイッチ $Msw_1$ の他方の制御入力端子は、第4メモリ選択線 $xSEL_1$ に電氣的に接続されている。第4メモリ選択線 $xSEL_1$ には、第1メモリ選択線 $SEL_1$ に供給されるメモリ選択信号を反転した、反転メモリ選択信号が供給される。

## 【0092】

スイッチ $Msw_1$ の入力端子は、ノード $N2$ に電氣的に接続されている。スイッチ $Msw_1$ の出力端子は、ノード $N3$ に接続されている。ノード $N3$ は、第1メモリ51の出力ノードであり、反転スイッチ61(図5参照)に電氣的に接続されている。スイッチ $Msw_1$ は、第1メモリ選択線 $SEL_1$ に供給されるメモリ選択信号がハイレベル且つ第4メモリ選択線 $xSEL_1$ に供給される反転メモリ選択信号がローレベルになると、オン状態になる。これにより、ノード $N2$ が、スイッチ $Msw_1$ 及びノード $N3$ を経由して、反転スイッチ61の入力端子に、電氣的に接続される。これにより、第1メモリ51に格納されている副画素データが、反転スイッチ61に供給される。

10

なお、スイッチ $Gsw_1$ 及び $Msw_1$ の両方がオフ状態の場合には、副画素データが、インバータ回路81及び82で構成されるループを循環する。従って、第1メモリ51は、副画素データを保持し続ける。

## 【0093】

なお、実施形態では、第1メモリ51がSRAMである場合を例に挙げて説明したが、本開示はこれに限定されない。第1メモリ51の他の例は、DRAM(Dynamic Random Access Memory)が例示される。

20

## 【0094】

図7は、実施形態の表示装置の副画素の反転スイッチの回路構成を示す図である。反転スイッチ61は、インバータ回路91と、Nチャネルトランジスタ92及び95と、Pチャネルトランジスタ93及び94と、を含む。

## 【0095】

インバータ回路91の入力端子、Pチャネルトランジスタ94のゲート端子及びNチャネルトランジスタ95のゲート端子は、ノード $N4$ に接続されている。ノード $N4$ は、反転スイッチ61の入力ノードであり、第1メモリ51、第2メモリ52及び第3メモリ53のノード $N3$ に電氣的に接続されている。ノード $N4$ には、第1メモリ51、第2メモリ52又は第3メモリ53から副画素データが供給される。インバータ回路91は、高電位側の電源供給線 $VDD$ 及び低電位側の電源供給線 $VSS$ から供給される電力を使用して、動作する。

30

## 【0096】

Nチャネルトランジスタ92のソース及びドレインの内の一方は、第2表示信号線 $xFRP_1$ に電氣的に接続されている。Nチャネルトランジスタ92のソース及びドレインの内の他方は、ノード $N5$ に電氣的に接続されている。

## 【0097】

Pチャネルトランジスタ93のソース及びドレインの内の一方は、表示信号線 $FRP_1$ に電氣的に接続されている。Pチャネルトランジスタ93のソース及びドレインの内の他方は、ノード $N5$ に電氣的に接続されている。

40

## 【0098】

Pチャネルトランジスタ94のソース及びドレインの内の一方は、第2表示信号線 $xFRP_1$ に電氣的に接続されている。Pチャネルトランジスタ94のソース及びドレインの内の他方は、ノード $N5$ に電氣的に接続されている。

## 【0099】

Nチャネルトランジスタ95のソース及びドレインの内の一方は、表示信号線 $FRP_1$ に電氣的に接続されている。Nチャネルトランジスタ95のソース及びドレインの内の他方は、ノード $N5$ に電氣的に接続されている。

50

## 【 0 1 0 0 】

ノード N 5 は、反転スイッチ 6 1 の出力ノードであり、反射電極（副画素電極）1 5 に電氣的に接続されている。

## 【 0 1 0 1 】

第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがハイレベルである場合には、インバータ回路 9 1 の出力信号は、ローレベルになる。インバータ回路 9 1 の出力信号がローレベルであると、N チャンネルトランジスタ 9 2 はオフ状態になり、P チャンネルトランジスタ 9 3 はオン状態になる。

## 【 0 1 0 2 】

また、第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがハイレベルである場合には、P チャンネルトランジスタ 9 4 はオフ状態になり、N チャンネルトランジスタ 9 5 はオン状態になる。

10

## 【 0 1 0 3 】

従って、第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがハイレベルである場合には、表示信号線  $F R P_1$  に供給される表示信号が、P チャンネルトランジスタ 9 3 及び N チャンネルトランジスタ 9 5 を介して、副画素電極 1 5 に供給される。

## 【 0 1 0 4 】

表示信号線  $F R P_1$  に供給される表示信号は、基準クロック信号  $C L K$  に同期して、反転する。共通電極 2 3 に供給されるコモン電位も、基準クロック信号  $C L K$  に同期して、表示信号と同相で、反転する。表示信号とコモン電位とが同相である場合、液晶  $L Q$  は、電圧が印加されないので、分子の方向が変化しない。これにより、副画素は、黒表示（反射光を透過させない状態。反射光がカラーフィルタを透過せず、色が表示されない状態）となる。これにより、表示装置 1 は、コモン反転駆動方式を実現することができる。

20

## 【 0 1 0 5 】

第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがローレベルである場合には、インバータ回路 9 1 の出力信号は、ハイレベルになる。インバータ回路 9 1 の出力信号がハイレベルであると、N チャンネルトランジスタ 9 2 はオン状態になり、P チャンネルトランジスタ 9 3 はオフ状態になる。

## 【 0 1 0 6 】

また、第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがローレベルである場合には、P チャンネルトランジスタ 9 4 はオン状態になり、N チャンネルトランジスタ 9 5 はオフ状態になる。

30

## 【 0 1 0 7 】

従って、第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがローレベルである場合には、第 2 表示信号線  $\times F R P_1$  に供給される反転表示信号が、N チャンネルトランジスタ 9 2 及び P チャンネルトランジスタ 9 4 を介して、副画素電極 1 5 に供給される。

## 【 0 1 0 8 】

第 2 表示信号線  $\times F R P_1$  に供給される反転表示信号は、基準クロック信号  $C L K$  に同期して、反転する。共通電極 2 3 に供給されるコモン電位は、基準クロック信号  $C L K$  に同期して、表示信号と異相で、反転する。表示信号とコモン電位とが異相である場合、液晶  $L Q$  は、電圧が印加されるので、分子の方向が変化する。これにより、副画素は、白表示（反射光を透過させる状態。反射光がカラーフィルタを透過して色が表示される状態）となる。これにより、表示装置 1 は、コモン反転駆動方式を実現することができる。

40

## 【 0 1 0 9 】

図 8 は、実施形態の表示装置の副画素のレイアウトの概要を示す図である。反転スイッチ 6 1、第 1 メモリ 5 1、第 2 メモリ 5 2 及び第 3 メモリ 5 3 は、Y 方向に配列されている。第 1 メモリ 5 1、第 2 メモリ 5 2 及び第 3 メモリ 5 3 の出力ノードであるノード N 3 は、反転スイッチ 6 1 の入力ノードであるノード N 4 に電氣的に接続されている。反転ス

50

イッチ 6 1 の出力ノードであるノード N 5 は、副画素電極 1 5 に電氣的に接続されている。

【 0 1 1 0 】

第 1 メモリ 5 1 は、第 1 ゲート線  $GCL_a$  と、第 4 ゲート線  $xGCL_a$  と、第 1 メモリ選択線  $SEL_a$  と、第 4 メモリ選択線  $xSEL_a$  と、ソース線  $SSL_1$  と、高電位側の電源供給線  $VDD$  と、低電位側の電源供給線  $VSS$  と、に電氣的に接続されている。

【 0 1 1 1 】

第 2 メモリ 5 2 は、第 2 ゲート線  $GCL_b$  と、第 5 ゲート線  $xGCL_b$  と、第 2 メモリ選択線  $SEL_b$  と、第 5 メモリ選択線  $xSEL_b$  と、ソース線  $SSL_1$  と、高電位側の電源供給線  $VDD$  と、低電位側の電源供給線  $VSS$  と、に電氣的に接続されている。

10

【 0 1 1 2 】

第 3 メモリ 5 3 は、第 3 ゲート線  $GCL_c$  と、第 6 ゲート線  $xGCL_c$  と、第 3 メモリ選択線  $SEL_c$  と、第 6 メモリ選択線  $xSEL_c$  と、ソース線  $SSL_1$  と、高電位側の電源供給線  $VDD$  と、低電位側の電源供給線  $VSS$  と、に電氣的に接続されている。

【 0 1 1 3 】

反転スイッチ 6 1 は、表示信号線  $FRP_1$  と、第 2 表示信号線  $xFRP_1$  と、高電位側の電源供給線  $VDD$  と、低電位側の電源供給線  $VSS$  と、に電氣的に接続されている。

【 0 1 1 4 】

[ 動作 ]

図 9 は、実施形態の表示装置の動作タイミングを示すタイミング図である。図 9 の全体にわたって、共通電極駆動回路 6 は、基準クロック信号  $CLK$  に同期して反転する共通電位を、共通電極 2 3 に供給する。

20

【 0 1 1 5 】

タイミング  $t_0$  からタイミング  $t_3$  までは、1 つの行の  $N \times 3$  個の副画素  $SPix$  の各々に含まれる第 1 メモリ 5 1 から第 3 メモリ 5 3 までへの副画素データの書き込み期間である。

【 0 1 1 6 】

タイミング  $t_0$  において、タイミングコントローラ 4 b は、第 1 の値の制御信号  $Sig_5$  を、ゲート線選択回路 10 内のスイッチ  $SW_4$  に出力する。スイッチ  $SW_4$  は、ゲート線駆動回路 9 の出力端子と、第 1 ゲート線  $GCL_a$  と、を電氣的に接続する。ゲート線駆動回路 9 は、ゲート信号を、各行の第 1 ゲート線  $GCL_a$  に出力する。第 1 ゲート線  $GCL_a$  にハイレベルのゲート信号が供給されると、当該行に属する副画素  $SPix$  の各々の第 1 メモリ 5 1 が、副画素データの書き込み先として選択される。

30

【 0 1 1 7 】

また、タイミング  $t_0$  において、ソース線駆動回路 5 は、「A」という画像（フレーム）を表示するための副画素データを、ソース線  $SSL$  に出力する。これにより、各行に属する副画素  $SPix$  の各々の第 1 メモリ 5 1 には、「A」という画像を表示するための副画素データが、夫々書き込まれる。

また、タイミング  $t_0 \sim t_1$  に亘って、かかる動作が第 1 行から第 M 行まで線順次により実施される。これにより、全副画素  $SPix$  の第 1 メモリには、画像「A」を形成するための信号が書き込まれ、保存される。

40

【 0 1 1 8 】

タイミング  $t_1$  において、タイミングコントローラ 4 b は、第 2 の値の制御信号  $Sig_5$  を、ゲート線選択回路 10 内のスイッチ  $SW_4$  に出力する。スイッチ  $SW_4$  は、ゲート線駆動回路 9 の出力端子と、第 2 ゲート線  $GCL_b$  と、を電氣的に接続する。ゲート線駆動回路 9 は、ゲート信号を、各行の第 2 ゲート線  $GCL_b$  に出力する。第 2 ゲート線  $GCL_b$  にハイレベルのゲート信号が供給されると、当該行に属する副画素  $SPix$  の各々の第 2 メモリ 5 2 が、副画素データの書き込み先として選択される。

【 0 1 1 9 】

また、タイミング  $t_1$  において、ソース線駆動回路 5 は、「B」という画像（フレーム

50

)を表示するための副画素データを、ソース線SGLに出力する。これにより、各行に属する副画素SPixの各々の第2メモリ52には、「B」という画像を表示するための副画素データが、夫々書き込まれる。

また、タイミング $t_1 \sim t_2$ に亘って、かかる動作が第1行から第M行まで線順次により実施される。これにより、全副画素SPixの第2メモリには、画像「B」を形成するための信号が書き込まれ、保存される。

【0120】

タイミング $t_2$ において、タイミングコントローラ4bは、第3の値の制御信号Sig<sub>5</sub>を、ゲート線選択回路10内のスイッチSW<sub>4</sub>に出力する。スイッチSW<sub>4</sub>は、ゲート線駆動回路9の出力端子と、第3ゲート線GCL<sub>c</sub>と、を電氣的に接続する。ゲート線駆動回路9は、ゲート信号を、各行の第3ゲート線GCL<sub>c</sub>に出力する。第3ゲート線GCL<sub>c</sub>にハイレベルのゲート信号が供給されると、当該行に属する副画素SPixの各々の第3メモリ53が、副画素データの書き込み先として選択される。

10

【0121】

また、タイミング $t_2$ において、ソース線駆動回路5は、「C」という画像(フレーム)を表示するための副画素データを、ソース線SGLに出力する。これにより、各行に属する副画素SPixの各々第3メモリ53には、「C」という画像を表示するための副画素データが、夫々書き込まれる。

また、タイミング $t_2 \sim t_3$ に亘って、かかる動作が第1行から第M行まで線順次により実施される。これにより、全副画素SPixの第3メモリには、画像「C」を形成するための信号が書き込まれ、保存される。

20

【0122】

表示装置1は、タイミング $t_0$ からタイミング $t_3$ までと同様の動作をM回繰り返すことにより、各副画素SPixに含まれる第1メモリ51から第3メモリ53までに、「A」、「B」及び「C」という3つの画像を表示するための副画素データを書き込むことができる。

【0123】

タイミング $t_4$ からタイミング $t_{10}$ までは、「A」、「B」及び「C」という3つの画像(3つのフレーム)を順次切り替えて表示するアニメーション表示(動画像表示)期間である。

30

【0124】

タイミング $t_4$ において、タイミングコントローラ4bは、第1の値の制御信号Sig<sub>2</sub>を、メモリ選択回路8内のスイッチSW<sub>2</sub>に出力する。スイッチSW<sub>2</sub>は、タイミングコントローラ4bから供給される第1の値の制御信号Sig<sub>2</sub>に基づいて、オン状態になる。これにより、基準クロック信号CLKが、ラッチ71に供給される。

【0125】

また、タイミング $t_4$ において、タイミングコントローラ4bは、第1の値の制御信号Sig<sub>3</sub>を、メモリ選択回路8内のスイッチSW<sub>3</sub>に出力する。スイッチSW<sub>3</sub>は、ラッチ71の出力端子と、M群のメモリ選択線群SL<sub>1</sub>、SL<sub>2</sub>、・・・の各々の第1メモリ選択線SEL<sub>a</sub>と、を電氣的に接続する。これにより、メモリ選択信号が、M群のメモリ選択線群SL<sub>1</sub>、SL<sub>2</sub>、・・・の各々の第1メモリ選択線SEL<sub>a</sub>に供給される。

40

【0126】

各々の第1メモリ選択線SEL<sub>a</sub>に接続されている各第1メモリ51は、「A」という画像を表示するための副画素データを、反転スイッチ61に出力する。これにより、タイミング $t_4$ において、表示装置1は、「A」という画像を表示する。

【0127】

タイミング $t_5$ において、タイミングコントローラ4bは、第2の値の制御信号Sig<sub>2</sub>を、メモリ選択回路8内のスイッチSW<sub>2</sub>に出力する。スイッチSW<sub>2</sub>は、タイミングコントローラ4bから供給される第1の値の制御信号Sig<sub>2</sub>に基づいて、オン状態になる。これにより、基準クロック信号CLKが、ラッチ71に供給される。

50

## 【0128】

また、タイミング $t_5$ において、タイミングコントローラ4bは、第2の値の制御信号 $Sig_3$ を、メモリ選択回路8内のスイッチ $SW_3$ に出力する。スイッチ $SW_3$ は、ラッチ71の出力端子と、M群のメモリ選択線群 $SL_1$ 、 $SL_2$ 、・・・の各々の第2メモリ選択線 $SEL_b$ と、を電氣的に接続する。これにより、メモリ選択信号が、M群のメモリ選択線群 $SL_1$ 、 $SL_2$ 、・・・の各々の第2メモリ選択線 $SEL_b$ に供給される。

## 【0129】

各々の第2メモリ選択線 $SEL_b$ に接続されている各第2メモリ52は、「B」という画像を表示するための副画素データを、反転スイッチ61に出力する。これにより、タイミング $t_5$ において、表示装置1は、「B」という画像を表示する。

10

## 【0130】

タイミング $t_6$ において、タイミングコントローラ4bは、第2の値の制御信号 $Sig_2$ を、メモリ選択回路8内のスイッチ $SW_2$ に出力する。スイッチ $SW_2$ は、タイミングコントローラ4bから供給される第1の値の制御信号 $Sig_2$ に基づいて、オン状態になる。これにより、基準クロック信号 $CLK$ が、ラッチ71に供給される。

## 【0131】

また、タイミング $t_6$ において、タイミングコントローラ4bは、第3の値の制御信号 $Sig_3$ を、メモリ選択回路8内のスイッチ $SW_3$ に出力する。スイッチ $SW_3$ は、ラッチ71の出力端子と、M群のメモリ選択線群 $SL_1$ 、 $SL_2$ 、・・・の各々の第3メモリ選択線 $SEL_c$ と、を電氣的に接続する。これにより、メモリ選択信号が、M群のメモリ選択線群 $SL_1$ 、 $SL_2$ 、・・・の各々の第3メモリ選択線 $SEL_c$ に供給される。

20

## 【0132】

第3メモリ選択線 $SEL_c$ に接続されている各第3メモリ53は、「C」という画像を表示するための副画素データを、反転スイッチ61に出力する。これにより、タイミング $t_6$ において、表示装置1は、「C」という画像を表示する。

## 【0133】

タイミング $t_7$ からタイミング $t_9$ までの各部の動作は、タイミング $t_4$ からタイミング $t_6$ までの各部の動作と同様であるので、説明を省略する。

## 【0134】

上記したように、表示装置1は、タイミング $t_4$ からタイミング $t_{10}$ までの期間において、「A」、「B」及び「C」という3つの画像(3つのフレーム)を順次切り替えて表示するアニメーション表示(動画像表示)を行うことができる。

30

## 【0135】

タイミング $t_{10}$ からタイミング $t_{12}$ までは、「A」という画像を表示する静止画表示期間である。

## 【0136】

タイミング $t_{10}$ において、タイミングコントローラ4bは、第2の値の制御信号 $Sig_2$ を、メモリ選択回路8内のスイッチ $SW_2$ に出力する。スイッチ $SW_2$ は、タイミングコントローラ4bから供給される第2の値の制御信号 $Sig_2$ に基づいて、オフ状態になる。これにより、基準クロック信号 $CLK$ が、ラッチ71に供給されない。ラッチ71は、ハイレベルを保持する。

40

## 【0137】

また、タイミング $t_{10}$ において、タイミングコントローラ4bは、第1の値の制御信号 $Sig_3$ を、メモリ選択回路8内のスイッチ $SW_3$ に出力する。スイッチ $SW_3$ は、ラッチ71の出力端子と、M群のメモリ選択線群 $SL_1$ 、 $SL_2$ 、・・・の各々の第1メモリ選択線 $SEL_a$ と、を電氣的に接続する。上記と同様の駆動により、タイミング $t_{10}$ からタイミング $t_{12}$ までにおいて、表示装置1は、「A」という画像を静止画表示する。

## 【0138】

なお、「A」という画像を静止画表示している静止画表示期間内のタイミング $t_{11}$ に

50

において、各副画素  $SPix$  に含まれる第2メモリ52に、「X」という画像（フレーム）を表示するための副画素データを書き込むことができる。

【0139】

タイミング  $t_{11}$  において、タイミングコントローラ4bは、第2の値の制御信号  $sig_5$  を、ゲート線選択回路10内のスイッチ  $SW_4$  に出力する。スイッチ  $SW_4$  は、ゲート線駆動回路9の出力端子と、第2ゲート線  $GCL_b$  と、を電氣的に接続する。ゲート線駆動回路9は、ゲート信号を、各行の第2ゲート線  $GCL_b$  に出力する。第2ゲート線  $GCL_b$  にハイレベルのゲート信号が供給されると、当該行に属する副画素  $SPix$  の各々の第2メモリ52が、副画素データの書き込み先として選択される。

【0140】

また、タイミング  $t_{11}$  において、ソース線駆動回路5は、「X」という画像を表示するための副画素データを、ソース線  $SSL$  に出力する。これにより、各行に属する副画素  $SPix$  の各々の第2メモリ52には、「X」という画像を表示するための副画素データが、夫々書き込まれる。

【0141】

表示装置1は、タイミング  $t_{11}$  と同様の動作をM回繰り返すことにより、各副画素  $SPix$  に含まれる第2メモリ52に、「X」という画像（フレーム）を表示するための副画素データを書き込むことができる。

【0142】

なお、図9では、「A」という画像を静止画表示している静止画表示期間内のタイミング  $t_{11}$  において、各副画素  $SPix$  に含まれる第2メモリ52に、「X」という画像を表示するための副画素データを書き込む場合について説明した。しかしながら、例えば、アニメーション表示（動画像表示）期間内の、「C」及び「A」という画像をアニメーション表示（動画像表示）しているタイミング  $t_6$  からタイミング  $t_8$  までにおいて、各副画素  $SPix$  に含まれる第2メモリ52に、「X」という画像を表示するための副画素データを書き込むことも可能である。

【0143】

タイミング  $t_{12}$  以降は、「X」、「C」及び「A」という3つの画像（3つのフレーム）を順次切り替えて表示するアニメーション表示（動画像表示）期間である。

【0144】

タイミング  $t_{12}$  において、タイミングコントローラ4bは、第2の値の制御信号  $sig_2$  を、メモリ選択回路8内のスイッチ  $SW_2$  に出力する。スイッチ  $SW_2$  は、タイミングコントローラ4bから供給される第1の値の制御信号  $sig_2$  に基づいて、オン状態になる。これにより、基準クロック信号  $CLK$  が、ラッチ71に供給される。

【0145】

また、タイミング  $t_{12}$  において、タイミングコントローラ4bは、第2の値の制御信号  $sig_3$  を、メモリ選択回路8内のスイッチ  $SW_3$  に出力する。スイッチ  $SW_3$  は、ラッチ71の出力端子と、M群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$  の各々の第2メモリ選択線  $SEL_b$  と、を電氣的に接続する。これにより、メモリ選択信号が、M群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$  の各々の第2メモリ選択線  $SEL_b$  に供給される。

【0146】

各々の第2メモリ選択線  $SEL_b$  に接続されている各第2メモリ52は、「X」という画像を表示するための副画素データを、反転スイッチ61に出力する。これにより、タイミング  $t_{12}$  において、表示装置1は、「X」という画像を表示する。

【0147】

タイミング  $t_{13}$  からタイミング  $t_{14}$  までの各部の動作は、タイミング  $t_6$  からタイミング  $t_7$  までの各部の動作と同様であるので、説明を省略する。

【0148】

タイミング  $t_{15}$  以降の各部の動作は、タイミング  $t_{12}$  からタイミング  $t_{14}$  までの各部の動作と同様であるので、説明を省略する。

10

20

30

40

50

## 【0149】

特許文献1記載の表示装置では、複数の画素の各々が含む複数のメモリの切り替えは、走査信号を使用した線順次走査によって行われる。従って、特許文献1記載の表示装置では、全部の画素の複数のメモリの切り替えには、1フレーム時間が必要である。つまり、特許文献1記載の表示装置では、画像(フレーム)を変化させるために、1フレーム時間が必要である。

## 【0150】

一方、実施形態の表示装置1では、表示領域DA外に設けられるメモリ選択回路8が、各副画素SPixの第1メモリ51から第3メモリ53までの内の1個を、同時に選択する。従って、表示装置1は、各副画素SPixの第1メモリ51から第3メモリ53までの選択を切り替えることによって、3つの画像(3つのフレーム)の内の1つの画像(フレーム)を表示することができる。これにより、表示装置1は、画像を一斉に変化させることができ、画像を短時間で変化させることができる。また、表示装置1は、各副画素SPixの第1メモリ51から第3メモリ53までの選択を順次切り替えることによって、アニメーション表示(動画像表示)を行うことができる。

10

## 【0151】

また、特許文献1記載の表示装置では、各画素が、メモリを切り替えるために、メモリ選択制御回路及び書換指示回路を含む。従って、特許文献1記載の表示装置は、画像表示パネルの微細化及び高精細化の要請に応えることができない。

20

## 【0152】

一方、実施形態の表示装置1では、副画素データの書き込み時には、額縁領域GDに配置されたゲート線選択回路10が、第1メモリ51から第3メモリ53までのいずれかを選択する。また、副画素データの読み出し時には、額縁領域GDに配置されたメモリ選択回路8が、第1メモリ51から第3メモリ53までのいずれかを選択する。従って、各画素Pixが、メモリを切り替えるための回路を含む必要がない。これにより、表示装置1は、上記の如き効果に加えて、さらに画像表示パネルの微細化及び高精細化の要請に応えることが可能である。

## 【0153】

さらに、実施形態の表示装置1では、第1メモリ51から第3メモリ53までのいずれか1つに格納されている副画素データに基づいて画像を表示している期間に、第1メモリ51から第3メモリ53までの他のいずれか1つに、副画素データを書き込むこともできる。これにより、表示装置1は、画像を表示しながら、他の画像の副画素データを書き込むことも可能である。

30

## 【0154】

## [適用例]

図10は、実施形態の表示装置の適用例を示す図である。図10は、表示装置1を電子棚札に適用した例を示す図である。

## 【0155】

図10に示すように、表示装置1A、1B及び1Cは、それぞれ棚102に取り付けられている。表示装置1A、1B及び1Cの各々は、上述した表示装置1と同様の構成を有する。表示装置1A、1B及び1Cは、床面103からの高さが互いに異なって設置され、且つ、パネル傾斜角度が互いに異なるように設置されている。ここで、パネル傾斜角度は、表示面1aの法線と水平方向とがなす角度である。表示装置1A、1B及び1Cは、光源としての照明器具100からの入射光110を反射することにより、画像120を観察者105側に出射する。

40

## 【0156】

以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び

50

各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。

【符号の説明】

【0157】

1、1A、1B、1C 表示装置

1a 表示面

2 第1パネル

3 第2パネル

4 インタフェース回路

4a シリアル - パラレル変換回路

10

4b タイミングコントローラ

4c 設定レジスタ

5 ソース線駆動回路

6 共通電極駆動回路

7 反転駆動回路

8 メモリ選択回路

9 ゲート線駆動回路

10 ゲート線選択回路

11 第1基板

15 副画素電極（反射電極）

20

21 第2基板

23 共通電極

30 液晶層

50 メモリブロック

51 第1メモリ

52 第2メモリ

53 第3メモリ

61 反転スイッチ

FRP 表示信号線

GL ゲート線群

30

GCL ゲート線

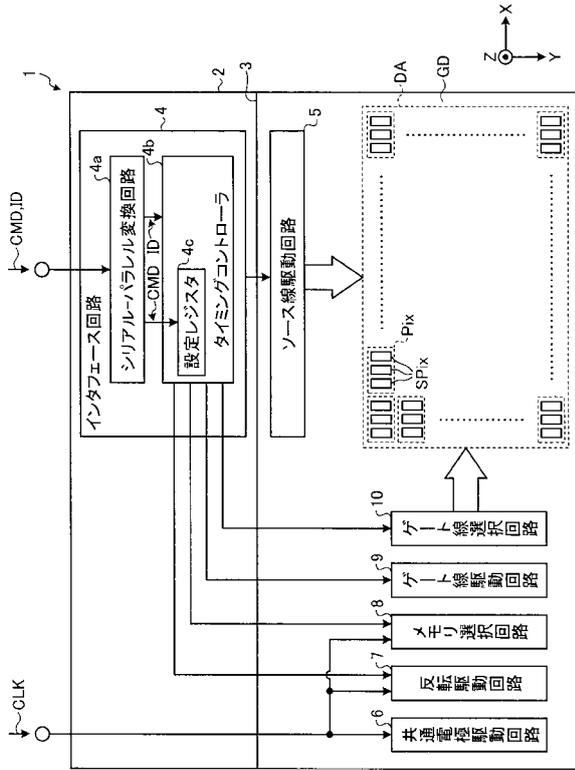
Pix 画素

SPix 副画素

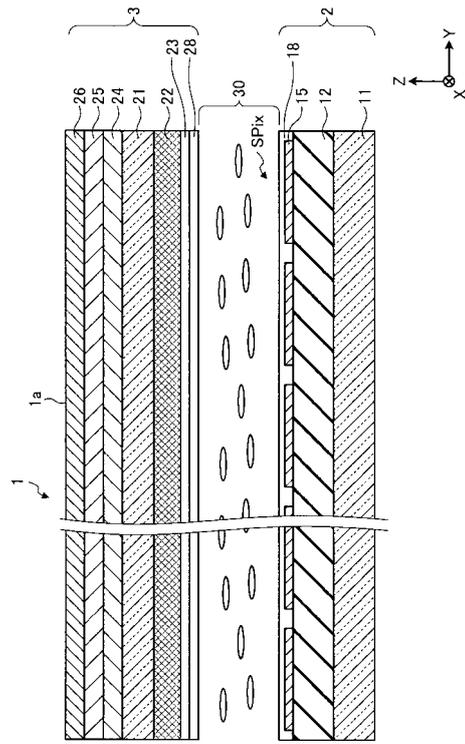
SL メモリ選択線群

SEL メモリ選択線

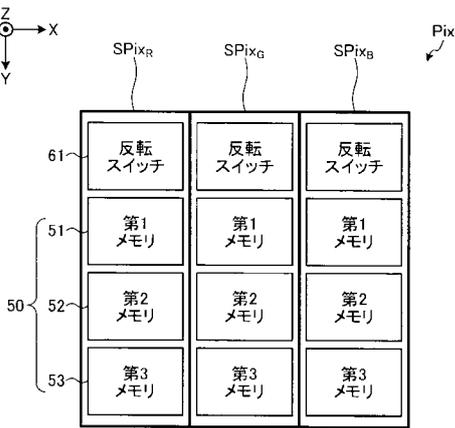
【図1】



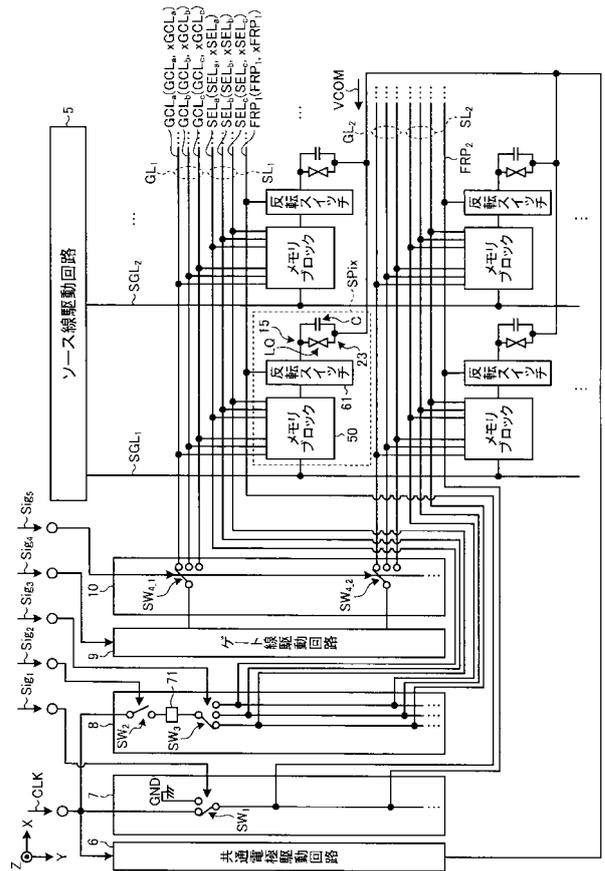
【図2】



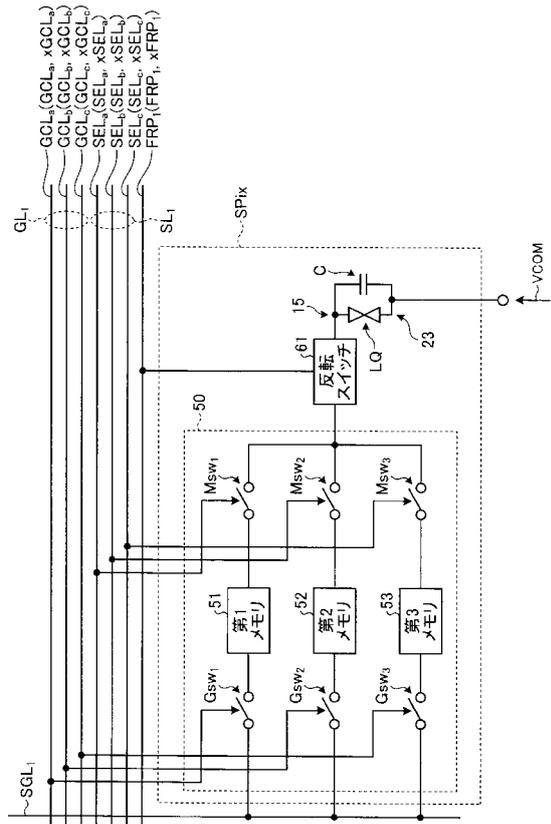
【図3】



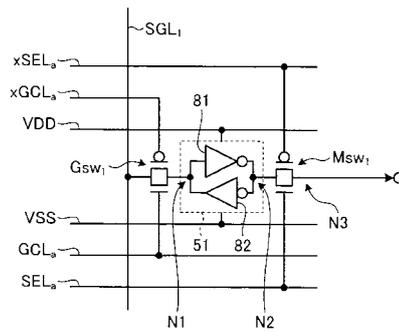
【図4】



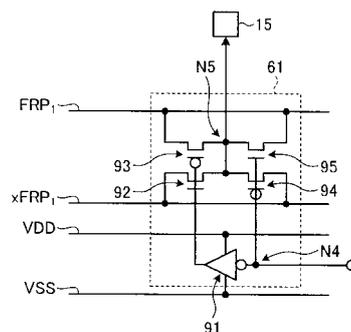
【 図 5 】



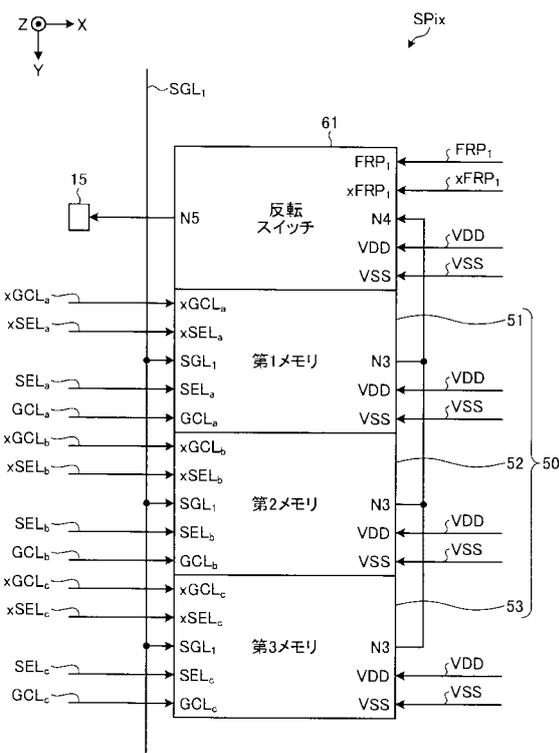
【 図 6 】



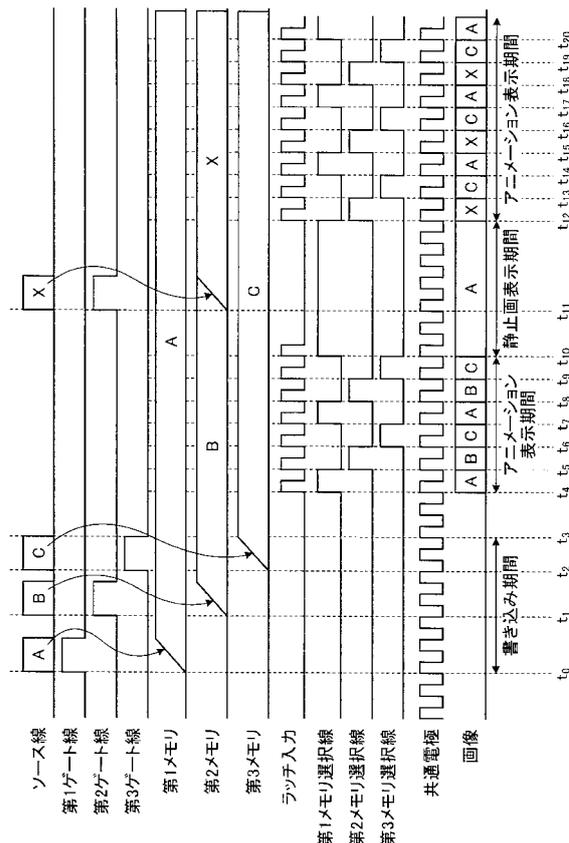
【 図 7 】



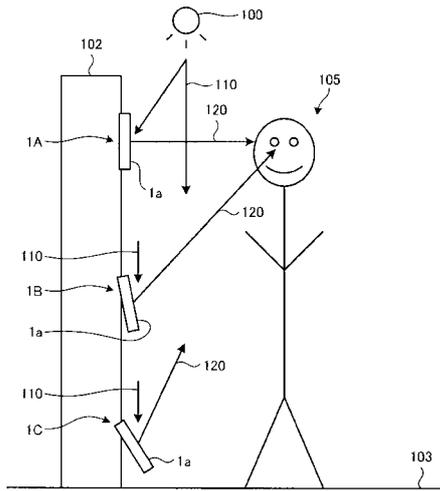
【 図 8 】



【 図 9 】



【 図 1 0 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 3 1 C
	G 0 9 G 3/20	6 3 1 D
	G 0 9 G 3/20	6 3 1 M
	G 0 9 G 3/20	6 6 0 V
	G 0 9 G 3/20	6 2 4 C
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 2 Q
	G 0 9 G 3/20	6 2 1 M
	G 0 2 F 1/133	5 5 0

## (72)発明者 小澤 裕

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H193 ZA04 ZB08 ZB09 ZC02 ZC12 ZC15 ZC24 ZD02 ZD11 ZD17  
ZF16 ZF18 ZF20 ZF21 ZP16  
5C006 AA02 AC24 AC25 AC26 AC27 AC28 AF03 AF04 AF06 AF42  
AF44 BB16 BB28 BC03 BC06 BC11 BC22 BF02 BF04 BF09  
BF15 BF24 BF25 BF27 BF34 FA56  
5C080 AA06 AA10 BB05 CC07 EE19 EE30 FF11 FF12 GG11 GG12  
JJ02 JJ03 JJ04 JJ06