



(12) 发明专利申请

(10) 申请公布号 CN 103377995 A

(43) 申请公布日 2013. 10. 30

(21) 申请号 201210128639. 9

(22) 申请日 2012. 04. 27

(71) 申请人 南亚科技股份有限公司
地址 中国台湾桃园县

(72) 发明人 陈逸男 徐文吉 叶绍文 刘献文

(74) 专利代理机构 深圳新创友知识产权代理有限公司 44223

代理人 江耀纯

(51) Int. Cl.

H01L 21/768(2006. 01)

H01L 21/48(2006. 01)

H01L 23/538(2006. 01)

H01L 23/498(2006. 01)

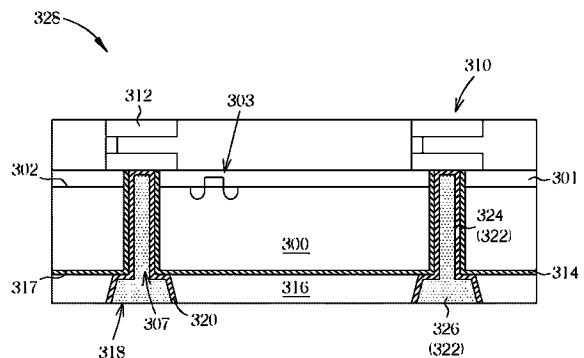
权利要求书1页 说明书4页 附图10页

(54) 发明名称

半导体芯片、半导体封装结构以及其形成方法

(57) 摘要

本发明公开了一种半导体芯片,包括基底、贯穿孔、绝缘层、凸点下金属层、穿硅通孔以及凸点。基底具有第一表面以及第二表面。贯穿孔贯穿基底的第一表面以及第二表面。绝缘层设置在基底的第二表面上,绝缘层具有第二开孔对应贯穿孔。凸点下金属层共形且连续地设置在贯穿孔以及第二开孔的表面。穿硅通孔设置在贯穿孔中,而凸点则设置在第二开孔中。本发明另外还提供了形成上述半导体芯片的方法、一种半导体封装结构与其制作方法。



1. 一种形成半导体芯片的方法,其特征在于,包括:
提供基底,所述基底具有第一表面以及第二表面;
在所述基底中形成贯穿孔,所述贯穿孔贯穿所述第一表面以及所述第二表面,且所述贯穿孔填满有牺牲层;
移除所述牺牲层;
在所述基底的所述第二表面形成绝缘层,所述绝缘层具有第二开孔暴露所述贯穿孔;
以及
在所述贯穿孔以及所述第二开孔中填满导电层,以同时在所述贯穿孔中形成穿硅通孔,以及在所述第二开孔中形成凸点。
2. 根据权利要求1所述的形成半导体芯片的方法,其特征在于,还包括在所述基底的所述第一表面上形成金属内连线系统,所述金属内连线系统电性连接所述穿硅通孔。
3. 根据权利要求1所述的形成半导体芯片的方法,其特征在于形成所述贯穿孔的步骤包括:
从所述基底的所述第一表面上形成开孔;
以所述牺牲层填满所述开孔;以及
从所述基底的所述第二表面的一侧进行薄化工艺,以暴露所述牺牲层,使得所述开孔形成所述贯穿孔。
4. 根据权利要求1所述的形成半导体芯片的方法,其特征在于在形成所述导电层之前,还包括在所述贯穿孔以及所述第二开孔的表面形成凸点下金属层。
5. 根据权利要求1所述的形成半导体芯片的方法,其特征在于在形成所述导电层之前,还包括在所述贯穿孔的表面形成介电层。
6. 一种形成半导体堆叠结构的方法,其特征在于,包括:
以权利要求2所述的形成半导体芯片的方法形成至少两个半导体芯片;
进行堆叠工艺,将其中一个半导体芯片的所述金属内连线系统电性接触另一个半导体芯片的所述凸点。
7. 一种半导体芯片,其特征在于,包括:
基底,所述基底具有第一表面以及第二表面;
贯穿孔,贯穿所述基底的所述第一表面以及所述第二表面;
绝缘层,设置在所述基底的所述第二表面上,所述绝缘层具有第二开孔对应所述贯穿孔;
凸点下金属层,共形且连续地设置在所述贯穿孔以及所述第二开孔的表面;
穿硅通孔,设置在所述贯穿孔中;以及
凸点,设置在所述第二开孔中。
8. 根据权利要求7所述的半导体芯片,其特征在于,所述穿硅通孔与所述凸点是一体成型。
9. 根据权利要求7所述的半导体芯片,其特征在于,还包括金属内连线系统设置在所述基底的所述第一表面上,并与所述穿硅通孔电性连接。
10. 一种半导体堆叠结构,其特征在于,包括至少两个如权利要求9所述的半导体芯片,其中一个半导体芯片的所述金属内连线系统,接触另一个半导体芯片的所述凸点。

半导体芯片、半导体封装结构以及其形成方法

技术领域

[0001] 本发明是涉及一种半导体芯片、半导体封装结构以及其形成方法,特别来说,是涉及一种方便堆叠的半导体芯片、半导体封装结构以及其形成方法。

背景技术

[0002] 在现代的资讯社会中,由集成电路(integrated circuit, IC)所构成的微处理系统早已被普遍运用于生活的各个层面,例如自动控制的家电用品、行动通讯设备、个人计算机等,都有集成电路的使用。而随着科技的日益精进,以及人类社会对于电子产品的各种想象,使得集成电路也往更多元、更精密、更小型的方向发展。

[0003] 一般所称集成电路,是通过现有半导体工艺中所生产的晶粒(die)而形成。制造晶粒的过程,是由生产一晶圆(wafer)开始:首先,在一片晶圆上区分出多个区域,并在每个区域上,通过各种半导体工艺如沉积、光刻、蚀刻或平坦化工艺,以形成各种所需的电路路线。然后,在进行一般的测试步骤以测试内部元件是否能顺利运作。接着,再对晶圆上的各个区域进行切割而成各个晶粒,并加以封装成芯片(chip),最后再将芯片电连至一电路板,如一印刷电路板(printed circuit board, PCB),使芯片与印刷电路板的接脚(pin)电性连结后,便可执行各种程式化的处理。

[0004] 为了提高芯片功能与效能,增加集成度以便在有限空间下能容纳更多半导体元件,相关厂商开发出许多半导体晶片的堆叠技术,包括了覆晶封装(flip-chip)技术、多晶片封装(multi-chip package, MCP)技术、封装堆叠(package on package, PoP)技术、封装内藏封装体(package in package, PiP)技术等,都可以通过晶片或封装体间彼此的堆叠来增加单位体积内半导体元件的集成度。近年来又发展一种称为穿硅通孔(through silicon via, TSV)的技术,可促进在封装体中各芯片间的内部连结(interconnect),以将堆叠效率进一步往上提升。

[0005] 然而,现有的技术中,是先 in 基底的孔洞中形成穿硅通孔后,再形成半导体元件。一些高温的半导体工艺常常会影响了穿硅通孔的品质,而成为一个需要解决的问题。

发明内容

[0006] 本发明提出了一种半导体芯片与半导体封装结构,以及其形成方法,以获得好的穿硅通孔质量。

[0007] 根据本发明的一个实施方式,本发明所提供的半导体芯片包括基底、贯穿孔、绝缘层、凸点下金属层、穿硅通孔以及凸点。基底具有第一表面以及第二表面。贯穿孔贯穿基底的第一表面以及第二表面。绝缘层设置于基底的第二表面上,绝缘层具有第二开孔对应贯穿孔。凸点下金属层,共形且连续地设置在贯穿孔以及第二开孔的表面。穿硅通孔设置在贯穿孔中,而凸点则设置在第二开孔中。

[0008] 根据本发明的另外一个实施方式,本发明提供了一种形成半导体芯片的方法。首先提供基底,基底具有第一表面以及第二表面。接着在基底中形成贯穿孔,贯穿第一表面以

及第二表面,其中贯穿孔中填满有牺牲层。然后移除所述牺牲层,并在贯穿孔的表面形成介电层。在基底的第二表面形成绝缘层,绝缘层具有第二开孔暴露贯穿孔。最后在贯穿孔以及第二开孔中填满导电层,以同时在贯穿孔中穿硅通孔,以及在第二开孔中形成凸点。

[0009] 由于本发明的制作工艺是同时形成凸块以及穿硅通孔,且形成后的凸块可以简单的与另一芯片的接触垫进行接触,方面芯片进行堆叠。此外,本发明先使用了牺牲层作为开孔填入材料,在半导体工艺后,才移除牺牲层并重新填入导电层,因此穿硅通孔不会被高温的半导体工艺所影响,能提高穿硅通孔的质量。

附图说明

[0010] 图 1 至图 9 所示为本发明形成半导体芯片的步骤示意图。

[0011] 图 10 所示为本发明一种半导体封装结构的示意图。

[0012] 其中,附图标记说明如下:

[0013]	300	基底	316	绝缘层
[0014]	301	内层介电层	317	第三表面
[0015]	302	第一表面	318	第二开孔
[0016]	303	半导体元件	320	凸点下金属层
[0017]	304	第二表面	322	导电层
[0018]	306	开孔	324	穿硅通孔
[0019]	307	贯穿孔	326	凸点
[0020]	308	牺牲层	326a	凸点
[0021]	310	金属内连线系统	328	半导体芯片
[0022]	312	接触垫	328a	半导体芯片
[0023]	312b	接触垫	328b	半导体芯片
[0024]	314	介电层		

具体实施方式

[0025] 为使本发明所属技术领域的技术人员能进一步了解本发明,以下的说明举出了本发明优选实施方式,并配合附图与说明,以详细说明本发明的内容及希望实现的效果。

[0026] 请参考图 1 至图 9,所示为本发明形成半导体芯片的步骤示意图。如图 1 所示,首先提供一基底 300,例如是硅基底 (silicon substrate)、外延硅基底 (epitaxial silicon substrate)、硅锗半导体基底 (silicon germanium substrate)、碳化硅基底 (silicon carbide substrate) 或硅覆绝缘 (silicon-on-insulator, SOI)。基底 300 具有一第一表面 302 以及一第二表面 304。在本发明优选实施例中,第一表面 302 例如是基底 300 的有源面 (active surface),而第二表面 304 例如是基底 300 的背面 (back surface)。基底 300 厚度大体上为 700 至 1000 微米 (micro meter)。接着,在基底 300 的第一表面 302 的一侧中形成多个半导体元件 303,例如是金属氧化物半导体晶体管 (metal oxide semiconductor transistor, MOS transistor) 或是动态随机存取存储器 (Dynamic Random Access Memory, DRAM),但并不以此为限。后续,在基底 300 第一表面 302 的一侧上形成一内层介电层 (interlayer dielectric layer, ILD layer) 301,例如是二氧化硅层,以覆盖

在半导体元件 303 上。

[0027] 如图 2 所示,从基底 300 的第一表面 302 的一侧中形成至少一开孔 306 在基底 300 以及内层介电层 301 中,例如以干蚀刻的方式来形成开孔 306。开孔 306 的孔径约 5 至 10 微米,而深度约为 50 至 100 微米,但开孔 306 的形成方法以及实施方式不限于此,而可视产品做不同调整。此外,于本发明另一个实施例中,也可以直接在基底 300 的第一表面 302 一侧中直接形成开孔 306,而不需要先形成半导体元件 303 以及内层介电层 301。

[0028] 如图 3 所示,接着在基底 300 上形成一牺牲层 308,其中牺牲层 308 会填满在开孔 306 中。形成牺牲层 308 的方法例如先进行一沉积工艺,使得开孔 306 被牺牲层 308 所填满,然后再进行一平坦化工艺,例如是化学机械抛光 (chemical mechanical polish, CMP) 工艺或回蚀刻工艺或是以上两个的组合,以移除开孔 306 以外的牺牲层 308。在本发明的一个实施例中,牺牲层 308 的材质可以是介电层、旋转涂布玻璃 (spin-on glass, SOG) 或是光刻胶,优选来说,牺牲层 308 是旋转涂布玻璃,以得到好的填洞能力。

[0029] 如图 4 所示,在基底 300 的第一表面 302 的一侧上形成一金属内连线系统 310。本发明的优选实施例中,金属内连线系统 310 向下会与牺牲层 308 直接接触,向上则是以一接触垫 312 暴露出来。于本发明的其他实施例中,金属内连线系统 310 亦可与半导体元件 303 电性接触,使得半导体元件 303 能连结到牺牲层 308 或是连通到接触垫 312 以接收或发出信息。

[0030] 如图 5 所示,形成金属内连线系统 310 之后,对基底 300 的第二表面 304 进行一薄化工艺,并薄化至暴露出牺牲层 308。此时,薄化后的第二表面 304 变成第三表面 317,且开孔 306 变成了贯穿孔 307,贯穿孔 307 会贯穿基底 300 的第一表面 302 以及第三表面 317。

[0031] 如图 6 所示,移除位于贯穿孔 307 中的牺牲层 308。移除牺牲层 308 的方法例如是通过一道或多道的干蚀刻及 / 或湿蚀刻工艺,以彻底移除牺牲层 308,并将贯穿孔 307 的表面暴露出来,并优选会暴露出金属内连线系统 310。

[0032] 如图 7 所示,在基底 300 第三表面 317 的一侧上形成一介电层 314。介电层 314 会覆盖在贯穿孔 307 的侧壁上,但不会形成在贯穿孔 307 底部与金属内连线系统 310 的介面处。优选来说,介电层 314 是一二氧化硅层,并且通过一热氧化工艺形成。

[0033] 如图 8 所示,在基底 300 第三表面 317 的一侧上形成一绝缘层 316 后并图案化绝缘层 316,以在绝缘层 316 中形成至少一第二开孔 318。第二开孔 318 对应贯穿孔 307 的位置,并且优选会大于开孔 306 的开口大小。然后,在基底 300 的第三表面 317 的一侧,沿着第二开孔 318 以及贯穿孔 307 的表面上、共形 (conformally) 且连续地形成一凸点下金属层 (Under Bump metal, UBM) 320,其中凸点下金属层 320 电性接触金属内连线系统 310。

[0034] 如图 9 所示,形成一导电层 322 同时填入贯穿孔 307 以及第二开孔 318 中。形成导电层 322 的方法例如先进行一电镀工艺,然后再进行平坦化工艺以移除第二开孔 318 以外的导电层 322 以及凸点下金属层 320。如此一来,位在贯穿孔 307 中的导电层 322 即形成穿硅通孔 324,位在第二开孔 318 中的导电层 322 即形成凸点 (bumper) 326。通过上述的步骤,即可完成本发明半导体芯片 328 的结构。

[0035] 如图 9 所示,半导体芯片 328 包括基底 300、贯穿孔 307、绝缘层 316、凸点下金属层 320、穿硅通孔 324 以及凸点 326。基底 300 具有第一表面 302 以及第三表面 317。贯穿孔 307 贯穿基底 300 的第一表面 302 以及第三表面 317。绝缘层 316 设置于基底 300 的第

三表面 317 上,绝缘层 316 具有第二开孔 318 对应贯穿孔 307。凸点下金属层 320,共形且连续地设置在贯穿孔 307 以及第二开孔 318 的表面。穿硅通孔 324 设置在贯穿孔 307 中,而凸点 326 则设置在第二开孔 320 中。于本发明的一个实施方式中,穿硅通孔 324 与凸点 326 是一体成型。而根据本发明的另一个实施方式,半导体芯片 328 还包括金属内连线系统 310 设置在基底 300 的第一表面 302 上,并与穿硅通孔 324 电性连接。

[0036] 请参考图 10,所示为本发明一种半导体封装结构的示意图。如图 10 所示,在以图 1 至图 9 的步骤形成多个半导体芯片 328 后,还可以将这些半导体芯片 328 进行堆叠,以形成封装结构。例如图 10 所示,可以将半导体芯片 328a 与半导体芯片 328b 堆叠,其中半导体芯片 328a 的凸点 326a 会与半导体芯片 328b 的接触垫 312b 直接接触。

[0037] 本发明的优点在于,可以同时形成凸块以及穿硅通孔,且形成后的凸块可以简单的与另一芯片的接触垫进行接触,方面芯片进行堆叠。此外,本发明先使用了牺牲层作为开孔填入材料,在半导体工艺后才重新填入导电层的穿硅通孔,因此穿硅通孔不会被高温的半导体工艺所影响,能提高穿硅通孔的质量。

[0038] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

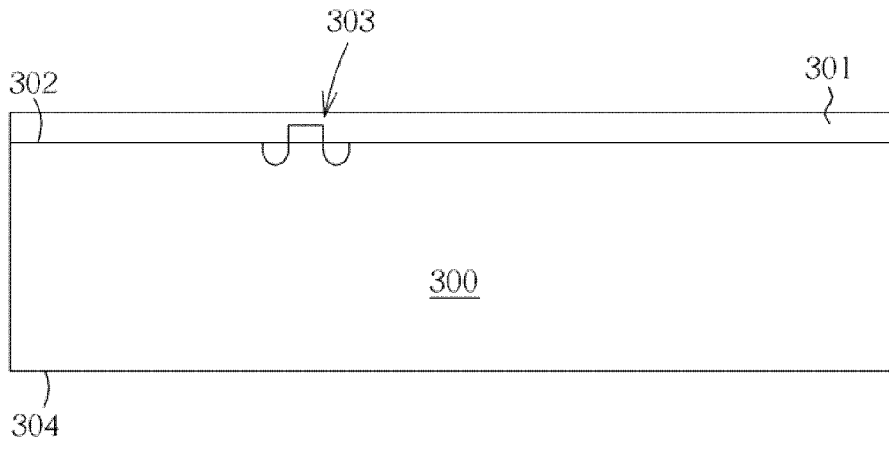


图 1

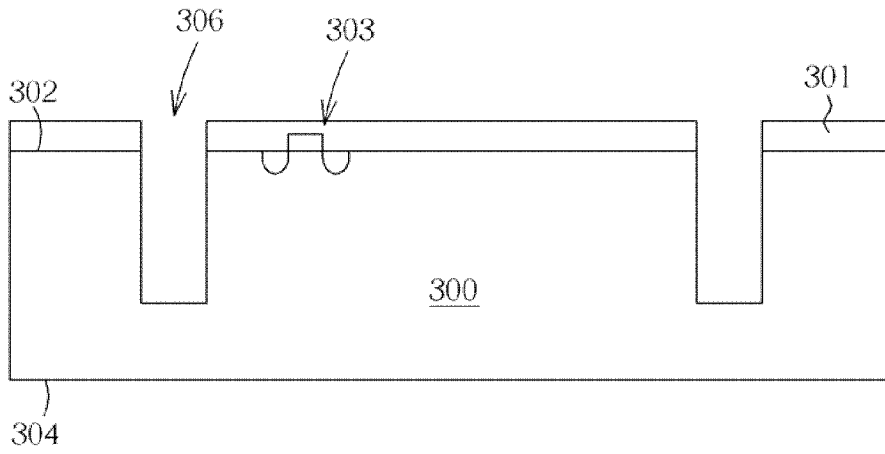


图 2

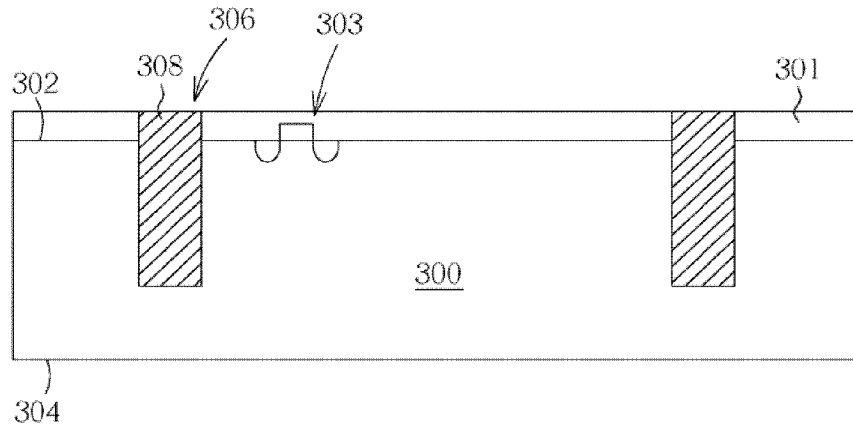


图 3

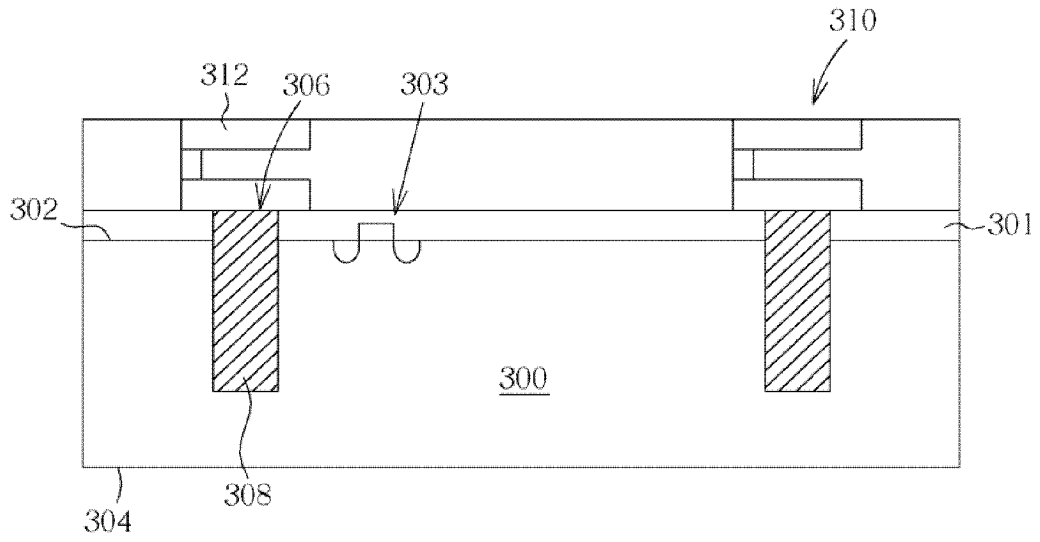


图 4

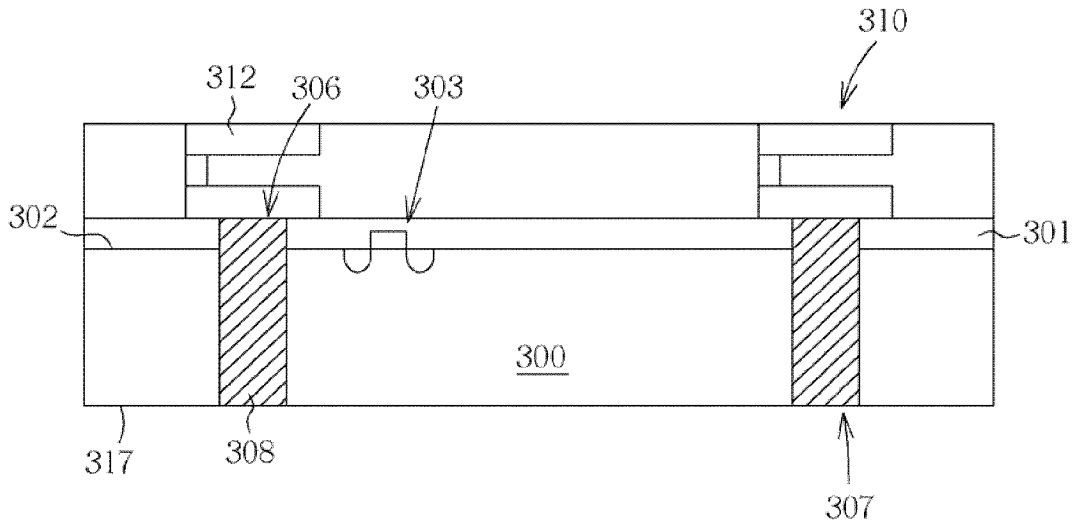


图 5

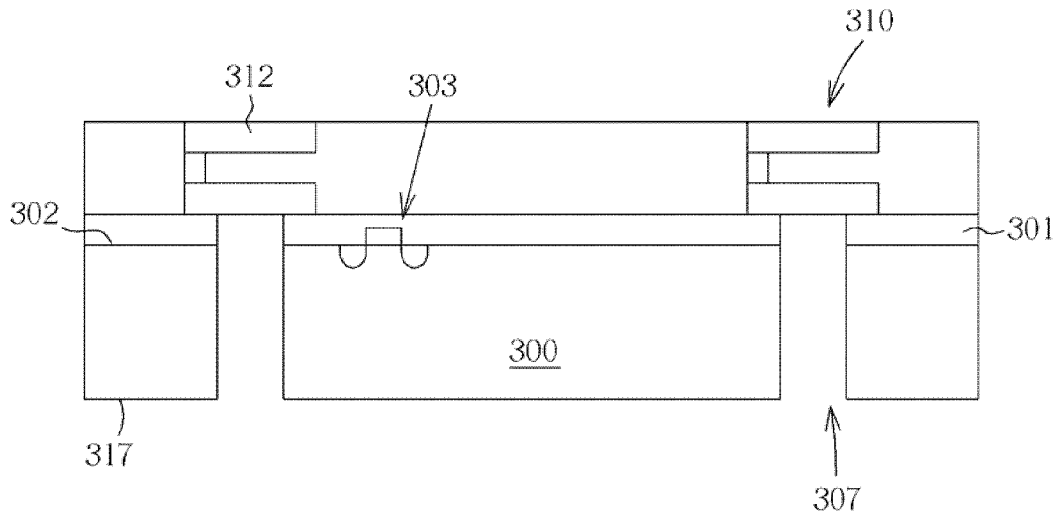


图 6

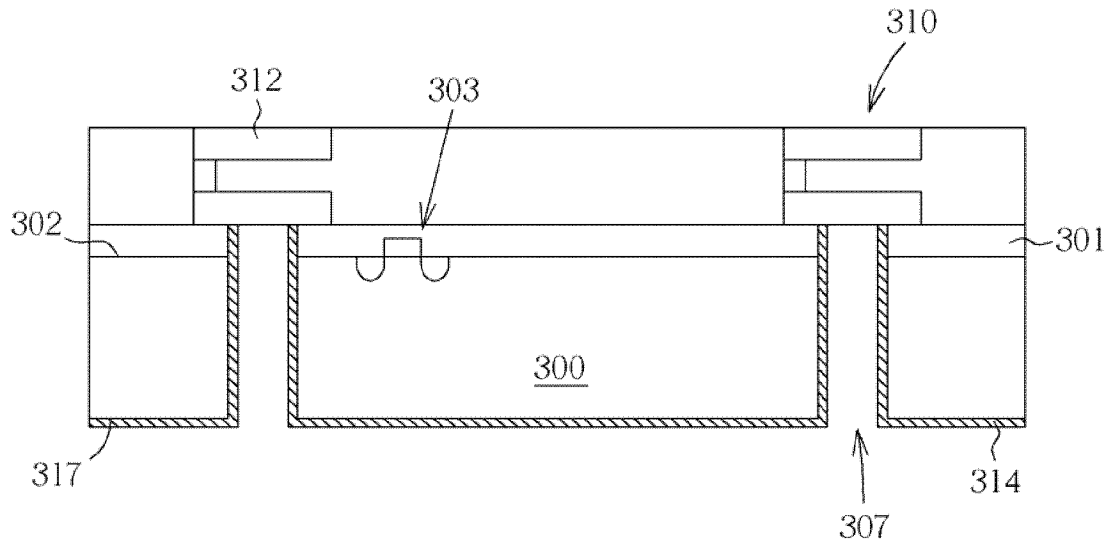


图 7

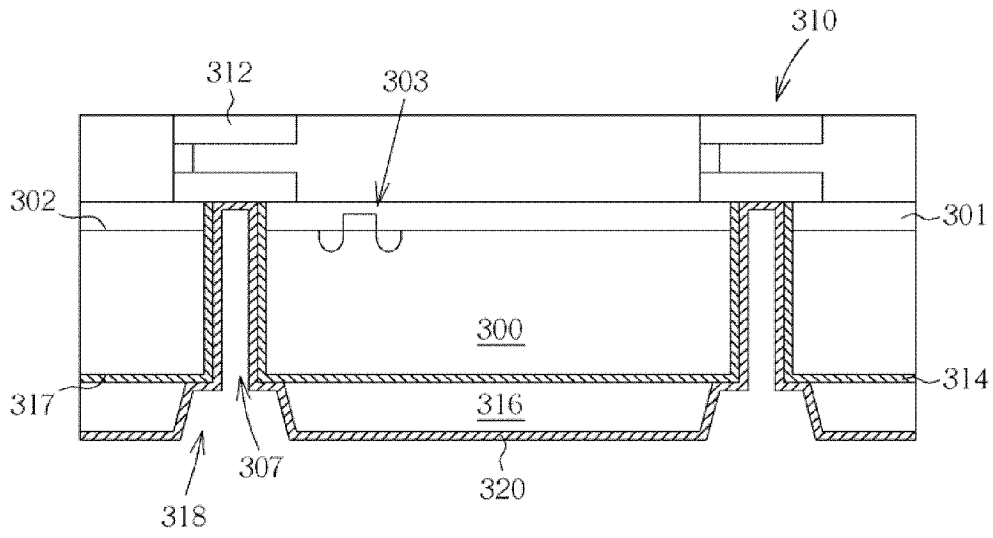


图 8

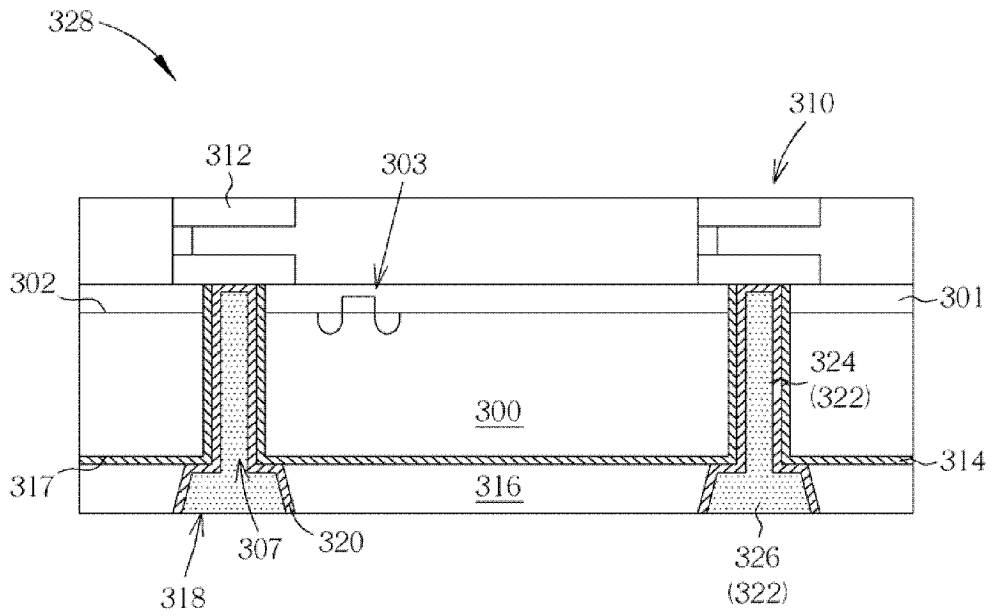


图 9

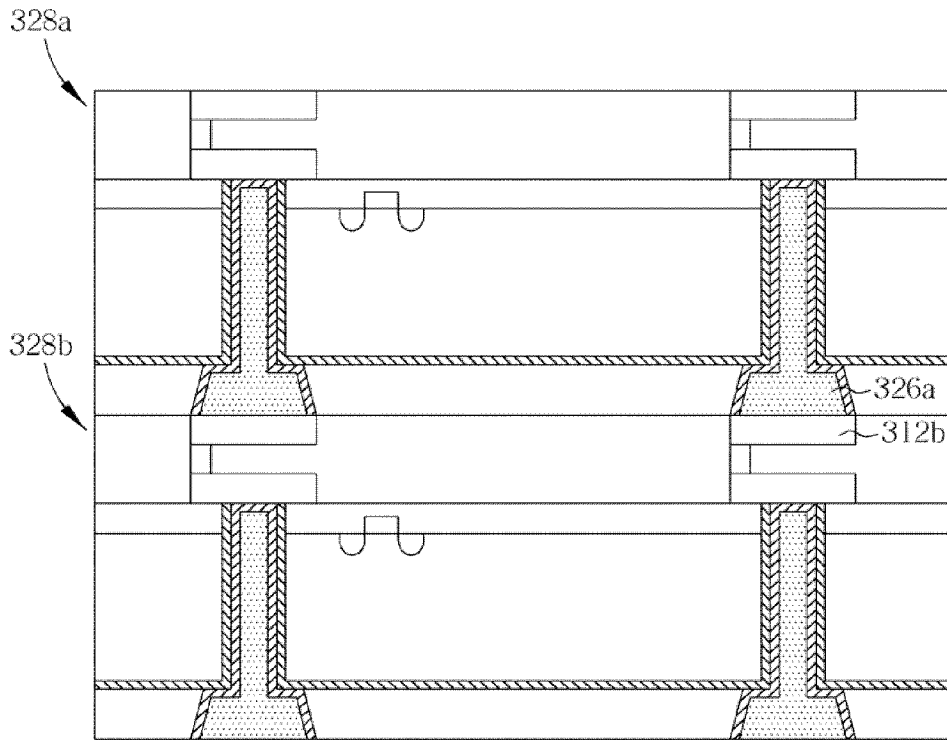


图 10