

公告本

583479

申請日期	87.7.18
案 號	87111749
類 別	H01L 73/52

A4
C4

383479

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	動態隨機存取記憶體之內導線的製造方法
	英 文	
二、發明 創作人	姓 名	鄭志祥
	國 籍	中華民國
	住、居所	屏東市公園西路 68-1 號
三、申請人	姓、名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	曹興誠

裝

訂

綵

五、發明說明(1)

本發明是有關於一種動態隨機存取記憶體之製造方法，且特別是有關於一種動態隨機存取記憶體之金屬內導線之製造方法。

第 1A 至 1B 圖是習知的動態隨機存取記憶體的記憶細胞區的製造剖面圖。請參照第 1A 圖，首先提供一個半導體矽基底 10，基底表面先形成有多個絕緣結構 20，比如是淺溝渠隔離結構，用以隔離主動區。接著形成電晶體閘極，係由第一摻雜多晶矽 30、矽化鎢 40 所構成。在電晶體閘極上方形成氮化矽層 50 以及在其周緣形成間隙壁 60 的構造。然後形成一位元線，由第二摻雜多晶矽 210 和矽化鎢 220 構成，和電晶體的源極/汲極區之一連接。沈積第一絕緣層 230，並蝕穿第一絕緣層 230，形成開口 240，曝露出部分電晶體的源極/汲極區的矽基底表面。

請參照第 1B 圖，在開口 240 中形成第三摻雜多晶矽層 250，並定義第三摻雜多晶矽層 250，形成電容器下電極 250。接著在下電極 250 的表面形成一層半球形顆粒的矽晶粒層 260(Hemi-Spherical Grain, HSG)，以提高電容的表面積，增加蓄電量。然後形成一層電容介電質在半球形顆粒的矽晶粒層 260 的表面。已知的電容介電質包括有多層氧化物/氮化物/氧化物介電質，一般稱為"ONO"。形成此電容介電質的方法為在不平整的多晶矽表面上自然成長出一薄層的氧化物，接著利用 CVD 沈積一薄氮化矽層在其表面，最後再利用熱氧化步驟，氧化氮化矽表面的一層薄膜，形成"ONO"的結構。接著沈積第四摻雜多晶矽層，經定義形成電容器的上電極 270，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(之)

最後再沈積一層第二絕緣層 280。

第 2 圖是習知的動態隨機存取記憶體周邊區域的製造剖面圖。請參照第 2 圖，動態隨機存取記憶體的周邊區域的製造和記憶細胞區的製造是同步進行的。所以也是首先提供一個半導體矽基底 10，基底表面先形成電晶體閘極由第一摻雜多晶矽 30、矽化鎢 40 構成。在電晶體閘極上方形成氮化矽層 50，在電晶體閘極周緣形成間隙壁 60 的構造。依序沈積第一絕緣層 230 以及第二絕緣層 280，再蝕刻出一些接觸窗口，最後將金屬鎢一次填入形成內導線 300。由於此時接觸窗口的深寬比值(aspect ratio)較高，會有阻障金屬層或鎢金屬層填入困難等問題。

習知的動態隨機存取記憶體之內導線的製造方法，通常在周邊電路區域的內導線所需的接觸窗口都在最後才將其一次蝕刻出來。因為內導線所需的接觸窗口通常截面積很小，深度又深，隨著接觸窗口深寬比值的遞增，不僅增加接觸窗蝕刻製程困難度也影響生產效率。尤其設計規則中的接點接觸窗口常常太小，使得在蝕刻接觸窗口時，得用斜線型蝕刻(taper etch)方式來製作，但是如此會使得接點接觸窗口的電阻值過高。另外習知的金屬接觸窗口的階梯高度(step height)太高，使得阻障金屬材料鈦/氮化鈦(Ti/TiN)沈積在接觸窗口之中時，會發生填入不易的問題。而高溝槽深寬比值亦使得金屬鎢很難填入，造成金屬接觸窗口的電阻值增加。

習知的位元線內導線一般採用摻雜多晶矽為材質，其電阻值較金屬鎢為大，也浪費較多的能量，使得電晶體的操作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(→)

速率較慢。

因此本發明的主要目的就是在提供一種動態隨機存取記憶體之內導線的製造方法，以避免將內導線所需的接觸窗口一次蝕刻出來，以及將內導線的材料一次填入接觸窗口中，而造成上述習知技藝的缺點。

本發明的另一目的是要解決上述習知技術中，接觸電阻較高或 RC 延遲導致訊號傳輸的速率較慢等問題。

根據本發明之上述目的，提出一種分段將內導線所需的接觸窗口以及內導線的材料以分段蝕刻與分段填入的方式完成，以避免上述習知技藝的缺點。並且以金屬錫插塞取代習知多晶矽插塞或多晶矽位元線，以降低電阻值，提高傳輸速率。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 至 1B 圖是習知的動態隨機記憶體記憶細胞區之內導線的製造剖面圖。

第 2 圖是習知的動態隨機記憶體周邊區域之內導線的製造剖面圖。

第 3A 至 3E 圖是依照本發明之一較佳實施例一種動態隨機記憶體記憶細胞區之內導線的製造流程剖面圖。

第 4 圖是依照本發明之一較佳實施例一種動態隨機記憶體周邊區域之內導線的製造剖面圖。

五、發明說明(4)

圖式之標記說明：

- 10：矽基底
- 20：場氧化矽
- 30：第一摻雜多晶矽
- 40、220：矽化鎢
- 50：氮化矽
- 60：第一間隙壁
- 70、230：第一絕緣層
- 80、85：第一接觸窗口
- 105：第二接觸窗口
- 90、95、290、300：金屬鎢插塞
- 100：第二絕緣層
- 110、250：第三摻雜多晶矽
- 120、260：半球形顆粒的矽晶粒層
- 130：氧化矽/氮化矽/氧化矽絕緣層
- 140、270：第四摻雜多晶矽
- 150、280：保護層
- 210：第二摻雜多晶矽
- 240：接觸窗口

實施例

請參照第 3A 至 3E 圖，其繪示依照本發明一較佳實施例的一種動態隨機記憶體記憶細胞區之內導線的製造方法。步驟詳述如下：

請參照第 3A 圖，於一半導體矽基底 10 上形成隔離結構，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

比如用淺溝槽絕緣法定義出淺溝槽的位置，再用習知的化學氣相沈積法將二氧化矽填入淺溝槽中，形成場氧化矽(field oxide) 20，再用習知的 CMP 製程將二氧化矽 20 磨平至和矽基底 10 等高的位置。在矽基底 10 和場氧化矽 20 上方形成第一導電層，比如依序沈積一層約 1000 Å 厚的第一摻雜多晶矽層 30、一層約 1000 Å 厚的矽化鎢 40 和一層約 1500 Å 厚的氮化矽 50。第一摻雜多晶矽層 30 和矽化鎢層 40 形成第一導電層，氮化矽層 50 則形成一保護層。在氮化矽層 50 上方沈積一層光阻(圖上未繪示出來)，經由習知的微影製程定義出電晶體的閘極或連線(wire line)，再用習知的蝕刻步驟蝕刻未被光阻保護的區域直到露出矽基底 10 為止。然後在上方沈積一氮化矽，並藉由非等向性蝕刻，在電晶體閘極周緣形成間隙壁 60 的構造。

接下來，請參照第 3B 圖，形成第一絕緣層 70，比如用常壓 CVD 沈積一層約 2000 Å 厚的二氧化矽和一層約 7500 Å 厚的硼磷矽玻璃(BPSG)層，二者構成第一絕緣層 70。再用 CMP 將其表面平坦化，接著蝕穿第一絕緣層直至矽晶底為止，將源極、汲極的接觸窗口 80、85 定義出來。此時由於電晶體之閘極有氮化矽層 50 及間隙壁 60 的保護，所以可利用自動對準接觸窗口的方法(Self Align Contact, SAC)來定義接觸窗口 80、85。

請參照第 3C 圖，再將金屬鎢填入源極、汲極的接觸窗口 80、85，連接多個接觸窗口中暴露出的源/汲極區，包括位元線的接觸窗口 80 和接點的接觸窗口 85，形成多個鎢插塞 90、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (b)

95，構成內金屬導線。接著用 CMP 或鎢回蝕的方法，讓金屬鎢 90、95 的表面和第一絕緣層 70 等高。金屬鎢插塞在此取代習知所用的摻雜多晶矽作為內導線，優點為可以使得內導線的電阻下降，因而電晶體的操作速度會增快。

請參照第 3D 圖，然後再沈積第二絕緣層 100，方法、組成和第一絕緣層 70 相同。再用習知的微影蝕刻步驟，定義出和位在接點接觸窗口的金屬鎢插塞 95 相同位置的 第二接觸窗口 105。

接下來，請參照第 3E 圖，沈積第三摻雜多晶矽層覆蓋在第二絕緣層 100 與第二接觸窗口 105 之上，利用微影蝕刻步驟定義出和金屬鎢插塞 95 相連的動態隨機存取記憶體記憶胞電容之下電極 110。然後形成一半球形顆粒的矽晶粒層 120 覆蓋該下電極之表面，再形成一層電容絕緣層—氧化矽/氮化矽/氧化矽 130 覆蓋該半球形顆粒的矽晶粒層的表面。接著沈積第四摻雜多晶矽層覆蓋在下電極 120 的絕緣層 130 上面，用習知的微影蝕刻步驟定義出上電極 140，將下電極的絕緣層 130 包圍起來，最後再沈積一層絕緣保護層 150。

請參照第 4 圖，其繪示依照本發明一較佳實施例的一種動態隨機記憶體周邊區域之內導線的製造方法。動態隨機記憶體周邊區域是和記憶細胞區同步完成的，所以步驟十分類似，只是省去了製造電容的步驟。如第 4 圖所示，在矽基底 10 上形成電晶體 30、40、50、60 之後，接著形成第一絕緣層 70，然後應用習知的微影蝕刻步驟定義出接觸窗口的位置，然後沈積金屬鎢於其中，形成鎢插塞 290。接下來沈積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

第二層絕緣層 100，重複使用習知的微影蝕刻步驟定義出接觸窗口的位置，有一些和前述的部份接觸窗口位置相同，再沈積金屬鎢於其中，形成金屬鎢插塞 300。

如此分段將接觸窗口定義出來，以及分段將鎢金屬填入接觸窗口當中，將可避免習知技藝接觸窗口蝕刻不易以及金屬填入不易的缺點。在此，接點接觸窗口用金屬鎢插塞來取代習知所用的摻雜多晶矽的原因是在分段填入導電材質的過程中，金屬鎢在介面之間的連接比摻雜多晶矽要容易，且結構缺陷較少。因為鎢原子之間的金屬鍵不具方向性，可任意鍵結；多晶矽的矽原子之間為共價鍵鍵結，是具有方向性的化學鍵。而且多晶矽的微晶粒之間的介面，會使得內導線的電阻較大，耗能較多。

由上述本發明較佳實施例可知，應用本發明具有下列優點。第一、用短金屬鎢插塞連成長金屬鎢內導線，製作過程簡易。第二、因為使用金屬鎢填入以往用摻雜多晶矽所填入的接點接觸窗口，使得接點接觸窗口電阻大為降低。第三、在此使用金屬鎢作為位元線內導線材質，使得位元線的電阻值降低，同時也使得 RC 延遲時間大為縮短。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 動態隨機存取記憶體之內導線的製造方法)

一種動態隨機存取記憶體之內導線的製造方法，包括一段蝕刻內導線所需的接觸窗口，一段填入金屬鎢插塞的製程，以及接點接觸窗口使用金屬鎢取代習知的摻雜多晶矽。應用本發明具有下列優點：第一、用短金屬鎢插塞連成長金屬鎢內導線，製作過程簡易。第二、因為使用金屬鎢填入以往用摻雜多晶矽所填入的接點接觸窗口，使得接點接觸電阻大為降低。第三、在此使用金屬鎢作為位元線內導線材質，使得位元線的電阻值降低，同時也使得 RC 延遲時間大為縮短。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種具有金屬內導線之動態隨機記憶體記憶胞的製造方法，包括下列步驟：

形成至少一電晶體於一基底上，每一該電晶體至少包括一閘極，及二源極/汲極區配置於該閘極之二側；

於該基底上形成一第一絕緣層；

於該第一絕緣層上形成複數個第一接觸窗口，暴露出該電晶體之該些源極/汲極區；

形成複數個第一金屬錫插塞於該些第一接觸窗口之中；

形成一第二絕緣層於該第一絕緣層和該些金屬錫插塞之

上；
定義該第二絕緣層，形成複數個第二接觸窗口連接部份該些第一金屬錫插塞；以及

形成至少一電容於該些第二接觸窗口之上和部份該些第一金屬錫插塞相接。

2. 如申請專利範圍第 1 項所述之具有金屬內導線之動態隨機記憶體記憶胞的製造方法，其中該電晶體之該閘極上還包括一氮化矽層，在該閘極之周緣還包括一間隙壁的構造。

3. 如申請專利範圍第 1 項所述之具有金屬內導線之動態隨機記憶體記憶胞的製造方法，其中形成該第一絕緣層更包括形成一氧化矽層於該基底上；以及形成一硼磷矽玻璃層於該氧化矽層上，其中該氧化矽層厚度約 2000 Å，且該硼磷矽玻璃層厚度約 7500 Å。

4. 如申請專利範圍第 1 項所述之具有金屬內導線之動態隨機記憶體記憶胞的製造方法，其中形成該第二絕緣層更包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

括形成一氧化矽層於該基底上；以及形成一硼磷矽玻璃層於該氧化矽層上，其中該氧化矽層厚度約 2000 Å，且該硼磷矽玻璃層厚度約 7500 Å。

5. 如申請專利範圍第 1 項所述之具有金屬內導線之動態隨機記憶體記憶胞的製造方法，其中形成該些第一接觸窗口的方法包括自動對準接觸窗口法。

6. 如申請專利範圍第 1 項所述之具有金屬內導線之動態隨機記憶體記憶胞的製造方法，其中形成該電容之方法更包括形成至少一下電極於該些第二接觸窗口之上，形成一介電層於該下電極之上，以及形成一上電極於該介電層之上。

7. 如申請專利範圍第 6 項所述之金屬內導線之動態隨機記憶體記憶胞的製造方法，其中該下電極的材料包括摻雜多晶矽。

8. 如申請專利範圍第 6 項所述之金屬內導線之動態隨機記憶體記憶胞的製造方法，其中該上電極的材料包括摻雜多晶矽。

9. 如申請專利範圍第 6 項所述之金屬內導線之動態隨機記憶體記憶胞的製造方法，其中該介電層係由氧化物/氮化物/氧化物所組成的，其形成方法為

在該下電極表面上自然氧化出一第一氧化矽層；

沈積一氮化矽層於該第一氧化矽層之上；

用熱氧化使該氮化矽層的表面形成一第二氧化矽層。

10. 一種動態隨機記憶體周邊區域之內導線的製造方法，包括下列步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

形成至少一電晶體於一基底上，每一該電晶體至少包括一閘極，及二源極/汲極區配置於該閘極之二側；

於該基底上形成一第一絕緣層；

於該第一絕緣層上形成複數個第一接觸窗口，暴露出該電晶體之該些源極/汲極區；

形成複數個第一金屬錫插塞於該些接觸窗口之中；

形成一第二絕緣層於該第一絕緣層和該些第一金屬錫插塞之上；

定義該第二絕緣層，形成複數個第二接觸窗口連接部份該些第一複數個金屬錫插塞；以及

形成複數個第二金屬錫插塞於該些第二接觸窗口之中，分別與該些第一金屬錫插塞相接。

11. 如申請專利範圍第 10 項所述之動態隨機記憶體周邊區域之內導線的製造方法，其中該電晶體之該閘極上還包括一氮化矽層，在該閘極之周緣還包括一間隙壁的構造。

12. 如申請專利範圍第 10 項所述之動態隨機記憶體周邊區域之內導線的製造方法，其中形成該第一絕緣層更包括形成一氧化矽層於該基底上；以及形成一硼磷矽玻璃層於該氧化矽層上，其中該氧化矽層厚度約 2000 Å，且該硼磷矽玻璃層厚度約 7500 Å。

13. 如申請專利範圍第 10 項所述之動態隨機記憶體周邊區域之內導線的製造方法，其中形成該第二絕緣層更包括形成一氧化矽層於該基底上；以及形成一硼磷矽玻璃層於該氧化矽層上，其中該氧化矽層厚度約 2000 Å，且該硼磷矽玻璃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

層厚度約 7500 Å。

14. 如申請專利範圍第 10 項所述之動態隨機記憶體周邊區域之內導線的製造方法，其中形成該些第一接觸窗口的方法包括自動對準接觸窗口法。

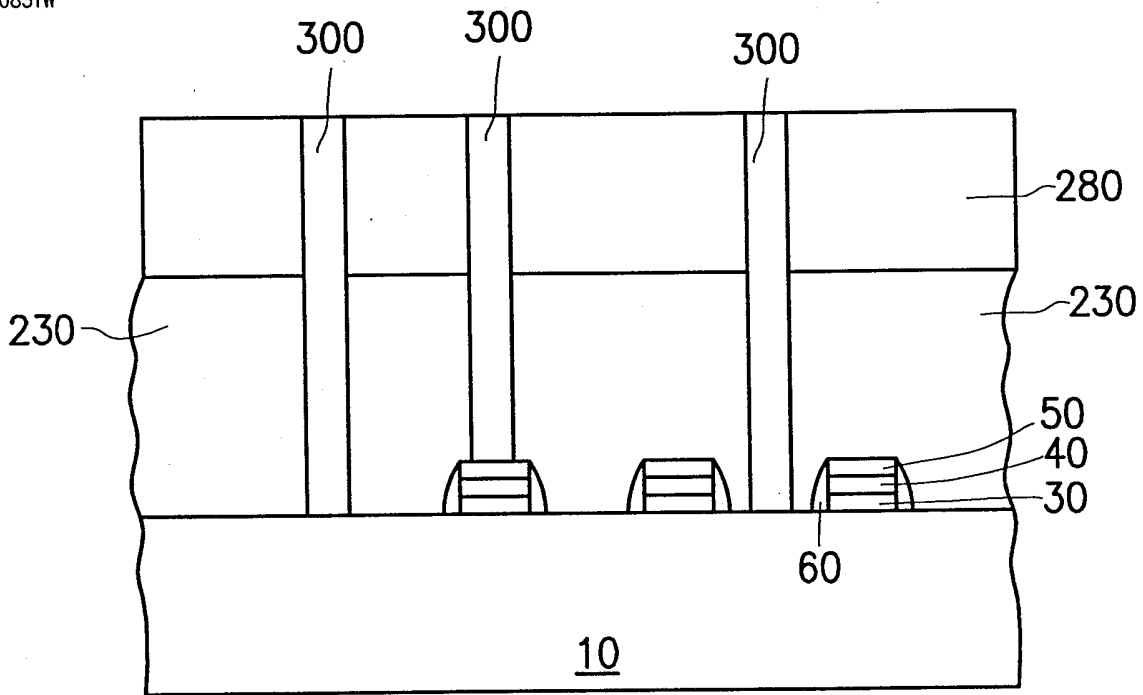
(請先閱讀背面之注意事項再填寫本頁)

裝

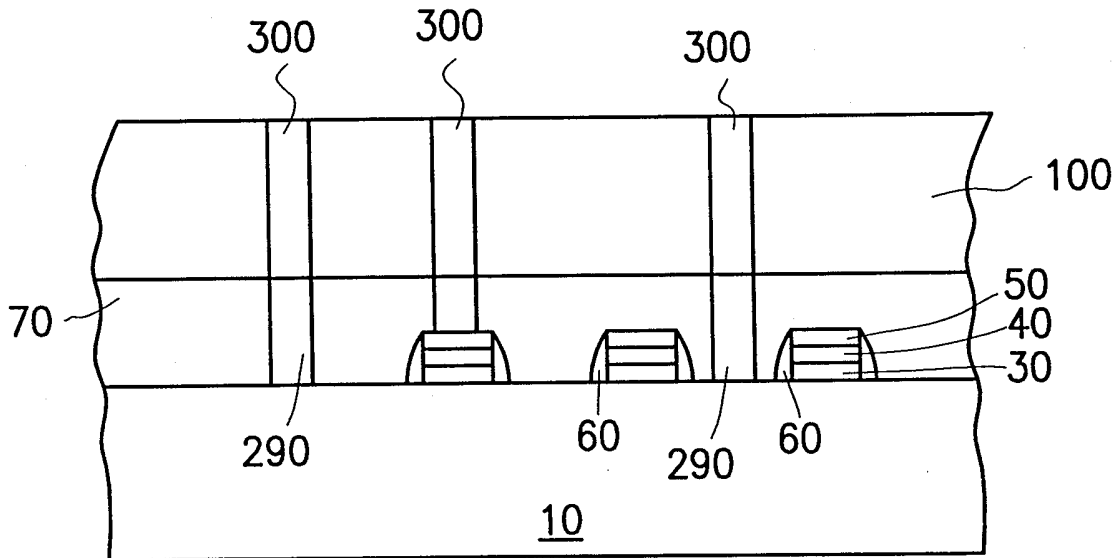
訂

383479

3085TW

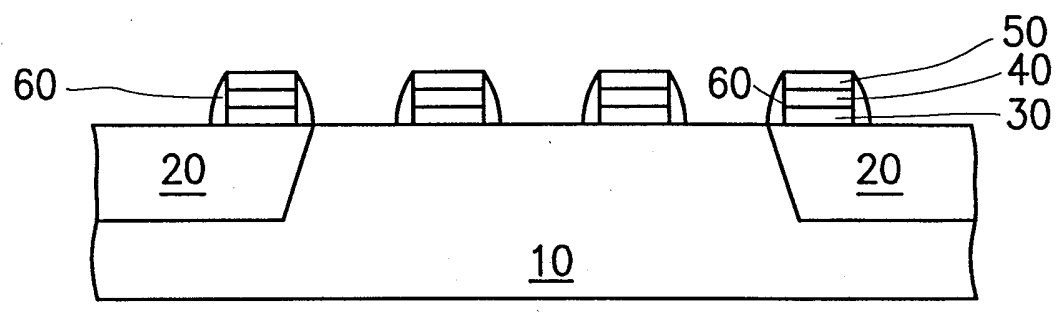


第 2 圖

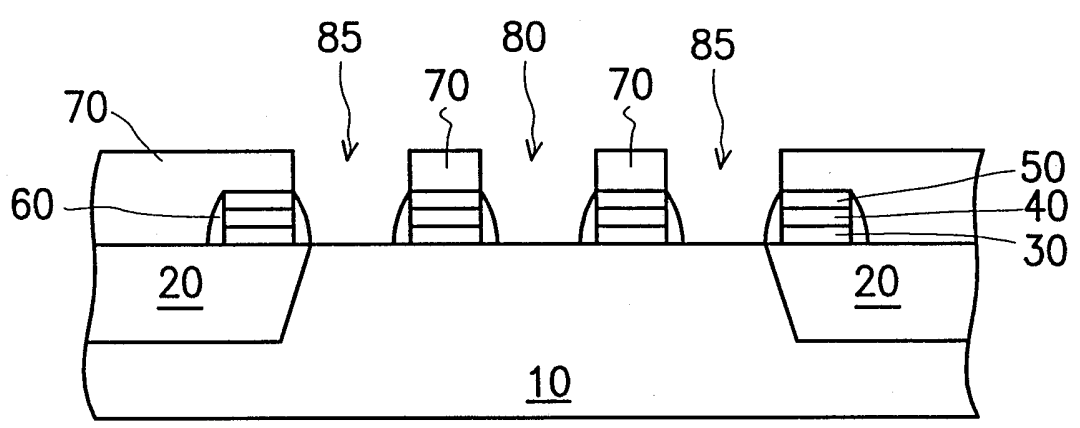


第 4 圖

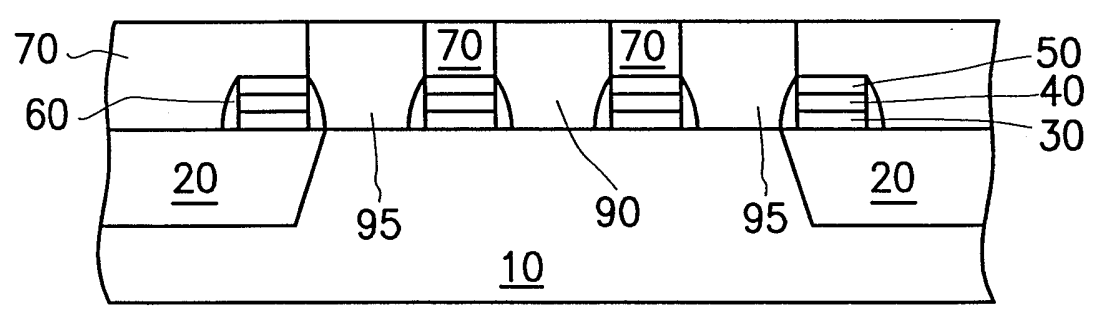
3085TW



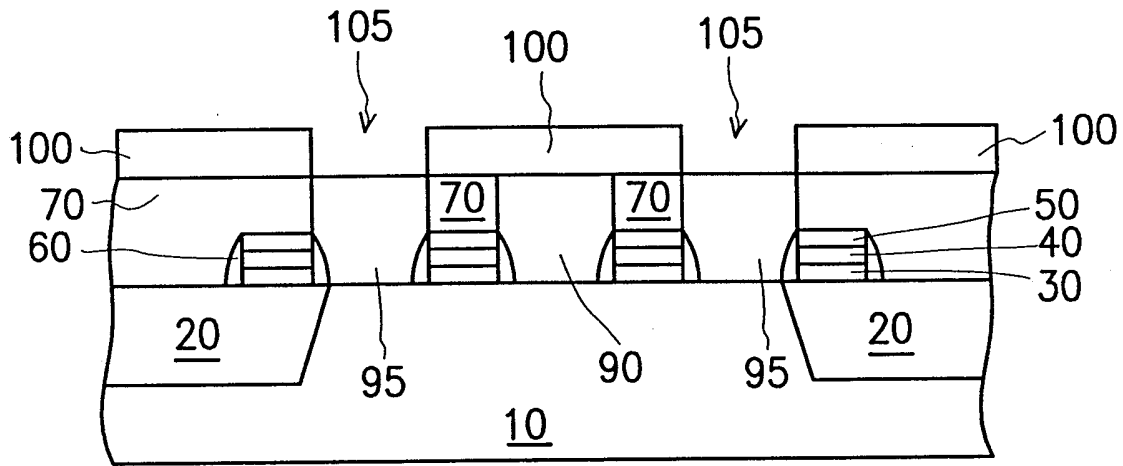
第3A圖



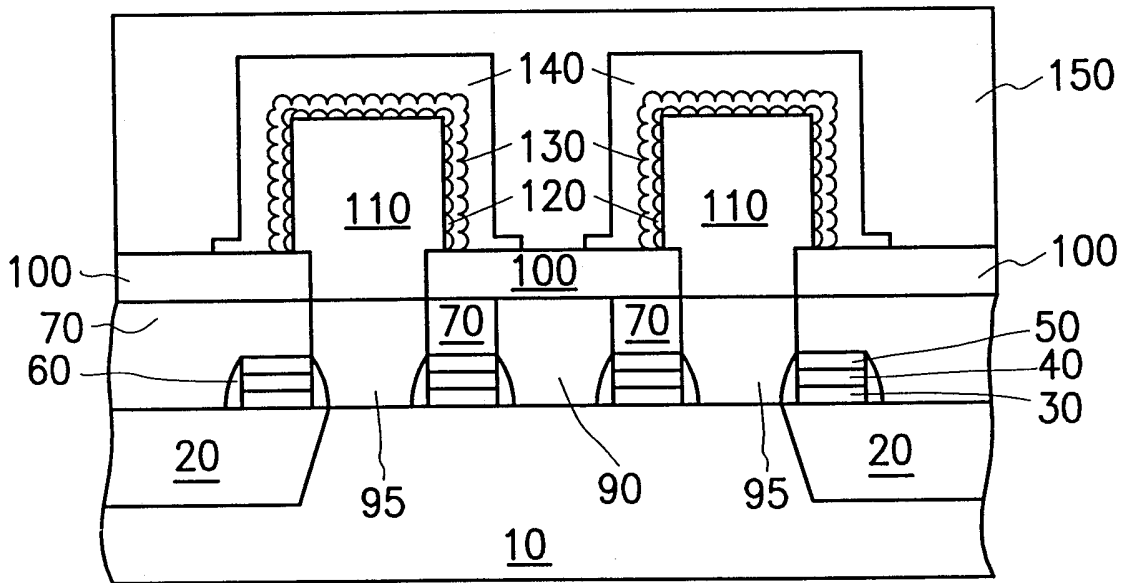
第3B圖



第3C圖



第3D圖



第3E圖