

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5074879号  
(P5074879)

(45) 発行日 平成24年11月14日(2012.11.14)

(24) 登録日 平成24年8月31日(2012.8.31)

(51) Int.Cl.	F I	
<b>G09G 3/22 (2006.01)</b>	G09G 3/22	E
<b>H01J 1/304 (2006.01)</b>	H01J 1/30	F
<b>H01J 31/12 (2006.01)</b>	H01J 31/12	C
<b>G09G 3/20 (2006.01)</b>	G09G 3/20	642D
	G09G 3/20	611D
請求項の数 3 (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2007-269251 (P2007-269251)  
 (22) 出願日 平成19年10月16日(2007.10.16)  
 (65) 公開番号 特開2009-98365 (P2009-98365A)  
 (43) 公開日 平成21年5月7日(2009.5.7)  
 審査請求日 平成22年7月9日(2010.7.9)

(73) 特許権者 000201814  
 双葉電子工業株式会社  
 千葉県茂原市大芝629  
 (73) 特許権者 000004352  
 日本放送協会  
 東京都渋谷区神南2丁目2番1号  
 (74) 代理人 100067323  
 弁理士 西村 敦光  
 (74) 代理人 100124268  
 弁理士 鈴木 典行  
 (72) 発明者 谷口 昌照  
 千葉県茂原市大芝629 双葉電子工業株式会社内

最終頁に続く

(54) 【発明の名称】 電子放出素子及び表示素子

(57) 【特許請求の範囲】

【請求項1】

複数の要素領域をマトリクス状に規定するとともにそれぞれ所定の電位が与えられる第1及び第2の配線を備えたマトリクス配線と、

前記要素領域ごとに設けられ、前記マトリクス配線に接続されたスイッチング素子を備えるスイッチング回路と、

前記要素領域ごとに前記各スイッチング回路の上に積層されて前記各スイッチング回路に接続され、電子を放出する複数のエミッタと該エミッタから電子を引き出すゲート電極を備えたエミッタアレイが複数配設されてなるエミッタアレイユニットと、

前記エミッタアレイユニットを、前記各エミッタアレイユニット間で互いに対応する位置に設けられた前記エミッタアレイごとに駆動するエミッタアレイ駆動回路とを有し、

前記マトリクス配線によって前記スイッチング素子を駆動して前記エミッタアレイユニットを選択するとともに、選択された前記エミッタアレイユニット中の前記エミッタアレイを前記エミッタアレイ駆動回路によって選択する電子放出素子であって、

前記エミッタアレイごとに前記ゲート電極の上に絶縁層を介してスイッチング電極が設けられ、前記各エミッタアレイユニット間で対応する前記スイッチング電極が複数系統のエミッタアレイ選択配線によって共通に接続されており、

前記エミッタアレイ駆動回路は、複数系統の前記エミッタアレイ選択配線を駆動することを特徴とする電子放出素子。

【請求項2】

10

20

前記各スイッチング素子の制御端子が、前記マトリクス配線の前記第 1 の配線である制御線によって接続されており、

前記各スイッチング素子の入力端子と出力端子の一方が、前記エミッタアレイユニットに接続されており、

前記各スイッチング素子の入力端子と出力端子の他方が、前記マトリクス配線の前記第 2 の配線である共通の固定電位に接続されており、

前記制御線には、データをシリアルに転送する第 1 駆動回路が接続されており、

前記固定電位には、前記各スイッチング素子の入力端子と出力端子の他方に所定の電位を与える第 2 駆動回路が接続されており、

1 駆動周期において前記各スイッチング素子の制御端子に制御信号を与えることによって前記各エミッタアレイユニットの選択を行い、該 1 駆動周期内における前記エミッタアレイの選択は、前記エミッタアレイ駆動回路により行うことを特徴とする請求項 1 に記載の電子放出素子。

10

### 【請求項 3】

複数の要素領域をマトリクス状に規定するとともに所定の電位でそれぞれ駆動される第 1 及び第 2 の配線を備えたマトリクス配線と、

前記要素領域ごとに設けられ、前記マトリクス配線に接続されたスイッチング素子を備えるスイッチング回路と、

前記要素領域ごとに前記各スイッチング回路の上に積層されて前記各スイッチング回路に接続され、電子を放出する複数のエミッタと該エミッタから電子を引き出すゲート電極を備えたエミッタアレイが複数配設されてなるエミッタアレイユニットと、

20

前記エミッタアレイユニットを、前記各エミッタアレイユニット間で互いに対応する位置に設けられた前記エミッタアレイごとに駆動するエミッタアレイ駆動回路と、

複数の前記エミッタアレイユニットに所定間隔を以て対面して配置され、前記エミッタから放出された電子の衝突を受けて発光する蛍光体を備えた陽極とを有し、

前記マトリクス配線によって前記スイッチング素子を駆動して前記エミッタアレイユニットを選択するとともに、選択された前記エミッタアレイユニット中の前記エミッタアレイを前記エミッタアレイ駆動回路によって選択し、選択された前記エミッタアレイの前記エミッタから放出された電子が対面する前記陽極の蛍光体に衝突して発光する表示素子であって、

30

前記エミッタアレイごとに前記ゲート電極の上に絶縁層を介してスイッチング電極が設けられ、前記各エミッタアレイユニット間で対応する前記スイッチング電極が複数系統のエミッタアレイ選択配線によって共通に接続されており、

前記エミッタアレイ駆動回路は、複数系統の前記エミッタアレイ選択配線を駆動することを特徴とする表示素子。

### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、マトリクス状に配設された電界放出形の電子放出素子と、かかる電子放出素子を電子源とし、蛍光体に電子を衝突させて発光を得る表示素子に係り、特に電子放出部の単位領域と、これを選択駆動するスイッチング素子が積層された構造とされている場合において、電子放出部の単位領域のピッチを可及的に小さくした電子放出素子と、かかる電子放出素子を電子源とするために表示部の画素ピッチが小さい表示素子に関するものである。

40

#### 【背景技術】

#### 【0002】

特許文献 1 に記載された電界放出形カソードは、表示密度が高く、FEC と共に作り込む回路の特性が良好で、スタティック駆動することができることを目的としたものである。その構成を説明すると、Si 単結晶基板には、各複数本の制御線とデータ線がマトリクスを構成しており、複数の要素領域が形成されている。各要素領域内において、Si 単

50

結晶基板には回路要素が形成され、その上には駆動の単位領域となる電界放出部が積層して形成されている。回路要素は、データ線にドレインが接続され、制御線にゲートが接続されたスイッチング素子であるトランジスタと、入力信号の記憶回路であるキャパシタと、電界放出部に入力信号を増幅して与えるトランジスタとを有している。Si単結晶基板上に作り込む回路要素の特性は良好であり、電界放出部はその上に積層するので密度が高くなる。また、回路要素はキャパシタを有しているのでスタティック駆動ができるものとされている。

【特許文献1】特開平6 - 44927号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0003】

特許文献1で開示されているようなマトリクス構造の電界放出形カソードでは、上述したように、マトリクスの各要素領域に構成された電界放出部を選択的に駆動するために、それぞれ回路要素が設けられている。図9は、このようなマトリクス構造の電界放出形カソードにおける各要素領域の電界放出部と回路の構造例を示したものであり、同図(a)は上面図、同図(b)は概念的断面図及び回路図である。

【0004】

図9に示す駆動回路AはSi等の単結晶基板上に形成されており、同単結晶基板上に配設された図示しないマトリクス配線に接続されたスイッチング素子としてのFET(Nチャンネル)を有している。FETのソースSは図示しないデータ線に接続され、ゲートGは図示しない制御線に接続され、ドレインDは後述する電界放出部100の下敷電極101に接続される。

20

【0005】

図9に示す電界放出部100は、それぞれ対応する前記駆動回路Aの上に絶縁層を挟んで積層して構成されている。すなわち、駆動回路Aを覆う図示しない絶縁層の上には下敷電極101が形成され、この下敷電極101の上にはSiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>或いはAl<sub>2</sub>O<sub>3</sub>等の絶縁層102が形成されている。さらにこの絶縁層102上にはNb層等のゲート電極103が形成されている。ゲート電極103及び絶縁層102にはホール104が形成され、該ホール104内に露出した下敷電極101上にはMo(又はTi, W等)からなる円錐形状のエミッタ105が形成されている。

30

【0006】

そして、前記FETのドレインDが、前記電界放出部100の下敷電極101に接続されている。

【0007】

このような駆動回路Aを有する電界放出部100においては、駆動回路AのFETのゲートGがONであるとエミッタ105には所定電位のデータ信号が与えられて電子が放出されるが、ゲートGがOFFになるとエミッタ105は特定の電位に接続されない状態(フローティング)となるため徐々に電位が上昇して最終的にはデータ信号の電位(例えば0(V))からV<sub>g</sub> - V<sub>th</sub>(V)(V<sub>g</sub>はゲート電圧、V<sub>th</sub>はエミッタ特有のエミッション閾値電圧である)に持ち上がり、ここにおいてエミッタ105からの電子放出が停止する。

40

【0008】

従って、0(V)からV<sub>g</sub> - V<sub>th</sub>(V)に電位が持ち上がるまでの時間はエミッタ105から電子が放出され続けるため、電子放出において係る挙動を示す電界放出部100を電子源とする表示素子においては、電子が射突して発光する表示部において不要な漏れ発光が発生してしまう。

【0009】

このような問題を回路的に解決するために、図10に示すように構成上トランジスタの出力段を相互補完構造(C-MOS)の駆動回路A'にすることが知られている。この駆動回路A'によれば、入力がLの場合は、PチャンネルFETがONとなってエミッタ10

50

5の電位は $V_g - V_{th}$  (V)となり、入力がHの場合は、NチャネルFETがONとなってエミッタ105の電位はGNDとなり、いずれの場合もエミッタ105の電位がフローティングすることはない。尚、このようなC-MOS構造の回路において、P型のFETを抵抗で置き換える場合もある。更にスタティック駆動をするために駆動回路Aにキャパシタを追加してメモリー機能をもたせる場合もある。

【0010】

しかしながら、このような回路上の構成を変更することで課題を解決しようとした場合には、次のような問題点がある。すなわち、このような電子放出素子を表示素子の電子源として用いる場合、表示部の画素に対応するのは、マトリクス状に配置された表示素子の各要素領域の電界放出部であるが、画素ピッチを決定する電界放出部の配設ピッチは各回路要素の大きさによって左右されてしまう点である。つまり、各要素領域の回路要素を小さく構成できれば画素ピッチも小さくできるが、実際には回路要素として要求される耐圧性能を十分に満足した上で上述したフローティングの問題も解消しうる構成の回路要素はかなり大きくなってしまふ。例えば、40V耐圧のFETは約15 $\mu$ m角の大きさであり、求められる画素ピッチ(例えば20 $\mu$ m程度)を考慮すると上述したようなFETを2個有するC-MOS構造にすることはできないし、2個のFETの1個を抵抗としても同様である。駆動回路Aにキャパシタを追加する場合は回路要素は更に大きくなってしまふ。

10

【0011】

本発明は、このような従来の技術における課題を解決するためになされたものであり、回路要素と電子放出部が積層構造とされたマトリクス構造の電子放出素子において、回路要素が必要な耐圧性能を満たすために必要となるサイズによって制限されることなく、駆動単位である電子放出部の配設ピッチを可及的に小さくすることができる電子放出素子を提供することを第1の目的とし、さらにかかる電子放出素子を電子源とすることにより表示部の画素ピッチを可及的に高精細化した表示素子を提供することを第2の目的としている。

20

【課題を解決するための手段】

【0012】

請求項1に記載された電子放出素子は、  
 複数の要素領域をマトリクス状に規定するとともにそれぞれ所定の電位が与えられる第1及び第2の配線を備えたマトリクス配線と、  
 前記要素領域ごとに設けられ、前記マトリクス配線に接続されたスイッチング素子を備えるスイッチング回路と、  
 前記要素領域ごとに前記各スイッチング回路の上に積層されて前記各スイッチング回路に接続され、電子を放出する複数のエミッタと該エミッタから電子を引き出すゲート電極を備えたエミッタアレイが複数配設されてなるエミッタアレイユニットと、  
 前記エミッタアレイユニットを、前記各エミッタアレイユニット間で互いに対応する位置に設けられた前記エミッタアレイごとに駆動するエミッタアレイ駆動回路とを有し、  
 前記マトリクス配線によって前記スイッチング素子を駆動して前記エミッタアレイユニットを選択するとともに、選択された前記エミッタアレイユニット中の前記エミッタアレイを前記エミッタアレイ駆動回路によって選択する電子放出素子であって、  
前記エミッタアレイごとに前記ゲート電極の上に絶縁層を介してスイッチング電極が設けられ、前記各エミッタアレイユニット間で対応する前記スイッチング電極が複数系統のエミッタアレイ選択配線によって共通に接続されており、  
前記エミッタアレイ駆動回路は、複数系統の前記エミッタアレイ選択配線を駆動することを特徴としている。

30

40

【0015】

請求項2に記載された電子放出素子は、請求項1に記載の電子放出素子において、前記各スイッチング素子の制御端子が、前記マトリクス配線の前記第1の配線である制御線によって接続されており、

50

前記各スイッチング素子の入力端子と出力端子の一方が、前記エミッタアレイユニットに接続されており、

前記各スイッチング素子の入力端子と出力端子の他方が、前記マトリクス配線の前記第2の配線である共通の固定電位に接続されており、

前記制御線には、データをシリアルに転送する第1駆動回路が接続されており、

前記固定電位には、前記各スイッチング素子の入力端子と出力端子の他方に所定の電位を与える第2駆動回路が接続されており、

1駆動周期において前記各スイッチング素子の制御端子に制御信号を与えることによって前記各エミッタアレイユニットの選択を行い、該1駆動周期内における前記エミッタアレイの選択は、前記エミッタアレイ駆動回路により行うことを特徴としている。

10

#### 【0016】

請求項3に記載された表示素子は、

複数の要素領域をマトリクス状に規定するとともに所定の電位でそれぞれ駆動される第1及び第2の配線を備えたマトリクス配線と、

前記要素領域ごとに設けられ、前記マトリクス配線に接続されたスイッチング素子を備えるスイッチング回路と、

前記要素領域ごとに前記各スイッチング回路の上に積層されて前記各スイッチング回路に接続され、電子を放出する複数のエミッタと該エミッタから電子を引き出すゲート電極を備えたエミッタアレイが複数配設されてなるエミッタアレイユニットと、

前記エミッタアレイユニットを、前記各エミッタアレイユニット間で互いに対応する位置に設けられた前記エミッタアレイごとに駆動するエミッタアレイ駆動回路と、

20

複数の前記エミッタアレイユニットに所定間隔をおいて対面して配置され、前記エミッタから放出された電子の射突を受けて発光する蛍光体を備えた陽極とを有し、

前記マトリクス配線によって前記スイッチング素子を駆動して前記エミッタアレイユニットを選択するとともに、選択された前記エミッタアレイユニット中の前記エミッタアレイを前記エミッタアレイ駆動回路によって選択し、選択された前記エミッタアレイの前記エミッタから放出された電子が対面する前記陽極の蛍光体に射突して発光する表示素子であって、

前記エミッタアレイごとに前記ゲート電極の上に絶縁層を介してスイッチング電極が設けられ、前記各エミッタアレイユニット間で対応する前記スイッチング電極が複数系統のエミッタアレイ選択配線によって共通に接続されており、

30

前記エミッタアレイ駆動回路は、複数系統の前記エミッタアレイ選択配線を駆動することを特徴としている。

#### 【発明の効果】

#### 【0017】

請求項1に記載された電子放出素子によれば、マトリクスの各要素領域において、スイッチング回路とエミッタアレイユニットが積層されており、前記マトリクスを構成するマトリクス配線でスイッチング素子を駆動して所望のエミッタアレイユニットを選択するとともに、選択されたエミッタアレイユニット中のエミッタアレイをエミッタアレイ駆動回路によって選択することにより、エミッタアレイユニットよりも小さいエミッタアレイを単位として電子放出を行うことができる。

40

さらに請求項1に記載された電子放出素子によれば、エミッタアレイごとにスイッチング電極を設け、各エミッタアレイユニット間で対応するスイッチング電極を複数系統のエミッタアレイ選択配線で共通接続しており、エミッタアレイユニット中のエミッタアレイを選択するために、エミッタアレイ駆動回路によって複数系統のエミッタアレイ選択配線を駆動することとしたので、エミッタアレイを単位とした電子放出領域の選択駆動を行うことができる。

#### 【0018】

このように、FET等のスイッチング素子に要求される耐圧性能を満たした上で、サイズに制限されることなくマトリクス形の電子放出素子を積層構造で構成し、十分に小さい

50

ピッチで構成した電子放出素子を選択駆動の単位とすることができるので、これを表示素子の電子源とした場合には、表示領域に配設する表示単位である画素のピッチも十分に小さくして表示の精細度を向上させることができる。

【 0 0 2 1 】

請求項 2 に記載された電子放出素子によれば、前記第 2 駆動回路が前記各スイッチング素子の入力端子と出力端子の他方に所定の電位を与えている状態において、第 1 駆動回路が前記各スイッチング素子の制御端子に制御信号を入力することにより、前記エミッタアレイユニットの選択が行われ、これと同時に前記エミッタアレイ駆動回路により前記各エミッタアレイユニット中から駆動する前記エミッタアレイの選択を行うことができる。従って、マトリクスを構成する第 1 及び第 2 配線が各数百本程度となるような一般的な構成においてマトリクスでエミッタアレイを選択する場合に比べ、駆動時のデューティ比が大きくとれ、表示素子の電子源とした場合には発光時間が長くとれて輝度の向上に資することとなる。

10

【 0 0 2 2 】

請求項 3 に記載された表示素子によれば、マトリクスの各要素領域において、スイッチング回路とエミッタアレイユニットが積層されており、前記マトリクスを構成するマトリクス配線でスイッチング素子を駆動して所望のエミッタアレイユニットを選択するとともに、選択されたエミッタアレイユニット中のエミッタアレイをエミッタアレイ駆動回路によって選択することにより、エミッタアレイユニットよりも小さいエミッタアレイを単位として電子放出領域を選択駆動することができる。従って、マトリクス配線によってスイッチング素子を駆動してエミッタアレイユニットを選択するとともに、選択されたエミッタアレイユニット中のエミッタアレイをエミッタアレイ駆動回路によって選択すれば、選択されたエミッタアレイのエミッタから放出された電子が対面する陽極の蛍光体に射突してこれを発光させるので、マトリクス状に配設された画素単位で陽極を選択発光させて所望の表示を行うことができる。

20

さらに請求項 3 に記載された表示素子によれば、エミッタアレイごとにスイッチング電極を設け、各エミッタアレイユニット間で対応するスイッチング電極を複数系統のエミッタアレイ選択配線で共通接続しており、エミッタアレイユニット中のエミッタアレイを選択するために、エミッタアレイ駆動回路によって複数系統のエミッタアレイ選択配線を駆動することとしたので、エミッタアレイを単位とした電子放出領域の選択駆動を行うことができる。

30

【 0 0 2 3 】

このように、FET等のスイッチング素子に要求される耐圧性能を満たした上で、サイズに制限されることなくマトリクス形の電子放出素子を積層構造で構成し、十分に小さいピッチで構成した電子放出素子を選択駆動の単位とすることができるので、表示領域に配設する表示単位である画素のピッチも十分に小さくして表示の精細度を向上させることができる。

【発明を実施するための最良の形態】

【 0 0 2 4 】

以下、本発明の実施形態を図面を参照して説明する。

40

図 1 は第 1 実施形態の基本構成を示す平面図、図 2 は本例における電子放出部分の構造及び名称を示す図、図 3 は第 1 実施形態における駆動タイミング図、図 4 は第 1 実施形態における他の駆動タイミングを示す駆動タイミング図、図 5 は第 2 実施形態の基本構成を示す平面図、図 6 は第 2 実施形態における駆動タイミング図、図 7 は第 3 実施形態における電子放出素子の構造を示す断面図、図 8 は各実施形態の電子放出素子を電子源として有する第 4 実施形態に係る表示素子の断面図である。

【 0 0 2 5 】

( 1 ) 第 1 実施形態 ( 図 1 ~ 図 4 )

第 1 実施形態の電子放出素子 1 の基本的構成を図 1 を参照して説明する。

本例の電子放出素子 1 はマトリクス配線を有している。このマトリクス配線は、所定間

50

隔で配設された複数本の第1の配線である制御線2と、これに交差（本例では直交）するように所定間隔で配設された複数本の第2の配線であるデータ線3からなり、両配線の交差により複数の要素領域4がマトリクス状に配置された構成になっている。

尚、図1では制御線2が4本、データ線3が3本で要素領域4が $4 \times 3 = 12$ となっているが、これは説明及び図示上の便宜であり、表示素子の電子源として用いられる場合には各配線の数はもっと多く、要素領域4の数も多いのが普通である。

#### 【0026】

より具体的には、図示しないSi等の単結晶基板（以下、単に基板と呼ぶ。）上に、図示しない絶縁層を介してX方向に帯状の制御線2（第1の配線）が所定間隔をおいて並設され、制御線2の上には図示しない絶縁層を介してY方向に帯状のデータ線3（第2の配線）が所定間隔をおいて並設され、前記マトリクス配線を構成している。制御線2とデータ線3は共にAlの薄膜等によって構成される。

10

#### 【0027】

制御線2には、第1駆動回路Bが接続されており、前記制御線2に所定の制御信号を所望のタイミングで与えることができる。また、データ線3には、第2駆動回路B'が接続されており、前記データ線3に所定のデータ信号を所望のタイミングで与えることができる。

#### 【0028】

前記マトリクス配線によって区画された前記各要素領域4には、前記マトリクス配線に接続されたスイッチング回路を構成するFET5と、要素領域4ごとに各FET5の上に積層して形成され、かつ前記各FET5に接続されたエミッタアレイユニット6が設けられている。

20

#### 【0029】

図1においては、図示の便宜上、一つのエミッタアレイユニット6と、これに対応する一つのFET5が別々の位置に設けられているように表現されているが、具体的構成においては、両者は一つの要素領域4において上下に積層して構成されている。

#### 【0030】

まず、要素領域4の下層にあるスイッチング回路について説明する。

各エミッタアレイユニット6ごとに設けられたスイッチング回路は、スイッチング素子としてのFET5から成る。本例のFET5は基板上に作り込まれたMOS形Nチャンネルの電界効果トランジスタである。FET5は、入力側であるソースSがデータ線3に接続され、ゲートGが制御線2に接続されている。FET5の出力側であるドレインDは、後述するエミッタアレイユニット6の下敷電極に接続されている。尚、前記FET5のドレインDとソースSは基板に形成したn+層であり、ゲートGはポリシリコン又は高融点金属（メタルシリサイド）で構成することができる。

30

#### 【0031】

次に、要素領域4の上層にある電子放出部としてのエミッタアレイユニット6について説明する。

本例における電界放出型の電子放出部は、前述した通り、前記要素領域4ごとに形成されており、マトリクス配線（制御線2及びデータ線3）とスイッチング回路（FET5）の上に絶縁層を介して積層して設けられている。

40

#### 【0032】

即ち、詳細は図示しないが、前記絶縁層の上には下敷電極が設けられ、その上にはSiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>、或いはAl<sub>2</sub>O<sub>3</sub>等の絶縁層が形成されている。さらにこの絶縁層上にはNb層等のゲートが形成されている。ゲート及び絶縁層にはホールが形成され、該ホール内に露出した下敷電極上にはMo（又はTi, W等）からなる円錐形状のエミッタが形成されている。このような下敷電極、エミッタ、ゲートを備えた基本構造は図9に示したものと略同一である。

#### 【0033】

本例における電子放出部の最も小さい構成単位は、円錐形状の前記エミッタであり、エ

50

ミッタに近接して設けられたゲート電極により先端から電子が放出される。本例では、このエミッタが図1及び図2(a)に示すように複数個集められたものをエミッタアレイ7と呼び、これが電子放出を選択する上での最小単位となり、表示素子の電子源として使用する場合には表示部の画素に相当する。尚、図1及び図2(a)では、3行3列で合計9個のエミッタ105と、これらに共通のゲート電極103によって一つのエミッタアレイ7が構成されている。

【0034】

図1及び図2(b)に示すように、エミッタアレイ7が複数個集められたものをエミッタアレイユニット6と呼び、これが前記スイッチング回路(FET5)で電子放出可能な部分を選択する上での単位となる。尚、図1では2行2列で合計4個のエミッタアレイ7によって一つのエミッタアレイユニット6が構成されているが、図2(b)では、4行4列で合計16個のエミッタアレイ7によって一つのエミッタアレイユニット6が構成されている。

10

【0035】

図1及び図2(c)に示すように、エミッタアレイユニット6が複数個集められたものをエミッタ(アレイ)群8と呼び、これがマトリクス状に配置された複数の要素領域4(電子放出面の全体に相当する領域)におけるエミッタの集合全体を構成するものである。尚、図1及び図2(c)においては、エミッタ(アレイ)群8は3行4列に配置された12個のエミッタアレイユニット6で構成されているが、これは図示上の便宜による例示に過ぎず、エミッタ(アレイ)群8を構成するエミッタアレイユニット6の数はさらに多くても良いし、少なくとも良い。

20

【0036】

また、図1及び図2(c)においては、隣接するエミッタアレイユニット6,6の間隔が大きく離れており、エミッタアレイユニット6内において隣接するエミッタアレイ7,7同士の間隔よりも、隣接するエミッタアレイユニット6,6間において隣接するエミッタアレイ7,7同士の間隔の方が大きくなっているが、実際には隣接するエミッタアレイユニット6,6間において隣接するエミッタアレイ7,7同士の間隔と、エミッタアレイユニット6内において隣接するエミッタアレイ7,7同士の間隔は等しくなるように構成されている。

【0037】

本例の電子放出素子1は、マトリクス配線(制御線2、データ線3)を第1及び第2駆動回路B, B'で駆動してエミッタアレイユニット6を選択するとともに、当該エミッタアレイユニット6中のエミッタアレイ7を選択するために、前記エミッタアレイユニット6を、前記各エミッタアレイユニット6,6間で互いに対応する位置に設けられた前記エミッタアレイ7ごとに駆動する手段を有している。

30

【0038】

すなわち、図1に示すように、各エミッタアレイユニット6,6間で互いに対応する位置にあるエミッタアレイ7の前記ゲート電極103は、共通のエミッタアレイ選択配線9に接続されている。図1の例では、各エミッタアレイユニット6内には4つのエミッタアレイ7があるので、4系統のエミッタアレイ選択配線9があり、これらのエミッタアレイ選択配線9がエミッタアレイ駆動回路C(図中では単に駆動回路Cと表示する)に接続されている。第1及び第2駆動回路B, B'により各スイッチング素子(FET5)を駆動して行うエミッタアレイユニット6の選択に同期し、第3の駆動回路であるエミッタアレイ駆動回路Cが4系統のエミッタアレイ選択配線9を駆動すれば、所望のエミッタアレイ7が選択される。

40

【0039】

次に、本実施形態における駆動方法の第1パターンを図3を参照して説明する。

図3は、同一時間に1個のエミッタアレイ7のみから電子を放出させて1駆動周期で全エミッタアレイ7を駆動する場合の駆動タイミングチャートを示すものである。本駆動方法によれば、第1駆動回路Bは、各スイッチング回路のFET5のゲートGを駆動するた

50

め、4本の制御線2を順次駆動する。各制御線2には、3個のエミッタアレイユニット6が接続されている。第2駆動回路B'はFET5のソースSにデータを入力するため3本のデータ線3を順次駆動する。

第1駆動回路Bは、第2駆動回路B'に駆動される3本のデータ線3の順次駆動の1周期ごとに、4本の制御線2を順次駆動する。エミッタアレイ駆動回路Cは、第1駆動回路Bに駆動される4本の制御線2の順次駆動の1周期ごとに、4系統のエミッタアレイ選択配線9を順次駆動する。

#### 【0040】

尚、図3において、第1駆動回路Bにより制御線2に与えられた矩形波は「H」ではなく、「ON」の意味であり、本例ではNチャンネルのFET5を使用した。使用するトランジスタの性質によって「L」が「ON」を意味する場合もある。

10

ここでデータ線3に inputsする信号電圧を変化させることによりエミッタ105の電位を変化させて電界放出部の電子放出量を変化させることができる。表示素子に用いる場合はこれにより階調表示を行うことができる。

また、図3において、第1乃至第2駆動回路B、B'及びエミッタアレイ駆動回路Cの各駆動波形は、任意の組合せで互いに入れ換えても、図3の例と同様に同一時間に1個のエミッタアレイのみから電子を放出させる駆動を行うことができる。

また、上記のデータ線3に inputsする信号電圧の他、制御線2に与える電圧を変化させエミッタ105の電位を変化させて電界放出部の電子放出量を変化させてもよい。本明細書においてスイッチング素子はこのような機能も含むものとする。

20

#### 【0041】

次に、本例における駆動方法の第2パターンを図4を参照して説明する。

図4は、図1に示す第1実施形態の構成において、同一時間に1ライン相当のエミッタアレイ7から電子を放出させて1駆動周期で全エミッタアレイ7を駆動する場合の駆動タイミングチャートを示すものである。本駆動方法によれば、第1駆動回路Bは、各スイッチング回路のFET5のゲートGを駆動するため、4本の制御線2を順次駆動する。各制御線2には、3個のエミッタアレイユニット6が接続されている。第2駆動回路B'は、4本の制御線2の各々がONする毎に3本のデータ線3にON又はOFFの信号を入力して駆動する。図4では全ての信号がONの場合を示している。エミッタアレイ駆動回路Cは、4本の制御線2の順次駆動の1周期ごとに、4系統のエミッタアレイ選択配線9を順次駆動する。

30

また、データ線3に inputsする信号電圧を変化させることによりエミッタ105の電位を変化させて電界放出部の電子放出量を変化させることができる。表示素子に用いる場合はこれにより階調表示を行うことができる。

#### 【0042】

尚、図4において、第1駆動回路Bにより制御線2に与えられた矩形波は「H」ではなく、「ON」の意味であり、本例ではNチャンネルのFET5を使用した。使用するトランジスタの性質によって「L」が「ON」を意味する場合もある。また、図4において、第1乃至第2駆動回路B、B'及びエミッタアレイ駆動回路Cの各駆動波形は、任意の組合せで互いに入れ換えても、図3の例と同様に、同一時間に1ライン相当のエミッタアレイ7から電子を放出させて1駆動周期で全エミッタアレイ7を駆動することができる。

40

また、上記のデータ線3に inputsする信号電圧の他、制御線2に与える電圧を変化させエミッタ105の電位を変化させて電界放出部の電子放出量を変化させてもよい。

#### 【0043】

(2) 第2実施形態(図5、図6)

第2実施形態の電子放出素子1'の基本的構成を図5を参照して説明する。

本例の電子放出素子1'は第1実施形態とは異なるマトリクス配線を有している。このマトリクス配線は、クランク状に屈曲して配設され、各スイッチング素子のFET5の制御端子であるゲートGに接続された制御線12(第1の配線)を有している。また、制御線12に交差(本例では直交)するように所定間隔で配設され、各スイッチング素子のF

50

FET5の入出力端子の一方であるソースに接続された共通のデータ線13(第2の配線)を有している。そして制御線12とデータ線13の交差により、複数の要素領域4がマトリクス状に配置された構成になっている。

尚、図5では制御線12とデータ線13で構成されるマトリクスの要素領域4は12であるが、これは説明及び図示上の便宜であり、表示素子の電子源として用いられる場合には各配線(制御線12とデータ線13)の数はもっと多く、要素領域4の数も多いのが普通である。

【0044】

尚、第1実施形態と同様、図5においては、図示の便宜上、一つのエミッタアレイユニット6と、これに対応する一つのスイッチング回路としてのFET5とが別々の位置に設けられているように表現されているが、具体的構成においては、両者は一つの要素領域4において上下に積層して構成されている。また、FET5とエミッタアレイユニット6の構成は第1実施形態と同一である。

10

【0045】

制御線12に接続されている第1駆動回路Bは、各スイッチング素子のFET5のON/OFFを選択するために、シリアルで与えられた各FET5への制御信号をラッチし、全FET5の制御信号を所望のタイミングで制御線12に与えることができる。本実施例の駆動回路Bはシフトレジスタ、ラッチを備えたシフトレジスタ・ラッチと一般的に呼ばれている構成であり、各FET5にシフトレジスタ、ラッチの1組のbitが対応する。この回路におけるデータは、図示しないクロックに同期させ、クロック同期型シリアルインターフェースを介してシリアルインプットから入力される。そのデータは、必要なbitのシフトレジスタまで転送される。その後、ラッチによりシフトレジスタのデータがラッチ回路に保持される。そして、ラッチ回路に保持されたデータに従って各FET5のゲートGが制御される。また、データ線13には、所定の固定電位を与えるための第2駆動回路として、接地電位を付与する固定電位付与手段10が接続されている。第3の駆動回路Cの構成は第1実施形態と同様である。

20

【0046】

次に、本例における駆動方法を図6を参照して説明する。

図6では左から右にクロック信号に応じた時間の経過を示し、上から下に各エミッタアレイユニット6に対応するシフトレジスタとラッチの1組のbitのうちn番目、n+1番目、n+2番目と最後の組endの信号状態を示す。シリアルに入力されたデータはbitのn番目からend番目まで順次転送される。転送が完了するとラッチによりシフトレジスタのデータがラッチ回路に保持され、このデータに従って各FET5のゲートGが制御される。

30

【0047】

第2駆動回路である固定電位付与手段10は、所定の正電位が印加された図示しないアノード(表示素子であれば発光表示部としての陽極)に対して各エミッタアレイ7から電子が放出できるように、常時接地電位とされている。

【0048】

第1駆動電極Bによって各エミッタアレイユニット6に制御データが供給されている間に、エミッタアレイ駆動回路Cは、4系統のエミッタアレイ選択配線9の一つを駆動し、以下同様に第1駆動電極Bの駆動とタイミングを合せて他の系統のエミッタアレイ選択配線9を順次駆動していく。

40

【0049】

本例の電子放出素子1'によれば、固定電位付与手段10が各FET5のソースSを接地電位としている状態において、第1駆動回路Bが各FET5のゲートGに制御信号を入力することにより、エミッタアレイユニット6の選択が行われ、これと同時にエミッタアレイ駆動回路Cにより各エミッタアレイユニット6中から駆動するエミッタアレイ7の選択を行うことができる。従って、マトリクスを構成する第1及び第2配線が各数百本程度となるような一般的な構成においてマトリクスでエミッタアレイを選択する場合に比べ、

50

駆動時のデューティ比が大きくとれ、表示素子の電子源とした場合には発光時間が長くとれて輝度の向上に資することとなる。また固定電位付与手段10の電位を変更することで各エミッタアレイ7からの電子放出量を調整できる。

尚、第1駆動回路Bを構成するシフトレジスタ、ラッチの組は、Si単結晶基板上に各要素領域4に対応して設けてもよい。

#### 【0050】

##### (3) 第3実施形態(図7)

以上説明した各実施形態では、各エミッタアレイユニット6, 6間で互いに対応する位置にあるエミッタアレイ7のゲート電極103を複数系統のエミッタアレイ選択配線9で共通に接続し、このエミッタアレイ選択配線9を順次駆動してエミッタアレイ7を選択していたが、エミッタアレイ7の選択は他の構成によっても行える。すなわち、本例では、エミッタアレイユニット6のエミッタアレイ7ごとに図7に示すようなスイッチング電極15を設けた。このスイッチング電極15は、ゲート電極103の上に絶縁層14を介して設けられているものであり、エミッタ105から放出されて対向する図示しないアノード(表示素子であれば発光表示部としての陽極)に向かう電子線を集束するための集束電極と兼用することもできる。そして、各エミッタアレイユニット6, 6間で対応するスイッチング電極15, 15を複数系統のエミッタアレイ選択配線9で共通に接続し、エミッタアレイ駆動回路によって複数系統のエミッタアレイ選択配線9を順次駆動していく。ゲート電極103を駆動する場合はエミッタ電位を0Vとした場合にゲート電極103には50V程度の電圧を印加する必要があるが、この電圧をスイッチングすることになる。図7の構成ではゲート電極103に50Vの一定電圧を印加したとして、スイッチング電極15には0V又は-5Vを印加することでスイッチング可能である。本例ではスイッチング電圧を低減でき消費電力の低減に資することになる。

尚、以上の実施例ではエミッタとしてスピント型エミッタを用いた例を示したが、エミッタはスピント型に限られるものではなくMIM(金属-絶縁物-金属)型、MIS(金属-絶縁物-半導体)型、及び、BSE(弾道電子表面放出)型などの冷陰極電子放出素子を用いることもできる。

尚、上記第1、第2及び第3の実施形態では、各要素領域4にスイッチング素子として1つのFETを配設した例を示したが、図10に示すように、各要素領域にPチャンネルFETとNチャンネルFETとで構成される相互補完型の2個のFETを配設してもよい。

以上の例では電子放出素子をシリコン単結晶基板上に形成する場合を示したが、本発明はこれに限らず、ガラス基板上にTFTを用いた回路の上にエミッタを形成する等トランジスタとエミッタを積層して形成できる他の公知の技術にも適用することができる。

#### 【0051】

##### (4) 第4実施形態(図8)

図8は、以上説明した各実施形態の電子放出素子1, 1'を表示素子である蛍光表示管20の電子源として外圍器21内に実装した例を示している。外圍器21内の電子放出素子1, 1'に対向する位置には、アノード電極25と蛍光体層26によって構成される発光表示部としての陽極27が構成されている。陽極27の構成は、単色表示の場合にはベタで形成すればよい。フルカラー表示の場合には、図8のように赤、緑、青の各色に対応する表示セグメントR, G, Bを設け、各セグメントR, G, Bが電界放出素子の各エミッタアレイ7に対応するように構成すればよい。

#### 【図面の簡単な説明】

#### 【0052】

【図1】図1は第1実施形態の基本構成を示す平面図である。

【図2】図2は本例における電子放出部分の構造及び名称を示す図である。

【図3】図3は第1実施形態における駆動タイミング図である。

【図4】図4は第1実施形態における他の駆動タイミングを示す駆動タイミング図である。

【図5】図5は第2実施形態の基本構成を示す平面図である。

10

20

30

40

50

【図 6】図 6 は第 2 実施形態における駆動タイミング図である。

【図 7】図 7 は第 3 実施形態における電子放出素子の構造を示す断面図である。

【図 8】図 8 は各実施形態の電子放出素子を電子源として有する第 4 実施形態に係る表示素子の断面図である。

【図 9】図 9 はマトリクス構造の電界放出形カソードにおける各要素領域の電界放出部と回路の構造例を示す図であり、同図 ( a ) は上面図、同図 ( b ) は概念的断面図及び回路図である。

【図 10】図 10 はマトリクス構造の電界放出形カソードにおける各要素領域の電界放出部の概念的断面図と改良された回路の回路図である。

【符号の説明】

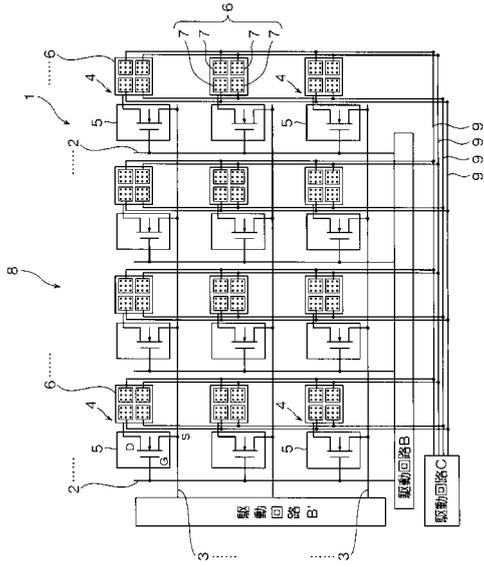
10

【 0 0 5 3 】

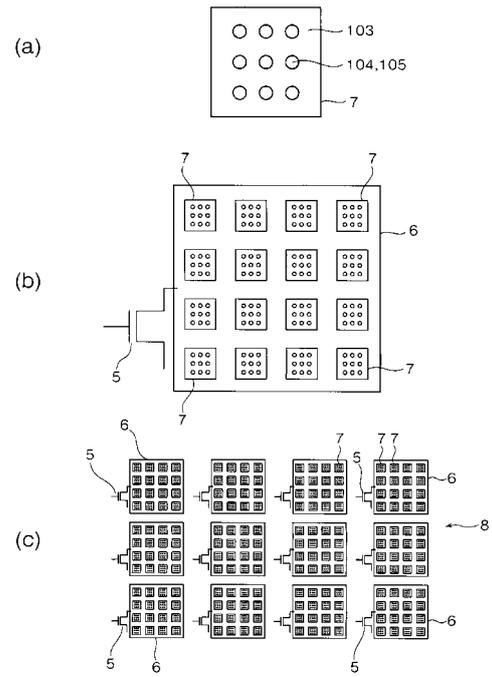
- 1 , 1 ' ... 電子放出素子
- 2 , 1 2 ... マトリクス配線の一部である制御線
- 3 , 1 3 ... マトリクス配線の一部であるデータ線
- 4 ... 要素領域
- 5 ... スイッチング回路としての F E T
- 6 ... エミッタアレイユニット
- 7 ... エミッタアレイ
- 8 ... エミッタアレイ群
- 9 ... エミッタアレイ選択配線
- 1 0 ... 第 2 駆動回路としての固定電位付与手段
- 1 5 ... スイッチング電極
- 2 0 ... 表示素子としての蛍光表示管
- 2 7 ... 陽極
- B ... 第 1 駆動回路
- B ' ... 第 2 駆動回路
- C ... 第 3 駆動回路としてのエミッタアレイ駆動回路

20

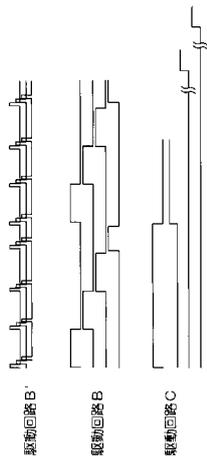
【図1】



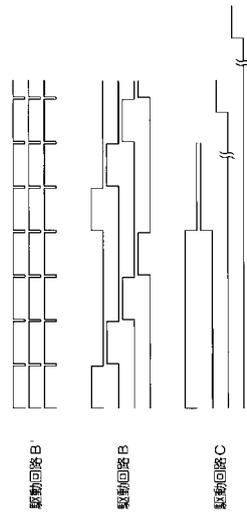
【図2】



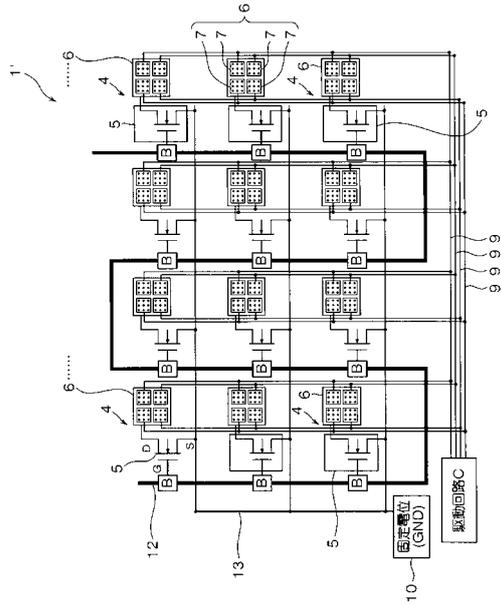
【図3】



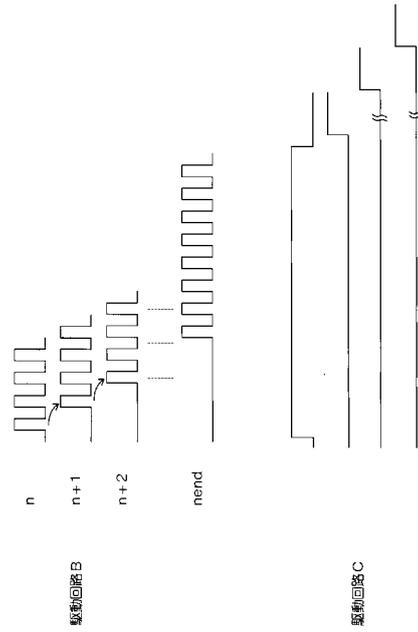
【図4】



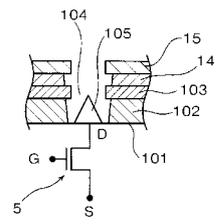
【 図 5 】



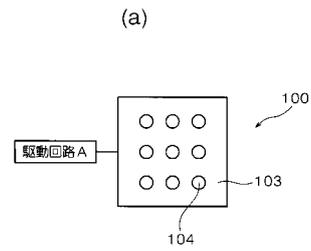
【 図 6 】



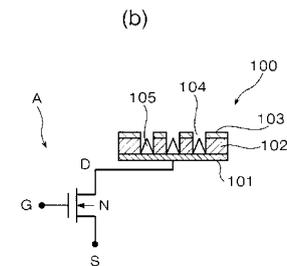
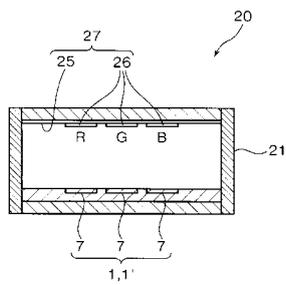
【 図 7 】



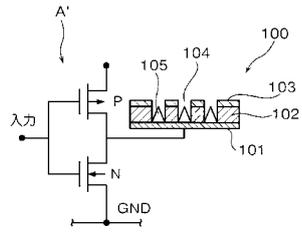
【 図 9 】



【 図 8 】



【図10】



## フロントページの続き

- (51)Int.Cl. F I  
 G 0 9 G 3/20 6 1 1 F  
 G 0 9 G 3/20 6 2 2 D  
 G 0 9 G 3/20 6 2 1 A  
 G 0 9 G 3/20 6 2 4 E
- (72)発明者 新山 剛宏  
 千葉県茂原市大芝 6 2 9 双葉電子工業株式会社内
- (72)発明者 伊藤 茂生  
 千葉県茂原市大芝 6 2 9 双葉電子工業株式会社内
- (72)発明者 中村 和仁  
 千葉県茂原市大芝 6 2 9 双葉電子工業株式会社内
- (72)発明者 宮 健太  
 千葉県茂原市大芝 6 2 9 双葉電子工業株式会社内
- (72)発明者 難波 正和  
 東京都世田谷区砧一丁目 1 0 番 1 1 号 日本放送協会放送技術研究所内
- (72)発明者 本田 悠葵  
 東京都世田谷区砧一丁目 1 0 番 1 1 号 日本放送協会放送技術研究所内
- (72)発明者 渡部 俊久  
 東京都世田谷区砧一丁目 1 0 番 1 1 号 日本放送協会放送技術研究所内
- (72)発明者 江上 典文  
 東京都世田谷区砧一丁目 1 0 番 1 1 号 日本放送協会放送技術研究所内

審査官 橋本 直明

- (56)参考文献 特開 2 0 0 0 - 3 0 5 5 0 9 ( J P , A )  
 特開 2 0 0 3 - 1 2 2 3 0 6 ( J P , A )  
 特開 2 0 0 6 - 0 3 9 5 0 5 ( J P , A )  
 特開 2 0 0 5 - 1 4 8 7 4 9 ( J P , A )  
 特開 2 0 0 5 - 1 5 7 2 5 8 ( J P , A )  
 特開 2 0 0 5 - 1 6 5 2 6 6 ( J P , A )  
 特開 2 0 0 2 - 2 9 7 0 8 3 ( J P , A )  
 特開平 0 9 - 1 0 6 2 6 4 ( J P , A )  
 特開平 1 0 - 0 2 6 9 5 8 ( J P , A )  
 特開平 0 7 - 2 5 4 3 8 3 ( J P , A )  
 特開平 0 9 - 3 0 5 1 3 9 ( J P , A )

## (58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 2  
 G 0 9 G 3 / 2 0  
 H 0 1 J 1 / 3 0 4  
 H 0 1 J 3 1 / 1 2