

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 27/112

(45) 공고일자 1999년11월15일  
(11) 등록번호 10-0230426  
(24) 등록일자 1999년08월23일

(21) 출원번호	10-1997-0026104	(65) 공개번호	특1998-0012559
(22) 출원일자	1997년06월20일	(43) 공개일자	1998년04월30일
(30) 우선권주장	101996025934 1996년06월29일 대한민국(KR) 101996029875 1996년07월23일 대한민국(KR)		

(73) 특허권자 삼성전자주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 김한수  
경기도 수원시 팔달구 원천동 원천주공아파트 107-1202호  
(74) 대리인 권석흠, 노민식, 이영필

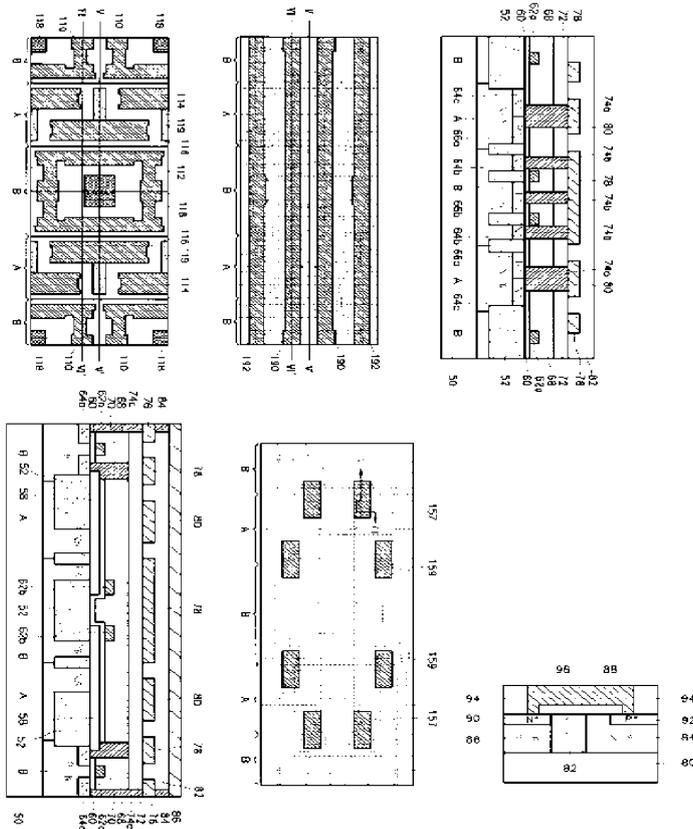
심사관 : 임동우

(54) 집적도가 향상된 스택틱 랜덤 액세스 메모리장치

요약

집적도 및 소자의 성능을 동시에 향상시킬 수 있는 스택틱 랜덤 액세스 메모리장치에 대해 기재되어 있다. 이는, 제1 NMOS 구동 트랜지스터 및 제1 NMOS 전송 트랜지스터로 이루어지는 제1 NMOS 인버터와, 제2 NMOS 구동 트랜지스터 및 제2 NMOS 전송 트랜지스터로 이루어지는 제2 NMOS 인버터가 서로 플립플롭(flip flop) 형태로 연결되며, 제1 NMOS 구동 트랜지스터 및 제1 PMOS 부하소자로 이루어지는 제1 CMOS 인버터와, 제2 NMOS 구동 트랜지스터 및 제2 PMOS 부하소자로 이루어지는 제2 CMOS 인버터가 서로 플립플롭 형태로 연결되어 메모리 셀을 이루는 스택틱 랜덤 액세스 메모리장치에 있어서, 반도체기판에 형성된 메모리 셀 어레이영역에 특정 바이어스(bias) 전압을 인가하기 위한 불순물영역이 메모리 셀 어레이영역 내에 포함되어 있는 것을 특징으로 한다. 따라서, 칩 사이즈를 현저히 감소시킬 수 있으며, 웰 바이어스를 각 메모리 셀 내에서 인가하여 줌으로써, 전압특성을 향상시킬 수 있다.

대표도



## 명세서

### 도면의 간단한 설명

도 1은 PMOS 트랜지스터를 부하소자로 사용한 SRAM 셀의 일반적인 회로도이다.

도 4a 내지 도 4h는 본 발명에 의한 SRAM 셀을 설명하기 위하여 공정 단계별로 도시한 레이아웃도들이다.

도 5a 내지 도 5h는 도 4a 내지 도 4h를 이용한 본 발명에 의한 SRAM 셀의 제조방법을 설명하기 위한 단면도들로서, V-V'선을 자른 단면도들이다.

도 6a 내지 도 6h는 도 4a 내지 도 4h를 이용한 본 발명에 의한 SRAM 셀의 제조방법을 설명하기 위한 단면도들로서, VI-VI'선을 자른 단면도들이다.

도 7은 본 발명의 다른 실시예에 의한 스택 랜덤 액세스 메모리장치를 제조하기 위한 레이아웃도이다.

도 8은 도 7을 이용한 본 발명의 다른 실시예에 의한 스택 랜덤 액세스 메모리장치의 단면도이다.

\* 도면의 주요부분에 대한 부호의 설명

A : N웰(N well)	B : P웰(P well)
50 : 반도체기판	52 : 소자분리막
58,62a,62b : 게이트전극	60,68,72,82 : 층간절연막
70,74,84 : 제1, 제2, 제3 플러그(plug)	
76 : 패드	78 : 접지선(Vss line)
80 : 전원선(Vcc line)	86 : 비트라인(bit line)

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리장치에 관한 것으로, 특히 집적도 및 소자의 성능을 동시에 향상시킬 수 있는 스택 랜덤 액세스 메모리장치에 관한 것이다.

일반적으로, 스택 랜덤 액세스 메모리(Static Random Access Memory; 이하 "SRAM"이라 칭함)는 디램(DRAM)에 비해 집적도는 떨어지지만, 고속으로 동작하기 때문에 중형 또는 소형 컴퓨터 분야에서 널리 사용되고 있다. SRAM 셀은 통상 두 개의 전송 트랜지스터(access transistor)와 두 개의 구동 트랜지스터(drive transistor), 그리고 두 개의 부하소자로 이루어지는 플립플롭(Flip Flop) 회로로 구성된다. 기억 정보는 플립플롭의 입, 출력 단자간의 전압차, 즉 셀의 노드(node)에 축적된 전하로서 보존된다. 이 전하는 전원(Vcc)으로부터 부하소자인 PMOS 트랜지스터나 부하저항을 통하여 항상 보충되고 있으므로, SRAM에서는 디램(DRAM)처럼 리프레쉬(refresh) 기능이 요구되지 않는다.

SRAM 셀은 부하소자로써 공핍형(depletion) NMOS 트랜지스터를 사용하는 경우도 있지만, 소비전력이 매우 크기 때문에 현재는 거의 사용하지 않고 있으며, 대신 소비전력이 낮고 제작이 간편한 고저항의 폴리실리콘을 사용하는 것이 주류를 이루고 있다. 그러나, 메모리 용량이 더욱 증가되고, 요구되는 저항값이 점차 높아짐에 따라, 낮은 동작전압을 확보하기 위하여 벌크(bulk)형 PMOS 트랜지스터를 메모리 셀의 부하소자로 사용하는 풀(full) CMOS SRAM 셀이 널리 사용되고 있다. 풀 CMOS SRAM 셀은 대기시(stand-by) 전력소모가 극도로 낮고, 알파입자( $\alpha$ -particle)에 대한 내성(immunity)이 뛰어나다는 이점을 가지고 있다.

도 1은 부하소자로써 PMOS 트랜지스터를 사용한 SRAM 소자의 일반적인 회로도이다.

도 1을 참조하면, 하나의 SRAM 셀은 전원단자(Vcc)와 접지단자(Vss) 사이에 병렬 연결된 한 쌍의 인버터(inverter)와, 상기 각각의 인버터의 출력단에 그 소오스영역(또는 드레인영역)들이 각각 접속된 제1 전송 트랜지스터(T1) 및 제2 전송 트랜지스터(T2)로 구성된다.

여기서, 상기 제1 전송 트랜지스터(T1)의 드레인영역(또는 소오스영역) 및 제2 전송 트랜지스터(T2)의 드레인영역(또는 소오스영역)은, 각각 제1 비트라인(BL) 및 제2 비트라인(/BL)과 연결된다.

그리고, 상기 한 쌍의 인버터 중 제1 인버터는, PMOS 트랜지스터로 이루어진 제1 부하 트랜지스터(T5) 및 NMOS 트랜지스터로 이루어진 제1 구동 트랜지스터(T3)로 구성되고, 제2 인버터는 PMOS 트랜지스터로 이루어진 제2 부하 트랜지스터(T6) 및 NMOS 트랜지스터로 이루어진 제2 구동 트랜지스터(T4)로 구성된다.

또한, 상기 제1 및 제2 전송 트랜지스터(T1, T2)는 모두 NMOS 트랜지스터로 이루어지며, 이들 제1 및 제2 전송 트랜지스터의 게이트전극은 워드라인(WL)과 연결된다.

또한, 상기 제1 및 제2 인버터는 하나의 래치회로(latch circuit)를 구성하기 위하여 제1 인버터의 입력단이 제2 인버터의 출력단과 연결되고, 제2 인버터의 입력단은 제1 인버터의 출력단과 연결된다.

한편, 16M SRAM 또는 그 이상의 집적도를 갖는 SRAM 메모리 셀은 고집적도를 달성하기 위해 필연적으로 셀 크기의 감소가 요구된다. 그러나, 풀(full) CMOS형 SRAM 셀에 있어서는 6개의 트랜지스터들 즉, 한 쌍의 구동 트랜지스터, 한 쌍의 전송 트랜지스터 및 한 쌍의 부하 트랜지스터들이 모두 평면상에 배치되므로, 집적도가 현저히 떨어진다. 이는, SRAM 셀이 뛰어난 동작특성을 가지고 있음에도 불구하고 고집적회

로(VLSI)에 다양하게 채용되지 못하고 있는 원인중의 하나이다.

도 2는 셀 크기를 감소시켜 집적도를 향상시키기 위하여 제안된 종래의 일 방법에 대한 간략한 레이아웃 도이다. 이는, 일본 NEC社가 발표한 논문 "A New Full CMOS SRAM Cell Structure" (O. Kudoh, H. Ooka, I. Sakai, J. Ozaki, M. Kikuchi, IEDM 1984, pp 67-70)를 참조한 것이다.

도면참조 부호 "210" 및 "212"는 PMOS 트랜지스터의 활성영역을 형성하기 위한 마스크패턴을, "214" 및 "216"는 NMOS 트랜지스터의 활성영역을 형성하기 위한 마스크패턴을, "220" 및 "222"는 제1 및 제2 구동 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴을, "230"은 제1 및 제2 전송 트랜지스터의 게이트 전극을 형성하기 위한 마스크패턴을, "240"은 전원선(Vcc line)을 형성하기 위한 마스크패턴을, "250"은 접지선(Vss line)을 형성하기 위한 마스크패턴을, "260"은 비트라인을 형성하기 위한 마스크패턴을, 그리고 "3?"로 표시된 영역은 콘택홀을 형성하기 위한 마스크패턴을 각각 나타낸다.

도 3은 상기 도 2의 레이아웃도에 의해 제조된 SRAM 셀의 단면도이다.

도면 참조부호 "2"는 반도체기판, "4"는 N형 웰, "6"은 P형 웰, "8", "9" 및 "10"은 CVD 산화막, "12"는 N형으로 도우프된 폴리실리콘, "14" 및 "16"은 P형으로 도우프된 폴리실리콘, "18"은 실리사이드, "20"은 P<sup>+</sup> 소오스/ 드레인, 그리고 "22" 및 "24"는 N<sup>+</sup> 소오스/ 드레인을 나타낸다.

도 2 및 도 3을 참조하면, 각 트랜지스터의 드레인들은 매몰 콘택을 통해 P형 또는 N형으로 도우프된 폴리사이드 게이트전극으로 직접 연결된다. 따라서, 각 트랜지스터의 드레인들을 서로 연결하기 위한 별도의 콘택홀을 필요로 하지 않기 때문에, 셀 사이즈가 감소된다. 그리고, 각 트랜지스터의 소자분리는 셀로 우 트랜치 소자분리막(9)에 의해 이루어지고, 각 웰간의 분리는 딥(deep) 트랜치 소자분리막(10)에 의해 이루어지고 있다. 따라서, 활성영역 사이의 분리거리를 줄일 수 있다.

한편, 낮은 동작전압을 확보하기 위하여 도 2 및 도 3과 같이, 벌크형 PMOS 트랜지스터를 메모리 셀의 부하소자로 사용할 경우, 메모리 셀 내에 NMOS인 구동 트랜지스터 및 전송 트랜지스터를 형성하기 위한 P웰과, 부하소자인 PMOS를 형성하기 위한 N웰이 동시에 존재하게 된다. 따라서, 메모리 셀을 구성하는 P웰 및 N웰에 특정 바이어스(bias) 전압을 가해주어야 한다. 즉, P웰에는 접지(Ground) 전압을, N웰에는 Vcc 레벨의 바이어스 전압을 인가해주어야 셀이 정상적으로 동작하게 된다.

이를 위하여 종래에는 일정한 밀도의 셀 어레이(cell array)를 구성한 후, 특정 지점에서 P웰 및 N웰에 바이어스 전압을 인가해주기 위한 영역을 형성하여야 한다. 즉, 원하는 밀도의 전체 셀 어레이에서 일정 밀도의 셀 어레이를 구성한 후 셀의 웰 바이어스를 가해주기 위한 영역을 확보하고, 다시 셀 어레이와 셀의 웰 바이어스용 영역을 확보하는 과정을 반복함으로써 원하는 밀도의 셀 어레이 수를 완성하게 된다. 따라서, 전체 칩 사이즈는 셀의 웰 바이어스를 위하여 별도로 확보한 영역만큼 커지게 되는 단점이 있다.

### **발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는, 메모리 셀의 배치를 최적화하여 단위 셀 내부에서 웰 바이어스 영역을 형성함으로써 고집적화를 실현할 수 있는 스택틱 랜덤 액세스 메모리장치를 제공함에 있다.

### **발명의 구성 및 작용**

상기 과제를 이루기 위하여 본 발명에 의한 스택틱 랜덤 액세스 메모리장치는, 제1 NMOS 구동 트랜지스터 및 제1 NMOS 전송 트랜지스터로 이루어지는 제1 NMOS 인버터와, 제2 NMOS 구동 트랜지스터 및 제2 NMOS 전송 트랜지스터로 이루어지는 제2 NMOS 인버터가 서로 플립플롭(flip flop) 형태로 연결되며, 상기 제1 NMOS 구동 트랜지스터 및 제1 PMOS 부하소자로 이루어지는 제1 CMOS 인버터와, 상기 제2 NMOS 구동 트랜지스터 및 제2 PMOS 부하소자로 이루어지는 제2 CMOS 인버터가 서로 플립플롭 형태로 연결되어 메모리 셀을 이루는 스택틱 랜덤 액세스 메모리장치에 있어서, 반도체기판에 형성된 메모리 셀에 특정 바이어스(bias) 전압을 인가하기 위한 불순물영역이 상기 메모리 셀 내에 포함되어 있는 것을 특징으로 한다.

상기 메모리 셀 내에는 NMOS 트랜지스터를 형성하기 위한 P웰이 형성되어 있고, 상기 P웰에 접지전압(Vss)을 인가하기 위한 상기 불순물영역이 상기 P웰 내에 형성되어 있는 것이 바람직하다. 또한, 상기 메모리 셀 내에는 PMOS 트랜지스터를 형성하기 위한 N웰이 형성되어 있고, 상기 N웰에 일정전압(Vcc)을 인가하기 위한 불순물영역이 상기 N웰 내에 형성되어 있는 것이 바람직하다. 또한, 상기 메모리 셀 내에는 P웰 및 N웰이 서로 인접하도록 형성되어 있고, 상기 P웰 및 N웰에 특정 바이어스 전압을 인가하기 위한 상기 불순물영역들이 상기 P웰 및 N웰 내에 각각 형성되어 있는 것이 바람직하다. 상기 제1 및 제2 NMOS 구동 트랜지스터의 소오스와 상기 P웰 내에 형성된 불순물영역을 연결하도록 형성된 제1 도전층을 더 구비하는 것이 바람직하다. 상기 N웰 내에 형성되어 있는 불순물영역은 상기 PMOS 트랜지스터의 소오스와 인접하도록 형성되어 있고, 상기 N웰 내에 형성되어 있는 불순물영역과 상기 PMOS 트랜지스터의 소오스는 하나의 콘택홀을 통해 제2 도전층과 접속되며, 상기 제1 도전층과 제2 도전층은 동일층의 도전층으로 이루어진 것이 바람직하다.

또한, 본 발명에 있어서, 상기 제1 CMOS 인버터의 출력노드와 제2 CMOS 인버터의 입력노드, 또는 상기 제2 CMOS 인버터의 출력노드와 제1 CMOS 인버터의 입력노드 중 적어도 어느 하나는 하나의 콘택홀로 연결되는 것이 바람직하다. 더욱 바람직하게는, 제1 및 제2 CMOS 인버터의 출력단을 형성하기 위한 구동 트랜지스터의 드레인과 PMOS 부하 트랜지스터의 드레인이 하나의 콘택홀을 통해 연결되고, 상기 구동 트랜지스터의 드레인과 PMOS 부하 트랜지스터의 드레인을 연결하는 콘택홀을 통해 서로 플립플롭 형태로 연결된 상대편 CMOS 인버터의 게이트가 동시에 연결된다.

상기 목적을 달성하기 위하여 본 발명에 의한 다른 스택틱 랜덤 액세스 메모리장치는, Y축 방향으로 인접한 셀은 X축에 대하여 선대칭이고 X축 방향으로 인접한 셀은 Y축에 대하여 선대칭이 되도록 복수의 단위 셀이 매트릭스 형태로 배열된 셀 어레이영역을 갖는 스택틱 랜덤 액세스 메모리장치에 있어서, 상기 하나의 단위 셀은, 사각형의 영역내에 인접하여 서로 교대로 배치된 P웰 및 N웰; 상기 P웰에 각각 위치하고,

상기 사각형의 4개의 코너중 마주보는 한쌍의 코너에 각각 배치된 한쌍의 P웰 픽업영역; 상기 P웰내에 각각 위치하고, 상기 각각의 P웰 픽업영역으로부터 일정 거리를 유지하면서 상기 사각형의 중심에 대하여 점대칭이 되도록 배치된 제1 및 제2 활성영역; 상기 제1 활성영역 및 제2 활성영역 사이에 형성된 N웰에 각각 배치되고, Y축 방향과 평행한 바(bar) 형태의 패턴을 가지면서 상기 각각의 바 형태의 패턴의 한 쪽 끝이 상기 N웰의 가장자리까지 연장되어 상기 사각형의 중심에 대하여 서로 점대칭인 제3 및 제4 활성영역; 상기 제3 활성영역의 양끝 부분중 상기 N웰의 가장자리까지 연장된 한쪽 끝부분 및 상기 제4 활성영역의 양끝 부분중 상기 N웰의 가장자리까지 연장된 한쪽 끝부분과 각각 접하도록 배치된 제1 및 제2 N웰 픽업영역; 상기 제1 활성영역 및 이와 이웃한 제3 활성영역을 가로지르면서, 상기 제2 활성영역과 접하도록 배치된 제1 게이트전극; 상기 제2 활성영역 및 이와 이웃한 제4 활성영역을 가로지르면서 상기 제1 활성영역과 접하도록 배치된 제2 게이트전극; 상기 제1 활성영역 및 상기 제2 활성영역을 가로지르면서 Y축 방향으로 배치된 제1 워드라인 및 제2 워드라인; 상기 제1 및 제2 게이트전극과 상기 제2 및 제1 활성영역을 각각 전기적으로 연결시키기 위한 제1 콘택; 상기 제1 및 제2 게이트전극과 상기 제3 및 제4 활성영역을 각각 전기적으로 연결시키기 위한 제2 콘택; 상기 제1 N웰 픽업영역과 이와 인접한 제3 활성영역을 노출시키는 제1 전원콘택 및 상기 제2 N웰 픽업영역과 이와 인접한 제4 활성영역을 노출시키는 제2 전원콘택; 상기 제1 및 제2 전원콘택을 덮으면서 Y축 방향으로 배치된 전원라인(power line); 상기 제1 게이트전극과 접하면서 상기 제1 픽업영역의 가장자리에 위치한 제1 활성영역 및 이와 이웃한 P웰 픽업영역을 노출시키는 제1 접지콘택; 상기 제2 게이트전극과 접하면서 상기 제2 P웰 픽업영역의 가장자리에 위치한 제2 활성영역, 및 이와 이웃한 P웰 픽업영역을 노출시키는 제2 접지콘택; 상기 제1 접지콘택을 덮으면서 Y축 방향으로 배치된 제1 접지라인(ground line); 상기 제2 접지콘택을 덮으면서 Y축 방향으로 배치된 제2 접지라인; 상기 제1 워드라인과 접하면서 상기 제1 P웰영역의 가장자리에 위치한 제1 활성영역을 노출시키는 제1 비트라인 콘택; 상기 제1 비트라인 콘택을 덮으면서 X축 방향으로 배치된 제1 비트라인; 상기 제2 워드라인과 접하면서 상기 제2 P웰 영역의 가장자리에 위치한 제2 활성영역을 노출시키는 제2 비트라인 콘택; 및 상기 제2 비트라인 콘택을 덮으면서 X축 방향으로 배치된 제2 비트라인을 포함하는 것을 특징으로 한다.

상기 제1 전원콘택은 상기 제1 N웰 픽업영역과 상기 제3 활성영역을 동시에 노출시키고, 상기 제2 전원콘택은 상기 제2 N웰 픽업영역과 상기 제4 활성영역을 동시에 노출시킨다.

상기 목적을 달성하기 위하여 본 발명에 의한 또다른 스택틱 랜덤 액세스 메모리장치는, 반도체기판의 비활성영역에 형성된 소자분리막; 상기 반도체기판의 활성영역에 교대로 형성된 N웰 및 P웰; 상기 N웰 및 P웰에 각각 형성된 N웰 픽업영역 및 P웰 픽업영역; 상기 반도체기판상에 형성된 제1 내지 제4 게이트전극; 제1 층간절연막에 의해 상기 제1 내지 제4 게이트전극과 분리된 제5 및 제6 게이트전극; 상기 N웰내에 형성된 제1 및 제2 소오스/드레인; 상기 P웰내에 형성된 제3 내지 제6 소오스/드레인; 상기 제1 및 제2 소오스/드레인과 접속된 전원라인; 상기 제3 및 제4 소오스/드레인과 접속된 접지라인; 및 상기 제5 및 제6 소오스/드레인과 접속된 제1 및 제2 비트라인을 구비하는 것을 특징으로 한다.

상기 소자분리막은 상기 반도체기판에 형성된 트렌치에 매립된 산화막으로 이루어진 것이 바람직하다.

그리고, 상기 N웰 픽업영역은 상기 제1 및 제2 소오스/드레인과 인접하여 형성되고, 상기 제1 및 제3 게이트전극은 하나의 도전층으로 이루어지며, 상기 제2 및 제4 게이트전극은 하나의 도전층으로 이루어진 것이 바람직하다.

상기 제1 및 제3 게이트전극은 제1 및 제2 PMOS 부하 트랜지스터의 게이트전극이고, 상기 제2 및 제4 게이트전극은 제1 및 제2 구동 트랜지스터의 게이트전극이며, 상기 제5 및 제6 게이트전극은 제1 및 제2 전송 트랜지스터의 게이트전극인 것이 바람직하다. 특히, 상기 제5 및 제6 게이트전극은 상기 제1 내지 제4 게이트전극과 직교한다.

그리고, 상기 전원라인 및 접지라인 하부에 상기 제5 및 제6 게이트전극이 형성된 결과물을 덮는 제2 층간절연막과, 상기 제1 게이트전극과 제5 소오스/드레인, 상기 제2 게이트전극과 제6 소오스/드레인을 각각 동시에 노출시키는 콘택홀을 덮는 두 개의 제1 플러그(plug)과, 제1 플러그가 형성된 결과물을 덮는 제3 층간절연막과, 상기 제3 층간절연막을 관통하여, 상기 제1 및 제2 소오스/드레인과 상기 N웰 픽업영역을 동시에 노출시키는 콘택홀을 덮는 두 개의 제2 플러그, 상기 제3 층간절연막을 관통하여, 상기 제3 및 제4 소오스/드레인을 각각 노출시키는 콘택홀을 덮는 두 개의 제3 플러그, 상기 제3 층간절연막을 관통하여 상기 P웰 픽업영역을 노출시키는 콘택홀을 덮는 제4 플러그, 및 상기 제3 층간절연막을 관통하여, 상기 제5 및 제6 소오스/드레인을 각각 노출시키는 콘택홀을 덮는 두 개의 제5 플러그를 더 구비하는 것이 바람직하다.

상기 제1 및 제2 비트라인은 상기 두 개의 제5 플러그와 각각 접속된 제1 및 제2 패드를 통해 상기 제5 및 제6 소오스/드레인과 각각 접속되고, 상기 접지라인은 상기 제3 및 제4 플러그와 동시에 접속된 것이 바람직하다.

본 발명에 따르면, P웰 및 N웰 바이어스용 불순물영역을 메모리 셀 내에 형성함으로써, 상기 불순물영역을 형성하기 위한 영역을 별도로 확보할 필요가 없으므로, 칩 사이즈를 현저히 감소시킬 수 있다. 또한, 웰 바이어스를 각 메모리 셀 내에서 인가하여 줌으로써, 종래의 배선을 이용하여 각 셀로 연결하여 줄 때에 비해 저항에 의한 전압강하를 줄일 수 있으므로, 전압특성을 향상시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 의한 에스램 셀 및 그 제조방법을 더욱 상세히 설명하기로 한다.

도 4a 내지 도 4h는 본 발명에 의한 SRAM 셀을 상세히 설명하기 위한 레이아웃도들로서, 하나의 블록을 이루는 4개의 메모리 셀이 도시되어 있다.

도면 참조부호 "A"는 PMOS 트랜지스터가 형성될 N웰을 나타내고, "B"는 NMOS 트랜지스터가 형성될 P웰을 나타낸다. 하나의 단위 메모리 셀은 서로 분리되어 있는 두 개의 P웰(B)과, 상기 두 개의 P웰(B) 사이에 형성된 하나의 N웰(A)로 이루어져 있다.

도 4a는 활성영역을 형성하기 위한 마스크패턴을 도시한 레이아웃도이다.

제1 활성영역을 형성하기 위한 마스크패턴(110, 112)은 네 개의 단위 메모리 셀이 서로 접하는 영역과, 상기 네 개의 단위 메모리 셀로 이루어진 블록의 모서리에 배치되어 있다. 참조부호 "110"은 제1 구동 트랜지스터(도 1의 T3) 및 제1 전송 트랜지스터(도 1의 T1)의 활성영역을 형성하기 위한 마스크패턴이고, "112"는 제2 구동 트랜지스터(도 1의 T4) 및 제2 전송 트랜지스터(도 1의 T2)의 활성영역을 형성하기 위한 마스크패턴이다.

제2 활성영역을 형성하기 위한 마스크패턴(114, 116)은 두 개의 단위 메모리 셀이 서로 접하는 영역에 교대로 반복되도록 배치되어 있다. 참조부호 "114"는 제1 PMOS 부하 트랜지스터(도 1의 T5)의 활성영역을 형성하기 위한 마스크패턴이고, "116"은 제2 PMOS 부하 트랜지스터(도 1의 T6)의 활성영역을 형성하기 위한 마스크패턴이다.

제3 활성영역을 형성하기 위한 마스크패턴(118)은 P웰(B)에 배치되고 상기 제1 활성영역을 형성하기 위한 마스크패턴(110, 112)에 둘러싸여 있으며, 상기 P웰(B)에 바이어스 전압을 인가해 주기 위한 P웰 픽업영역(pick up)을 형성하기 위한 것이다. 상기 P웰 픽업영역(118)은 네 개의 이웃하는 메모리 셀에 의해 공유되도록 배치되어 있다.

제4 활성영역을 형성하기 위한 마스크패턴(119)은 N웰(A)에, 상기 제2 활성영역을 형성하기 위한 마스크패턴(114, 116)에 접촉되도록 배치되어 있으며, 상기 N웰(A)에 바이어스 전압을 인가해 주기 위한 N웰 픽업영역을 형성하기 위한 것이다.

도 4b는 제1 및 제2 구동 트랜지스터, 제1 및 제2 전송 트랜지스터 및 제1 및 제2 PMOS 부하 트랜지스터의 게이트를 각각 형성하기 위한 마스크패턴들을 도시한 레이아웃도이다.

마스크패턴 "120"은 활성영역 "110" 및 "114"를 가로지르도록 배치되고, 마스크패턴 "122"는 활성영역 "112" 및 "116"을 가로지르도록 배치되어 있다.

참조부호 "120"은 제1 구동 트랜지스터(도 1의 T3)의 게이트 및 제1 PMOS 부하 트랜지스터(도 1의 T5)의 게이트를 형성하기 위한 마스크패턴이고, "122"는 제2 구동 트랜지스터(도 1의 T4)의 게이트 및 제2 PMOS 부하 트랜지스터(도 1의 T6)의 게이트를 형성하기 위한 마스크패턴이다.

제1 및 제2 전송 트랜지스터의 게이트를 형성하기 위한 마스크패턴(130, 132)은 일정한 폭을 갖는 띠 형태로서, 셀의 상, 하에 마주보도록 배치되어 있다. 참조부호 "130"은 제1 전송 트랜지스터(도 1의 T1)의 게이트 및 제1 워드라인을 형성하기 위한 마스크패턴이고, "132"는 제2 전송 트랜지스터(도 1의 T2)의 게이트 및 제2 워드라인을 형성하기 위한 마스크패턴이다.

상기 구동 트랜지스터의 게이트와 부하 트랜지스터의 게이트는 각각 동일한 도전층에 형성되도록 배치되어 있다. 그리고, 상기 구동 트랜지스터의 게이트와 전송 트랜지스터의 게이트는 각각 다른 도전층에 형성되며, 서로 직교하도록 배치되어 있다.

상기 도 4a와 도 4b를 중첩시켜 설명하면, 제1 활성영역을 형성하기 위한 마스크패턴(110)과 제1 구동 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴(120)이 중첩된 부분은 제1 구동 트랜지스터(도 1의 T3)의 게이트가 되는 부분이며, 그 상측은 소오스(또는 드레인), 하측은 드레인(또는 소오스)이 형성될 부분이다.

상기 제1 활성영역을 형성하기 위한 마스크패턴(110)과 제1 전송 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴(130)이 중첩된 부분은 제1 전송 트랜지스터(도 1의 T1)의 게이트가 되는 부분이고, 그 좌측은 소오스(또는 드레인), 그 우측은 드레인(또는 소오스)이 형성될 부분이다.

제1 활성영역을 형성하기 위한 또다른 마스크패턴(112)과 제2 구동 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴(122)이 중첩된 부분은 제2 구동 트랜지스터(도 1의 T4)의 게이트가 되는 부분이고, 그 상측은 드레인(또는 소오스), 그 하측은 소오스(드레인)가 형성될 부분이다.

제1 활성영역을 형성하기 위한 또다른 마스크패턴(112)과 제2 전송 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴(132)이 중첩되는 부분은 제2 전송 트랜지스터(도 1의 T2)의 게이트가 되는 부분이고, 그 좌측은 소오스(또는 드레인), 그 우측은 드레인(또는 소오스)이 형성될 부분이다.

제2 활성영역을 형성하기 위한 마스크패턴(114)과 제1 구동 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴(120)이 중첩된 부분은 제1 PMOS 부하 트랜지스터(도 1의 T5)의 게이트가 되는 부분이고, 그 상측은 소오스, 그 하측은 드레인이 형성될 부분이다.

제2 활성영역을 형성하기 위한 또다른 마스크패턴(116)과 제2 구동 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴(122)이 중첩된 부분은 제2 PMOS 부하 트랜지스터(도 1의 T6)의 게이트가 될 부분이고, 그 상측은 드레인, 그 하측은 소오스가 형성될 부분이다.

제1 전송 트랜지스터의 소오스(또는 드레인)와 제1 구동 트랜지스터의 드레인(또는 소오스)은 동일한 활성영역(110)에 형성되어 연결되고, 제2 전송 트랜지스터의 소오스(또는 드레인)와 제2 구동 트랜지스터의 드레인(또는 소오스)는 동일한 활성영역(112)에 형성되어 서로 연결된다.

상기 도 4a 및 도 4b에 따르면, 본 발명에 의한 SRAM 셀은 두 개의 NMOS 구동 트랜지스터, 두 개의 NMOS 전송 트랜지스터 및 두 개의 PMOS 부하 트랜지스터로 각각 구성된 네 개의 단위 메모리 셀이 하나의 블록을 이루며 배치되어 있음을 알 수 있다.

도 4c는 구동 트랜지스터, 전송 트랜지스터 및 부하 트랜지스터의 소오스/드레인과, N웰 픽업영역 및 P웰 픽업영역을 형성하기 위한 마스크패턴을 도시한 레이아웃도이다.

참조부호 "140"은 PMOS 부하 트랜지스터의 소오스/드레인을 형성하기 위한 마스크패턴이고, "142"는 P웰(B)에 소정의 바이어스 전압을 인가하기 위한 P웰 픽업영역을 형성하기 위한 마스크패턴이다. 상기한 잠

조부호 "140" 및 "142" 이외의 영역은 제1 및 제2 구동 트랜지스터와, 제1 및 제2 전송 트랜지스터의 소오스/드레인, 그리고 N웰(A)에 바이어스 전압을 인가하기 위한 N웰 픽업영역을 형성하기 위하여 N형의 불순물이 고농도( $N^+$ )로 주입될 영역이다.

도 4d는 노드 콘택(node contact)을 형성하기 위한 마스크패턴을 도시한 레이아웃도이다.

참조부호 "150" 및 "152"는 제1 노드 콘택(도 1의 NC1)을 형성하기 위한 마스크패턴을, "154" 및 "156"은 제2 노드 콘택(도 1의 NC2)을 형성하기 위한 마스크패턴을 나타낸다.

보다 상세하게는, 참조부호 "150"은 제1 구동 트랜지스터(T3)의 드레인과 제2 PMOS 부하 트랜지스터(T5)의 게이트를 접속시키는 콘택홀을 형성하기 위한 마스크패턴을 나타내고, "152"는 제1 PMOS 부하 트랜지스터(T5)의 소오스(또는 드레인)와 제2 PMOS 부하 트랜지스터(T6)의 게이트를 접속시키는 콘택홀을 형성하기 위한 마스크패턴을 나타낸다.

상기 제1 구동 트랜지스터(T3)의 드레인은 제1 전송 트랜지스터(T1)의 소오스와 동일한 활성영역(110)에 형성되어 연결되고, 상기 제2 PMOS 부하 트랜지스터(T6)의 게이트는 제2 구동 트랜지스터(T4)의 게이트와 동일 도전층(122)에 형성되어 연결된다. 따라서, 제1 노드콘택(150+152; 도 1의 NC1)에 의해 제1 전송 트랜지스터(T1)의 소오스(또는 드레인), 제1 구동 트랜지스터(T3)의 드레인(또는 소오스), 제1 PMOS 부하 트랜지스터(T5)의 소오스(또는 드레인)와, 제2 구동 트랜지스터(T4) 및 제2 PMOS 부하 트랜지스터(T6)의 게이트가 접속된다.

참조부호 "154"는 제2 PMOS 부하 트랜지스터(T6)의 드레인(또는 소오스)과 제1 PMOS 부하 트랜지스터(T5)의 게이트를 접속시키는 콘택홀을 형성하기 위한 마스크패턴이고, "156"은 제2 전송 트랜지스터(T2)의 드레인(또는 소오스)과 제1 PMOS 부하 트랜지스터(T5)의 게이트를 접속시키는 콘택홀을 형성하기 위한 마스크패턴이다.

제2 구동 트랜지스터의 드레인(또는 소오스)과 제2 전송 트랜지스터의 소오스(또는 드레인)은 동일 활성영역(112)에 형성되어 연결되고, 제1 구동 트랜지스터의 게이트와 제1 PMOS 부하 트랜지스터의 게이트는 동일 도전층(122)에 형성되어 연결된다. 따라서, 제2 노드콘택(154+156; 도 1의 NC2)에 의해 제2 전송 트랜지스터(T2)의 소오스(또는 드레인), 제2 구동 트랜지스터(T4)의 드레인(또는 소오스), 제2 PMOS 부하 트랜지스터(T6)의 소오스(또는 드레인)와, 제1 구동 트랜지스터(T3) 및 제1 PMOS 부하 트랜지스터(T5)의 게이트가 접속된다.

도 4e는 메탈 콘택(metal contact)을 형성하기 위한 마스크패턴을 도시한 레이아웃도이다.

참조부호 "161"은 제1 전송 트랜지스터의 드레인과 비트라인(BL)을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이고, "162"는 제2 전송 트랜지스터의 드레인과 제2 비트라인(/BL)을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이다.

참조부호 "163"은 제1 PMOS 부하 트랜지스터의 드레인과 전원라인(Vcc)을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이고, "164"는 제2 PMOS 부하 트랜지스터의 드레인 및 N웰 픽업영역을 전원라인(Vcc)에 접속시키는 콘택홀을 형성하기 위한 마스크패턴이다. 상기 제2 PMOS 부하 트랜지스터의 드레인과 N웰 픽업영역은 하나의 콘택홀을 통해 상기 전원라인(Vcc)과 접속된다.

참조부호 "165"는 제1 구동 트랜지스터의 소오스와 접지라인(Vss)을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이고, "166"은 제2 구동 트랜지스터의 소오스와 접지라인(Vss)을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이다.

참조부호 "168"은 P웰 픽업영역과 접지라인을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이다.

도 4f는 전원라인(Vcc line), 접지라인(Vss line) 및 패드를 형성하기 위한 마스크패턴들을 도시한 레이아웃도이다.

전원라인(Vcc line)을 형성하기 위한 마스크패턴(170)은 일정한 폭을 갖는 띠 형태로 배치되어 있다. 상기 전원라인(Vcc line)을 형성하기 위한 마스크패턴(170)과 평행하게 접지라인(Vss line)을 형성하기 위한 마스크패턴(172, 174)이 배치되어 있다. 상기 전원라인(Vcc line)을 형성하기 위한 마스크패턴(170)과 접지라인(Vss line)을 형성하기 위한 마스크패턴(172, 174)은 셀 내에서 교대로 배치되어 있다.

참조부호 "176"은 제1 전송 트랜지스터의 드레인(또는 소오스)과 제1 비트라인(BL)을 중간 접속시키는 제1 패드를 형성하기 위한 마스크패턴이고, "178"은 제2 전송 트랜지스터의 드레인(또는 소오스)과 제2 비트라인(/BL)을 중간 접속시키는 제2 패드를 형성하기 위한 마스크패턴이다.

도 4g는 제1 및 제2 패드와 제1 및 제2 비트라인을 각각 접속시키는 콘택홀을 형성하기 위한 마스크패턴을 도시한 레이아웃도이다.

참조부호 "180"은 제1 패드와 제1 비트라인을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이고, "182"는 제2 패드와 제2 비트라인을 접속시키는 콘택홀을 형성하기 위한 마스크패턴이다.

상기 제1 패드는 제1 전송 트랜지스터의 드레인(또는 소오스)과 접속되어 있으므로, 상기 마스크패턴 "180"을 이용하여 형성된 콘택홀에 의해 상기 제1 전송 트랜지스터의 드레인(또는 소오스)과 제1 비트라인이 접속된다. 그리고, 상기 제2 패드는 제2 전송 트랜지스터의 드레인(또는 소오스)과 접속되어 있으므로, 상기 마스크패턴 "182"를 이용하여 형성된 콘택홀에 의해 상기 제2 전송 트랜지스터의 드레인(또는 소오스)과 제2 비트라인이 접속된다.

도 4h는 제1 및 제2 비트라인을 형성하기 위한 마스크패턴을 도시한 레이아웃도이다.

참조부호 "190"은 제1 비트라인(BL)을 형성하기 위한 마스크패턴이고, "192"는 제2 비트라인(/BL)을 형성하기 위한 마스크패턴으로서, 가로로 길게 연장된 띠모양으로 상, 하 셀에 대해 대칭으로 배치되어 있다.

상기한 도 4a 내지 도 4h를 참조하면, NMOS를 형성하기 위한 N형 활성영역(110, 112)과 PMOS를 형성하기 위한 P형 활성영역(114, 116)이 메모리 셀 내에서 최적의 사이즈를 갖도록 적절하게 배치되어 있다. 또한, P웰 픽업영역(118)은 네 개의 이웃하는 메모리 셀이 서로 접하는 영역 및 상기 네 개의 이웃하는 메모리 셀로 이루어진 단위 블록의 모서리에 배치되고, N웰 픽업영역(119)은 두 개의 이웃하는 메모리 셀이 접하는 영역에 배치된다. 따라서, 메모리 셀 이외의 영역에 P웰 및 N웰 픽업영역을 형성하기 위한 영역을 별도로 확보할 필요가 없으므로, 칩 사이즈를 현저히 감소시킬 수 있다.

다음은, 도 4a 내지 도 4h에 제시된 레이아웃도를 참조하여 본 발명에 의한 SRAM 셀의 제조방법을 상세히 설명한다. 도 5a 내지 도 5h, 도 6a 내지 도 6h는 각각 본 발명에 의한 SRAM 셀의 제조방법을 설명하기 위한 단면도들로서, 도 4a 내지 도 4h의 V-V' 및 VI-VI'선을 각각 자른 단면도들이다.

도 5a 및 도 6a는 소자분리막(52), N웰(A) 및 P웰(B)을 형성하는 단계를 나타낸다.

상세하게는, 도 4a의 제1 내지 제4 활성영역을 형성하기 위한 마스크패턴(110 내지 119)을 이용한 사진공정을 실시하여 반도체기판(50)의 활성영역을 한정하는 다음, 통상의 소자분리 공정을 적용하여 상기 반도체기판(50)의 비활성영역에 소자분리막(52)을 형성한다. 상기 소자분리막(52)은 집적도의 향상을 위하여 셀로우 트렌치 소자분리(Shallow Trench Isolation; STI) 방법을 사용하여 형성하는 것이 바람직하다.

다음에, 상기 반도체기판(50)의 활성영역에 소정깊이의 N웰(A)을 형성한 다음, 상기 N웰 형성공정과 동일한 방법으로 P웰(B)을 형성한다. 상기 N웰(A)과 P웰(B)은 그 순서를 바꾸어 형성하여도 무방하다.

도 5b 및 도 6b는 게이트전극(58, 62a, 62b)을 형성하는 단계를 나타낸다.

상세하게는, 소자분리막 및 웰이 형성된 상기 반도체기판(50) 상에, 얇은 산화막을 성장시켜 게이트절연막(도시되지 않음)을 형성한다. 이 게이트절연막 상에 도우프된 폴리실리콘을 증착한 후, 도 4b의 구동 트랜지스터 및 PMOS 부하 트랜지스터의 게이트를 형성하기 위한 마스크패턴(120, 122)을 이용하여 상기 폴리실리콘막을 패터닝함으로써, 제1 및 제2 구동 트랜지스터와 제1 및 제2 PMOS 부하 트랜지스터의 공통(common) 게이트로 사용될 제1 게이트전극(58)을 형성한다. 이 때, 상기 제1 구동 트랜지스터 및 제1 PMOS 부하 트랜지스터의 공통 게이트가 동시에 형성된다.

다음에, 제1 게이트전극(58)이 형성된 결과물의 전면에, 얇은 절연막(60)을 형성한다. 이 절연막상에 도우프된 폴리실리콘막을 형성한 후, 도 4b의 전송 트랜지스터의 게이트를 형성하기 위한 마스크패턴(130, 132)을 이용하여 상기 폴리실리콘막을 패터닝함으로써, 제2 및 제3 게이트전극(62a, 62b)을 형성한다. 도 5b 및 도 6b에 도시된 제2 게이트전극(62a)은 제1 전송 트랜지스터의 게이트전극으로 사용되고, 제3 게이트전극(62b)은 제2 전송 트랜지스터의 게이트전극으로 사용된다. 그리고, 상기 절연막(60)은 제2 및 제3 게이트전극(62a, 62b)의 게이트절연막으로 사용됨과 동시에 상기 제1 게이트전극(58)과, 제2 및 제3 게이트전극을 절연시키는 역할을 한다.

도 5c 및 도 6c는 각 트랜지스터들의 소오스/드레인과, N웰 픽업영역 및 P웰 픽업영역을 형성하는 단계를 나타낸다.

상세하게는, 도 4c의 마스크패턴(140, 142)을 이용한 사진공정을 적용하여  $N^+$  불순물영역을 한정하는 후, N형의 불순물 이온을 고농도로 주입하여 제1 내지 제3  $N^+$  불순물영역(64a, 64b, 64c)을 형성한다. 다음에, 상기 마스크패턴(140, 142)의 역방향의 마스크패턴(reverse mask pattern)을 이용한 사진공정을 실시한 후, P형의 불순물 이온을 고농도로 주입하여 제1 및 제2  $P^+$  불순물영역(66a, 66b)을 형성한다.

도 5c 및 도 6c에 도시된 상기 제1  $N^+$  불순물영역(64a)은 제1 전송 트랜지스터 및 제1 구동 트랜지스터의 소오스/드레인으로 사용되고, 제2  $N^+$  불순물영역(64b)은 제2 전송 트랜지스터 및 제2 구동 트랜지스터의 소오스/드레인으로 사용되고, 제3  $N^+$  불순물영역(64c)은 N웰(A)에 바이어스 전압을 인가하기 위한 N웰 픽업영역으로 사용된다.

그리고, 상기 제1  $P^+$  불순물영역(66a)은 제1 및 제2 PMOS 부하 트랜지스터의 소오스/드레인으로 사용되고, 제2  $P^+$  불순물영역(66b)은 P웰(B)에 바이어스 전압을 인가하기 위한 P웰 픽업영역으로 사용된다.

도 5d 및 도 6d는 제1 플럭(70)을 형성하는 단계를 나타낸다.

상세하게는, 도 5c 및 도 6c의 결과물 상에, 절연물질을 두껍게 증착한 후 이를 평탄화하여 제1 층간절연막(68)을 형성한다. 다음에, 도 4d의 노드콘택을 형성하기 위한 마스크패턴(150, 152, 154, 156)을 이용하여 상기 제1 층간절연막(68)을 부분적으로 식각함으로써, 제1 게이트전극(58)의 일부와 제1  $N^+$  불순물영역(64a)의 일부를 동시에 노출시키는 콘택홀을 형성한다. 이어서, 상기 콘택홀이 형성된 결과물 상에 배선용 금속을 증착한 후 에치백함으로써, 상기 콘택홀을 채우는 제1 플럭(70)을 형성한다.

상기 제1 플럭(70)중 도 6d에 도시된 부분은, 제1 구동 트랜지스터의 드레인(또는 소오스)과 제2 PMOS 부하 트랜지스터의 게이트(58)가 접속되는 부분을 나타낸다.

도 5e 및 도 6e는 제2 플럭(74a, 74b, 74c, 74d)을 형성하는 단계를 나타낸다.

상세하게는, 제1 플럭(70)이 형성된 결과물 상에 절연물질을 증착한 후 이를 평탄화하여 제2 층간절연막(72)을 형성한다. 다음에, 도 4e의 메탈콘택을 형성하기 위한 마스크패턴(161, 162, 163, 164, 165, 166 및 168)을 이용하여 상기 제2 층간절연막(72)을 부분적으로 식각함으로써,  $N^+$  불순물영역(64a, 64b, 64c) 및  $P^+$  불순물영역(66a, 66b)을 노출시키는 콘택홀을 형성한다. 이어서, 콘택홀이 형성된 결과물 상에 금속을 증착한 후 에치백함으로써, 상기 콘택홀을 채우는 제2 플럭(74a, 74b, 74c, 74d)을 형성한다.

참조부호 "74a"는 제2 PMOS 부하 트랜지스터의 드레인(66a) 및 N웰 픽업영역(64c)과 후속 공정에서 형성될 전원라인(Vcc)을 접속시키고, "74b"는 제2 구동 트랜지스터의 소오스(64b)와 접지라인(Vss)을 접속시키고, "74c"는 제1 전송 트랜지스터의 드레인(64a)과 패드를 접속시키고, "74d"는 P웰 픽업영역(66b)과 접지라인을 접속시키는 역할을 한다.

도 5f 및 도 6f는 패드(76), 접지라인(78) 및 전원라인(80)을 형성하는 단계를 나타낸다.

상세하게는, 제2 플럭(74a, 74b, 74c)까지 형성된 결과물 상에 금속막, 예를 들어 알루미늄막을 형성한 후, 도 4f의 전원라인을 형성하기 위한 마스크패턴(170), 접지라인을 형성하기 위한 마스크패턴(172, 174) 및 패드를 형성하기 위한 마스크패턴(176, 178)을 이용하여 상기 금속막을 패터닝함으로써 패드(76), 접지라인(78) 및 전원라인(80)을 형성한다.

상기 패드(76)는 비트라인과 제1 전송 트랜지스터의 드레인(64a)을 접속시킨다.

상기 접지라인(78)은 제2 플럭(74b)을 통해 제1 구동 트랜지스터의 소오스(도시되지 않음) 및 제2 구동 트랜지스터의 소오스(64b)와 접속된다.

상기 전원라인(80)은 제2 플럭(74a)을 통해 제1 PMOS 부하 트랜지스터의 소오스/드레인(도시되지 않음), 제2 PMOS 부하 트랜지스터의 소오스/드레인(66a) 및 N웰 픽업영역(64c)과 접속된다.

또한, 상기 도 5f 및 도 6f를 참조하면, PMOS 부하 트랜지스터의 소오스(66a)와 N웰 픽업영역(64c)이 서로 접하도록 형성되어 있고, 하나의 콘택홀을 통해 동시에 메모리 셀의 전원라인(80)에 접속되어 있다. 그리고, 메모리 셀의 접지라인(78)은 구동 트랜지스터의 소오스(64b)와 P웰 픽업영역(66b)에 동시에 접속되어 있다.

그리고, 상기 접지라인(78)과 전원라인(80)은 동일층의 도전층으로 이루어져 있다.

도 5g 및 도 6g는 비트라인 콘택을 형성하는 단계를 나타낸다.

상세하게는, 패드(76), 접지라인(78) 및 전원라인(80)이 형성된 결과물 상에, 예를 들어 산화막을 증착하여 제3 층간절연막(82)을 형성한다. 이어서, 도 4g의 비트라인 콘택을 형성하기 위한 마스크패턴(180, 182)을 이용하여 제3 층간절연막(82)을 부분적으로 식각함으로써, 상기 패드(76)를 노출시키는 콘택홀을 형성한다. 이어서, 콘택홀이 형성된 결과물상에 금속, 예를 들어 알루미늄을 증착한 후 이를 에치백함으로써 상기 콘택홀을 채우며 패드(76)와 접속된 제3 플럭(84)을 형성한다.

상기 제3 플럭(84)은 이후에 형성될 비트라인과 패드(76)를 연결시키는 역할을 한다.

도 5h 및 도 6h는 비트라인을 형성하는 단계를 나타낸다.

상세하게는, 제3 플럭(84)이 형성된 결과물 상에 금속막, 예를 들어 알루미늄막을 형성한 후 도 4h의 비트라인용 마스크패턴(190, 192)을 이용한 사진식각 공정으로 상기 금속막을 패터닝함으로써, 비트라인(86)을 형성한다. 상기 비트라인(86)은 상기 제3 플럭(84), 패드(76) 및 제2 플럭(74c)을 통해 제1 전송 트랜지스터의 드레인(64a)과 접속된다. 또는, 제3 플럭(84)을 형성하지 않고 패드(76)를 노출시키는 콘택홀을 형성한 후 금속막, 예를 들어 알루미늄막을 증착하고, 마스크패턴(190, 192)을 이용한 패터닝공정으로 비트라인을 형성할 수도 있다. 이후에, 후속 공정을 진행하여 본 발명에 의한 SRAM 셀을 완성한다.

도 7은 본 발명의 다른 실시예에 의한 스택 랜덤 액세스 메모리장치를 제조하기 위한 레이아웃도로서, 도 4d에 대응되는 부분이 도시되어 있다.

도 7을 참조하면, 제1 구동 트랜지스터와 제1 전송 트랜지스터로 이루어진 제1 NMOS 인버터의 출력노드와, 제1 PMOS 부하 트랜지스터의 드레인 노드와, 제2 구동 트랜지스터와 제2 전송 트랜지스터로 이루어진 제2 NMOS 인버터의 입력노드가 하나의 콘택홀(157)을 통해 연결되어 있다.

그리고, 제2 구동 트랜지스터와 제2 전송 트랜지스터로 이루어진 제2 NMOS 인버터의 출력노드와, 제2 PMOS 부하 트랜지스터의 드레인 노드와, 제1 구동 트랜지스터와 제1 전송 트랜지스터로 이루어진 제1 NMOS 인버터의 입력노드는 하나의 콘택홀(159)을 통해 연결되어 있다.

종래에는 NMOS 인버터의 출력노드인 N형 활성영역과 PMOS 부하소자의 드레인 노드인 P형 활성영역을 연결시킬 경우, 각각의 노드에 각각의 콘택홀을 형성한 다음, 이 콘택홀들을 연결하는 도전층에 의해 상기 노드들을 연결하였다. 따라서, 노드의 개수만큼 콘택홀의 개수가 증가하여 셀의 구성이 복잡하였다. 그러나, 도 7에 도시된 바와 같이, 본 발명에 의하면 하나의 콘택홀을 통해 세 개의 노드를 동시에 연결할 수 있으므로, 콘택홀의 개수를 줄일 수 있으며, 따라서 메모리 셀의 구성을 단순화할 수 있다.

도 8은 본 발명의 다른 실시예에 의한 스택 랜덤 액세스 메모리장치를 설명하기 위한 것으로, 도 7의 VIII-VIII'선을 자른 단면도이다. 도면 참조부호 "80"은 반도체기판을, "82"는 소자분리막을, "84"는 N웰을, "86"은 P웰을, "88"은 제1 구동 트랜지스터 및 제1 PMOS 부하 트랜지스터의 게이트전극을, "90"은 제1 전송 트랜지스터의 소오스와 제1 구동 트랜지스터의 드레인이 공유되는 영역을, "92"는 제1 PMOS 부하 트랜지스터의 드레인(또는 소오스)을, "94"는 층간절연막을, 그리고 "96"은 플럭을 각각 나타낸다.

상기 단면도에 따르면, 제1 구동 트랜지스터와 제1 전송 트랜지스터로 이루어진 제1 NMOS 인버터의 출력노드와 제1 PMOS 부하 트랜지스터의 드레인 노드, 제2 구동 트랜지스터와 제2 전송 트랜지스터로 이루어진 제2 NMOS 인버터의 입력단자가 하나의 콘택홀에 의해 오픈되고, 이 콘택홀을 채우는 플럭(96)에 의해 연결되어 있다.

이상 본 발명을 상세히 설명하였으나 본 발명은 상기 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 물론이다.

## 발명의 효과

상술한 본 발명에 의한 스택 랜덤 액세스 메모리장치에 따르면, NMOS를 형성하기 위한 N형 활성영역과 PMOS를 형성하기 위한 P형 활성영역이 메모리 셀 내에서 최적의 사이즈를 갖도록 적절하게 배치한다. 따라서, P웰 픽업영역 및 N웰 픽업영역을 메모리 셀 내에 형성할 수 있게 된다. 따라서, 메모리 셀 이외의 영역에 P웰 및 N웰 바이어스용 불순물영역을 형성하기 위한 영역을 별도로 확보할 필요가 없으므로, 칩 사이즈를 현저히 감소시킬 수 있다.

또한, 웰 바이어스 전압을 각 메모리 셀 내에서 인가하여 줄 수 있으므로, 종래에 비해 저항에 의한 전압 강하를 줄일 수 있으며, 이로 인해 소자의 전압특성을 향상시킬 수 있다.

또한, 하나의 CMOS 인버터의 출력노드와 다른 하나의 CMOS 인버터의 입력노드를 하나의 콘택홀로써 연결함으로써, 콘택홀의 개수를 줄일 수 있으며, 메모리 셀의 구성을 단순화할 수 있다.

또한, 콘택홀의 개수가 감소되어 그에 따른 콘택홀 형성공정을 줄일 수 있으므로, 공정을 단순화할 수 있다.

## (57) 청구의 범위

### 청구항 1

제1 NMOS 구동 트랜지스터 및 제1 NMOS 전송 트랜지스터로 이루어지는 제1 NMOS 인버터와, 제2 NMOS 구동 트랜지스터 및 제2 NMOS 전송 트랜지스터로 이루어지는 제2 NMOS 인버터가 서로 플립플롭(flip flop) 형태로 연결되며, 상기 제1 NMOS 구동 트랜지스터 및 제1 PMOS 부하소자로 이루어지는 제1 CMOS 인버터와, 상기 제2 NMOS 구동 트랜지스터 및 제2 PMOS 부하소자로 이루어지는 제2 CMOS 인버터가 서로 플립플롭 형태로 연결되어 이루어진 단위 셀이 매트릭스(matrix) 형태로 배열된 셀 어레이영역을 갖는 스택 랜덤 액세스 메모리 장치에 있어서,

반도체기판에 형성된 상기 메모리 셀 어레이영역에 특정 바이어스(bias) 전압을 인가하기 위한 픽업(pick-up) 영역이 상기 메모리 셀 어레이영역 내에 포함되어 있는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 2

제 1 항에 있어서, 상기 메모리 셀 어레이영역 내에는 NMOS 트랜지스터를 형성하기 위한 P웰이 형성되어 있고,

상기 P웰에 접지전압( $V_{ss}$ )을 인가하기 위한 P웰 픽업영역은 상기 P웰 내에 형성되어 있는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 3

제 1 항에 있어서, 상기 메모리 셀 어레이영역 내에는 PMOS 트랜지스터를 형성하기 위한 N웰이 형성되어 있고,

상기 N웰에 전원전압( $V_{cc}$ )을 인가하기 위한 N웰 픽업영역은 상기 N웰 내에 형성되어 있는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 4

제 1 항에 있어서, 상기 메모리 셀 어레이영역 내에는 P웰 및 N웰이 서로 인접하도록 형성되어 있고,

상기 P웰 픽업영역 및 N웰 픽업영역은 상기 P웰 및 N웰 내에 각각 형성되어 있는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 5

제 2 항 및 제 4 항 중의 어느 한 항에 있어서,

상기 제1 및 제2 구동 트랜지스터의 소오스와 상기 P웰 픽업영역을 연결하도록 형성된 제1 도전층을 구비하는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 6

제 3 항에 있어서, 상기 N웰 픽업영역은,

상기 PMOS 트랜지스터의 소오스와 인접하도록 형성되어 있는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 7

제 6 항에 있어서, 상기 N웰 픽업영역과 상기 PMOS 트랜지스터의 소오스를 동시에 노출시키는 콘택홀을 구비하는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 8

제 7 항에 있어서, 상기 콘택홀을 통하여 상기 N웰 픽업영역과 상기 PMOS 트랜지스터의 소오스와 동시에 접촉하는 제2 도전층을 구비하는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 청구항 9

제 5 항 및 제 8 항 중의 어느 한 항에 있어서, 상기 제1 및 제2 도전층은 동일층의 도전층으로 이루어진

것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 10

제 1 항에 있어서, 상기 제1 CMOS 인버터의 출력노드와 제2 CMOS 인버터의 입력노드가 하나의 콘택홀로써 연결되는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 11

제 1 항에 있어서, 상기 제2 CMOS 인버터의 출력노드와 제1 CMOS 인버터의 입력노드가 하나의 콘택홀로써 연결되는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 12

제 1 항에 있어서, 상기 제1 CMOS 인버터의 출력노드와 제2 CMOS 인버터의 입력노드가 하나의 콘택홀로써 연결되고,

상기 제2 CMOS 인버터의 출력노드와 제1 CMOS 인버터의 입력노드가 하나의 콘택홀로써 각각 연결되는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 13

제 10 항 내지 제 12 항에 있어서, 제1 및 제2 CMOS 인버터의 출력단을 형성하기 위한 구동 트랜지스터의 드레인과 PMOS 부하 트랜지스터의 드레인이 하나의 콘택홀을 통해 연결되는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 14

제 1 항 및 제 13 항 중의 어느 한 항에 있어서, 상기 구동 트랜지스터의 드레인과 PMOS 부하 트랜지스터의 드레인을 연결하는 콘택홀을 통해 서로 플립플롭 형태로 연결된 상대편 CMOS 인버터의 게이트가 동시에 연결되는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 15

Y축 방향으로 인접한 셀은 X축에 대하여 선대칭이고 X축 방향으로 인접한 셀은 Y축에 대하여 선대칭이 되도록 복수의 단위 셀이 매트릭스 형태로 배열된 셀 어레이영역을 갖는 스택 랜덤 액세스 메모리장치에 있어서, 상기 하나의 단위 셀은,

사각형의 영역내에, 인접하여 서로 교대로 배치된 P웰 및 N웰;

상기 P웰에 각각 위치하고, 상기 사각형의 4개의 코너중 마주보는 한쌍의 코너에 각각 배치된 한쌍의 P웰 픽업영역;

상기 P웰내에 각각 위치하고, 상기 각각의 P웰 픽업영역으로부터 일정 거리를 유지하면서 상기 사각형의 중심에 대하여 점대칭이 되도록 배치된 제1 및 제2 활성영역;

상기 제1 활성영역 및 제2 활성영역 사이에 형성된 N웰에 각각 배치되고, Y축 방향과 평행한 바(bar) 형태의 패턴을 가지면서 상기 각각의 바 형태의 패턴의 한 쪽 끝이 상기 N웰의 가장자리까지 연장되어 상기 사각형의 중심에 대하여 서로 점대칭인 제3 및 제4 활성영역;

상기 제3 활성영역의 양끝 부분중 상기 N웰의 가장자리까지 연장된 한쪽 끝부분 및 상기 제4 활성영역의 양끝 부분중 상기 N웰의 가장자리까지 연장된 한쪽 끝부분과 각각 접하도록 배치된 제1 및 제2 N웰 픽업영역;

상기 제1 활성영역 및 이와 이웃한 제3 활성영역을 가로지르면서, 상기 제2 활성영역과 접하도록 배치된 제1 게이트전극;

상기 제2 활성영역 및 이와 이웃한 제4 활성영역을 가로지르면서 상기 제1 활성영역과 접하도록 배치된 제2 게이트전극;

상기 제1 활성영역 및 상기 제2 활성영역을 가로지르면서 Y축 방향으로 배치된 제1 워드라인 및 제2 워드라인;

상기 제1 및 제2 게이트전극과 상기 제2 및 제1 활성영역을 각각 전기적으로 연결시키기 위한 제1 콘택;

상기 제1 및 제2 게이트전극과 상기 제3 및 제4 활성영역을 각각 전기적으로 연결시키기 위한 제2 콘택;

상기 제1 N웰 픽업영역과 이와 인접한 제3 활성영역을 노출시키는 제1 전원콘택 및 상기 제2 N웰 픽업영역과 이와 인접한 제4 활성영역을 노출시키는 제2 전원콘택;

상기 제1 및 제2 전원콘택을 덮으면서 Y축 방향으로 배치된 전원라인(power line);

상기 제1 게이트전극과 접하면서 상기 제1 픽업영역의 가장자리에 위치한 제1 활성영역 및 이와 이웃한 P웰 픽업영역을 노출시키는 제1 접지콘택;

상기 제2 게이트전극과 접하면서 상기 제2 P웰 픽업영역의 가장자리에 위치한 제2 활성영역, 및 이와 이웃한 P웰 픽업영역을 노출시키는 제2 접지콘택;

상기 제1 접지콘택을 덮으면서 Y축 방향으로 배치된 제1 접지라인(ground line);

상기 제2 접지콘택을 덮으면서 Y축 방향으로 배치된 제2 접지라인;

상기 제1 워드라인과 접하면서 상기 제1 P웰영역의 가장자리에 위치한 제1 활성영역을 노출시키는 제1 비

트라인 콘택;

상기 제1 비트라인 콘택을 덮으면서 X축 방향으로 배치된 제1 비트라인;

상기 제2 워드라인과 접하면서 상기 제2 P웰 영역의 가장자리에 위치한 제2 활성영역을 노출시키는 제2 비트라인 콘택; 및

상기 제2 비트라인 콘택을 덮으면서 X축 방향으로 배치된 제2 비트라인을 포함하는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 16

제 15 항에 있어서, 상기 제1 전원콘택은,

상기 제1 N웰 픽업영역과 상기 제3 활성영역을 동시에 노출시키는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 17

제 15 항에 있어서, 상기 제2 전원콘택은,

상기 제2 N웰 픽업영역과 상기 제4 활성영역을 동시에 노출시키는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 18

반도체기판의 비활성영역에 형성된 소자분리막;

상기 반도체기판의 활성영역에 교대로 형성된 N웰 및 P웰;

상기 N웰 및 P웰에 각각 형성된 N웰 픽업영역 및 P웰 픽업영역;

상기 반도체기판상에 형성된 제1 내지 제4 게이트전극;

제1 층간절연막에 의해 상기 제1 내지 제4 게이트전극과 분리된 제5 및 제6 게이트전극;

상기 N웰내에 형성된 제1 및 제2 소오스/드레인;

상기 P웰내에 형성된 제3 내지 제6 소오스/드레인;

상기 제1 및 제2 소오스/드레인과 접속된 전원라인;

상기 제3 및 제4 소오스/드레인과 접속된 접지라인; 및

상기 제5 및 제6 소오스/드레인과 접속된 제1 및 제2 비트라인을 구비하는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 19

제 18 항에 있어서, 상기 소자분리막은,

상기 반도체기판에 형성된 트렌치에 매립된 산화막으로 이루어진 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 20

제 18 항에 있어서, 상기 N웰 픽업영역은 상기 제1 및 제2 소오스/드레인과 인접하여 형성된 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 21

제 18 항에 있어서, 상기 제1 및 제3 게이트전극은 하나의 도전층으로 이루어지고,

상기 제2 및 제4 게이트전극은 하나의 도전층으로 이루어진 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 22

제 18 항에 있어서, 상기 제1 및 제3 게이트전극은 제1 및 제2 PMOS 부하 트랜지스터의 게이트전극이고,

상기 제2 및 제4 게이트전극은 제1 및 제2 구동 트랜지스터의 게이트전극이며,

상기 제5 및 제6 게이트전극은 제1 및 제2 전송 트랜지스터의 게이트전극인 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 23

제 22 항에 있어서, 상기 제5 및 제6 게이트전극은,

상기 제1 내지 제4 게이트전극과 직교하는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 24

제 18 항에 있어서, 상기 전원라인 및 접지라인 하부에,

상기 제5 및 제6 게이트전극이 형성된 결과물을 덮는 제2 층간절연막;

상기 제1 게이트전극과 제5 소오스/드레인, 상기 제2 게이트전극과 제6 소오스/드레인을 각각 동시에 노출시키는 콘택홀을 덮는 두 개의 플럭(plug);

제1 플럭이 형성된 결과물을 덮는 제3 층간절연막;

상기 제3 층간절연막을 관통하여, 상기 제1 및 제2 소오스/드레인과 상기 N웰 픽업영역을 동시에 노출시키는 콘택홀을 덮는 두 개의 제2 플럭;

상기 제3 층간절연막을 관통하여, 상기 제3 및 제4 소오스/드레인을 각각 노출시키는 콘택홀을 각각 덮는 두 개의 제3 플럭;

상기 제3 층간절연막을 관통하여 상기 P웰 픽업영역을 노출시키는 콘택홀을 덮는 제4 플럭;

상기 제3 층간절연막을 관통하여, 상기 제5 및 제6 소오스/드레인을 각각 노출시키는 콘택홀을 덮는 두 개의 제5 플럭을 더 구비하는 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

#### 청구항 25

제 18 항 및 제 24 항에 있어서, 상기 제1 및 제2 비트라인은,

상기 두 개의 제5 플럭과 각각 접속된 제1 및 제2 패드를 통해 상기 제5 및 제6 소오스/드레인과 각각 접속된 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

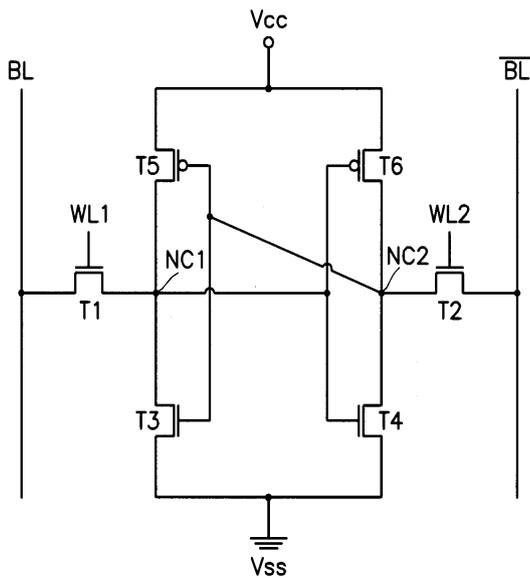
#### 청구항 26

제 18 항 및 제 24 항에 있어서, 상기 접지라인은,

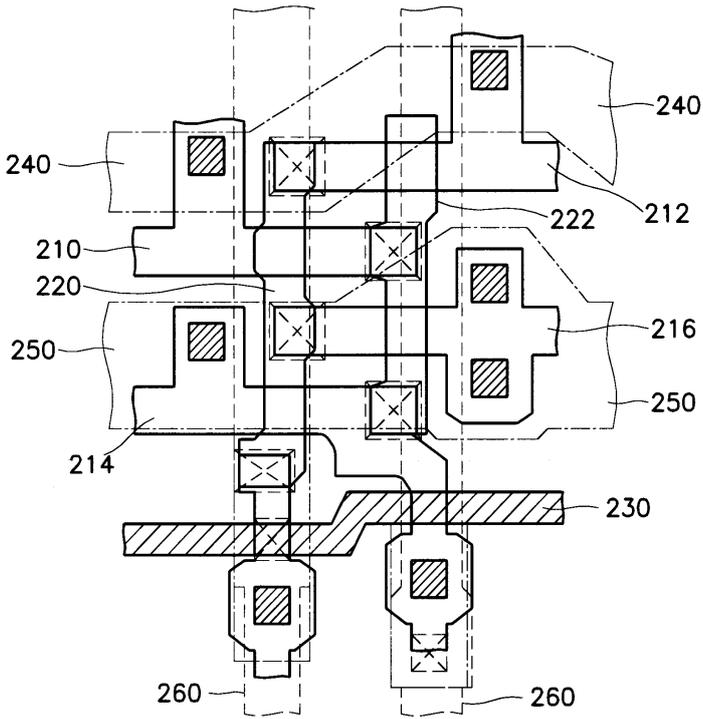
상기 제3 및 제4 플럭과 동시에 접속된 것을 특징으로 하는 스택 랜덤 액세스 메모리장치.

### 도면

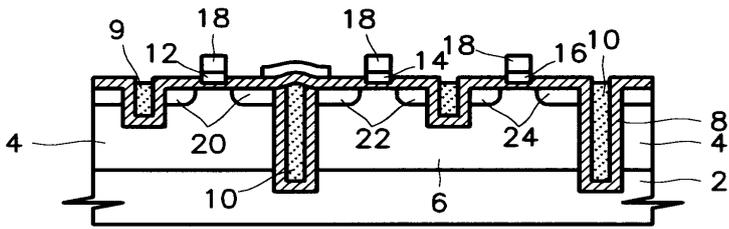
도면1



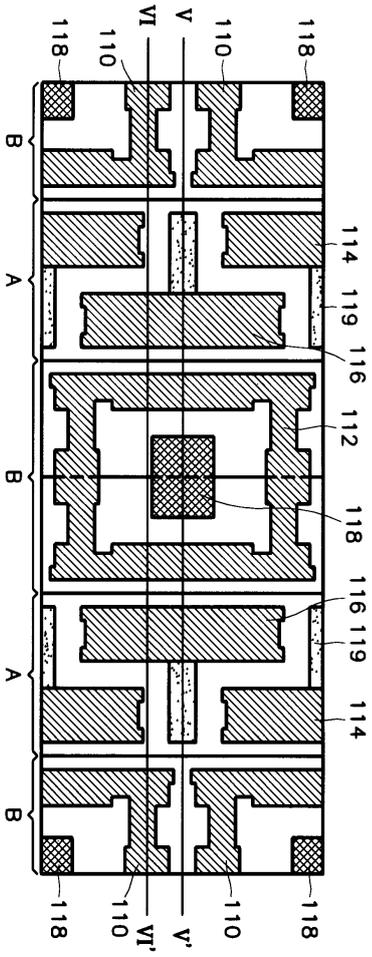
도면2



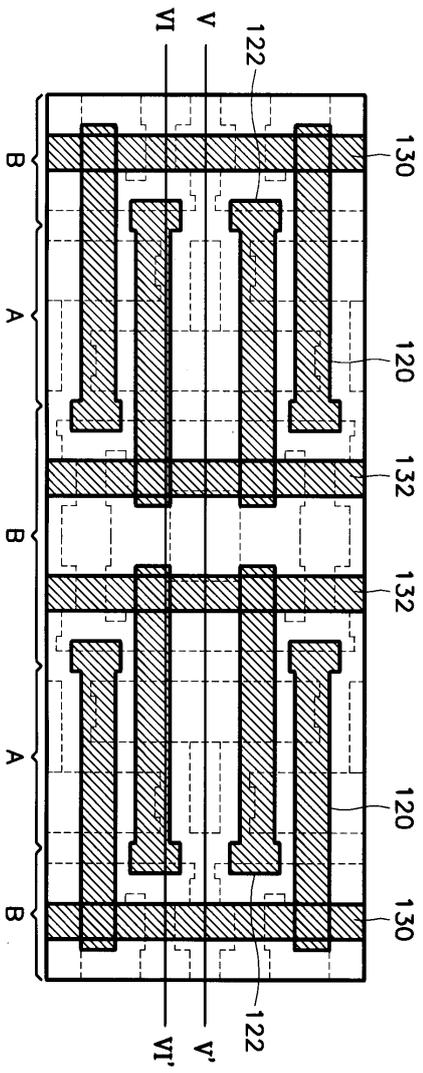
도면3



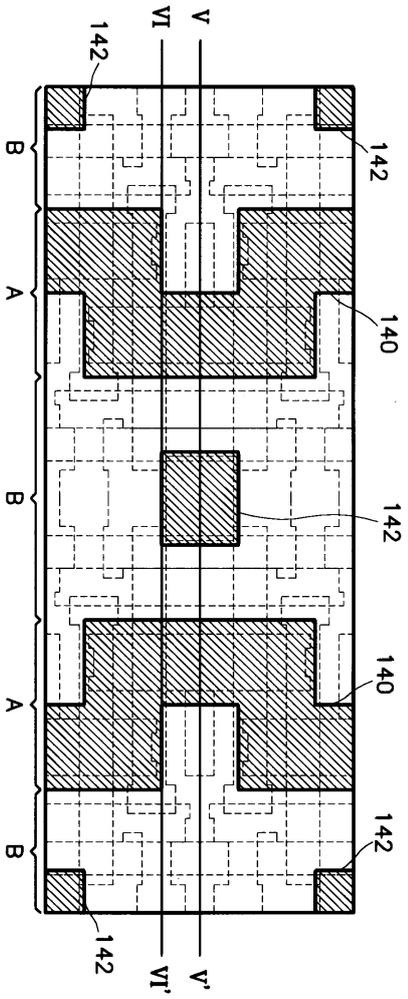
도면4a



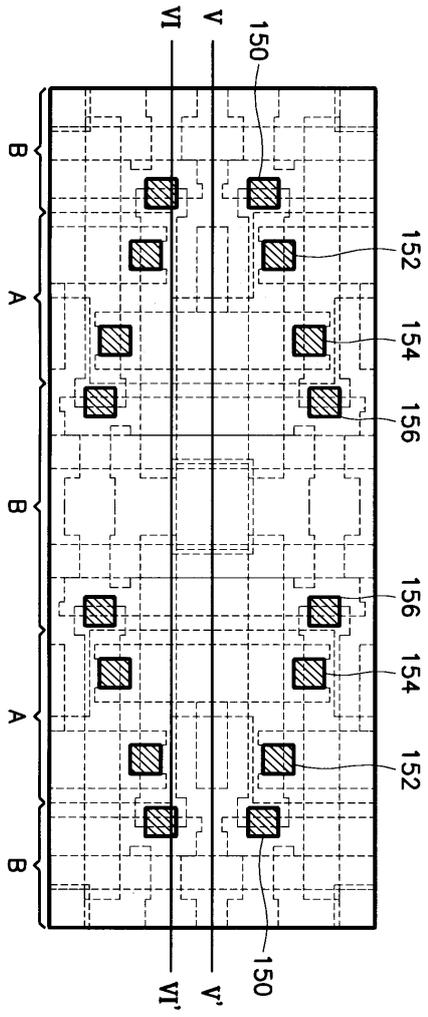
도면4b



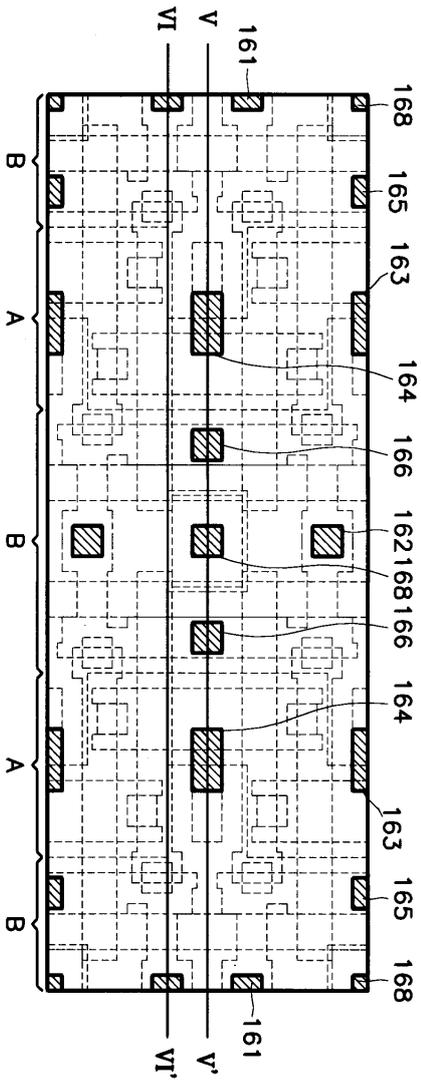
도면4c



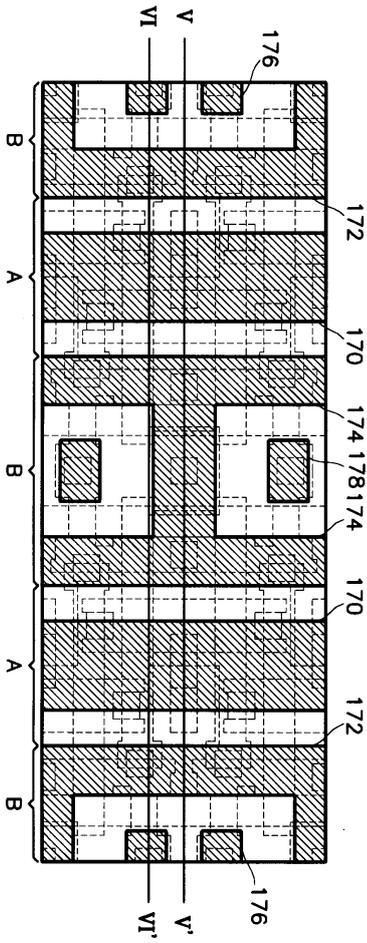
도면4d



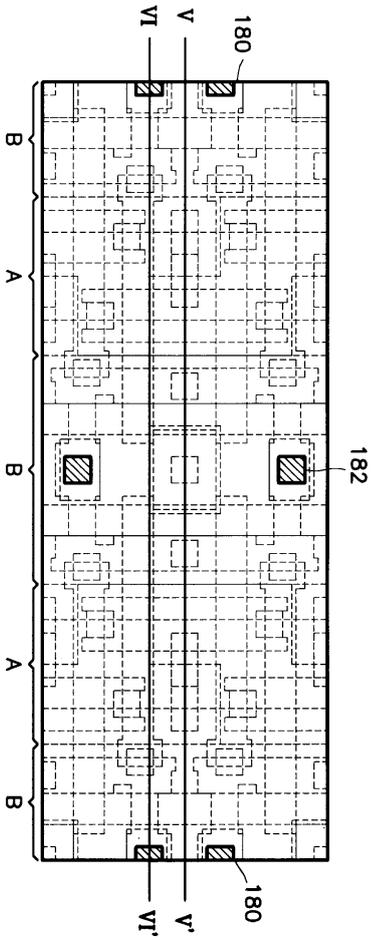
도면4e



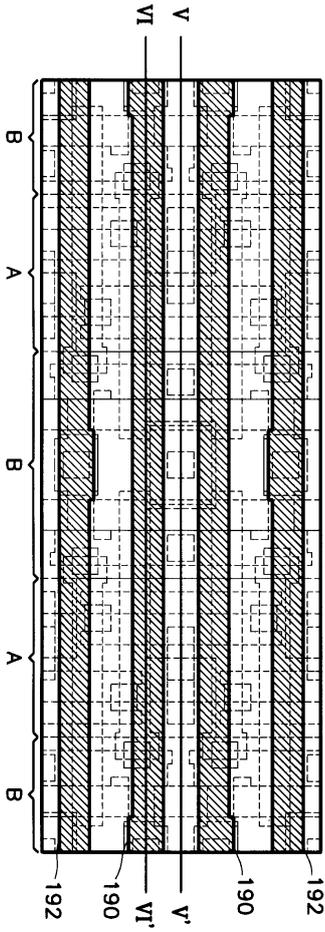
도면4f



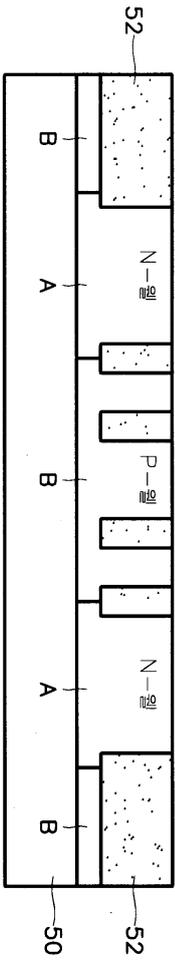
도면4g



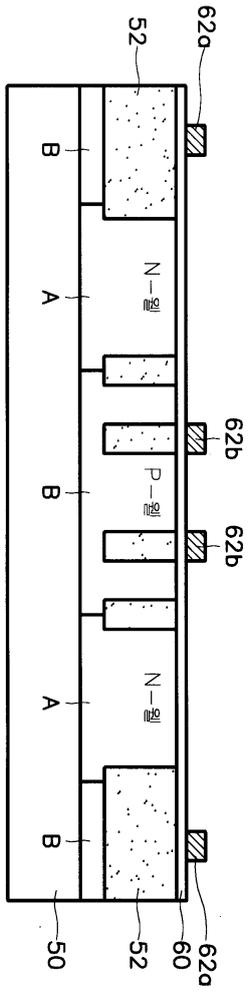
도면4h



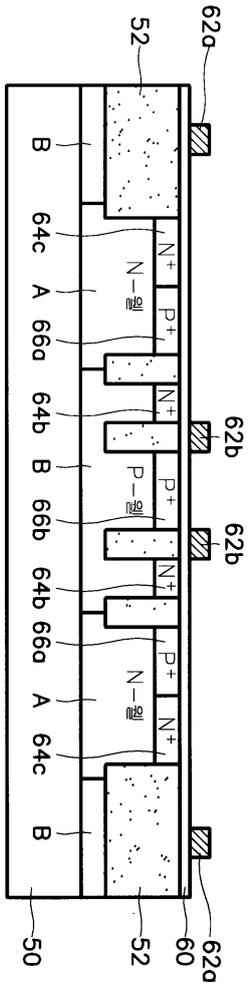
도면5a



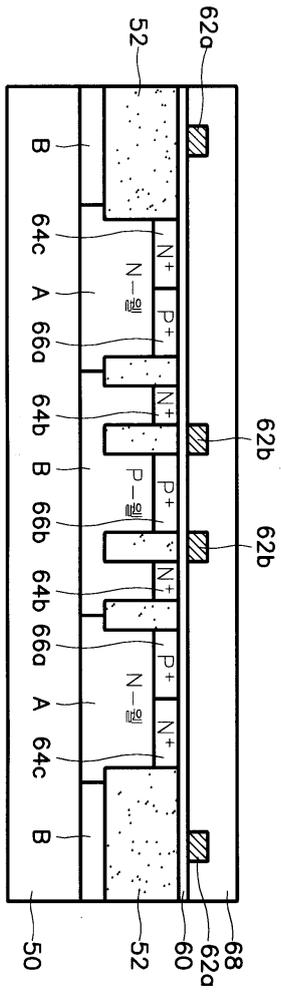
도면5b



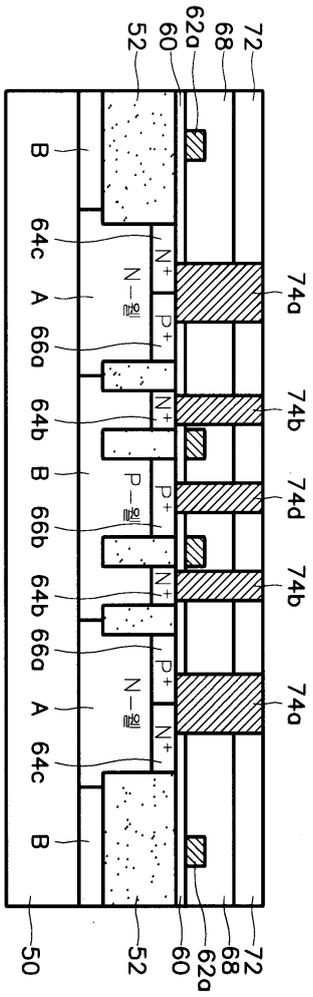
도면5c



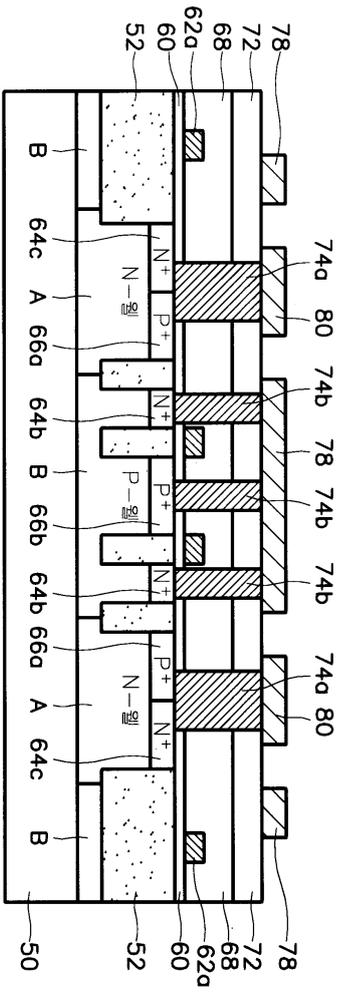
도면5d



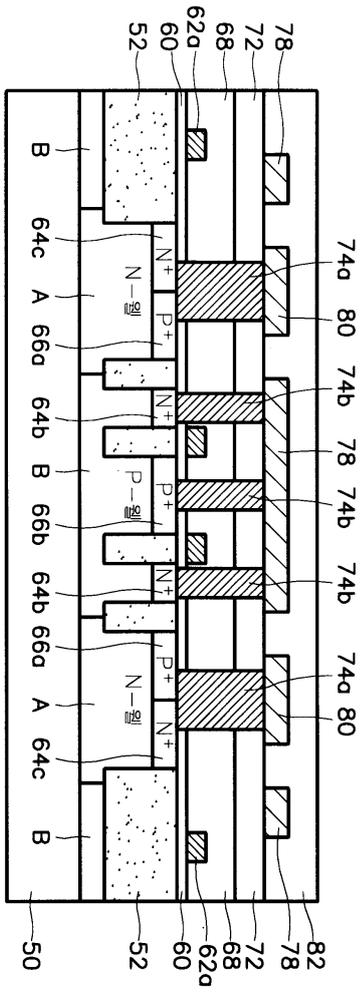
도면5e



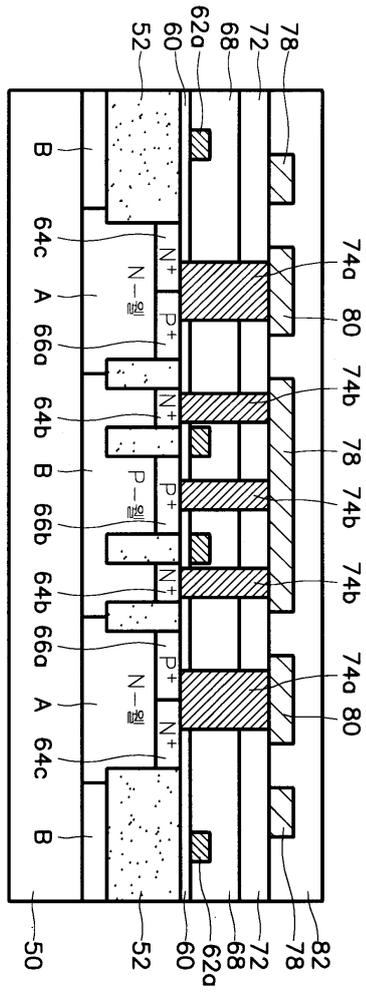
도면5f



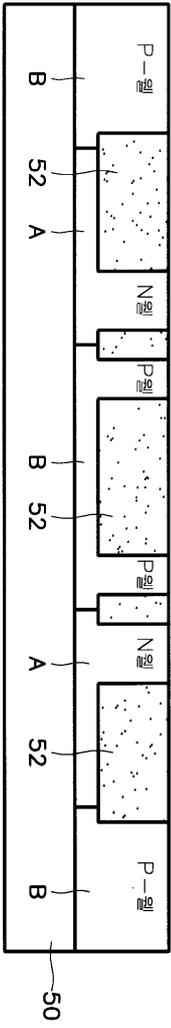
도면5g



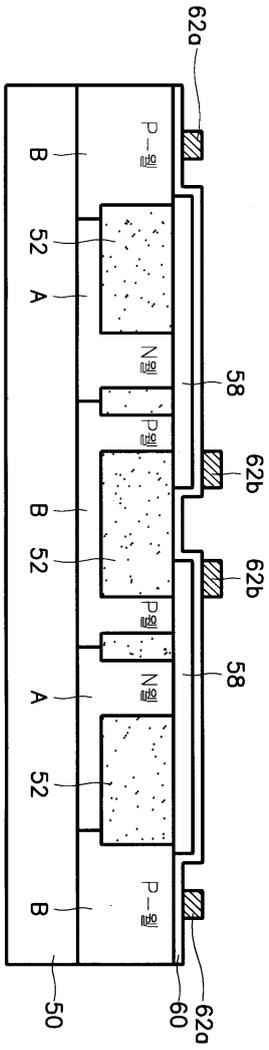
도면5h



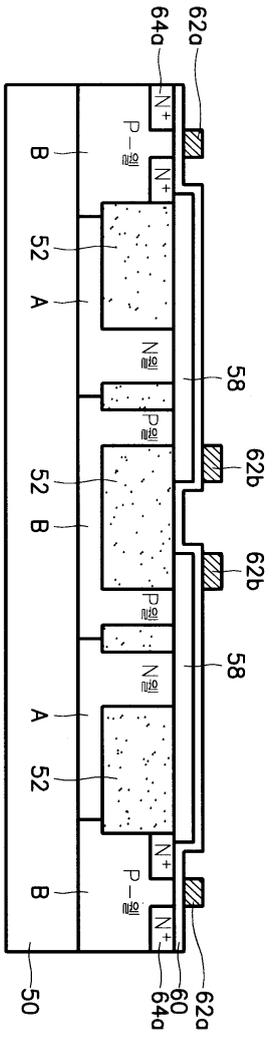
도면6a



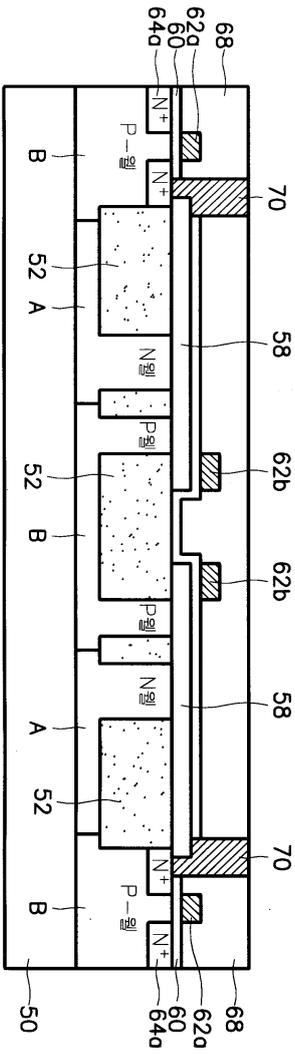
도면6b



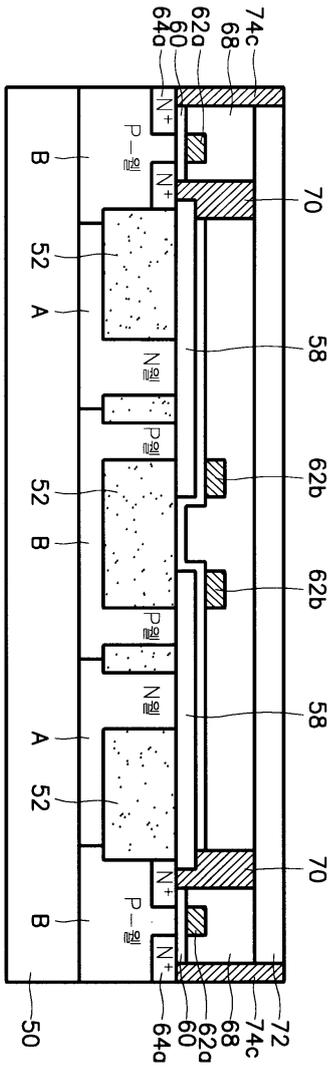
도면6c



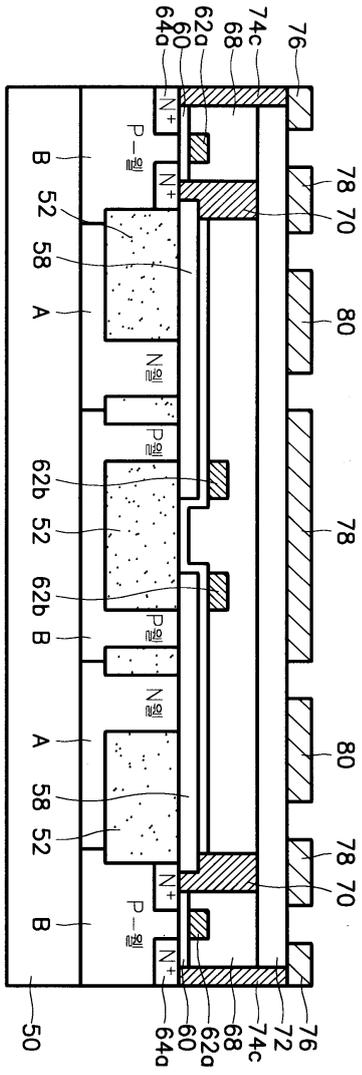
도면69



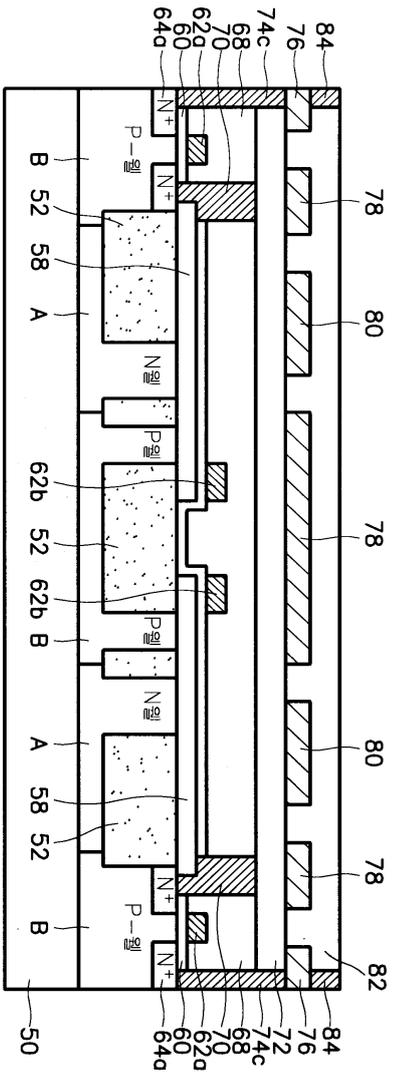
도면6e



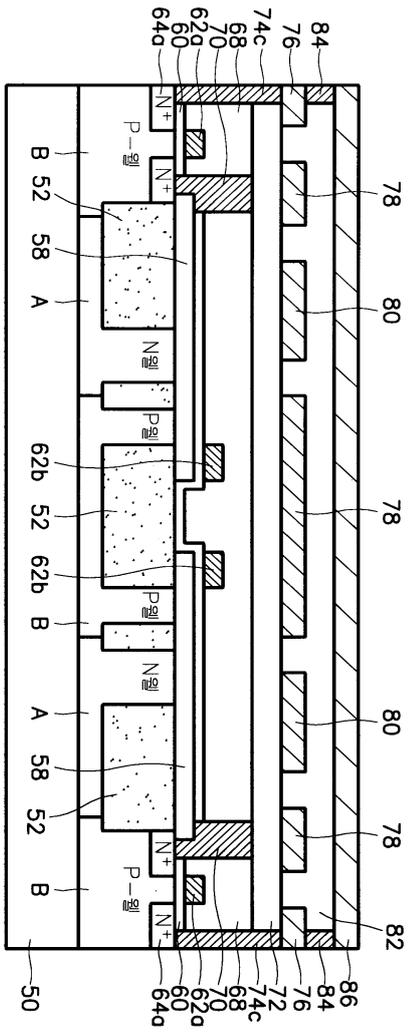
도면6f



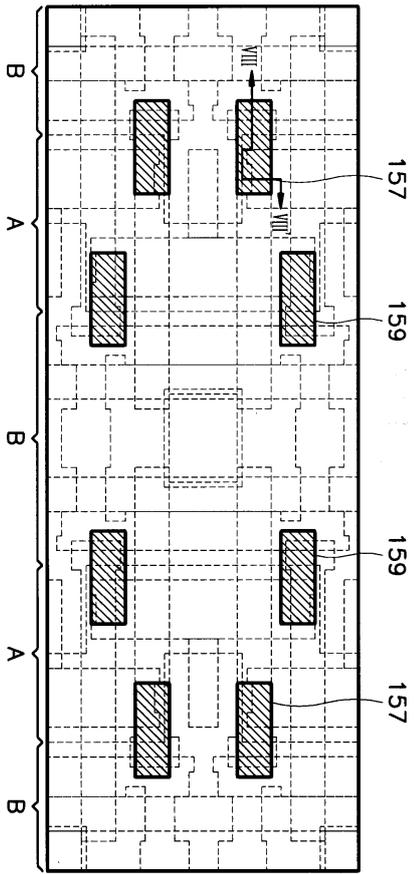
도면6g



도면6h



도면7



도면8

