



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I803123 B

(45) 公告日：中華民國 112 (2023) 年 05 月 21 日

(21) 申請案號：110149423

(22) 申請日：中華民國 110 (2021) 年 12 月 29 日

(51) Int. Cl. : **H01L29/92 (2006.01)****H01L27/105 (2006.01)****H01L27/02 (2006.01)**

(30) 優先權：2021/09/27 美國

17/486,402

(71) 申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORPORATION
(TW)

新北市泰山區南林路 98 號

(72) 發明人：艾子傑 AI, TSU-CHIEH (TW)

(74) 代理人：陳長文；馮博生

(56) 參考文獻：

TW 200919707A

TW 202103291A

US 5235199A

US 6077742A

US 6424011B1

US 2002/0142559A1

US 2004/0108536A1

審查人員：趙天生

申請專利範圍項數：17 項 圖式數：22 共 54 頁

(54) 名稱

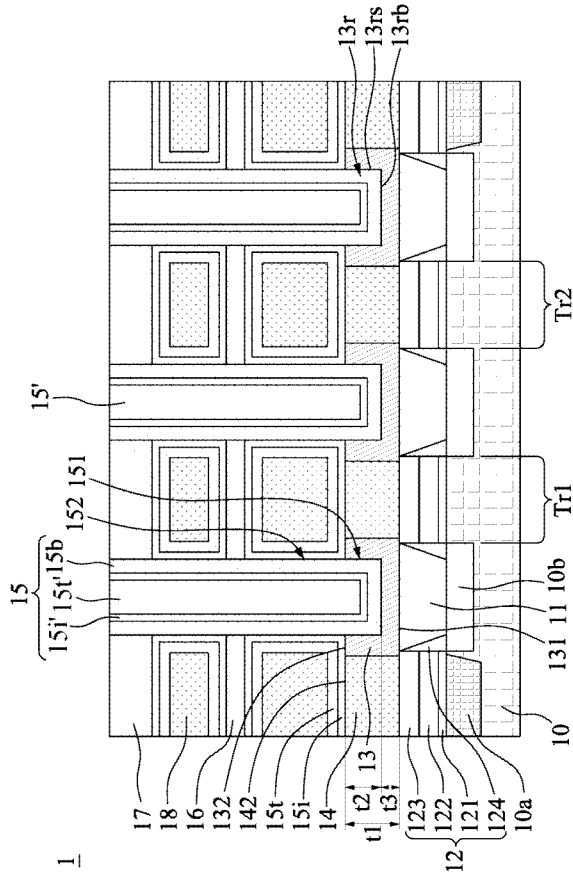
半導體元件及其製備方法

(57) 摘要

本揭露提供一種半導體元件和該半導體元件的製備方法。該半導體元件包括一基底和設置在該基底上的一導電墊。該導電墊具有遠離該基底的一第一表面。該第一表面朝向該基底凹入，以定義一凹入部分。該半導體元件更包括至少一部分設置在該導電墊的該凹入部分內的一電容器結構。該電容器結構透過該導電墊與該基底電性連接。

A semiconductor device and a method of manufacturing a semiconductor device are provided. The semiconductor device includes a substrate and a conductive pad disposed on the substrate and having a first surface facing away from the substrate. The first surface of the conductive pad is recessed toward the substrate and defines a recessed portion. The semiconductor device also includes a capacitor structure at least partially disposed within the recessed portion of the conductive pad and electrically connected with the substrate through the conductive pad.

指定代表圖：



【圖1】

符號簡單說明：

- 1: 半導體元件
- 10: 基底
- 10a: 隔離結構
- 10b: 摻雜區
- 11: 電容器插塞
- 12: 閘極堆疊
- 13: 導電墊
- 13r: 凹入部分
- 13rb: 底面
- 13rs: 側面
- 14: 介電層
- 15: 電容器結構
- 15': 電容器結構
- 15b: 底部電極
- 15i: 絕緣層
- 15i': 絕緣層
- 15t: 頂部電極
- 15t': 頂部電極
- 16: 支撐結構
- 17: 支撐結構
- 18: 絕緣層
- 121: 閘極介電質
- 122: 閘極結構
- 123: 閘極遮罩
- 124: 間隔結構
- 131: 表面
- 132: 表面
- 142: 表面
- 151: 部分
- 152: 部分
- t1: 厚度
- t2: 厚度
- t3: 厚度
- Tr1: 電晶體
- Tr2: 電晶體



I803123

【發明摘要】

【中文發明名稱】

半導體元件及其製備方法

【英文發明名稱】

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING
THE SAME

【中文】

本揭露提供一種半導體元件和該半導體元件的製備方法。該半導體元件包括一基底和設置在該基底上的一導電墊。該導電墊具有遠離該基底的一第一表面。該第一表面朝向該基底凹入，以定義一凹入部分。該半導體元件更包括至少一部分設置在該導電墊的該凹入部分內的一電容器結構。該電容器結構透過該導電墊與該基底電性連接。

【英文】

A semiconductor device and a method of manufacturing a semiconductor device are provided. The semiconductor device includes a substrate and a conductive pad disposed on the substrate and having a first surface facing away from the substrate. The first surface of the conductive pad is recessed toward the substrate and defines a recessed portion. The semiconductor device also includes a capacitor structure at least partially disposed within the recessed portion of the conductive pad and electrically connected with the substrate through the conductive pad.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 1:半導體元件
- 10:基底
- 10a:隔離結構
- 10b:摻雜區
- 11:電容器插塞
- 12:閘極堆疊
- 13:導電墊
- 13r:凹入部分
- 13rb:底面
- 13rs:側面
- 14:介電層
- 15:電容器結構
- 15':電容器結構
- 15b:底部電極
- 15i:絕緣層
- 15i':絕緣層
- 15t:頂部電極
- 15t':頂部電極
- 16:支撐結構
- 17:支撐結構
- 18:絕緣層
- 121:閘極介電質

122:閘極結構

123:閘極遮罩

124:間隔結構

131:表面

132:表面

142:表面

151:部分

152:部分

t1:厚度

t2:厚度

t3:厚度

Tr1:電晶體

Tr2:電晶體

【發明說明書】

【中文發明名稱】

半導體元件及其製備方法

【英文發明名稱】

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING
THE SAME

【技術領域】

【0001】 本申請案主張2021年9月27日申請之美國正式申請案第17/486,402號的優先權及益處，該美國正式申請案之內容以全文引用之方式併入本文中。

【0002】 本揭露提供一種半導體元件及其製備方法，特別是關於一種具有電容器的半導體元件及其製備方法。

【先前技術】

【0003】 支撐結構(如支撐樑或晶格膜)可用於半導體元件中，以支撐電容器並防止電容器短路或晃動。為滿足日益增長的計算能力的需求，半導體元件的尺寸正在不斷縮小，而在縮小的過程中會出現各種問題。例如，支撐結構可能更難穿透或打穿，這將影響最終的電氣特性、品質和產量。

【0004】 上文之「先前技術」說明僅係提供背景技術，並未承認上文之「先前技術」說明揭示本揭露之標的，不構成本揭露之先前技術，且上文之「先前技術」之任何說明均不應做為本案之任一部份。

【發明內容】

【0005】 本揭露的一實施例提供一種半導體元件，包括：一基底、

一導電墊以及一電容器結構。該導電墊設置在該基底上，具有遠離該基底的一第一表面。該第一表面朝向該基底凹入並定義一凹入部分。該電容器結構至少一部分設置在該導電墊的該凹入部分內，並透過該導電墊與該基底電性連接。

【0006】 在一些實例中，該導電墊包括一第二表面，該第二表面朝向該基底，且該第二表面與該電容器結構之間的距離小於該第二表面與該導電墊的該第一表面之間距離的一半。

【0007】 在一些實例中，該電容器結構包括一底部電極、一絕緣層和一頂部電極。該底部電極、該絕緣層和該頂部電極各自至少一部分設置在該導電墊的該凹入部分內。

【0008】 在一些實例中，該半導體元件包括一支撐結構，連接在該電容器結構和相鄰的電容器結構之間。該電容器結構的一部分依次與該導電墊、與該絕緣層相同材料的一材料層和該支撐結構接觸。

【0009】 在一些實例中，該材料層料與該導電墊接觸。

【0010】 在一些實例中，該導電墊經設置在一介電層內，該導電墊的該第一表面從該介電層露出，並且該材料層與該介電層接觸。

【0011】 在一些實例中，該電容器結構設置在該導電墊的該凹入部分內的該部分的尺寸小於該電容器結構從該導電墊的該凹入部分伸出的一部分的尺寸。

【0012】 在一些實例中，該電容器結構中從該導電墊的該凹入部分伸出的該部分與該導電墊的該第一表面接觸。

【0013】 本揭露的另一實施例提供一種半導體元件，包括：一基底、一導電墊以及一電容器結構。該導電墊設置在該基底上。該電容器結

構設置在該導電墊上並透過該導電墊與該基底電性連接。該電容器結構至少一部分伸入該導電墊內。

【0014】 在一些實例中，該電容器結構包括一側面，該側面具有由該導電墊包圍的一第一部分和從該導電墊露出一的第二部分。

【0015】 在一些實例中，該電容器結構的該側面的該第一部分與該導電墊接觸。

【0016】 在一些實例中，該電容器結構包括一底部電極、一絕緣層和一頂部電極，並且該電容器結構的該側面的該第二部分和與該電容器結構的該絕緣層相同材料的一材料層接觸。

【0017】 在一些實例中，該電容器結構包括一底部電極、一絕緣層和一頂部電極，並且該底部電極、該絕緣層和該頂部電極至少一部分伸入該導電墊。

【0018】 在一些實例中，伸入該導電墊內的該電容器結構的該部分的尺寸小於從該導電墊伸出的該電容器結構的一部分的尺寸。

【0019】 本揭露的又一實施例提供一種半導體元件的製備方法，包括：在一導電墊上設置一介電層；形成穿透該介電層的一開口，其中該導電墊的一凹入部分的一側面和一底面在該介電層的開口露出；以及在該導電墊的該凹入部分的該側面和該底面上設置一電極材料。

【0020】 在一些實例中，該導電墊的該凹入部分的尺寸實質上等於該介電層的該開口的尺寸。

【0021】 在一些實例中，該導電墊的該凹入部分的尺寸小於該介電層的該開口的尺寸。

【0022】 在一些實例中，該導電墊的該凹入部分在該介電層設置之

前形成。

【0023】 在一些實例中，該製備方法包括將該介電層從該導電墊上移除，以露出該導電墊的一部分。

【0024】 在一些實例中，該製備方法包括在該導電墊露出的部分上設置一絕緣層。

【0025】 由導電墊定義的凹入部分可以支撐或固定電容器結構。因此，不需(或更少)支撐結構。蝕刻不足的問題可以得到解決或緩解。此外，電容器結構和導電墊之間的接觸面積可以增加，半導體元件的電氣穩定性可以得到加強。

【0026】 上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之揭露專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可以相當容易地利用下文揭示之概念與特定實施例可以做為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之揭露專利範圍所定義之本揭露的精神和範圍。

【圖式簡單說明】

【0027】 參閱實施方式與揭露專利範圍合併考量圖式時，可以得更全面了解本揭露案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖1是剖視圖，例示本揭露一些實施例之半導體元件。

圖2是剖視圖，例示本揭露一些實施例之半導體元件。

圖3A是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的

一個或多個製備階段。

圖3B是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3C是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3D是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3E是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3F是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3G是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3H是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3I是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3J是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3K是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖3L是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖4A是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖4B是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖4C是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖4D是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖4E是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖4F是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖4G是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

圖5是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。

【實施方式】

【0028】 本揭露之以下說明伴隨併入且組成說明書之一部分的圖式，說明本揭露之實施例，然而本揭露並不受限於該實施例。此外，以下的實施例可以適當整合以下實施例以完成另一實施例。

【0029】 「一實施例」、「實施例」、「例示實施例」、「其他實施例」、「另一實施例」等係指本揭露所描述之實施例可以包括特定特徵、結構或是特性，然而並非每一實施例必須包括該特定特徵、結構或是特性。

再者，重複使用「在實施例中」一語並非必須指相同實施例，然而可以為相同實施例。

【0030】 以下揭露內容提供做為實作本揭露的不同特徵的諸多不同的實施例或實例。以下闡述組件及排列形式的具體實施例或實例以簡化本揭露內容。當然，該些僅為實例且不旨在執行限制。舉例而言，元件的尺寸並非僅限於所揭露範圍或值，而是可以相依於製程條件及/或元件的所期望性質。此外，以下說明中將第一特徵形成於第二特徵「上方」或第二特徵「上」可以包括其中第一特徵及第二特徵被形成為直接接觸的實施例，且亦可以包括其中第一特徵與第二特徵的範圍內可以形成有附加特徵、進而使得所述第一特徵與所述第二特徵可能不直接接觸的實施例。為簡潔及清晰起見，可以按不同比例任意繪製各種特徵。在附圖中，為簡化起見，可以省略一些層/特徵。

【0031】 圖1是剖視圖，例示本揭露一些實施例之半導體元件1。在一些實施例中，半導體元件1可以包括電路，例如記憶胞(memory cell)。在一些實施例中，記憶胞可以包括動態隨機存取記憶胞(dynamic random access memory cell，DRAM胞)。如圖1所示，在一些實施例中，半導體元件1可以包括基底10、電容器插塞11、閘極堆疊12、導電墊13、介電層14、電容器結構15、支撐結構16和17以及絕緣層18。

【0032】 在一些實施例中，基底10可以包括例如矽(Si)、鍺(Ge)、矽鍺(SiGe)、碳化矽(SiC)、碳化矽鍺(SiGeC)、鎵(Ga)、砷化鎵(GaAs)、銦(In)、砷化銦(InAs)、磷化銦(InP)或其他IV-IV族、III-V族或II-VI族半導體材料。在其他一些實施例中，基底10可以包括層狀半導體，如矽/矽鍺、矽-絕緣體(silicon-on-insulator)、或矽鍺-絕緣體(silicon germanium-

on-insulator)。

【0033】 在一些實施例中，一或多個隔離結構10a可以在基底10中形成。隔離結構10a可以包括淺溝隔離(shallow trench isolation, STI)結構。在一些實施例中，隔離結構10a可以包括絕緣材料，例如氧化矽(SiO₂)、氮化矽(Si₃N₄)、氮氧化矽(N₂O/Si₂)、氧化氮化矽(N₂O/Si₂)或摻氟二氧化矽。在一些實施例中，隔離結構10a可以定義基底10的一或多個主動區。

【0034】 在一些實施例中，一或多個摻雜區10b可以形成在兩個隔離結構10a之間的基底10的主動區的上部。在一些實施例中，摻雜區10b可以摻雜N型摻雜劑，如磷(P)、砷(As)或銻(Sb)，以形成N通道金屬氧化物半導體場效應電晶體(N-channel metal oxide semiconductor field effect transistor, NMOSFET)。在其他一些實施例中，摻雜區10b可以摻雜P型摻雜劑，如硼(B)或銦(In)，以形成PMOSFET。

【0035】 在一些實施例中，電晶體(例如，交換電晶體)Tr1和Tr2可以形成在基底10的兩個隔離結構10a之間的主動區。摻雜區10b可以包括電晶體Tr1和電晶體Tr2的源極接面或汲極接面。在一些實施例中，電晶體Tr1和電晶體Tr2可以共用源極接面或汲極接面。

【0036】 在一些實施例中，電晶體Tr1和電晶體Tr2可以各自包括閘極堆疊12。在一些實施例中，閘極堆疊12可以包括閘極介電質121、閘極結構122、閘極遮罩123和間隔結構124。在一些實施例中，閘極介電質121可以包括氧化矽層，閘極結構122可以包括多晶矽層，而閘極遮罩123可以包括矽化鎢層。在一些實施例中，間隔結構124可以包括氮化矽層。電晶體Tr1和電晶體Tr2中各層的結構和材料可以根據設計要求進行調整，

並不限於上述具體細節。

【0037】 一或多個電容器插塞11可以設置在基底10上。例如，電容器插塞11可以與基底10的摻雜區10b接觸。例如，電容器插塞11可以與基底10的摻雜區域10b電性連接。在一些實施例中，電容器插塞11可以透過導電墊13與電容器結構15電性連接。在一些實施例中，電容器插塞11可以包括摻雜的多晶矽(poly-Si)、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)、鎢(W)、銅(Cu)、鋁(Al)或其合金。

【0038】 在一些實施例中，一或多個位元線和一或多個字元線(圖中未示)可在兩個相鄰的電晶體(如電晶體Tr1和電晶體Tr2)之間形成。此外，位元線和字元線可以各自與插塞(如位元線插塞，圖中未顯示)電性連接，該插塞可以與電容器插塞11處於同一層或同一表面。

【0039】 在一些實施例中，閘極堆疊12、電容器插塞11和位元線插塞(如果有的話)可以形成在一介電層(圖中未顯示)或相互堆疊的複數個介電層。例如，電容器插塞11可以穿透堆疊的介電層，以接觸基底10的摻雜區域10b。

【0040】 導電墊13可以設置在電容器插塞11上。例如，導電墊13可以與電容器插塞11接觸。例如，導電墊13可以與電容器插塞11電性連接。在一些實施例中，與電容器插塞11類似，導電墊13可以包括摻雜多晶矽(poly-Si)、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)、鎢(W)、銅(Cu)、鋁(Al)或其合金。

【0041】 如圖1所示，介電層14可以圍繞導電墊13。在一些實施例中，導電墊13可以從介電層14中部分露出。例如，導電墊13可以穿透介電層14。導電墊13可以具有表面131和與表面131相對的表面132。表面

131可以朝向並與導電插塞11接觸。表面132可以背向導電插塞11和該基底10的方向。

【0042】 在一些實施例中，介電層14可以包括氧化矽(SiO_2)、碳摻雜的氧化矽、氮化矽(Si_3N_4)、氮氧化矽(N_2OSi_2)、氧化氮化矽(N_2OSi_2)、可流動氧化物(FO_x)、未摻雜矽酸鹽玻璃(USG)、硼矽酸鹽玻璃(BSG)、磷矽酸鹽玻璃(PSG)、硼磷矽酸鹽玻璃(BPSG)、正矽酸四乙酯(TEOS)、氟矽酸鹽玻璃(FSG)、乾凝膠、氣凝膠、非晶氟化碳(a- CF_x)、對二甲苯、苯並環丁烯(BCB)、聚醯亞胺(PI)，或其組合。

【0043】 在一些實施例中，導電墊13的表面132可以與介電層14的表面142實質上共面。在一些實施例中，導電墊13的表面132可以朝向表面131凹入。換言之，表面132可以凹入導電墊13中。

【0044】 例如，導電墊13可以定義一凹洞或凹入部分13r。具體來說，凹入部分13r可以具有底面13rb和側面13rs。底面13rb可以從表面132凹入，而側面13rs可以在底面13rb和表面132之間延伸。

【0045】 例如，導電墊13可以具有在表面131和表面132之間測量的尺寸(例如厚度 t_1 或最短距離)和在表面131和底面13rb之間測量的尺寸(如厚度 t_3 或最短距離)。厚度 t_1 可以大於厚度 t_3 。換言之，導電墊13可以具有至少兩個不同的厚度 t_1 和 t_3 。

【0046】 在一些實施例中，側面13rs可以不垂直於或相對於表面132傾斜。在一些實施例中，側面13rs可以是彎曲的。在一些實施例中，側面13rs和底面13rb之間的角可以是彎曲的，或者可以包括一圓角邊緣。在一些實施例中，由導電墊13定義的凹入部分13r可以包括但不限於碗狀輪廓、U形輪廓或另一種可行的輪廓。

【0047】 在一些實施例中，由導電墊13定義的凹入部分13r可經設置以接收或容納電容器結構15。例如，電容器結構15可以至少一部分由導電墊13所包圍或覆蓋。例如，電容器結構15可以至少一部分穿透導電墊13。例如，電容器結構15可以至少一部分伸入導電墊13。例如，電容器結構15可以至少一部分從表面132到表面131穿透導電墊13。例如，電容器結構15可以伸入導電墊13，並且電容器結構15的一端可以位於表面132和表面131之間。例如，電容器結構15可以與凹入部分13r的側面13rs和底面13rb接觸。例如，電容器結構15可以一部分經設置、接收或容納在凹入部分13r中，並一部分從導電墊13伸出。例如，電容器結構15的底部(或其末端或表面)可以設置在導電墊13的表面131和表面132之間的高度。例如，電容器結構15和導電墊13之間的介面可以與導電墊13的表面132間隔開。例如，電容器結構15和導電墊13之間的介面可以與導電墊13的表面132成一定角度(或不共面)。

【0048】 凹入部分13r的深度可以是表面132和底面13rb之間的距離 t_2 (例如最短的距離)。在一些實施例中，凹入部分13r的深度(即距離 t_2)可以超過導電墊13的表面131和表面132之間測量的厚度 t_1 的一半以上。換言之，在表面131和底面13rb之間測量的厚度 t_3 可以小於厚度 t_1 的一半。

【0049】 在一些實施例中，電容器結構15可以包括底部電極15b、絕緣層15i和頂部電極15t。在一些實施例中，電容器結構15的底部電極15b、絕緣層15i和/或頂部電極15t可以至少一部分經設置、接收或容納在導電墊13的凹入部分13r中。在一些實施例中，電容器結構15的底部電極15b、絕緣層15i和/或頂部電極15t可以至少一部分穿透導電墊13。在一些實施例中，電容器結構15的底部電極15b、絕緣層15i和/或頂部電極15t可

以至少一部分伸入導電墊13。例如，底部電極15b、絕緣層15i和/或頂部電極15t的一端或一表面可以經設置在導電墊13的表面131和表面132之間的高度。

【0050】 例如，頂部電極15t的一部分可以由絕緣層15i包圍、由底部電極15b包圍、並更由凹入部分13r的側面13rs包圍。例如，絕緣層15i的一部分可以由底部電極15b和凹入部分13r的側面13rs包圍。例如，底部電極15b的一部分可以由凹入部分13r的側面13rs包圍並與之接觸。

【0051】 在一些實施例中，電容器結構15可以與導電墊13和電容器插塞11電性連接。在一些實施例中，底部電極15b可以通過導電墊13和電容器插塞11耦合到相應電晶體的源極界面或汲極界面。因此，每個這樣的底部電極15b可以做為DRAM胞的儲存電容的儲存節點來應用。此外，在一些實施例中，頂部電極15t可以是共電極，可以耦合到DRAM胞內的接地節點。在一些實施例中，頂部電極15t可以透過頂部電極15t的電極材料的其他部分或透過另一導電元件連接。在一些實施例中，電容器結構15可以包括圓柱型電容器。術語“圓柱型”表示例如具有空心圓柱形狀的電容器，其底面為方形、圓形等。

【0052】 絕緣層15i可以設置在底部電極15b上。例如，絕緣層15i可以設置在底部電極15b的內部。在一些實施例中，絕緣層15i可以設置在底部電極15b和頂部電極15t之間。在一些實施例中，絕緣層15i可以透過絕緣層15i的絕緣材料的其他部分連接。

【0053】 在一些實施例中，絕緣層15i'可以設置在由介電層14的表面142和導電墊13的表面132所定義的共面表面上。例如，絕緣層15i'可以設置在底部電極15b的外部。例如，與絕緣層15i相同的絕緣材料可以設置

在由介電層14的表面142和導電墊13的表面132定義的共面表面上。

【0054】 在一些實施例中，介電層14的表面142和導電墊13的表面132可以在移除介電層後露出(如圖3I中的操作)。因此，在形成絕緣層15i和15i'的操作中(如圖3J中的操作)，絕緣層15i和15i'的絕緣材料可經設置在介電層14和導電墊13的露出表面上，形成絕緣層15i'。換言之，與絕緣層15i相同的絕緣材料可以經設置在介電層14和導電墊13的露出表面上。絕緣層15i'可以與導電墊13的表面132接觸。例如，絕緣層15i'可以直接接觸導電墊13的表面132。

【0055】 頂部電極15t可以設置在絕緣層15i上。例如，頂部電極15t可以設置在凹入部分13r內的絕緣層15i上。在一些實施例中，頂部電極15t'可以設置在由介電層14的表面142和導電墊13的表面132定義的共面表面的絕緣層15i'上。因此，絕緣層15i'(或與絕緣層15i相同的絕緣材料)的一部分可以設置在導電墊13和頂部電極15t'(或與頂部電極15t相同的電極材料)之間。

【0056】 在一些實施例中，底部電極15b和頂部電極15t可以包括摻雜的多晶矽(poly-Si)或金屬。在一些實施例中，絕緣層15i可以包括五氧化二鉭(Ta_2O_5)，氧化鋁(Al_2O_3)、銦鉍鉭氧化物($SrBi_2Ta_2O_9$ ，SBT)、鈦酸銦鉭($BaSrTiO_3$ ，BST)、具有高於二氧化矽(SiO_2)的介電常數的介電材料，或具有大約4.0或更大介電常數的介電材料。在一些實施例中，絕緣層15i的製作技術可以是單層，也可以是疊層。

【0057】 支撐結構16和17可以設置在兩個相鄰的電容器結構15和15'之間。電容器結構15'可以與電容器結構15類似。在一些實施例中，支撐結構16和17可以具有樑狀(*beam-like*)的形狀。在一些實施例中，相鄰

的電容器結構(如電容器結構15和15')可以通過支撐結構16和17相互連接。在一些實施例中，相鄰的電容器結構(如電容器結構15和15')可以通過支撐結構16和17連接。

【0058】 在一些實施例中，支撐結構17可以與支撐結構16間隔開。在一些實施例中，電容器結構15的底部電極15b在支撐結構16和17之間的部分可以由絕緣層15i或與絕緣層15i相同的絕緣材料覆蓋。

【0059】 在一些實施例中，電容器結構15可以由支撐結構16和17以及由導電墊13定義的凹入部分13r固定。例如，電容器結構15的上部可以由支撐結構17固定，電容器結構15的中間部分可以由支撐結構16固定，而電容器結構15的下部可以由導電墊13定義的凹入部分13r固定。在一些實施例中，在支撐結構16和導電墊13之間可能不需要支撐結構。在一些實施例中，在支撐結構16和導電墊13之間不存在支撐結構。

【0060】 在一些實施例中，電容器結構15可以依次與導電墊13、絕緣層15i'(或與絕緣層15i相同的絕緣材料)、支撐結構16、絕緣層15i'(或與絕緣層15i相同的絕緣材料)和支撐結構17接觸而不被其他支撐結構打斷。在一些實施例中，電容器結構15可以具有一表面(或一側面)，該表面具有由導電墊13包圍的部分151和從導電墊13露出的部分152。部分151和部分152可以是連續的或相互連接的。部分151和部分152可以是共面的。在一些實施例中，部分151可以與導電墊13接觸。在一些實施例中，部分152可以由絕緣層15i'(或與絕緣層15i相同的材料)包圍。在一些實施例中，部分152可以與絕緣層15i'(或與絕緣層15i相同的材料)接觸。

【0061】 在一些實施例中，支撐結構16和17可以與導電墊13間隔開。例如，支撐結構16和17可以不與導電墊13接觸。在一些實施例中，

導電墊13可以不與其他支撐結構接觸。

【0062】 在一些實施例中，支撐結構16和17可以包括例如氮化矽(Si₃N₄)、正矽酸四乙酯(TEOS)、五氧化二鉭(Ta₂O₅)、氧化鋁(Al₂O₃)、銻鉍鉭氧化物(SrBi₂Ta₂O₉，SBT)，鈦酸銻鉭(BaSrTiO₃，BST)，SrTiO₃(STO)，BaTiO₃(BTO)，PbZrTiO₃(PZT)或其他適合的材料。

【0063】 在一些實施例中，絕緣層18可以覆蓋頂部電極15的露出表面。在一些實施例中，絕緣層18可以覆蓋半導體元件1的露出表面。在一些實施例中，絕緣層18可以包括例如硼磷矽酸鹽玻璃(BPSG)、正矽酸四乙酯(TEOS)、摻磷正矽酸四乙酯(PTEOS)、基於環氧樹脂的材料(例如FR4)、基於樹脂的材料(例如Bismaleimid-Triazine(BT))、聚丙烯(PP)、成型化合物或其他適合的材料。在其他一些實施例中，頂部電極15t'可以填充在絕緣層15i'(或與絕緣層15i相同的絕緣材料)的開口處。在這樣的實施例中，可能不需要絕緣層18。

【0064】 在一些實施例中，具有垂直向上形成的電極的疊層電容器用於半導體元件(例如DRAM元件)，以實現電容最大化和佔用面積最小化。在一些實施例中，用兩個電極形成的電容器的電容一般可表示為：

$$C=A \varepsilon /d。$$

其中C是電容器的電容，A是兩個電極之間的重疊面積。此外， ε 是兩個電極之間的介電質的介電常數，d是介電質的厚度。

【0065】 為了使電容器結構(如電容器結構15)的電容最大化，希望兩個電極(如底部電極15b和頂部電極15t)之間的重疊面積最大化。因此，希望底部電極15b和頂部電極15t的高度最大化。在一些實施例中，支撐結構16和17可以防止底部電極15b在製程中相互傾斜。在一些實施例中，支

撐結構16和17可以防止底部電極15b短路或搖晃。

【0066】 然而，隨著高度的不斷增加，可能需要更多的支撐結構來支撐底部電極15b。此外，由於用於形成和設置電極的開口(如圖3E所示的開口33r)的高長寬比(high aspect ratio)，支撐結構可能更難穿透或打穿，隨後在這種狹窄的開口內形成的底部電極15b與底層導電墊13的接觸面積可能較小。此外，如果支撐結構沒有穿透或打穿(如蝕刻不足)，底部電極15b可能與導電墊13斷開，導致半導體元件1的故障，並降低製備產量。

【0067】 根據本揭露的一些實施例，透過提供由導電墊13定義的凹入部分13r，電容器結構15可以由凹入部分13r支撐或固定。在一些實施例中，可能不需要支撐結構的至少一或多個層。例如，支撐結構16、支撐結構17，或兩者都不需要。在此實施例中，電容器結構15可以由導電墊13和絕緣層15i'(或與絕緣層15i相同的絕緣材料)所包圍。

【0068】 在一些實施例中，在支撐結構16和導電墊13之間可能不需要支撐結構。蝕刻不足的問題可以得到解決或緩解。此外，電容器結構15和導電墊13之間的接觸面積可以增加，半導體元件1的電氣穩定性可以得到加強。

【0069】 圖2是剖視圖，例示本揭露一些實施例之半導體元件2。

【0070】 圖2中的半導體元件2與圖1中的半導體元件1相似，只是電容器結構15有兩個不同的尺寸(例如兩個不同的寬度或直徑)。電容器結構15的一部分經接收或容納在由導電墊13定義的凹入部分13r中，其尺寸(或最大寬度或直徑)為 w_2 。電容器結構15的一部分從由導電墊13定義的凹入部分13r伸出(並在其外)，具有尺寸(或最大寬度或直徑) w_1 。尺寸 w_1 可以

大於尺寸 w_2 。在一些實施例中，電容器結構15從由導電墊13定義的凹入部分13r伸出(並在其外)的部分可以與導電墊13的表面132接觸。在一些實施例中，底部電極15b可與表面132、底面13rb和側面13rs接觸。在一些實施例中，表面132可與底部電極15b和絕緣層15i'(或與絕緣層15i相同的絕緣材料)接觸。在一些實施例中，底部電極15b可以覆蓋由表面132和側面13rs定義的臺階結構。

【0071】 圖3A、圖3B、圖3C、圖3D、圖3E、圖3F、圖3G、圖3H、圖3I、圖3J、圖3K和圖3L是剖視圖，例示本揭露一些實施例之半導體元件1的製備階段。為了更好理解本揭露的各實施例，部分的圖已經過簡化。在一些實施例中，圖1中的半導體元件1可以透過以下關於圖3A、圖3B、圖3C、圖3D、圖3E、圖3F、圖3G、圖3H、圖3I、圖3J、圖3K和圖3L的操作來製備。

【0072】 參照圖3A，可以提供基底10。隔離結構10a可以在基底10上形成，然後形成閘極堆疊12的各層。然後，基底1可以在由閘極堆疊12遮蓋的情況下進行摻雜，因此為電晶體Tr1和Tr2形成摻雜區10b。

【0073】 在一些實施例中，介電層14可以藉由例如原子層沉積(ALD)製程、化學氣相沉積(CVD)製程、物理氣相沉積(PVD)製程、遠程電漿化學氣相沉積(RPCVD)製程、電漿增強化學氣相沉積(PECVD)製程、塗層(coating)製程等方式設置。可以透過微影和蝕刻技術在介電層14中形成一開口。在開口的內壁上可以形成阻隔金屬膜，例如，TiN/Ti膜。可以透過例如CVD製程、低壓化學氣相沉積(LPCVD)製程沉積具有導電墊13的導電膜以填充開口。導電墊13的表面132可以在化學機械研磨(CMP)製程後露出。導電墊13的表面132可以與介電層14的表面142實質

上共面。

【0074】 參照圖3B，犧牲介電層31可以設置在基底10上以覆蓋導電墊13的表面132和介電層14的表面142。在一些實施例中，犧牲介電層31可以包括氧化矽薄膜，並且製作技術可以藉由沉積製程，例如ALD、CVD、PVD、RPCVD、PECVD、LPCVD、coating等製程。

【0075】 參照圖3C，支撐結構16、犧牲介電層32和支撐結構17可以設置在犧牲介電層31上。在一些實施例中，支撐結構16和17的製作材料可以不同於犧牲介電層31的製作材料。例如，支撐結構16和17的製作材料可以是表現出與犧牲介質層31和32不同蝕刻特性的材料。支撐結構16和17可以透過犧牲介電層31和32與導電墊13隔開。在一些實施例中，支撐結構16和17的製作技術可以藉由沉積製程，例如例如ALD、CVD、PVD、RPCVD、PECVD、LPCVD、coating等製程。

【0076】 參照圖3D，可以在犧牲介電層32上提供光阻劑33和硬遮罩(圖中未示出)。

【0077】 參照圖3E，光阻劑33可以經圖案化以定義要蝕刻到支撐結構16和17，以及犧牲介電層31和32的溝槽圖案。支撐結構16和17以及犧牲介電層31和32可以透過微影和蝕刻技術進行蝕刻製程，以提供開口33r，且導電墊13透過開口33r露出。

【0078】 參照圖3F，導電墊13可以透過微影和蝕刻技術進行蝕刻製程，以在導電墊13中形成凹入部分13r。凹入部分13r的底面13rb可以露出在開口33r處。凹入部分13r的側面13rs可以與開口33r的側面實質上共面。開口33r的尺寸w1可以實質上等於凹入部分13r的尺寸w1'。在一些實施例中，開口33r和凹入部分13r可以在不同的操作中形成。在一些實施例

中，開口33r和凹入部分13r可以在一操作中形成，或者在同一操作中形成。

【0079】 參照圖3G，底部電極15b的電極材料可以藉由例如電鍍(plating)製程、無電解鍍(electroless plating)製程、印刷(printing)製程、CVD製程或其他適合的製程，以設置在凹入部分13r的側面13rs和底面13rb上。底部電極15b的電極材料也可以經設置在圖3F中開口33r的側面和光阻劑33上。

【0080】 參照圖3H，光阻劑33可以從支撐結構17上移除。在其他一些實施例中，光阻劑33可以在底部電極15b設置之前移除。因此，底部電極15b的電極材料也可以經設置在支撐結構17的頂面上。

【0081】 參照圖3I，犧牲的介電層31和32可以藉由例如溼式蝕刻製程來移除。例如，從圖3H的操作中得到的結構可以浸泡在溼化學浴中(如氫氟酸水溶液)。或者，溼化學品可以直接噴灑在從圖3H的操作中獲得的結構上。導電墊13的表面132和介電層14的表面142可以露出，並可以定義一共同表面。底部電極15b也可以露出。

【0082】 參照圖3J，絕緣層15i的絕緣材料可以透過例如CVD製程來設置在底部電極15b的內部。絕緣層15i'的絕緣材料可以設置在導電墊13的表面132和介電層14的表面142上。

【0083】 參照圖3K，頂部電極15t的電極材料可以設置在塗有絕緣層15i的底部電極15b的內部。頂部電極15t'的電極材料可以設置在絕緣層15i'上。頂部電極15t、底部電極15b和絕緣層15i可以構成電容器結構15。因此，電容器結構15可以至少一部分設置在由導電墊13定義的凹入部分13r內。

【0084】 參照圖3L，絕緣層18可以沉積在電容器結構15的內部和外部。在一些實施例中，可以在每個電容器結構15上提供另一頂部電極和接線，以構成具有電晶體和圓柱型電容器的記憶胞。

【0085】 圖4A、圖4B、圖4C、圖4D、圖4E、圖4F和圖4G是剖視圖，例示本揭露一些實施例之半導體元件2的製備階段。為了更好理解本揭露的各實施例，部分的圖已經過簡化。在一些實施例中，圖2中的半導體元件2可以透過以下關於圖4A、圖4B、圖4C、圖4D、圖4E、圖4F和圖4G的操作來製備。

【0086】 圖4A中的操作可在圖3E中的操作之後進行。圖4A中的操作與圖3F中的操作相似，除了凹入部分13r的側面13rs與開口33r的側面不共面。開口33r的尺寸 w_1 大於凹入部分13r的寬度 w_2 。導電墊13的表面132可以一部分從開口33r處露出。

【0087】 參照圖4B，底部電極15b的電極材料可以設置在凹入部分13r的側面13rs和底面13rb上。圖4B中的操作與圖3G中的操作相似，只是底部電極15b的電極材料也設置在導電墊13的表面132的一部分上，該部分從開口33r處露出。

【0088】 參照圖4C，光阻劑33可以從支撐結構17上移除。圖4C中的操作可與圖3H中的操作類似。

【0089】 參照圖4D，犧牲的介電層31和32可以透過例如溼式蝕刻製程來移除。圖4D中的操作可以與圖3I中的操作類似。

【0090】 參照圖4E，絕緣層15i可以透過例如CVD製程來設置在底部電極15b的內部。絕緣層15i'的絕緣材料可以設置在導電墊13的表面132和介電層14的表面142上。圖4E中的操作可與圖3J中的操作類似。

【0091】 參照圖4F，頂部電極15t的電極材料可以設置在塗有絕緣層15i的底部電極15b的內部。頂部電極15t'的電極材料可以設置在絕緣層15i'上。頂部電極15t、底部電極15b和絕緣層15i可以構成電容器結構15。因此，電容器結構15可以至少一部分設置在由導電墊13定義的凹入部分13r內。圖4F中的操作可與圖3K中的操作類似。

【0092】 參照圖4G，絕緣層18可以沉積在電容器結構15的內部和外部。在一些實施例中，可以透過已知技藝在每個電容器結構15上提供另一頂部電極和接線，以構成具有電晶體和圓柱形電容器的記憶胞。圖4G中的操作可與圖3L中的操作類似。

【0093】 圖5是剖視圖，例示本揭露一些實施例之半導體元件的製備方法的一個或多個製備階段。為了更好理解本揭露的各實施例，部分的圖已經過簡化。在一些實施例中，圖1中的半導體元件1或圖2中的半導體元件2可以透過下面關於圖5的操作來製備。

【0094】 圖5中的操作可以是在圖3A中的操作之後和圖3B中的操作之前。凹入部分13r是在犧牲介電層31設置在基底10上之前形成的。然後，犧牲介質層31可以設置在凹入部分13r的底面13rb和側面13rs上。

【0095】 在設置了犧牲介電層31之後，可以進行類似於圖3C、圖3D、圖3E、圖3F、圖3G、圖3H、圖3I、圖3J、圖3K和圖3L中的操作來製備圖1中的半導體元件1或圖2中的半導體元件2，取決於凹入部分13r的尺寸 w' 是否實質上等於或小於犧牲介電層31的開口。

【0096】 本揭露的一實施例提供一種半導體元件，包括：一基底、一導電墊以及一電容器結構。該導電墊設置在該基底上，具有遠離該基底的一第一表面。該第一表面朝向該基底凹入並定義一凹入部分。該電容器

結構至少一部分設置在該導電墊的該凹入部分內，並透過該導電墊與該基底電性連接。

【0097】 本揭露的另一實施例提供一種半導體元件，包括：一基底、一導電墊以及一電容器結構。該導電墊設置在該基底上。該電容器結構設置在該導電墊上並透過該導電墊與該基底電性連接。該電容器結構至少一部分伸入該導電墊內。

【0098】 本揭露的又一實施例提供一種半導體元件的製備方法，包括：在一導電墊上設置一介電層；形成穿透該介電層的一開口，其中該導電墊的一凹入部分的一側面和一底面在該介電層的開口露出；以及在該導電墊的該凹入部分的該側面和該底面上設置一電極材料。

【0099】 由導電墊定義的凹入部分可以支撐或固定電容器結構。因此，不需(或更少)支撐結構。蝕刻不足的問題可以得到解決或緩解。此外，電容器結構和導電墊之間的接觸面積可以增加，半導體元件的電氣穩定性可以得到加強。

【0100】 雖然已詳述本揭露及其優點，然而應理解可以執行各種變化、取代與替代而不脫離揭露專利範圍所定義之本揭露的精神與範圍。例如，可以用不同的方法實施上述的許多製程，並且以其他製程或其組合替代上述的許多製程。

【0101】 再者，本揭露案的範圍並不受限於說明書中所述之製程、機械、製造、物質組成物、手段、方法與步驟之特定實施例。該技藝之技術人士可以自本揭露的揭示內容理解可以根據本揭露而使用與本文所述之對應實施例具有相同功能或是達到實質上相同結果之現存或是未來發展之製程、機械、製造、物質組成物、手段、方法、或步驟。據此，此等製

程、機械、製造、物質組成物、手段、方法、或步驟係包括於本揭露案之揭露專利範圍內。

【符號說明】

【0102】

- 1:半導體元件
- 2:半導體元件
- 10:基底
- 10a:隔離結構
- 10b:摻雜區
- 11:電容器插塞
- 11:電容器插塞
- 12:閘極堆疊
- 13:導電墊
- 13r:凹入部分
- 13rb:底面
- 13rs:側面
- 14:介電層
- 15:電容器結構
- 15':電容器結構
- 15b:底部電極
- 15i:絕緣層
- 15i':絕緣層
- 15t:頂部電極

15t:頂部電極

16:支撐結構

17:支撐結構

18:絕緣層

31:犧牲介電層

32:犧牲介電層

33:光阻劑

33r:開口

121:閘極介電質

122:閘極結構

123:閘極遮罩

124:間隔結構

131:表面

132:表面

142:表面

151:部分

152:部分

A:重疊面積

C:電容

d:厚度

t1:厚度

t2:厚度

t3:厚度

Tr1:電晶體

Tr2:電晶體

w':尺寸

w1:尺寸

w1':尺寸

w2:尺寸

ε :介電常數

【發明申請專利範圍】

【請求項1】

一種半導體元件，包括：

一基底；

一導電墊，設置在該基底上，該導電墊具有遠離該基底的一第一表面，其中該導電墊的該第一表面朝向該基底凹入，並定義一凹入部分；以及

一電容器結構，至少一部分設置在該導電墊的該凹入部分內，並透過該導電墊與該基底電性連接；

其中該導電墊更包括一第二表面，該第二表面朝向該基底，且該第二表面與該電容器結構之間的距離小於該第二表面與該導電墊的該第一表面之間距離的一半。

【請求項2】

如請求項1所述的半導體元件，其中該電容器結構包括一底部電極、一絕緣層和一頂部電極，其中該底部電極、該絕緣層和該頂部電極各自至少一部分設置在該導電墊的該凹入部分內。

【請求項3】

如請求項2所述的半導體元件，更包括一支撐結構，連接在該電容器結構和相鄰的電容器結構之間，其中該電容器結構的一部分依次與該導電墊、與該絕緣層相同材料的一材料層和該支撐結構接觸。

【請求項4】

如請求項3所述的半導體元件，其中該材料層料與該導電墊接觸。

【請求項5】

如請求項4所述的半導體元件，其中該導電墊經設置在一介電層內，該導電墊的該第一表面從該介電層露出，並且該材料層與該介電層接觸。

【請求項6】

如請求項1所述的半導體元件，其中該電容器結構設置在該導電墊的該凹入部分內的該部分的尺寸小於該電容器結構從該導電墊的該凹入部分伸出的一部分的尺寸。

【請求項7】

如請求項6所述的半導體元件，其中該電容器結構中從該導電墊的該凹入部分伸出的該部分與該導電墊的該第一表面接觸。

【請求項8】

一種半導體元件，包括：

一基底；

一導電墊，設置在該基底上；以及

一電容器結構，設置在該導電墊上並透過該導電墊與該基底電性連接，其中該電容器結構至少一部分伸入該導電墊內；

其中該電容器結構包括一側面，該側面具有由該導電墊包圍的一第一部分和從該導電墊露出一一第二部分。

【請求項9】

如請求項8所述的半導體元件，其中該電容器結構的該側面的該第一部分與該導電墊接觸。

【請求項10】

如請求項8所述的半導體元件，其中該電容器結構包括一底部電極、一絕緣層和一頂部電極，並且該電容器結構的該側面的該第二部分和與該

電容器結構的該絕緣層相同材料的一材料層接觸。

【請求項11】

如請求項8所述的半導體元件，其中該電容器結構包括一底部電極、一絕緣層和一頂部電極，並且該底部電極、該絕緣層和該頂部電極至少一部分伸入該導電墊。

【請求項12】

如請求項8所述的半導體元件，其中伸入該導電墊內的該電容器結構的該部分的尺寸小於從該導電墊伸出的該電容器結構的一部分的尺寸。

【請求項13】

一種半導體元件的製備方法，包括：

在一導電墊上設置一介電層；

形成穿透該介電層的一開口，其中該導電墊的一凹入部分的一側面和一底面在該介電層的開口露出；以及

在該導電墊的該凹入部分的該側面和該底面上設置一電極材料；

其中該導電墊的該凹入部分的尺寸實質上等於該介電層的該開口的尺寸。

【請求項14】

如請求項13所述的製備方法，其中該導電墊的該凹入部分的尺寸小於該介電層的該開口的尺寸。

【請求項15】

如請求項13所述的製備方法，其中該導電墊的該凹入部分在該介電層設置之前形成。

【請求項16】

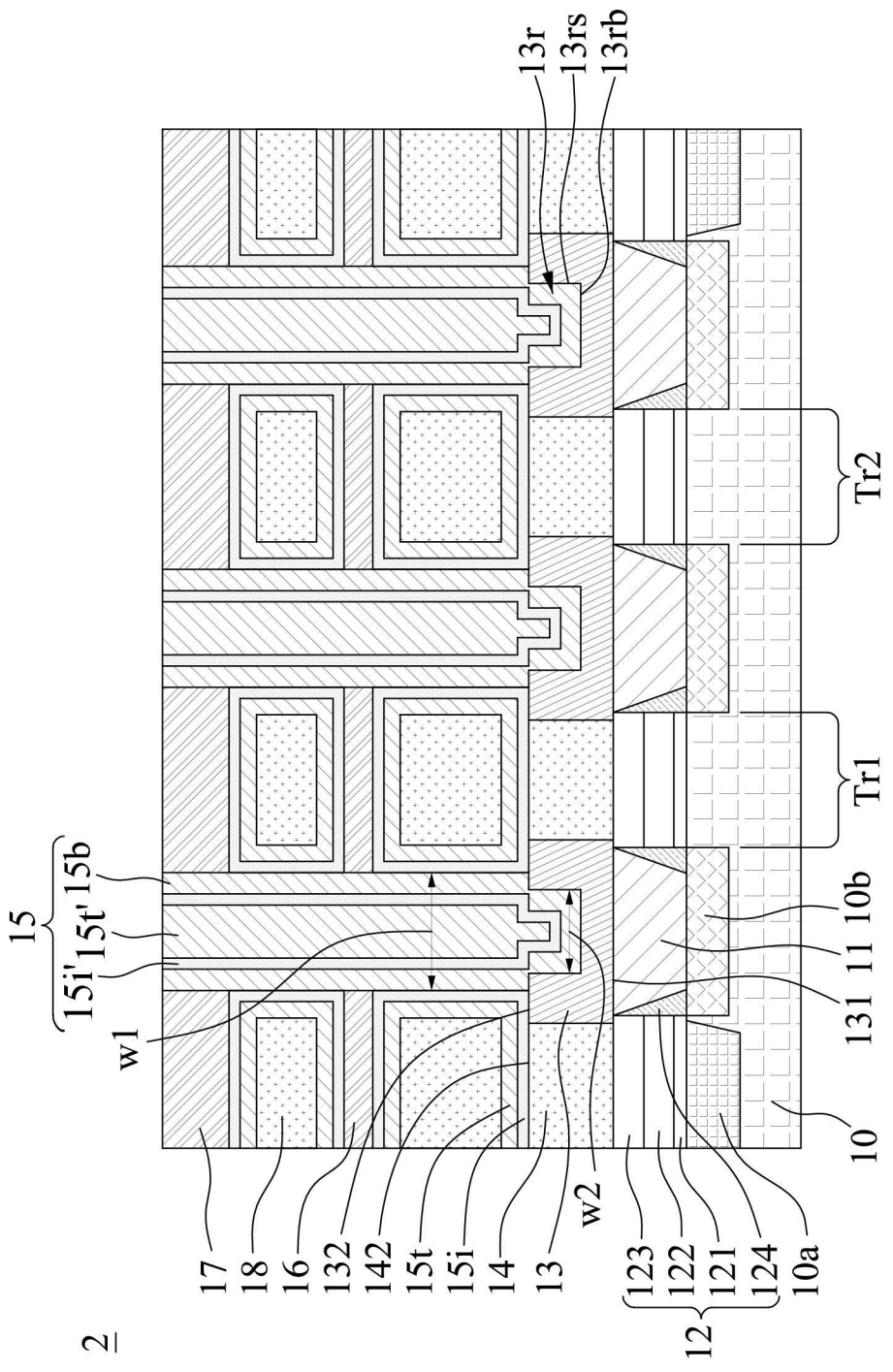
如請求項13所述的製備方法，更包括：

將該介電層從該導電墊上移除，以露出該導電墊的一部分。

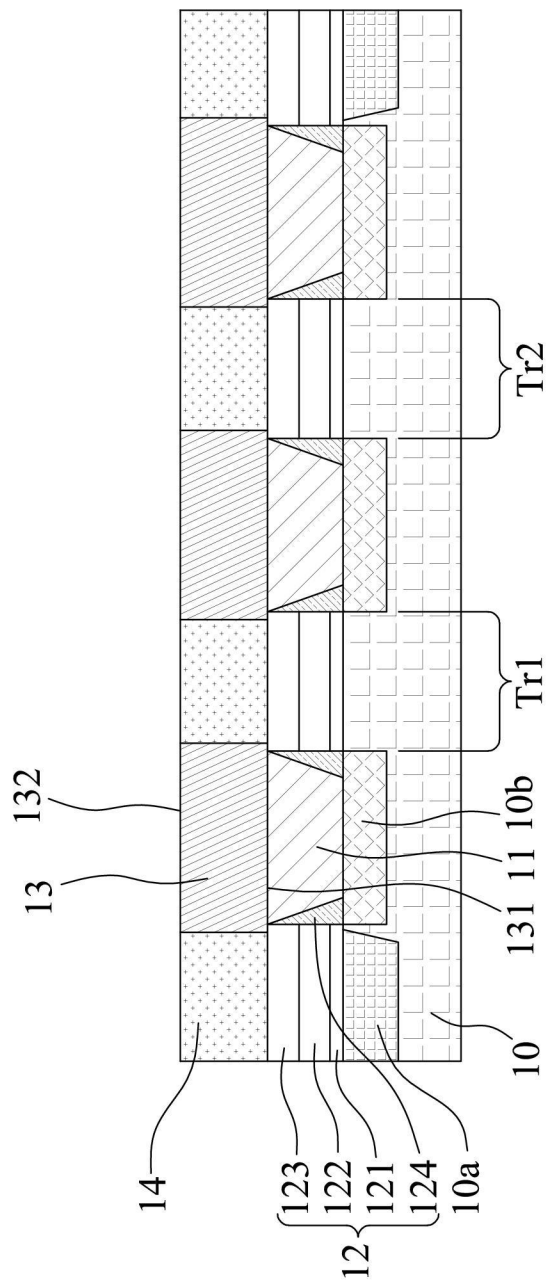
【請求項17】

如請求項13所述的製備方法，更包括：

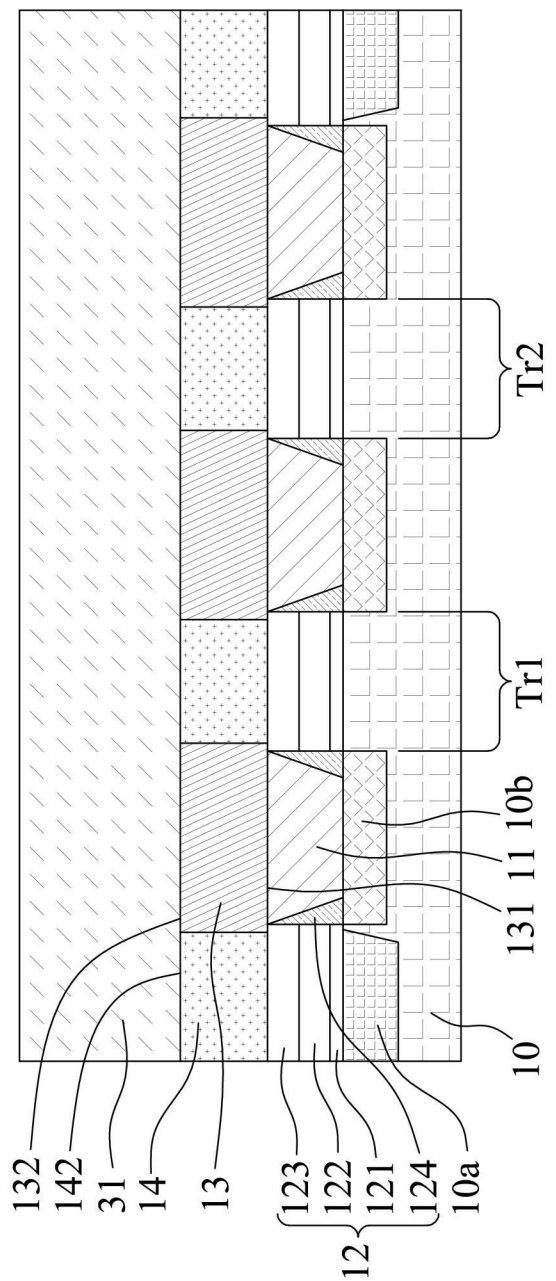
在該導電墊露出的部分上設置一絕緣層。



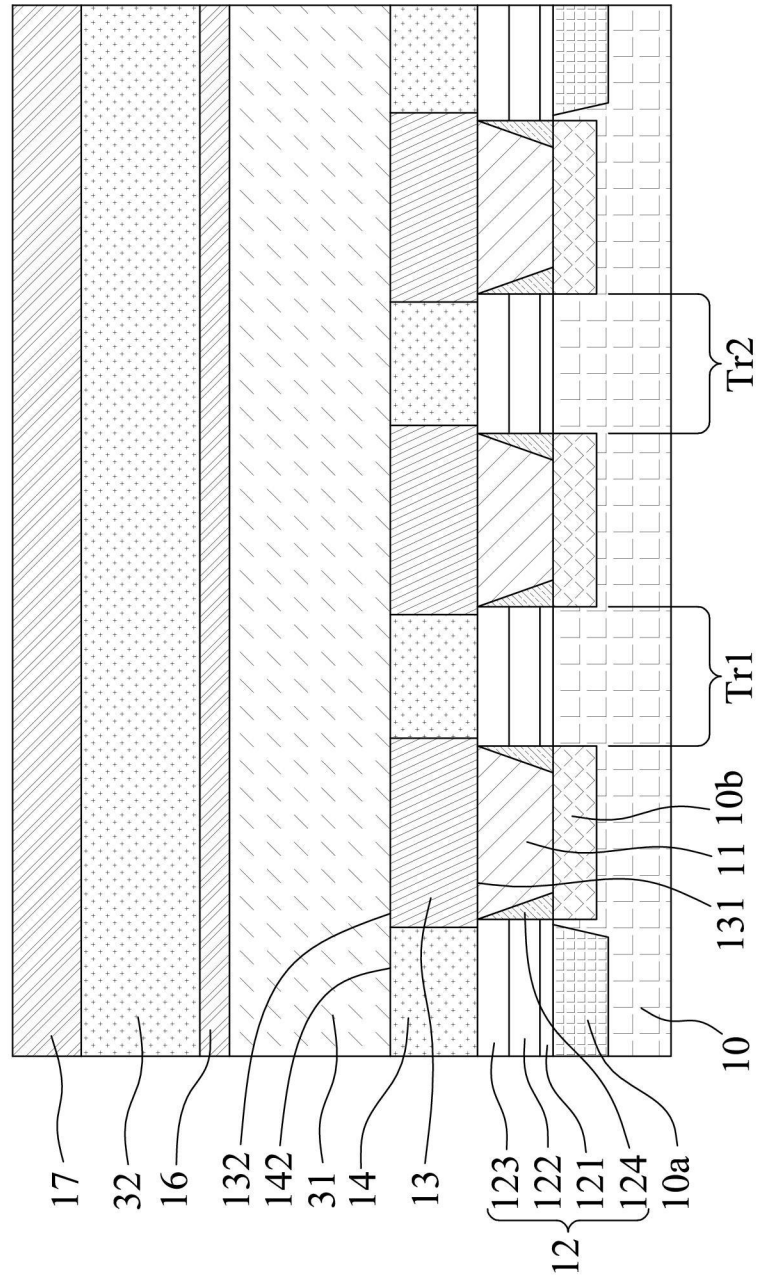
【圖2】



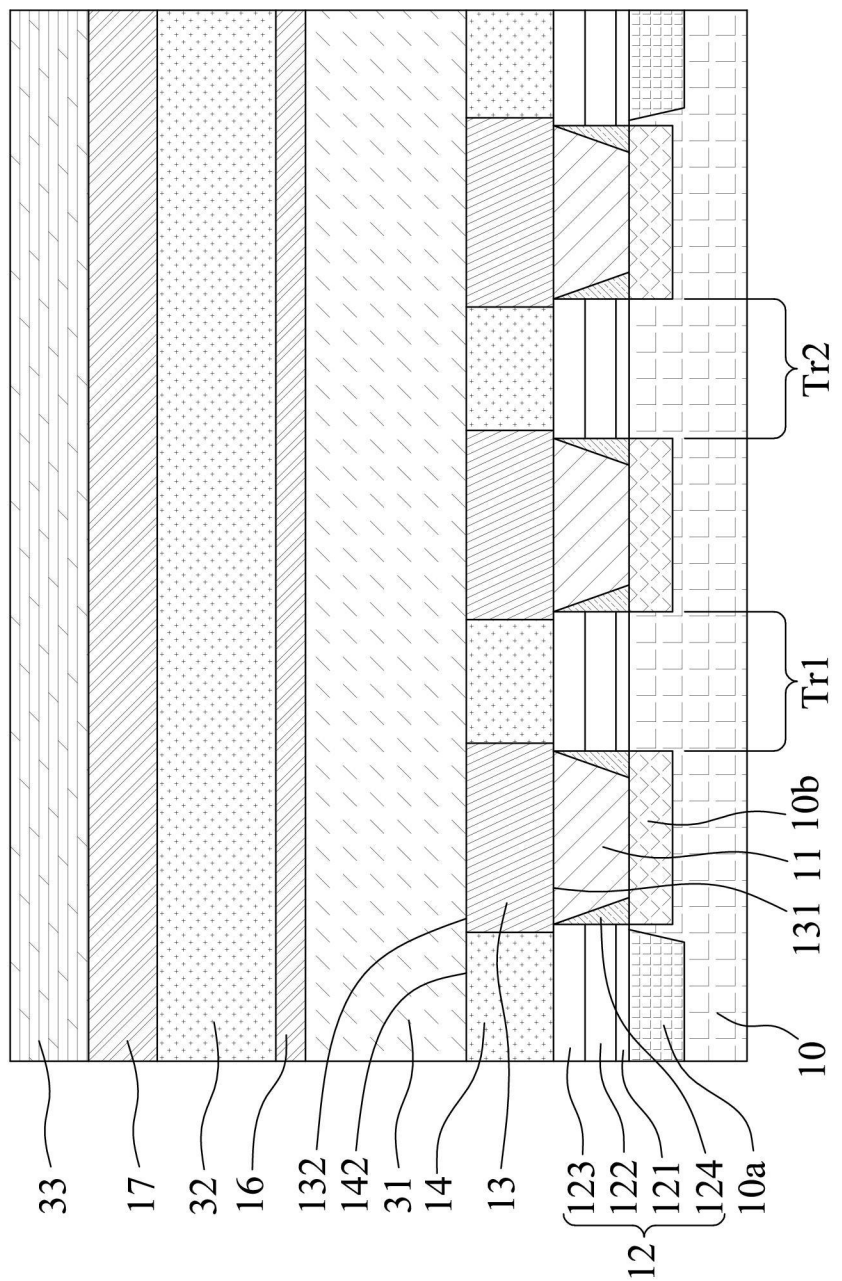
【圖3A】



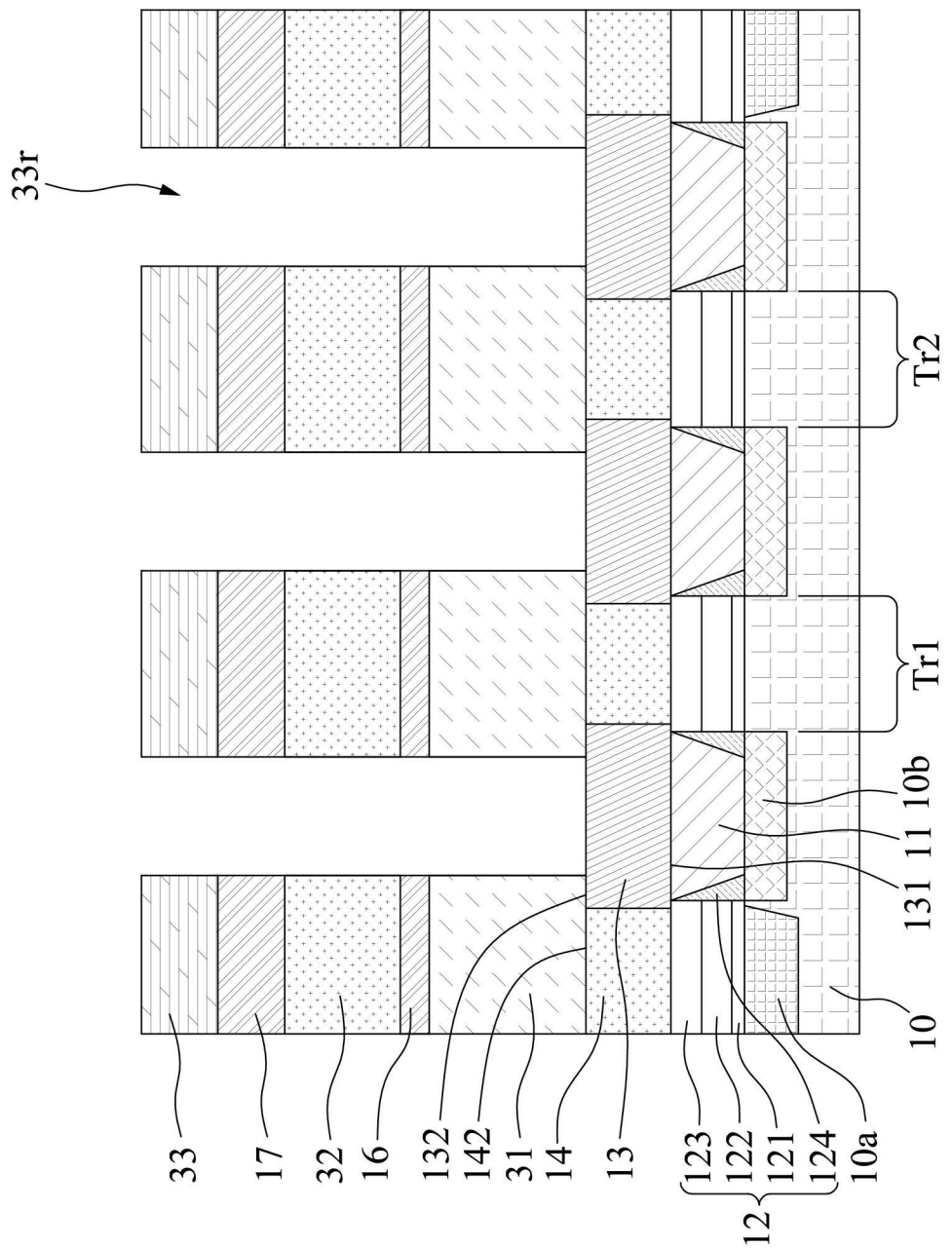
【圖3B】



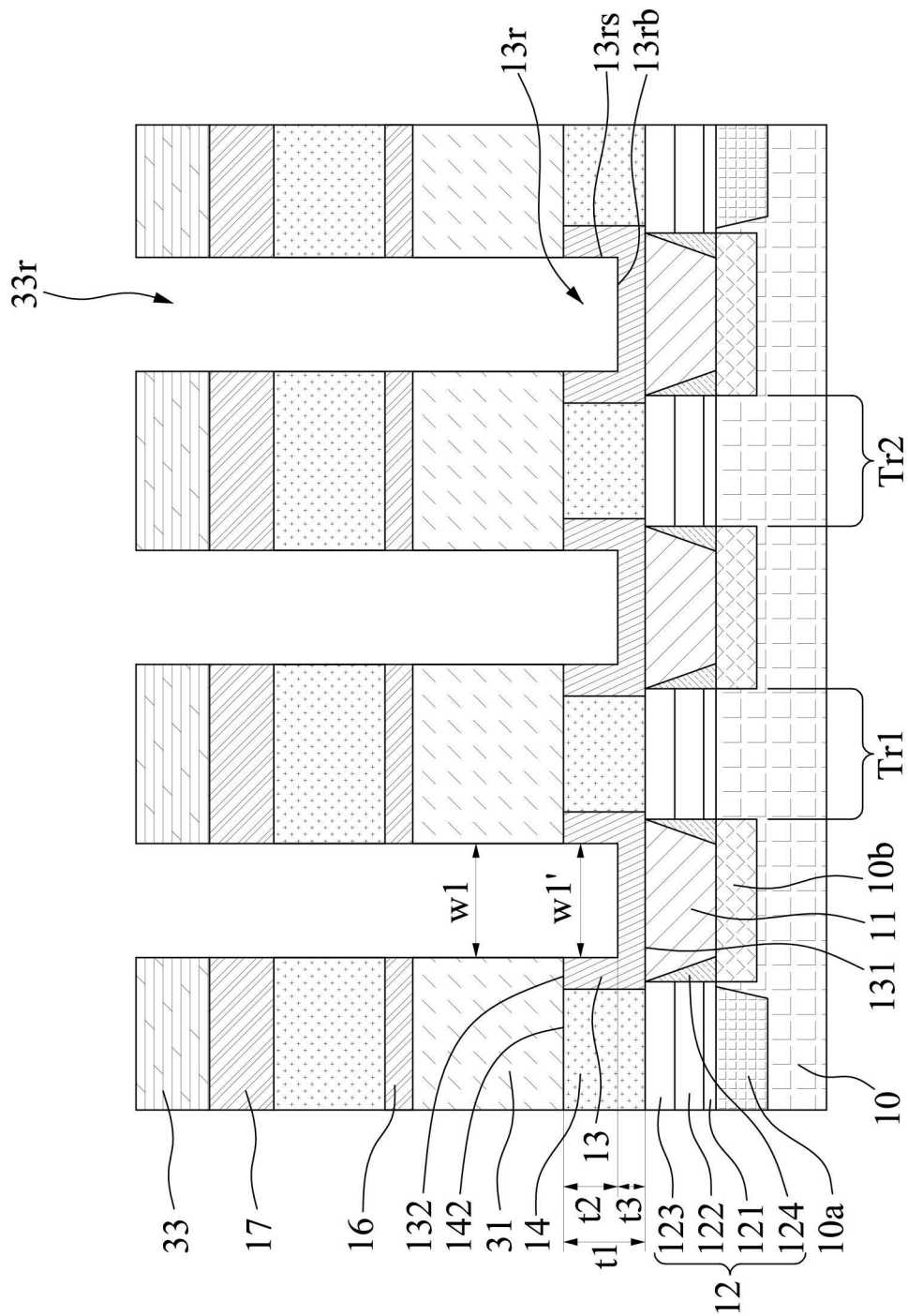
【圖3C】



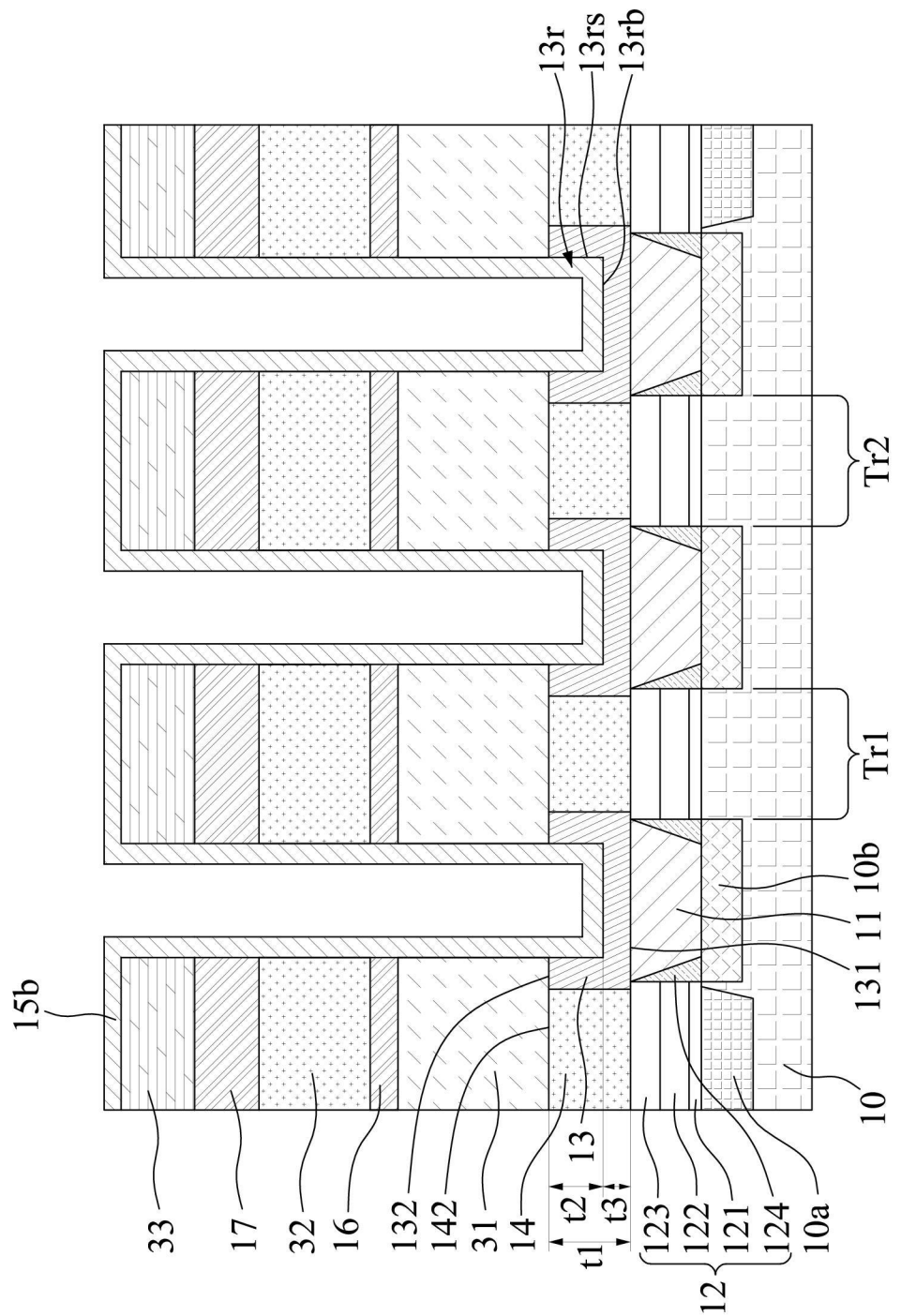
【圖3D】



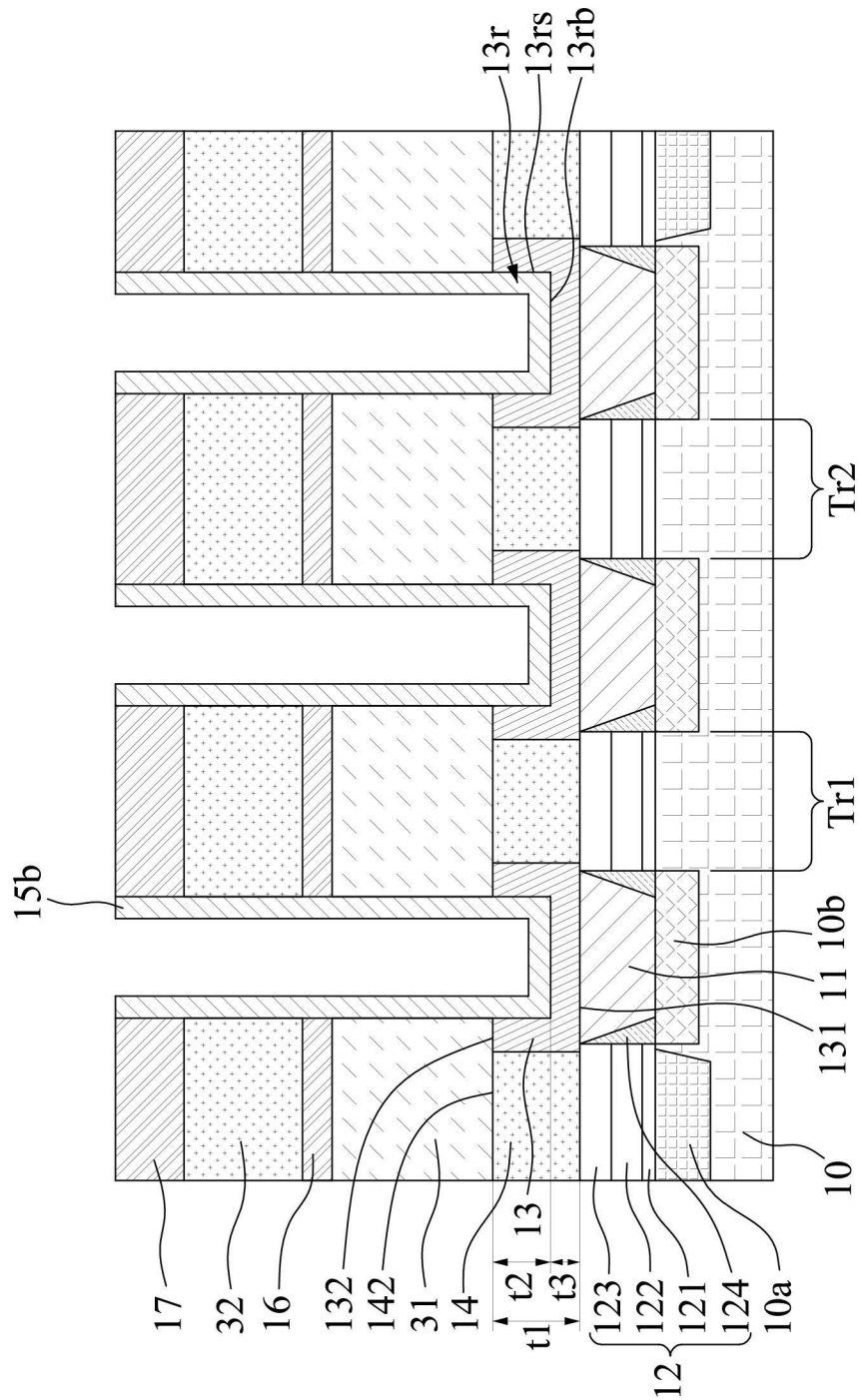
【圖3E】



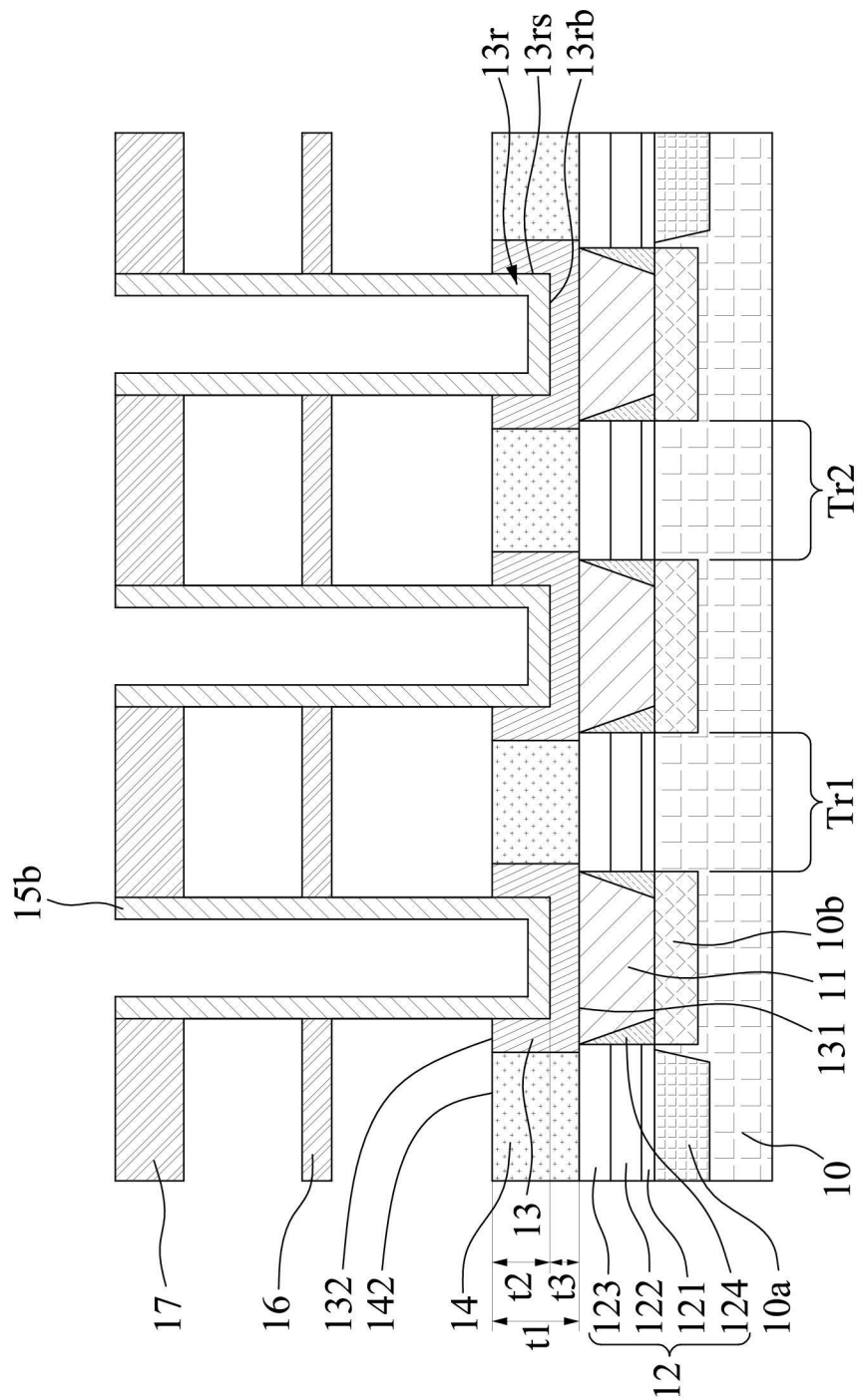
【圖3F】



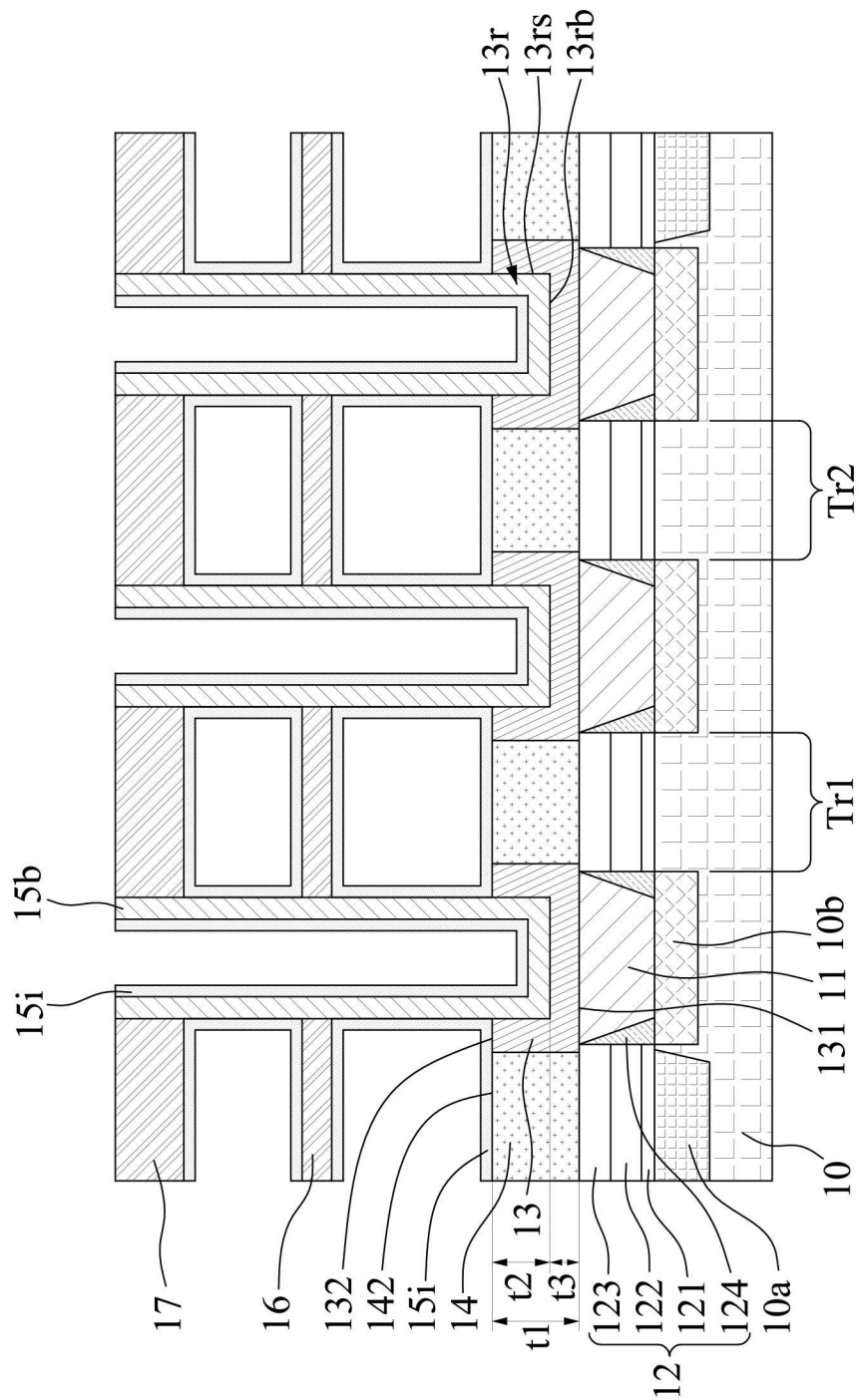
【圖3G】



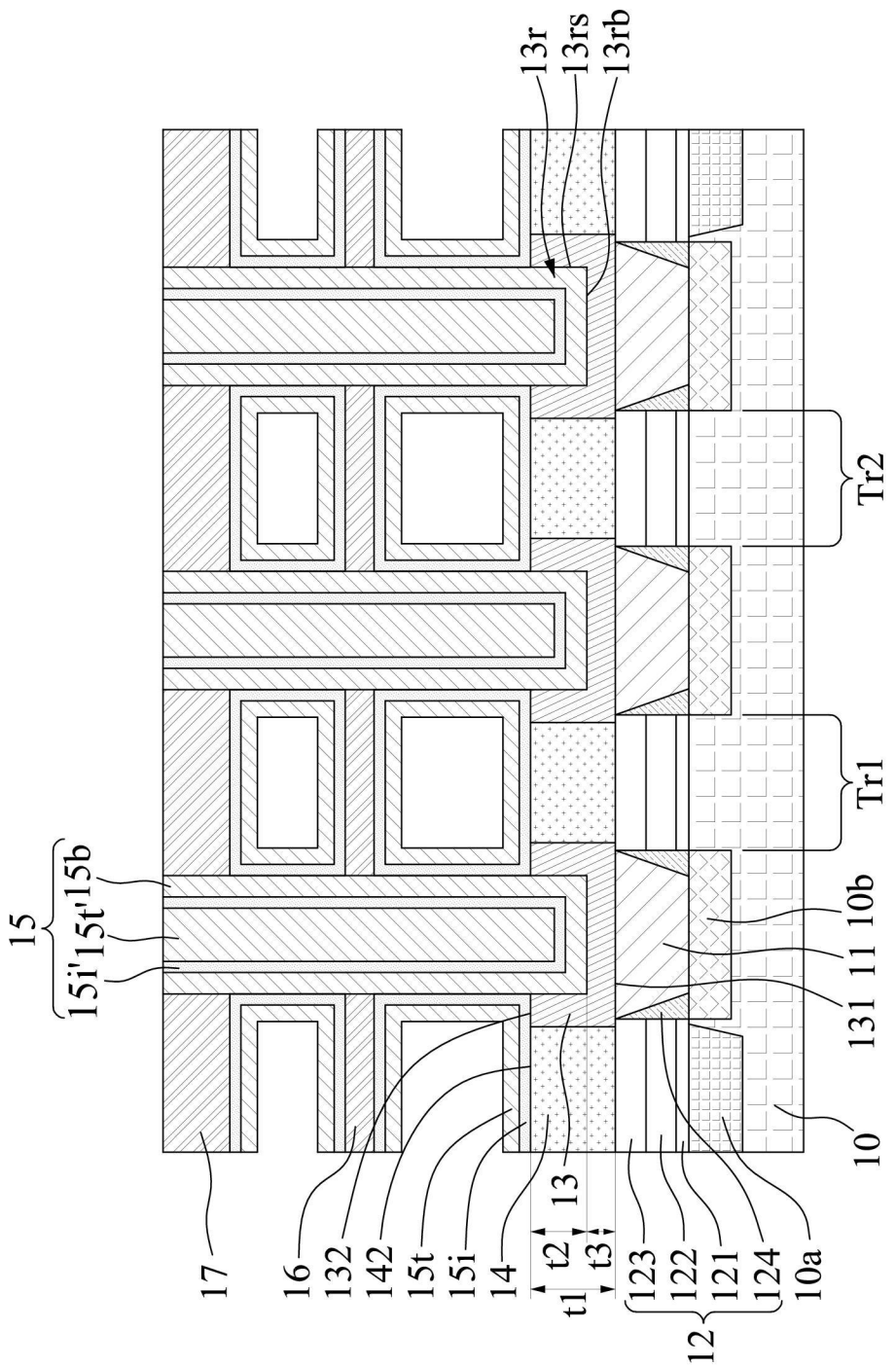
【圖3H】



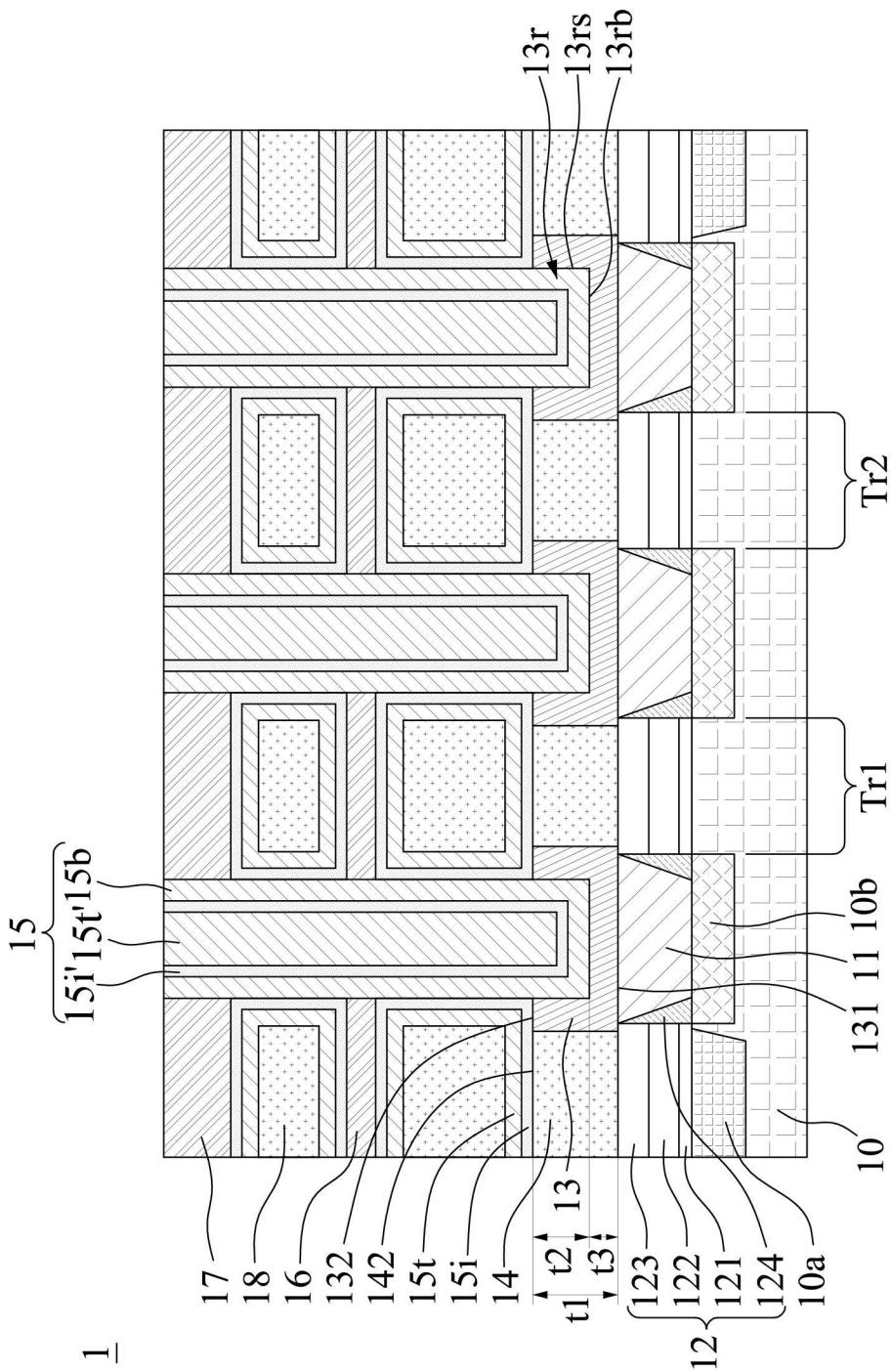
【圖31】



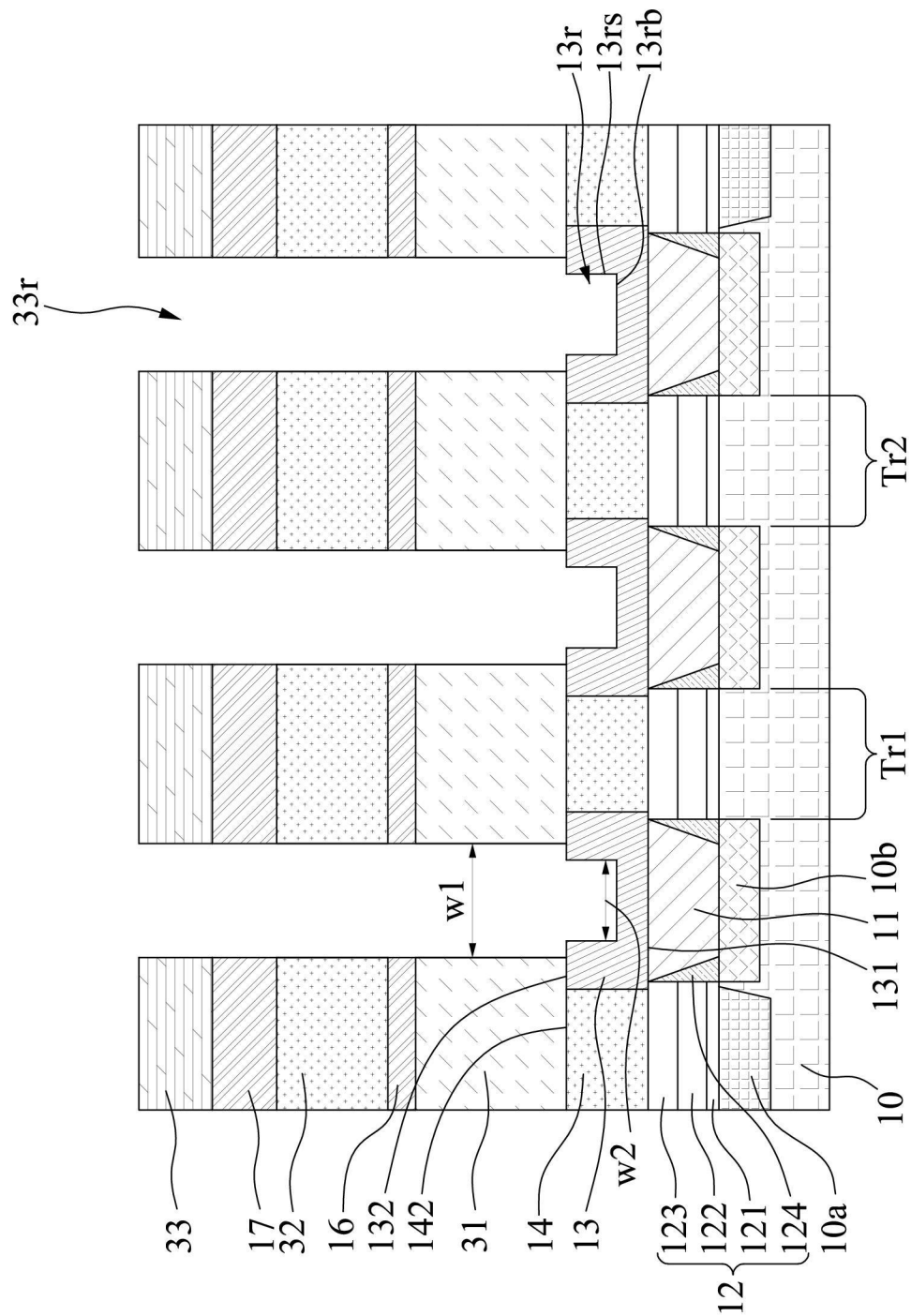
【圖3J】



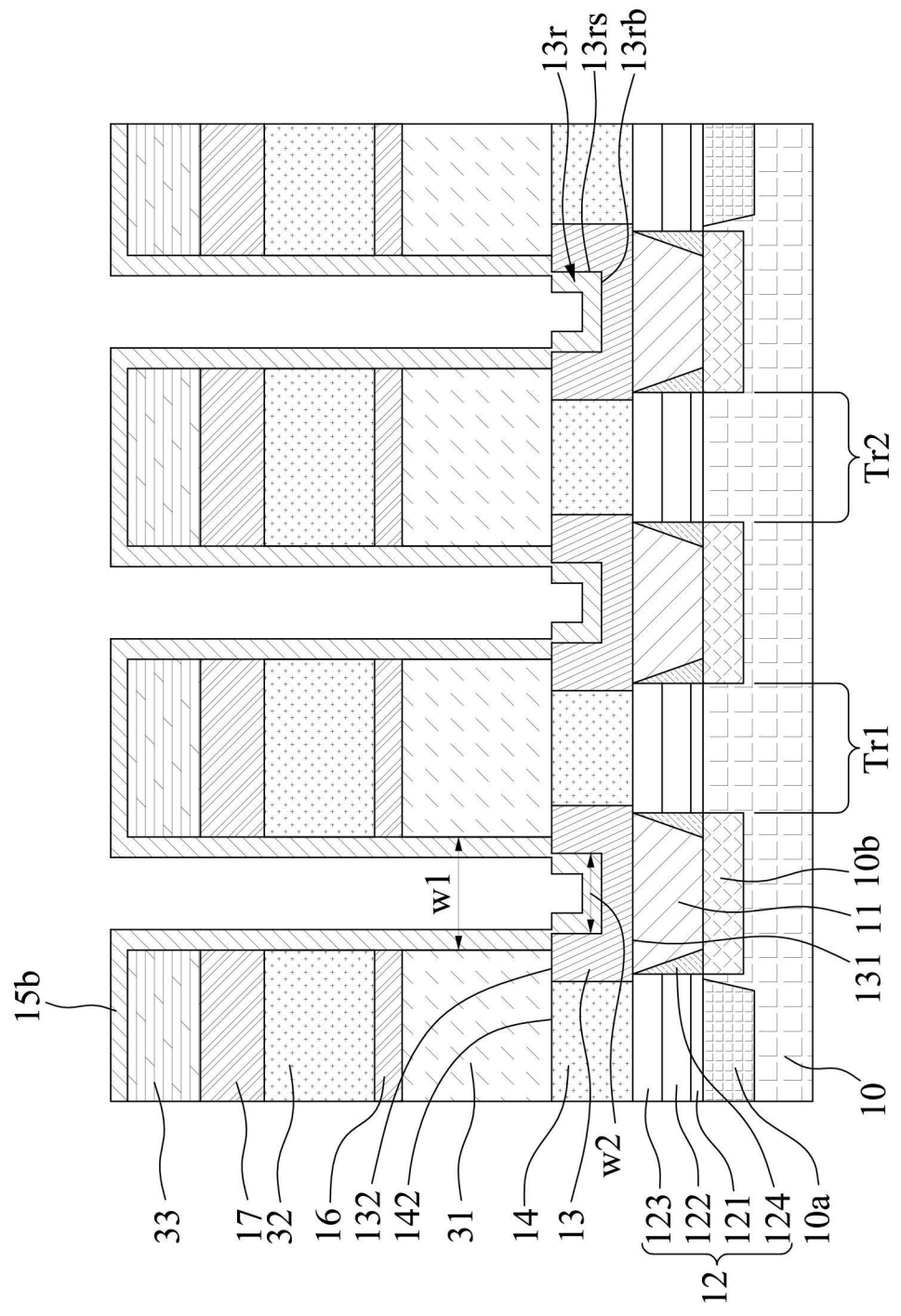
【圖3K】



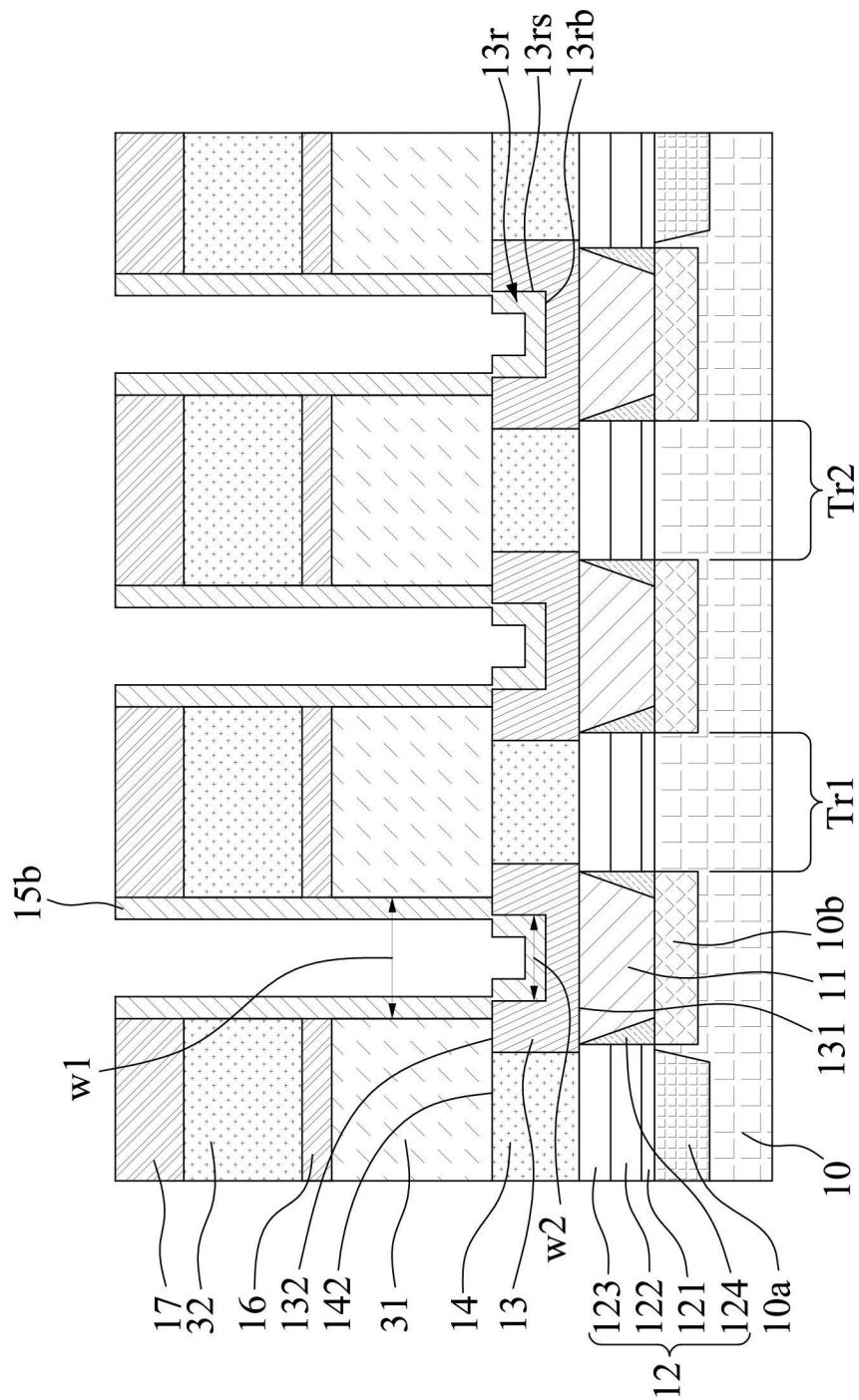
【圖3L】



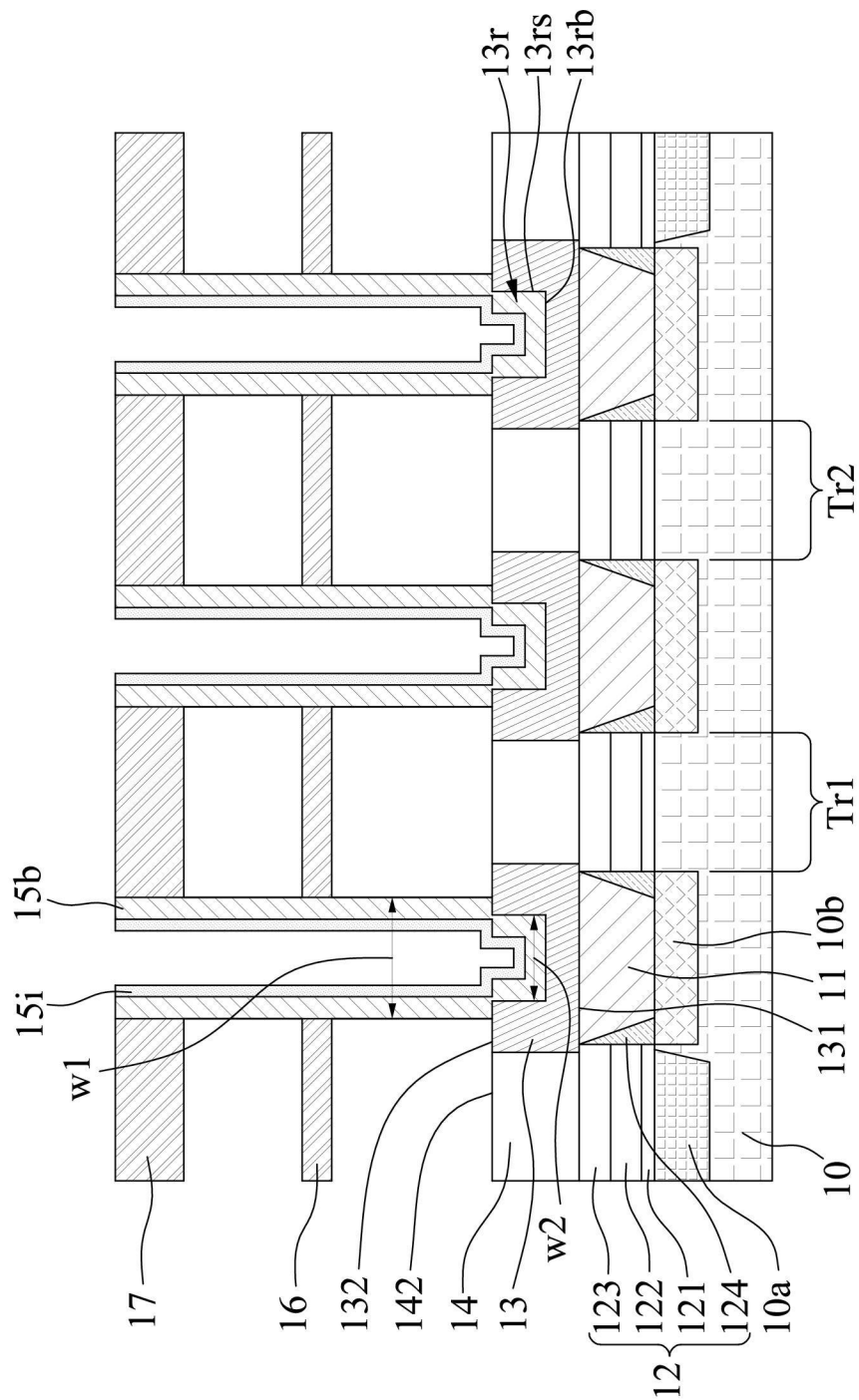
【圖4A】



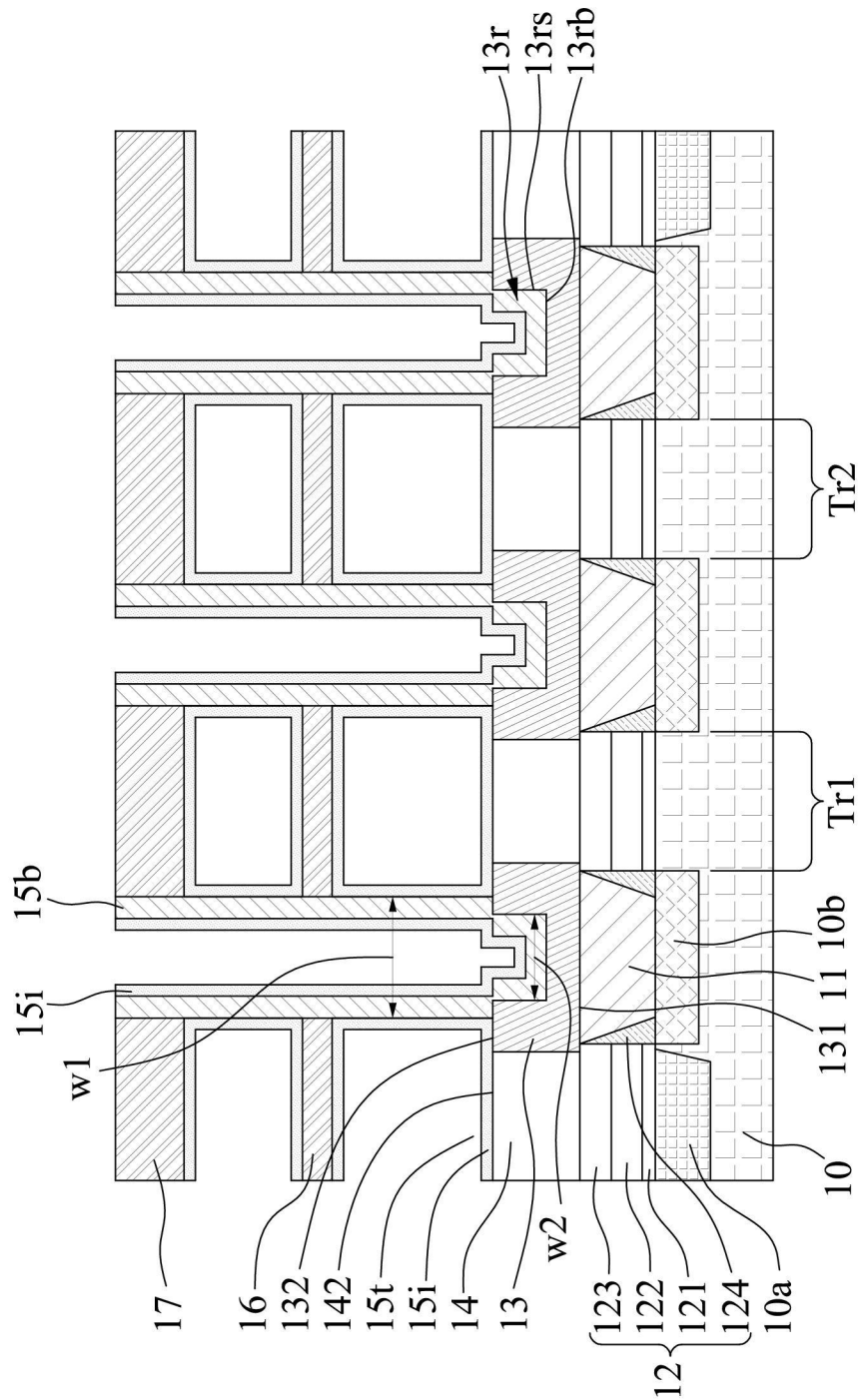
【圖4B】



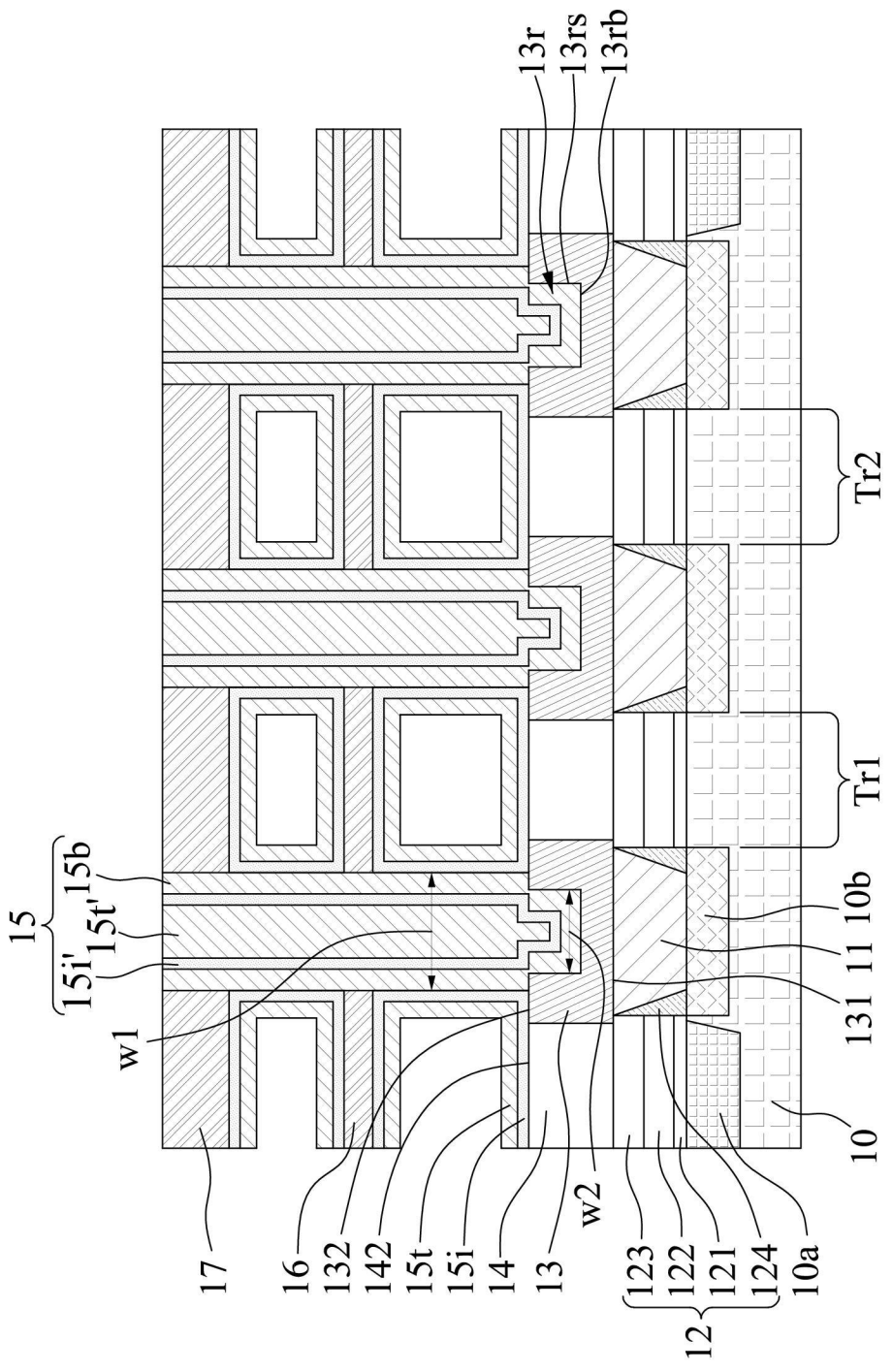
【圖4C】



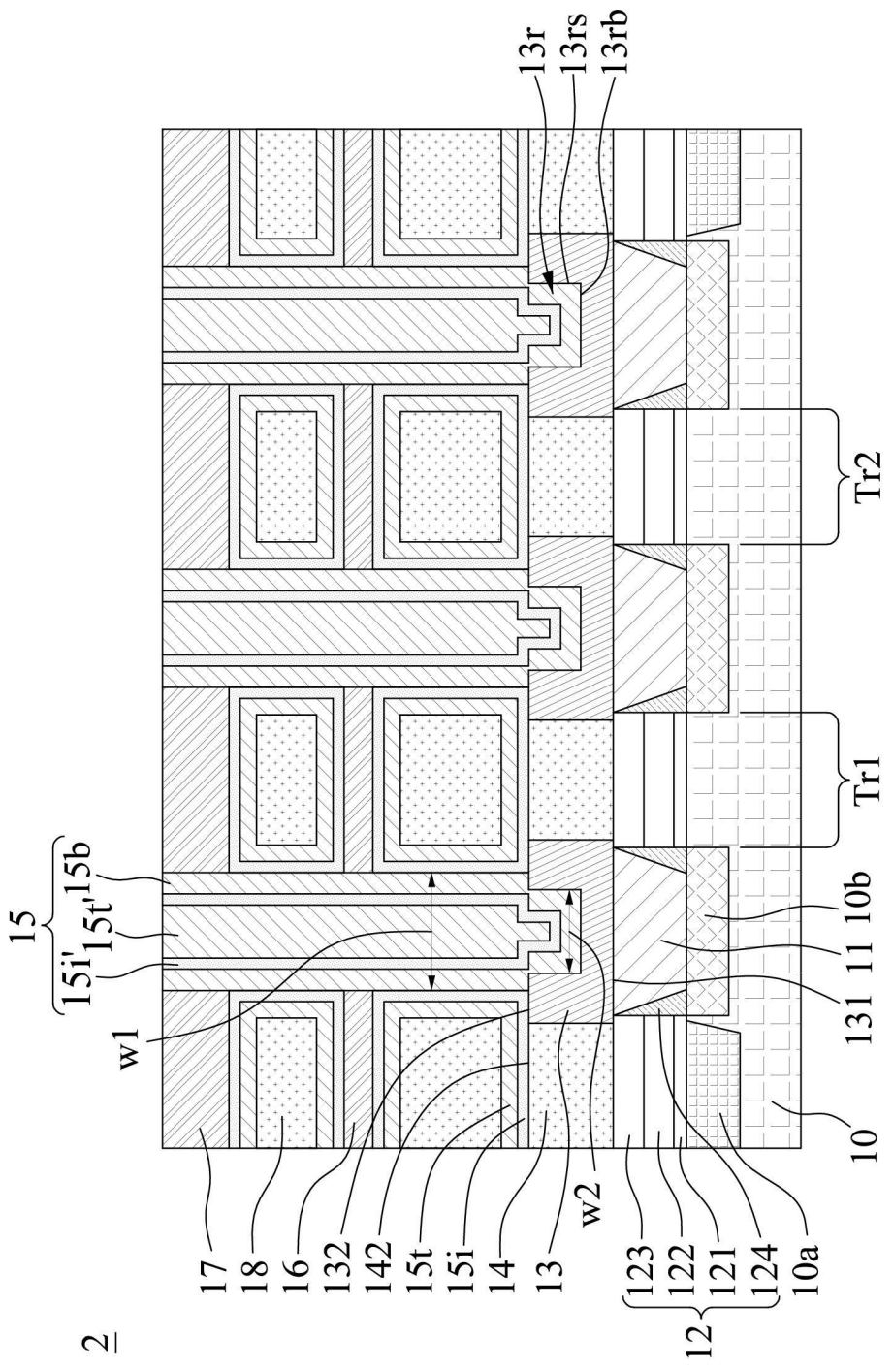
【圖4D】



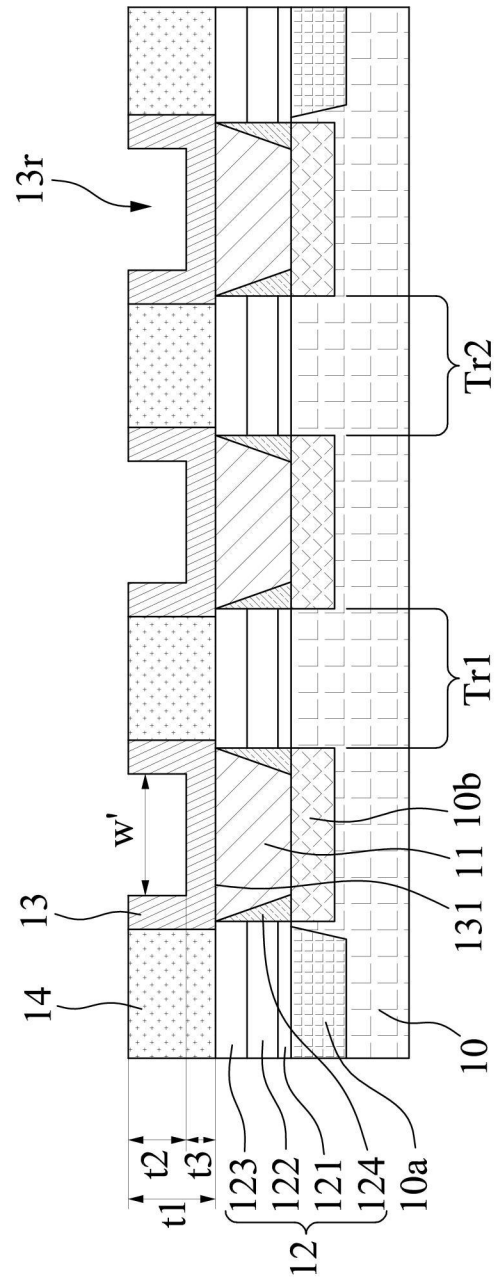
【圖4E】



【圖4F】



【圖4G】



【圖5】