

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5291992号  
(P5291992)

(45) 発行日 平成25年9月18日 (2013.9.18)

(24) 登録日 平成25年6月14日 (2013.6.14)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 G
HO 1 L 29/78 (2006.01)	HO 1 L 27/08 1 O 2 C
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 3 2 1 D
HO 1 L 27/088 (2006.01)	HO 1 L 27/10 3 8 1
HO 1 L 21/8238 (2006.01)	HO 1 L 29/58 G
請求項の数 6 (全 34 頁) 最終頁に続く	

(21) 出願番号	特願2008-151266 (P2008-151266)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年6月10日 (2008.6.10)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2009-302085 (P2009-302085A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成21年12月24日 (2009.12.24)	(72) 発明者	門島 勝 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成23年3月2日 (2011.3.2)	審査官	宇多川 勉
最終頁に続く			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

以下の工程を含む半導体装置の製造方法：

(a) nチャネル型MISFETが形成される第1領域の半導体基板上に酸化シリコンよりも誘電率が高く、ハフニウムを含む前記nチャネル型MISFETの第1ゲート絶縁膜、および、pチャネル型MISFETが形成される第2領域の前記半導体基板上に酸化シリコンよりも誘電率が高く、ハフニウムを含む前記pチャネル型MISFETの第2ゲート絶縁膜を形成する工程；

(b) 前記第1ゲート絶縁膜上に前記nチャネル型MISFETのn型ゲート電極、および前記第2ゲート絶縁膜上に前記pチャネル型MISFETのp型ゲート電極を形成する工程、

更に、前記工程(a)は、

(a1) 前記第1領域および前記第2領域の前記半導体基板上にハフニウムとアルミニウムとを含み、酸化シリコンよりも誘電率の高い第1酸化膜を形成する工程；

(a2) 前記第1領域の前記第1酸化膜上および前記第2領域の前記第1酸化膜上にイットリウム、希土類元素もしくはアルカリ土類金属元素を含み、酸化シリコンよりも誘電率の高い第2酸化膜を形成する工程；

(a3) 前記工程(a2)の後、希塩酸を含む水溶液によって前記第2領域の前記第2酸化膜を除去して前記第1酸化膜を露出する工程；

(a4) 前記工程(a3)の後、熱処理によって前記第1領域の前記第2酸化膜および前

10

20

記第 1 酸化膜を混合する工程を含み、

前記工程 ( b ) は、

( b 1 ) 前記第 1 領域の前記第 1 ゲート絶縁膜上および前記第 2 領域の前記第 2 ゲート絶縁膜上に窒化チタン膜を形成する工程；

( b 2 ) 前記工程 ( b 1 ) の後、 $H_2O_2$  を含む水溶液によって前記第 2 領域の前記窒化チタン膜を除去して前記第 2 ゲート絶縁膜を露出する工程；

( b 3 ) 前記工程 ( b 2 ) の後、前記第 1 領域の前記窒化チタン膜上および前記第 2 領域の前記第 2 ゲート絶縁膜上にシリコン膜を形成する工程；

( b 4 ) 前記工程 ( b 3 ) の後、前記第 1 領域の前記シリコン膜および前記第 2 領域の前記シリコン膜上にニッケル膜を形成する工程；

( b 5 ) 前記工程 ( b 4 ) の後、前記第 1 領域の前記シリコン膜と前記ニッケル膜とでフルシリサイド膜を形成し、前記第 2 領域の前記シリコン膜と前記ニッケル膜とでフルシリサイド膜を形成する工程を含む。

【請求項 2】

前記工程 ( b 1 ) では、5 nm 以下の前記窒化チタン膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記工程 ( b 4 ) では、前記シリコン膜に対して 1 . 4 倍以上の膜厚の前記ニッケル膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】

以下の工程を含む半導体装置の製造方法：

( a ) n チャネル型 MISFET が形成される第 1 領域の半導体基板上に酸化シリコンよりも誘電率が高く、ハフニウムを含む前記 n チャネル型 MISFET の第 1 ゲート絶縁膜、および、p チャネル型 MISFET が形成される第 2 領域の前記半導体基板上に酸化シリコンよりも誘電率が高く、ハフニウムを含む前記 p チャネル型 MISFET の第 2 ゲート絶縁膜を形成する工程；

( b ) 前記第 1 ゲート絶縁膜上に前記 n チャネル型 MISFET の n 型ゲート電極、および前記第 2 ゲート絶縁膜上に前記 p チャネル型 MISFET の p 型ゲート電極を形成する工程、

更に、前記工程 ( a ) は、

( a 1 ) 前記第 1 領域および前記第 2 領域の前記半導体基板上にハフニウムとアルミニウムとを含み、酸化シリコンよりも誘電率の高い第 1 酸化膜を形成する工程；

( a 2 ) 前記第 1 領域の前記第 1 酸化膜上および前記第 2 領域の前記第 1 酸化膜上にイットリウム、希土類元素もしくはアルカリ土類金属元素を含み、酸化シリコンよりも誘電率の高い第 2 酸化膜を形成する工程；

( a 3 ) 前記工程 ( a 2 ) の後、希塩酸を含む水溶液によって前記第 2 領域の前記第 2 酸化膜を除去して前記第 1 酸化膜を露出する工程；

( a 4 ) 前記工程 ( a 3 ) の後、熱処理によって前記第 1 領域の前記第 2 酸化膜および前記第 1 酸化膜を混合する工程を含み、

前記工程 ( b ) は、

( b 1 ) 前記第 1 領域の前記第 1 ゲート絶縁膜上および前記第 2 領域の前記第 2 ゲート絶縁膜上に窒化チタン膜を形成する工程；

( b 2 ) 前記工程 ( b 1 ) の後、前記第 1 領域の前記第 1 ゲート絶縁膜上および前記第 2 領域の前記第 2 ゲート絶縁膜上に第 1 シリコン膜を形成する工程；

( b 3 ) 前記工程 ( b 2 ) の後、ウエットエッチングによって前記第 2 領域の前記第 1 シリコン膜を除去して前記窒化チタン膜を露出する工程；

( b 4 ) 前記工程 ( b 3 ) の後、 $H_2O_2$  を主成分として含む水溶液によって前記第 2 領域の前記窒化チタン膜を除去して前記第 2 ゲート絶縁膜を露出する工程；

( b 5 ) 前記工程 ( b 4 ) の後、前記第 1 領域の前記第 1 シリコン膜上および前記第 2 領域の前記第 2 ゲート絶縁膜上に第 2 シリコン膜を形成する工程；

10

20

30

40

50

( b 6 ) 前記工程 ( b 5 ) の後、前記第 1 領域の前記第 2 シリコン膜および前記第 2 領域の前記第 2 シリコン膜上にニッケル膜を形成する工程；

( b 7 ) 前記工程 ( b 6 ) の後、前記第 1 領域の前記第 1 シリコン膜および前記第 2 シリコンと前記ニッケル膜とでフルシリサイド膜を形成し、前記第 2 領域の前記第 2 シリコン膜と前記ニッケル膜とでフルシリサイド膜を形成する工程を含む。

【請求項 5】

前記工程 ( b 1 ) では、5 nm 以下の前記窒化チタン膜を形成することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記工程 ( b 6 ) では、前記第 2 シリコン膜の厚さに対して 1 . 4 倍以上の膜厚の前記ニッケル膜を形成することを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、nチャネル型MISFET (Metal Insulator Semiconductor Field Effect Transistor) およびpチャネル型MISFETでCMIS (Complementary MIS) 素子を構成する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

nチャネル型MISFET (以下、「nMISFET」ともいう) およびpチャネル型MISFET (以下、「pMISFET」ともいう) で構成されるCMIS (Complementary MIS) においては、nMISFETとpMISFETの両方において低い閾値電圧を実現するために、互いに異なる仕事関数 (ポリシリコン (多結晶シリコン) を用いる場合、フェルミ準位) を有する材料を使用してゲート電極を形成する、いわゆるデュアルゲート化が行われている。例えば、nMISFETとpMISFETのゲート電極を形成しているポリシリコン膜に対して、それぞれn型不純物とp型不純物を導入することにより、nMISFETのゲート電極 (n型ゲート電極) 材料の仕事関数 (フェルミ準位) をシリコンの伝導帯近傍にするとともに、pMISFETのゲート電極 (p型ゲート電極) 材料の仕事関数 (フェルミ準位) をシリコンの価電子帯近傍にして、閾値電圧の低下を図っている。

【0003】

近年、半導体集積回路を構成するMISFETの微細化に伴って、ゲート絶縁膜の薄膜化が急速に進んでいる。このため、MISFETをオン状態にするためにポリシリコンのゲート電極に電圧を印加した際、ゲート絶縁膜界面近傍のゲート電極内に生じる空乏化の影響が次第に顕著になり、ゲート絶縁膜の膜厚が見かけ上厚くなる結果、オン電流の確保が難しくなり、MISFETの動作速度の低下が顕著になってきた。

【0004】

また、ゲート絶縁膜の膜厚が薄くなると、ダイレクトトンネリングと呼ばれる量子効果によって電子がゲート絶縁膜中を通り抜けるようになるために、リーク電流が増大する。さらに、pMISFETにおいては、ゲート電極 (多結晶シリコン膜) 中のホウ素がゲート絶縁膜を通じて半導体基板に拡散し、チャンネル領域の不純物濃度を高めるために、閾値電圧が変動する。

【0005】

そこで、ゲート絶縁膜材料を酸化シリコンから、より誘電率の高い絶縁膜 (高誘電体膜、high-k膜) に置き換えると共に、ゲート電極材料をポリシリコンから金属あるいは金属シリサイドに置き換える検討が進められている。

【0006】

これは、ゲート絶縁膜を高誘電体膜で構成した場合、酸化シリコン膜厚換算容量が同じであっても、実際の物理膜厚を (高誘電体膜の誘電率 / 酸化シリコン膜の誘電率) 倍だけ

10

20

30

40

50

厚くできるので、結果としてリーク電流を低減することができるからである。高誘電体材料としては、Hf（ハフニウム）酸化物やZr（ジルコニウム）酸化物といった種々の金属酸化物が検討されている。また、半導体であるポリシリコンではなく、金属材料でゲート電極を構成することにより、前述した空乏化の影響によるオン電流の低減や、ゲート電極から基板へのホウ素漏れといった問題も回避することができる。

【0007】

特開2007-110091号公報（特許文献1）には、Hfから作られたゲート絶縁膜と、同一材料で構成されるPMOSトランジスタのゲート電極およびNMOSトランジスタのゲート電極において、PMOSトランジスタのゲート電極の厚さをNMOSトランジスタのゲート電極の厚さよりも大きくする技術が開示されている。

10

【0008】

また、特開2007-19395号公報（特許文献2）には、NMOSトランジスタがHfO<sub>2</sub>からなるゲート絶縁膜と接してシリサイド層を含むゲート電極で構成され、PMOSトランジスタがHfO<sub>2</sub>からなるゲート絶縁膜と接して窒化チタン（TiN）からなる金属層とシリサイド層を含むゲート電極で構成された技術が開示されている。

【0009】

また、特開2005-129551号公報（特許文献3）には、シリコン基板を熱酸化してゲート絶縁膜を形成した後、Ni/(Ni+Si)比が40at%-60at%であるNi+Siを母材としたゲート電極を形成する技術が開示されている。このNi+Siにn型不純物を含ませたゲート電極でnチャネルMOSFETを構成し、Ni+Siにp

20

【特許文献1】特開2007-110091号公報

【特許文献2】特開2007-19395号公報

【特許文献3】特開2005-129551号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ゲート絶縁膜としての高誘電体膜と、ゲート電極としての金属膜を組み合わせるCMISを構成する場合も、閾値電圧の低下を図るため、通常は、nMISFETとpMISFETで異なる金属材料を用いられている。しかしながら、異なる金属材料を同時に精度良く安定に加工することは困難となり、微細加工寸法精度が低下してしまう。

30

【0011】

一方、同一の金属材料でnMISFETおよびpMISFETの金属ゲート電極（いわゆるシングルメタルゲート）を形成すると、nMISFETのゲート電極材料の仕事関数とpMISFETのゲート電極材料の仕事関数の間の仕事関数の金属材料を用いるため、それぞれの閾値が高くなってしまふことが考えられる。

【0012】

また、前記特許文献1のように、同一のゲート電極材料（金属膜）を用いてMIPS（metal inserted poly-Si stacks）構造を構成し、ゲート絶縁膜と接する金属膜の膜厚をnMISFETでは薄く、pMISFETでは厚くして、それぞれのMISFETの閾値

40

【0013】

本発明の目的は、MISFETの移動度劣化を抑制することのできる技術を提供することにある。

【0014】

本発明の他の目的は、MISFETの閾値を低減することのできる技術を提供することにある。

50

## 【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【課題を解決するための手段】

## 【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

## 【0017】

本発明の一実施の形態は、半導体基板の主面に設けられたnチャネル型MISFETおよびpチャネル型MISFETを含んで構成するものである。

10

## 【0018】

前記nチャネル型MISFETは、前記半導体基板上にゲート絶縁膜を介してn型ゲート電極を有している。前記nチャネル型MISFETの前記ゲート絶縁膜は、酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜を有している。前記n型ゲート電極は、前記nチャネル型MISFETの前記ゲート絶縁膜上に窒化チタン膜と、前記窒化チタン膜上のニッケルリッチのフルシリサイド膜とを有している。

## 【0019】

前記pチャネル型MISFETは、前記半導体基板上にゲート絶縁膜を介してp型ゲート電極を有している。前記pチャネル型MISFETの前記ゲート絶縁膜は、酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜を有している。前記p型ゲート電極は、前記pチャネル型MISFETの前記ゲート絶縁膜上にニッケルリッチのフルシリサイド膜を有している。

20

## 【発明の効果】

## 【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

## 【0021】

この一実施の形態によれば、MISFETの移動度劣化を抑制することができる。また、MISFETの閾値を低減することができる。

## 【発明を実施するための最良の形態】

30

## 【0022】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する場合がある。

## 【0023】

## (実施の形態1)

本実施の形態では、SRAM (static random access memory) を備えた半導体装置に本発明を適用した場合について説明する。まず、SRAMを構成するメモリセルMCの等価回路について説明する。図1は、本実施の形態におけるSRAMのメモリセルMCを示す等価回路図である。図1に示すように、このメモリセルMCは、一对の相補性データ線(データ線DL、データ線/(バー)DL)とワード線WLとの交差部に配置され、一对の駆動用MISFETQd1、Qd2、一对の負荷用MISFETQp1、Qp2および一对の転送用MISFETQt1、Qt2により構成されている。駆動用MISFETQd1、Qd2および転送用MISFETQt1、Qt2はnMISFETQnで構成され、負荷用MISFETQp1、Qp2はpMISFETQpで構成されている。

40

## 【0024】

メモリセルMCを構成する上記6個のMISFETのうち、駆動用MISFETQd1および負荷用MISFETQp1は、CMISインバータINV1を構成し、駆動用MISFETQd2および負荷用MISFETQp2は、CMISインバータINV2を構成している。これら一对のCMISインバータINV1、INV2の相互の入出力端子(蓄

50

積ノードA、B)は、交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。

【0025】

また、このフリップフロップ回路の一方の入出力端子(蓄積ノードA)は、転送用MISFETQt1のソース領域、ドレイン領域の一方に接続され、他方の入出力端子(蓄積ノードB)は、転送用MISFETQt2のソース領域、ドレイン領域の一方に接続されている。さらに、転送用MISFETQt1のソース領域、ドレイン領域の他方はデータ線DLに接続され、転送用MISFETQt2のソース領域、ドレイン領域の他方はデータ線/DLに接続されている。

【0026】

また、フリップフロップ回路の一端(負荷用MISFETQp1、Qp2の各ソース領域)は電源電圧(Vcc)に接続され、他端(駆動用MISFETQd1、Qd2の各ソース領域)は基準電圧(Vss)に接続されている。

【0027】

上記回路の動作を説明すると、一方のCMISインバータINV1の蓄積ノードAが高電位("H")であるときには、駆動用MISFETQd2がONになるので、他方のCMISインバータINV2の蓄積ノードBが低電位("L")になる。したがって、駆動用MISFETQd1がOFFになり、蓄積ノードAの高電位("H")が保持される。すなわち、一対のCMISインバータINV1、INV2を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保存される。

【0028】

転送用MISFETQt1、Qt2のそれぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISFETQt1、Qt2の導通、非導通が制御される。すなわち、ワード線WLが高電位("H")であるときには、転送用MISFETQt1、Qt2がONになり、ラッチ回路と相補性データ線(データ線DL、/DL)とが電氣的に接続されるので、蓄積ノードA、Bの電位状態("H"または"L")がデータ線DL、/DLに現れ、メモリセルMCの情報として読み出される。

【0029】

メモリセルMCに情報を書き込むには、ワード線WLを"H"電位レベル、転送用MISFETQt1、Qt2をON状態にしてデータ線DL、/DLの情報を蓄積ノードA、Bに伝達する。以上のようにして、SRAMを動作させることができる。

【0030】

次に、上述したSRAMのレイアウト構成の一例について図2を参照しながら説明する。図2は、SRAMのレイアウト構成を示す模式的な平面図である。SRAMのメモリセルMCは、例えば、図2に示すように、半導体基板(以下単に「基板」という。)1に形成された一対の駆動用MISFETQd1、Qd2、一対の負荷用MISFETQp1、Qp2および一対の転送用MISFETQt1、Qt2の6つの電界効果トランジスタから構成されている。

【0031】

具体的には、基板1を素子分離領域STIで複数のアクティブ領域(活性領域)Ap1、Ap2、Ap3、An1、An2に区画する。素子分離領域STIで区画された複数のアクティブ領域Ap1、Ap2、Ap3、An1、An2は、並んで基板1の第1方向(y方向)に延在するように配置され、アクティブ領域Ap1、Ap2、Ap3、An1、An2の周囲を素子分離領域STIで囲む構造となっている。

【0032】

nMISFETを形成するアクティブ領域Ap1、Ap2、Ap3では、アクティブ領域Ap1、Ap2、Ap3内にリンや砒素などのn型不純物を導入することによりソース領域およびドレイン領域が形成されている。そして、ソース領域とドレイン領域の間のアクティブ領域Ap1、Ap2、Ap3上にゲート絶縁膜を介してゲート電極Gが形成され

10

20

30

40

50

ている。ゲート電極Gは、アクティブ領域Ap1、Ap2、Ap3の延在する第1方向とは交差する第2方向(x方向)に延在している。

【0033】

このようにして、アクティブ領域Ap1、Ap2、Ap3上に形成されているゲート電極G、および、ゲート電極Gを挟むようにアクティブ領域Ap1、Ap2、Ap3内に形成されているソース領域およびドレイン領域によりnMISFET(駆動用MISFET Qd1、Qd2、転送用MISFET Qt1、Qt2)が形成される。同様に、アクティブ領域An1、An2上に形成されているゲート電極G、および、ゲート電極Gを挟むようにアクティブ領域An1、An2内に形成されているソース領域およびドレイン領域によりpMISFET(負荷用MISFET Qp1、Qp2)が形成される。

10

【0034】

例えば、SRAMのメモリセルMCにおいて、アクティブ領域Ap1に形成されているソース領域およびドレイン領域と2本のゲート電極Gにより、駆動用MISFET Qd1および転送用MISFET Qt1が同一のアクティブ領域Ap1に形成されている。また、アクティブ領域An1に形成されているソース領域およびドレイン領域とゲート電極Gにより、負荷用MISFET Qp1が形成され、アクティブ領域An2に形成されているソース領域およびドレイン領域とゲート電極Gにより、負荷MISFET Qp2が形成されている。同様に、アクティブ領域Ap2に形成されているソース領域およびドレイン領域とゲート電極Gにより、駆動用MISFET Qd2および転送用MISFET Qt2が同一のアクティブ領域Ap2に形成されている。

20

【0035】

さらに、SRAMにおいては、6つの電界効果トランジスタからなるメモリセルMCが複数形成されている以外に、SRAMの構造上、駆動用トランジスタQd1、Qd2のドレイン領域の電位を得るために、基板電位供給部Lp1、Lp2が設けられている。この基板電位供給部Lp1、Lp2は、p型半導体領域から形成されている。同様に、基板1には、n型半導体領域からなる基板電位供給部Ln1も形成されている。そして、メモリセルMCの形成領域と基板電位供給部Lp1、Lp2、Ln1との間の領域は、本来、ゲート電極Gを形成する必要のない領域であるが、基板1の全体にわたって、ゲート電極Gを均一に形成して加工精度を確保するために、ゲート電極Gの間隔に対応したダミー電極DGが形成されている。以上のようにして、SRAMが基板1に形成されている。

30

【0036】

次に、本実施の形態におけるnMISFETとpMISFETの構成について説明するが、その一例として、図2のY1-Y1線で切断した駆動用MISFET Qd1と、図2のY2-Y2線で切断した負荷用MISFET Qp1の構成について図3を用いて説明する。駆動用MISFET Qd1は、nMISFETから構成されているので、図3では、駆動用MISFET Qd1をnMISFET Qnとする。同様に、負荷用MISFET Qp1は、pMISFETから構成されているので、図3では、負荷用MISFET Qp1をpMISFET Qpとする。

【0037】

図3は、SRAMを構成するnMISFET QnとpMISFET Qpの断面構造を示す図である。なお、図3に示すnMISFET QnもpMISFET Qpも同一の基板1上に設けられている。

40

【0038】

まず、nMISFET Qnの構成について説明する。図3に示すように、例えばp型単結晶シリコンから構成される基板1のnMISFET形成領域には、p型ウェル2が形成されており、そのp型ウェル2において、nMISFET Qnは、基板1上にゲート絶縁膜3を介してゲート電極4(n型ゲート電極)を有している。

【0039】

このn型MISFET Qnのゲート絶縁膜3は、基板1上の酸化シリコン(SiO<sub>2</sub>)と、その上に酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜の例えば窒化ハ

50

フニウムシリケート (HfSiON) との積層膜である。

【0040】

また、ゲート電極4は、nMISFETQnのゲート絶縁膜3上に窒化チタン膜5と、窒化チタン膜5上にニッケルリッチのフルシリサイド膜6とを有している。窒化チタン膜5は、ゲート絶縁膜3と直接接しており、主としてnMISFETQnの閾値電圧を調整するために用いられるものである。一方、フルシリサイド膜6は、主としてゲート電極4の低抵抗化のために用いられるものである。また、ゲート電極4の両側の側壁には、サイドウォール7が形成されている。このサイドウォール7は、例えば窒化シリコン膜などの絶縁膜から形成されている。

【0041】

また、サイドウォール7直下のp型ウェル2内には、ゲート電極4に整合して設けられた浅いn型不純物拡散領域8が形成されている。この浅いn型不純物拡散領域8は、基板1にリン(P)や砒素(As)などのn型不純物を導入して形成された半導体領域である。そして、浅いn型不純物拡散領域8の外側のp型ウェル2内には、サイドウォール7に整合して深いn型不純物拡散領域9が形成されている。この深いn型不純物拡散領域9も、基板1にリンや砒素などのn型不純物を導入することにより形成されており、半導体領域となっている。このように一对の浅いn型不純物拡散領域8と、一对の深いn型不純物拡散領域9により、nMISFETQnのソース領域とドレイン領域が形成されている。

【0042】

続いて、pMISFETQpの構成について説明する。図3に示すように、基板1のpMISFET形成領域には、n型ウェル10が形成されており、そのn型ウェル10において、pMISFETQpは、基板1上にゲート絶縁膜11を介してゲート電極12(p型ゲート電極)を有している。

【0043】

このp型MISFETQnのゲート絶縁膜11は、基板1上の酸化シリコン(SiO<sub>2</sub>)と、その上に酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜の例えば窒化ハフニウムシリケート(HfSiON)との積層膜である。この積層膜の構成は、ゲート絶縁膜3の構成と同様である。

【0044】

また、ゲート電極12は、pMISFETQpのゲート絶縁膜11上にニッケルリッチのフルシリサイド膜6を有している。フルシリサイド膜6は、ゲート絶縁膜11と直接接しており、pMISFETQpの閾値電圧を調整するために用いられると共に、ゲート電極12の低抵抗化のために用いられるものである。また、ゲート電極12の両側の側壁には、サイドウォール13が形成されている。このサイドウォール13は、サイドウォール7と同様に例えば窒化シリコン膜などの絶縁膜から形成されている。

【0045】

また、サイドウォール13直下のn型ウェル10内には、ゲート電極12に整合して設けられた浅いp型不純物拡散領域14が形成されている。この浅いp型不純物拡散領域14は、基板1にホウ素(B)などのp型不純物を導入して形成された半導体領域である。そして、浅いp型不純物拡散領域14の外側のn型ウェル10内には、サイドウォール13に整合して深いp型不純物拡散領域15が形成されている。この深いp型不純物拡散領域15も、基板1にホウ素などのp型不純物を導入することにより形成されており、半導体領域となっている。このように一对の浅いp型不純物拡散領域14と、一对の深いp型不純物拡散領域15により、pMISFETQpのソース領域とドレイン領域が形成されている。

【0046】

以上のようにして、基板1のnMISFET形成領域にnMISFETQnが設けられ、基板1のpMISFET形成領域にpMISFETQpが設けられている。

【0047】

nMISFETQn(駆動用MISFETQd1)のゲート電極4と、pMISFET

10

20

30

40

50



Qp (負荷用MISFETQp1)のゲート電極12とは、図2に示すように1本のゲート電極Gとして形成されている。図4は、図2のX1-X1線で切断した断面図である。図4に示すように、基板1には、素子分離領域STIが形成されており、素子分離領域STIで分離された活性領域(アクティブ領域)であるnMISFET形成領域、pMISFET形成領域、コンタクト形成領域のそれぞれにnMISFETQn、pMISFETQp、基板コンタクトCNTが設けられている。

【0048】

例えば、図4に示す4つの素子分離領域STIのうち、左側の素子分離領域STIとそれに隣接する素子分離領域STIで挟まれた活性領域(アクティブ領域)には、p型ウェル2が形成されている。また、中央の2つの素子分離領域STIで挟まれた活性領域(アクティブ領域)には、n型ウェル10が形成されている。さらに、右側の素子分離領域STIとそれに隣接する素子分離領域STIで挟まれた活性領域(アクティブ領域)には、n型ウェル10およびその表面にp型不純物拡散領域16が形成されている。このp型不純物拡散領域16は、n型ウェル10の表面にホウ素(B)などのp型不純物を導入して形成された半導体領域であり、例えば、pMISFETQp1、Qp2のソース領域およびドレイン領域を構成する浅いp型不純物拡散領域14、深いp型不純物拡散領域15と同一の工程により形成される。

【0049】

そして、nMISFET形成領域のp型ウェル2上にはゲート絶縁膜3が形成されている。また、pMISFET形成領域のn型ウェル10上にはゲート絶縁膜11が形成されている。なお、本実施の形態では、ゲート絶縁膜3、11共に基板1上の酸化シリコンと、その上の窒化ハフニウムシリケート(HfSiON)との積層膜から構成されている。

【0050】

また、nMISFET形成領域のゲート絶縁膜3上およびコンタクト形成領域のp型不純物拡散領域16上には、窒化チタン膜5が形成されている。さらに、nMISFET形成領域の窒化チタン膜5上、pMISFET形成領域のゲート絶縁膜11上、およびコンタクト形成領域の窒化チタン膜5上には、ニッケルリッチのフルシリサイド膜6が形成されている。つまり、フルシリサイド膜6は、nMISFET形成領域、pMISFET形成領域およびコンタクト形成領域にわたって基板1上に形成されている。

【0051】

したがって、ゲート電極Gは、nMISFET形成領域ではnMISFETQnのゲート電極4となり、pMISFET形成領域ではpMISFETQpのゲート電極12となり、コンタクト形成領域では基板コンタクトCNT(蓄積ノードB)となっている。

【0052】

コンタクト形成領域の基板1上にも形成された窒化チタン膜5は、p型不純物拡散領域16と接触している。本実施の形態では、ゲート電極材料としてニッケルリッチのフルシリサイド膜6を形成するため、コンタクト形成領域上にも厚いニッケル膜が形成され、シリサイド化が行われる。その際、p型不純物拡散領域16より深くニッケルが基板1内まで侵入することが考えられる。そこで、本実施の形態では、コンタクト形成領域の基板1とフルシリサイド膜6との間に窒化チタン膜5を挟むことで、基板1にニッケルが侵入して起こるリークを防止している。すなわち、コンタクト形成領域の基板1上に窒化チタン膜5を設けることで、基板コンタクトCNTでの不具合を低減できる。

【0053】

ここで、本実施の形態におけるCMISを構成するnMISFETQnおよびpMISFETQpについて説明する。CMISを構成する一方のnMISFETQnは、基板1上にゲート絶縁膜3を介してゲート電極4を有している。ゲート絶縁膜3は、酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜(高誘電体膜)を有している。ゲート電極4は、ゲート絶縁膜3上に窒化チタン膜5と、窒化チタン膜5上にニッケルリッチのフルシリサイド膜6とを有している。CMISを構成する他方のpMISFETQpは、基板1上にゲート絶縁膜11を介してゲート電極12を有している。ゲート絶縁膜11は、

10

20

30

40

50

酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜（高誘電体膜）を有している。ゲート電極 1 2 は、ゲート絶縁膜 1 1 上にニッケルリッチのフルシリサイド膜 6 を有している。

#### 【0054】

従来、nMISFETおよびpMISFETでは、ゲート電極としてポリシリコン膜が用いられている。そして、nMISFETでは、ゲート電極を構成するポリシリコン膜にn型不純物（リンや砒素など）を導入している。これにより、ゲート電極の仕事関数（フェルミレベル）をシリコンの伝導帯近傍（4.1 eV近傍）に設定することで、nMISFETの閾値電圧の低下を図っている。一方、pMISFETでは、ゲート電極を構成するポリシリコン膜にp型不純物（ホウ素など）を導入している。これにより、ゲート電極の仕事関数をシリコンの価電子帯近傍（5.2 eV近傍）に設定することで、pMISFETの閾値電圧の低下を図っている。これは、ゲート絶縁膜として酸化シリコン膜を使用した場合の例である。すなわち、ゲート絶縁膜として酸化シリコン膜を使用している場合は、ゲート電極にn型不純物あるいはp型不純物を導入することにより、ゲート電極の仕事関数を伝導帯近傍あるいは価電子帯近傍にすることができる。

10

#### 【0055】

また、ゲート電極材料にポリシリコンを用いるのと同様に、ニッケルシリサイド膜中に不純物を添加すると仕事関数が変化することが前記特許文献3に記載されており、さらにNi/(Ni+Si)比が高いニッケルシリサイド膜をpMISFETのゲート電極材料として用い、Ni/(Ni+Si)比が低いニッケルシリサイド膜をnMISFETのゲート電極材料として用いる記載がされている。

20

#### 【0056】

ところが、ゲート絶縁膜として、ハフニウムを含む酸化膜のような高誘電体膜を使用すると、ポリシリコン膜よりなるゲート電極にn型不純物あるいはp型不純物を導入しても、ゲート電極の仕事関数が、伝導帯近傍あるいは価電子帯近傍にならない現象が生じる。すなわち、ゲート絶縁膜として高誘電体膜を使用した場合、nMISFETでは、ゲート電極の仕事関数が大きくなって伝導帯近傍から離れる。このため、nMISFETの閾値電圧が上昇する。一方、pMISFETでは、ゲート電極の仕事関数が小さくなって価電子帯から離れるので、nMISFETと同様に閾値電圧が上昇する。このように、ゲート電極の仕事関数が閾値電圧の上昇する方向にシフトする現象はフェルミレベルピニングとして解釈されている。

30

#### 【0057】

そこで、ゲート絶縁膜に酸化シリコン膜よりも誘電率の高い高誘電率膜を使用する場合、ゲート絶縁膜上に配置されるゲート電極を、ポリシリコン膜ではなく金属膜から形成することが検討されている。ゲート電極を金属膜から形成すれば、ポリシリコン膜のように不純物を導入することで閾値を調整することなく、金属膜の種類を選択することで閾値電圧を調整することができる。このため、ゲート電極に金属膜を使用することで、上述したフェルミレベルピニングの問題を回避することができる。さらに、ゲート電極にポリシリコン膜を使用しないことから、ゲート電極の空乏化の問題も回避することができる。

40

#### 【0058】

ゲート電極に金属膜を使用する場合、nMISFETとpMISFETで異なる金属膜を用いることが考えられる。金属膜の種類によって仕事関数値は異なるが、nMISFETでは、閾値電圧を下げるため、シリコンの伝導帯近傍の仕事関数を有する金属膜を用いる必要がある一方、pMISFETでは、閾値電圧を下げるため、シリコンの価電子帯近傍の仕事関数を有する金属膜を用いる必要があるからである。したがって、ゲート電極に金属膜を使用する場合、nMISFETとpMISFETで異なる金属膜を使用することになる。

#### 【0059】

例えば、本発明者は、nMISFETおよびpMISFETのゲート絶縁膜として共に窒化ハフニウムシリケート（HfSiON）膜を用い、nMISFETの仕事関数制御金

50

属としてシリコン窒化タンタル膜を用い、 $pMISFET$ の仕事関数制御金属ゲート電極として窒化チタン膜を用いた構造を検討している。窒化チタンは、耐熱性が高く、容易に薬液除去ができるため、従来の半導体装置でも用いられてきた使いやすい材料であり、また、仕事関数を低くするためにはシリコン窒化タンタルのようにシリコンを主成分レベルで多く含む金属材料の使用が有効だからである。また、仕事関数制御金属のシリコン窒化タンタル膜や窒化チタン膜自体では抵抗が高いため、低抵抗材料としてタングステン(W)膜や、前記特許文献2のようにシリサイド膜を仕事関数制御金属上に設けている。

#### 【0060】

$pMISFET$ の仕事関数制御金属としては、窒化チタンの他に、窒化タングステン(TiW)、レニウム(Re)、イリジウム(Ir)、白金(Pt)、酸化ルテニウム( $RuO_2$ )、酸化イリジウム( $IrO_2$ )、窒化モリブデン(MoN)を挙げることができる。また、 $nMISFET$ の仕事関数制御金属としては、シリコン窒化タンタルの他に、チタン(Ti)、ジルコニア(Zr)、バナジウム(V)、タンタル(Ta)、アルミニウム(Al)、ニオブ(Nb)を挙げることができる。

10

#### 【0061】

これらチタン、ジルコニア、バナジウム、タンタル、ニオブなどの一般的に仕事関数の低い金属は反応性が高く、高温の活性化熱処理などを行うと、下地の高誘電体膜と反応してリーク電流が増大してしまうことが問題となる。また、仕事関数を低くするためにはシリコン窒化タンタルのようにシリコンを主成分レベルで多く含む金属の使用が有効である。しかしながら、シリコン窒化タンタルと下地の高誘電体膜との界面に、下地の高誘電体膜より誘電率が低い酸化シリコン膜、あるいは電極内から相分離して形成された下地の高誘電体膜より誘電率が低い窒化シリコン膜が形成され、ゲート絶縁膜の酸化シリコン膜厚換算膜厚が厚くなってしまふことが問題となる。

20

#### 【0062】

そこで、本発明者は、同一の仕事関数制御金属として窒化チタン膜を用いたMIPS(metal inserted poly-Si stacks)構造のゲート電極を備えた $nMISFET$ および $pMISFET$ について検討を行っている。この窒化チタン膜は、前述したように、通常は $pMISFET$ の仕事関数制御金属として用いられるものであるが、耐熱性が高く、容易に薬液除去ができるため、従来の半導体装置でも用いられてきた使いやすい材料である。これら $MISFET$ のゲート電極は、例えば、図3の $nMISFETQn$ においてフルシリサイド膜6を導電性のポリシリコン膜に置き換えた構造となる。なお、前記特許文献1には、 $TaN$ 、 $TiSiN$ 、または $TiN$ を仕事関数制御金属として用いたMIPS構造が開示されている。

30

#### 【0063】

図5はMIPS構造のゲート電極を備えた $nMISFET$ において、 $TiN$ 膜の膜厚に対する実効仕事関数と電子移動度の関係を示す説明図であり、図6はMIPS構造のゲート電極を備えた $pMISFET$ において、 $TiN$ 膜の膜厚に対する実効仕事関数と正孔移動度の関係を示す説明図である。

#### 【0064】

図5および図6に示すように、ゲート絶縁膜と接する金属膜の膜厚を $nMISFET$ では薄く、 $pMISFET$ では厚くすることによって、 $nMISFET$ の実効仕事関数はシリコンの伝導帯近傍(4.1eV)に近づき、 $pMISFET$ の実効仕事関数はシリコンの価電子帯近傍(5.2eV)に近づくため、それぞれの $MISFET$ の閾値を低減することができる。しかしながら、図6に示すように、窒化チタン膜の膜厚を厚くすればするほど、 $pMISFET$ の性能に深く関与する正孔移動度が劣化することがわかる。

40

#### 【0065】

このように、 $nMISFET$ および $pMISFET$ の同一の仕事関数制御金属材料として窒化チタン膜を用いることによって、 $nMISFET$ と $pMISFET$ とで金属材料の差に起因する微細寸法精度を確保しつつ、 $MISFET$ の閾値を低減することができるが、 $CMIS$ の性能が低下してしまうことを本発明者は見出した。

50

## 【 0 0 6 6 】

ここで、本発明者は、同一の仕事関数制御金属材料を用いて、 $n$ MISFETと $p$ MISFETの閾値を低減することができる効果を得るために、同一の仕事関数制御金属として窒化チタン膜を用いて、その上に低抵抗の金属膜であるタングステン膜を積層した構造のゲート電極を備えた $n$ MISFETおよび $p$ MISFETについて検討も行っている。しかしながら、窒化チタン膜の膜厚を $n$ MISFETでは薄く、 $p$ MISFETでは厚くしても、前述のMIPS構造と同様の効果を得ることができなかった。

## 【 0 0 6 7 】

また、本発明者は、前述のMIPS構造では、同一の仕事関数制御金属である窒化チタン膜上に、ポリシリコンを用いていることから、そのシリコンがゲート電極の実効仕事関数に影響を及ぼしているものと考え、ポリシリコン電極に十分に厚いニッケルを反応させたニッケルリッチのフルシリサイド膜を、同一の仕事関数制御金属である窒化チタン膜上に用いた構造について検討も行っている。例えば、発明者はニッケル/シリコンの比が2以上となるニッケルリッチのフルシリサイド膜を、窒化チタン膜上に用いた構造の $n$ MISFETおよび $p$ MISFETを製造し、窒化チタン膜の膜厚依存性を評価している。なお、ゲート絶縁膜としては、窒化ハフニウムシリケート(HfSiON)/酸化シリコン( $SiO_2$ )を用いた。

## 【 0 0 6 8 】

同一の仕事関数制御金属として窒化チタン膜を用い、その上のポリシリコン層を低抵抗とするために金属であるニッケル膜とすべて反応させ、ニッケル/シリコンの比が2以上のニッケルシリサイド( $NiSi_x$ )と窒化チタン膜を積層したゲート電極構造を形成した。

## 【 0 0 6 9 】

図7はニッケルリッチのフルシリサイド膜/窒化チタン膜のゲート電極を備えた $n$ MISFETにおいて、TiN膜の膜厚に対する実効仕事関数と正孔移動度の関係を示す説明図であり、図8はニッケルリッチのフルシリサイド膜/窒化チタン膜のゲート電極を備えた $p$ MISFETにおいて、TiN膜の膜厚に対する実効仕事関数と正孔移動度の関係を示す説明図である。

## 【 0 0 7 0 】

図7および図8に示すように、ゲート絶縁膜と接する窒化チタン膜の膜厚を $n$ MISFETでは薄く、 $p$ MISFETでは厚くすることによって、 $n$ MISFETの実効仕事関数はシリコンの伝導帯近傍( $4.1 eV$ )に近づき、 $p$ MISFETの実効仕事関数はシリコンの価電子帯近傍( $5.2 eV$ )に近づくため、それぞれのMISFETの閾値を低減することができる。すなわち、図5および図6で示したポリシリコン/TiN積層電極構造の場合の結果と比較して同じ傾向にあることがわかる。このことから、前述した窒化チタン膜の膜厚依存性は、その上に積層される膜がポリシリコンに限定されるわけではなく、ニッケルリッチのフルシリサイド膜でも同じ傾向が得られることがわかる。

## 【 0 0 7 1 】

例えば、 $Ni/Si$ の比が2以上の $NiSi_x$ と $2 nm$ のTiN膜の積層ゲート電極は、 $n$ MISFETにおける高い電子移動度の維持に有効であり、かつ $4.45 eV$ 程度の低い実効仕事関数を示すことから、閾値の低減にも有効な電極構造であるといえる。

## 【 0 0 7 2 】

そこで、本実施の形態では、 $n$ MISFET $Q_n$ は、図3に示したように、基板1上にゲート絶縁膜3を介してゲート電極4を有しており、ゲート絶縁膜3は、酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜を有しており、ゲート電極4は、ゲート絶縁膜3上に窒化チタン膜5と、窒化チタン膜5上にニッケルリッチのフルシリサイド膜6とを有している。

## 【 0 0 7 3 】

前述したように、通常は、 $p$ MISFET用の仕事関数の高いゲート電極材料として、窒化チタン膜が用いられる。しかしながら、本実施の形態では、 $p$ MISFET $Q_n$ に熱

10

20

30

40

50

耐性の高い窒化チタン膜 5、その上にニッケルリッチのフルシリサイド膜 6 を用いた積層構造とすることで、ゲートリーク電流および酸化シリコン換算膜厚の増大を抑制している。かつ、図 7 に示したように、窒化チタン膜 5 の膜厚を 5 nm 以下とすることで、nMISFET として適した実効仕事関数を得ることができ、また、高い電子移動度の維持することができる。

【0074】

また、図 7 に示すように、nMISFET の電気特性の向上として、窒化チタン膜の膜厚は薄いほうが有利であり、2 nm 程度にすることがより望ましい。しかしながら、窒化チタン膜の膜厚が 1 nm 未満になると、膜として構成することが困難になり、更に上部に設けられたフルシリサイド膜 6 中のシリコンの影響が見え始めるため、SiO<sub>2</sub> 換算膜厚が増加してしまう。上記考察から、窒化チタン膜 5 の膜厚は、1 nm 以上、5 nm 以下に設定することが好ましく、最適には、2 nm 程度にすることが望ましい。

10

【0075】

さらに、発明者は 2 nm の窒化チタン (TiN) 膜を HfSiON/SiO<sub>2</sub> ゲート絶縁膜上に一旦形成し、40 ~ 80 の H<sub>2</sub>O<sub>2</sub> 水溶液で TiN 膜を除去した後に、ポリシリコン電極を形成し、その後 Ni 膜と反応させて Ni/Si の比が 2 以上の NiSix ゲート電極を作製した。このゲート電極を有する HfSiON/SiO<sub>2</sub> をゲート絶縁膜とする MISFET の実効仕事関数及び移動度を評価した結果を図 8 に黒塗りの点としてプロットした (TiN 膜厚 = 0 nm)。

【0076】

このようにして形成した Ni/Si の比が 2 以上の NiSix ゲート電極は、pMISFET で高い正孔移動度を維持しつつ 4.8 eV 程度の高い実効仕事関数を示すことを確認した。ゆえに、この電極は pMISFET の閾値低減に有効であることが確かめられた。この高い実効仕事関数を得るには、Ni/Si の比を 2 以上にすることが必要である。それは、シリッチになると、ポリシリコン電極の場合と同様に、フェルミレベルピニング現象が問題になり、実効仕事関数が上昇するとともに、pMISFET の閾値が上昇するからである。

20

【0077】

本実施の形態では、nMISFETQn には Ni/Si の比が 2 の NiSix と、2 nm の窒化チタン膜 5 とが積層されたゲート電極 4 を用いた評価を行う。この場合、図 7 に示すように、高い移動度を維持しつつ 4.45 eV 程度の低い実効仕事関数を得ることができる。また、pMISFETQp には Ni/Si の比が 2 の NiSix から構成されたゲート電極 12 を用いた評価を行う。この場合、図 8 に示すように、高い正孔移動度を維持しつつ、4.8 eV 程度の高い実効仕事関数を得ることができる。

30

【0078】

これら nMISFETQn および pMISFETQp のゲート電圧に対するドレイン電流の関係を図 9 に示す。Ni/Si の比が 2 の NiSix と、2 nm の窒化チタン膜 5 とが積層されたゲート電極 4 を有する nMISFETQn では 0.25 V 程度の低い閾値を得ることができる (図 9 中右側の白三角)。また、Ni/Si の比が 2 以上の NiSix から構成されたゲート電極 12 を有する pMISFETQp では 0.4 V 程度の低い閾値を得ることができる (図 9 中左側の黒丸)。

40

【0079】

図 9 中には参考 (Ref.) として Ni/Si の比が 2 以上の NiSix と、2 nm の窒化チタン膜とが積層されたゲート電極を有する pMISFET の特性も示している (図 9 中左の黒三角)。この pMISFET では 0.75 V 程度の高い閾値を示すことがわかる。これに対して、窒化チタン膜を除去して構成された Ni/Si の比が 2 以上の NiSix のゲート電極 12 を有する pMISFETQp では閾値が 0.4 V 程度と、閾値を低減することができる。

【0080】

このように本実施の形態における半導体装置は、pMISFETQn にはゲート絶縁膜

50

11と接して第1金属(Ni)/Siの比が2以上の金属シリサイド(シリサイド膜6)からなるゲート電極12を、nMISFETQnにはゲート絶縁膜3と接して5nm以下の第2金属膜(窒化チタン膜5)と、その上に第1金属(Ni)/Siの比が2以上の金属シリサイド(シリサイド膜6)から構成される積層のゲート電極4を備えている。

【0081】

次に、本実施の形態におけるnMISFETQnおよびpMISFETQpの製造方法について図面を参照して説明する。特に、図2のY1-Y1線およびY2-Y2線における断面(図10~図18)での説明を行う。

【0082】

まず、例えばp型単結晶シリコンから構成される基板1を準備した後、一般的な方法に従って、基板1の主面(素子形成面)に素子分離領域STIおよびp型ウェル2およびn型ウェル10を形成する(図4参照)。これにより、nMISFETQn、pMISFETQpや基板コンタクトCNTなどの下地(下地基板)が形成される。

【0083】

素子分離領域STIは、基板1に形成された例えば250nm~400nm程度の深さの素子分離溝に、例えばCVD法を用いて埋め込まれた酸化シリコン膜から構成される。また、p型ウェル2は、イオン注入法を用いて、ホウ素(B)やフッ化ホウ素(BF<sub>2</sub>)などのp型不純物を基板1内に導入することにより形成される。また、n型ウェル10は、イオン注入法を用いて、リン(P)や砒素(As)などのn型不純物を基板1内に導入することにより形成される。

【0084】

このようにして、素子分離領域STIで分離されて区画されたnMISFET形成領域(第1領域)の活性領域(アクティブ領域)にp型ウェル2が形成され、pMISFET形成領域(第2領域)の活性領域(アクティブ領域)にn型ウェル10が形成され、コンタクト形成領域にn型ウェル10が形成される。

【0085】

その後、本実施の形態では、リソグラフィ法を用いると共に、コンタクト形成領域のn型ウェル10に、イオン注入法によってホウ素(B)やフッ化ホウ素(BF<sub>2</sub>)などのp型不純物を導入することにより、p型不純物拡散領域16を形成する。このp型不純物拡散領域16はゲート電極Gが基板コンタクトCNT部分において、接触抵抗を低減するために形成される。更に図示しないが、p型不純物拡散領域16は、例えば、タングステン(W)等の金属配線により、蓄積ノードB(図1、図2参照)を形成するnMISFETQt2、Qd2のソース領域及びドレイン領域(深いn型不純物拡散領域9)の一方側に電氣的に接続される。

【0086】

続いて、図10に示すように、nMISFET形成領域の基板1上にゲート絶縁膜3、およびpMISFET形成領域の基板1上にゲート絶縁膜11を形成する。後述するが、本実施の形態では、ゲート絶縁膜3およびゲート絶縁膜11は同一工程で形成され、同一材料で構成される。

【0087】

ゲート絶縁膜3、11は、nMISFET形成領域およびpMISFET形成領域を含む基板1上に、例えばCVD法あるいは原子層制御成膜(ALD: Atomic Layer Deposition)法を用いて形成された酸化シリコンよりも誘電率が高く、ハフニウムを含む酸化膜である窒化ハフニウムシリケート(HfSiON)膜から構成される。また、本実施の形態では、このHfSiON膜の形成前に、別途酸化雰囲気での熱処理を行うことによって、基板1とHfSiON膜との間に酸化シリコン(SiO<sub>2</sub>)膜を形成している。すなわち、ゲート絶縁膜3、11は、基板1上のSiO<sub>2</sub>膜、その上のHfSiON膜の積層膜(HfSiON/SiO<sub>2</sub>)として構成されている。これらの膜厚は、例えば、HfSiON膜が1.5nm~4.0nm程度、SiO<sub>2</sub>膜が1.0nm以下である。

【0088】

10

20

30

40

50

本実施の形態では、ゲート絶縁膜 3、11 を H f S i O N 膜で構成するが、例えば H f - S i - O、H f - A l - O、H f - A l - O - N などの酸化シリコンより誘電率が高い H f 系絶縁膜を適用することもできる。これらの H f 系絶縁膜は、酸化シリコン膜や窒化シリコン膜よりも誘電率が高いので、物理膜厚を（高誘電体膜の誘電率 / 酸化シリコン膜の誘電率）倍だけ厚くできる。物理膜厚を厚くすることによりリーク電流を低減することができる。

【0089】

また、本実施の形態では、ゲート絶縁膜 3、11 を構成する S i O<sub>2</sub> 膜は、H f S i O N 膜の形成前に別途酸素雰囲気での熱処理によって形成することとしているが、基板 1 と H f S i O 膜との界面層が H f S i O 膜の形成中や形成後の熱処理によって形成しても良い。

10

【0090】

なお、基板コンタクト C N T を形成するために、コンタクト形成領域に形成されたゲート絶縁膜 3（あるいはゲート絶縁膜 11）は、リソグラフィ法およびエッチング技術によって除去される。

【0091】

続いて、n M I S F E T 形成領域のゲート絶縁膜 3 上および p M I S F E T 形成領域のゲート絶縁膜 11 上に窒化チタン（T i N）膜 5 を形成する。この窒化チタン膜 5 は、主として、閾値を調整するために形成される膜（仕事関数制御金属膜）であり、その膜厚を 5 n m 以下（図 7 参照）とすることで、n M I S F E T として適した実効仕事関数を得ることができ、また、高い電子移動度の維持することができる。本実施の形態では、窒化チタン膜 5 は、例えば、スパッタリング法を用いて、n M I S F E T 形成領域および p M I S F E T 形成領域を含む基板 1 上に、その膜厚が 2 n m となるように形成している。

20

【0092】

窒化チタン膜 5 は、コンタクト形成領域の基板 1 上にも形成され、p 型不純物拡散領域 16 と接触している。本実施の形態では、ゲート電極材料としてニッケルリッチのフルシリサイド膜 6 を形成するため、コンタクト形成領域上にも厚いニッケル膜が形成され、シリサイド化が行われる。その際、p 型不純物拡散領域 16 より深くニッケルが基板 1 内まで侵入することが考えられる。そこで、本実施の形態では、コンタクト形成領域の基板 1 とフルシリサイド膜 6 との間に窒化チタン膜 5 を挟むことで、基板 1 にニッケルが侵入して起こるリークを防止している。すなわち、コンタクト形成領域の基板 1 上に窒化チタン膜 5 を設けることで、基板コンタクト C N T での不具合を低減できる。

30

【0093】

その後、リソグラフィ法を用いて、p M I S F E T 形成領域を開口するレジストマスク P R を、p M I S F E T 形成領域以外の基板 1 上に形成する。図 10 では、n M I S F E T 形成領域の基板 1 を被覆したレジストマスク P R が形成されている。

【0094】

続いて、例えば 40 ~ 80 の過酸化水素系水溶液（H<sub>2</sub>O<sub>2</sub> を含む水溶液）によって p M I S F E T 形成領域の窒化チタン膜 5 を除去する。これにより、図 11 に示すように、p M I S F E T 形成領域のゲート絶縁膜 11 を露出する。その後、レジストマスク P R を溶解もしくはアッシングによって除去する。

40

【0095】

続いて、図 12 に示すように、n M I S F E T 形成領域の窒化チタン膜 5 上および p M I S F E T 形成領域のゲート絶縁膜 11 上にシリコン膜 20 を形成し、このシリコン膜 20 上に窒化シリコン（S i N）膜 21 を形成する。シリコン膜 20 は、例えば、C V D 法を用いて、n M I S F E T 形成領域および p M I S F E T 形成領域を含む基板 1 上に、その膜厚が 50 n m 程度となるように形成されたポリシリコン膜である。このシリコン膜 20 を構成するポリシリコン膜は、後の工程で全部がシリサイド化され、ゲート電極材料として抵抗が低減される。また、窒化シリコン膜 5 は、例えば C V D 法を用いてシリコン膜 20 上に、その膜厚が 30 n m 程度となるように形成されている。この窒化シリコン膜 2

50

1 は、ハードマスクとして機能する膜である。なお、シリコン膜 20 は、多結晶状態でなくアモルファス状態であっても良い。

【0096】

続いて、図 13 に示すように、一般的な方法でゲート電極加工、エクステンション（浅い n 型不純物拡散領域 8 および浅い p 型不純物拡散領域 14）の形成、サイドウォール 7、13 の形成、ソース領域およびドレイン領域（深い n 型不純物拡散領域 9 および深い p 型不純物拡散領域 15）の形成、不純物の活性化熱処理、およびソース領域およびドレイン領域表面のシリサイド電極（図示しない）の形成を行う。

【0097】

ゲート電極加工は、まず、リソグラフィ法およびエッチングを用いて、窒化シリコン膜 21 をパターニングする。次いで、パターニングした窒化シリコン膜 21 をハードマスクとして、nMISFET 形成領域ではシリコン膜 20 と窒化チタン膜 5 をパターニングし、pMISFET 形成領域ではシリコン膜 20 をパターニングする。なお、このパターニングされた状態では高抵抗であるがゲート電極として説明する。

【0098】

また、エクステンションの形成は、まず、リソグラフィ法およびイオン注入法を用いて、nMISFET 形成領域ではパターニングされたゲート電極に整合した浅い n 型不純物拡散領域（エクステンション領域）8 を形成する。浅い n 型不純物拡散領域 8 は、半導体領域である。次いで、同様に、リソグラフィ法およびイオン注入法を用いて、pMISFET 形成領域ではパターニングされたゲート電極に整合した浅い p 型不純物拡散領域（エクステンション領域）14 を形成する。浅い p 型不純物拡散領域 14 は、半導体領域である。

【0099】

また、サイドウォール 7、13 の形成は、nMISFET 形成領域および pMISFET 形成領域を含む基板 1 上に、例えば CVD 法によって窒化シリコン膜を形成し、その窒化シリコン膜を異方性エッチングすることにより、パターニングされたゲート電極の側壁に形成する。

【0100】

また、ソース領域およびドレイン領域の形成は、まず、リソグラフィ法およびイオン注入法を用いて、nMISFET 形成領域にサイドウォール 7 に整合した深い n 型不純物拡散領域 9 を形成する。深い n 型不純物拡散領域 9 は、半導体領域である。この深い n 型不純物拡散領域 9 と浅い n 型不純物拡散領域 8 によって、LDD (Lightly Doped Drain) 構造のソース領域、ドレイン領域が形成される。同様に、リソグラフィ法およびイオン注入法を用いて、pMISFET 形成領域にサイドウォール 13 に整合した深い p 型不純物拡散領域 15 を形成する。深い p 型不純物拡散領域 15 は、半導体領域である。この深い p 型不純物拡散領域 15 と浅い p 型不純物拡散領域 14 によって、LDD (Lightly Doped Drain) 構造のソース領域、ドレイン領域が形成される。その後、イオン注入された不純物の活性化を行うため、例えば 900 ~ 1000 の熱処理を行う。

【0101】

また、シリサイド電極の形成は、nMISFET 形成領域の深い n 型不純物拡散領域 9 の表面と、pMISFET 形成領域の深い p 型不純物拡散領域 15 の表面に低抵抗化のために、例えばニッケルシリサイド膜を形成する（図示しない）。あるいは、シリサイド電極の形成はコバルトシリサイド膜でも良い。このとき、コンタクト形成領域の基板 1 上にも、同様にニッケルシリサイド膜が形成される（図示しない）。このシリサイド膜により、図 2 におけるノード部分に形成されたタングステン配線と p 型不純物拡散領域 16 とのコンタクト抵抗を低減できる。

【0102】

続いて、図 14 に示すように、パターニングされたゲート電極間を埋め込むように基板 1 上に、PMD (Pre-Metal Dielectric) として層間絶縁膜 22（例えば、酸化シリコン膜）を形成し、CMP 法によってゲート電極上の窒化シリコン膜 21 を露出する。



## 【 0 1 0 3 】

続いて、図 1 5 に示すように、例えば、R I E (Reactive Ion Etching) によって、窒化シリコン膜 2 1 を除去し、その下のシリコン膜 2 0 を露出する。

## 【 0 1 0 4 】

続いて、図 1 6 に示すように、例えば、スパッタリング法によって基板 1 上にニッケル膜 2 3 を堆積して、n M I S F E T 形成領域のシリコン膜 2 0 上および p M I S F E T 形成領域のシリコン膜 2 0 上にニッケル膜 2 3 を形成する。ニッケル膜 2 3 は、後の工程でシリコン膜 2 0 をシリサイド化してニッケルリッチのフルシリサイド膜となるような厚さで形成される。

## 【 0 1 0 5 】

例えば、ニッケル/シリコン比が 1 のフルシリサイド膜を形成するためには、ポリシリコン膜の膜厚を 5 0 n m とした場合、ニッケル膜の膜厚は 3 5 n m 程度とする。本実施の形態では、ポリシリコン膜からなるシリコン膜 2 0 の膜厚を 5 0 n m としているため、ニッケルリッチのフルシリサイド膜を形成するために、ニッケル膜 2 3 の膜厚を 3 5 n m より厚くすれば良い。

## 【 0 1 0 6 】

特に、ニッケル/シリコン比を 2 以上のフルシリサイド膜を形成するためには、シリコン膜 2 0 に対して 1 . 4 倍以上の膜厚のニッケル膜 2 3 を形成する。本実施の形態では、ニッケル/シリコン比を 2 以上としたフルシリサイド膜を形成するため、ポリシリコン膜からなるシリコン膜 2 0 の膜厚を 5 0 n m としているため、ニッケル膜 2 3 の膜厚は 1 0 0 n m とすれば良い。

## 【 0 1 0 7 】

続いて、図 1 7 に示すように、n M I S F E T 形成領域ではシリコン膜 2 0 とニッケル膜 2 3 とでフルシリサイド膜 6 を形成し、p M I S F E T 形成領域ではシリコン膜 2 0 とニッケル膜 2 3 とでフルシリサイド膜 6 を形成する。具体的には、まず、4 5 0 程度の熱処理によってシリコン膜 2 0 をすべてニッケル膜 2 3 と固相反応させ、ニッケルリッチのニッケルシリサイド ( N i S i x ) を形成する。次いで、硫酸と過酸化水素水の混合溶液などによって未反応のニッケル膜 2 3 を除去する。

## 【 0 1 0 8 】

これにより、n M I S F E T 形成領域では、ゲート絶縁膜 3 上の窒化チタン膜 5 と、その上のフルシリサイド膜 6 とが積層されて n M I S F E T Q n のゲート電極 4 が形成される。また、p M I S F E T 形成領域では、ゲート絶縁膜 1 1 上のフルシリサイド膜 6 から p M I S F E T Q p のゲート電極 1 2 が形成される。

## 【 0 1 0 9 】

続いて、図 1 8 に示すように、n M I S F E T 形成領域および p M I S F E T 形成領域を含む基板 1 上に、例えば C V D 法を用いて酸化シリコン膜からなる層間絶縁膜 2 4 を形成する。次いで、リソグラフィ法およびエッチングを用いて、層間絶縁膜 2 2 、 2 4 を貫通し、n M I S F E T Q n のソース領域、ドレイン領域および p M I S F E T Q p のソース領域、ドレイン領域に達するコンタクトホール 2 5 を形成する。

## 【 0 1 1 0 】

次いで、コンタクトホール 2 5 の底面および内壁を含む層間絶縁膜 2 2 、 2 4 上に、例えばスパッタリング法を用いてチタン/窒化チタン膜 2 6 を形成した後、コンタクトホール 2 5 を埋め込むように基板 1 上に、例えば C V D 法を用いてタングステン膜 2 7 を形成する。次いで、層間絶縁膜 2 4 上に形成された不要なチタン/窒化チタン膜 2 6 およびタングステン膜 2 7 を例えば C M P 法で除去することにより、プラグ P L G を形成する。チタン/窒化チタン膜 2 6 は、タングステン膜 2 7 中のタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

## 【 0 1 1 1 】

次いで、層間絶縁膜 2 4 上およびプラグ P L G 上にチタン/窒化チタン膜 2 8 、銅を含有するアルミニウム膜 2 9 、チタン/窒化チタン膜 3 0 を順次、形成する。これらの膜は

10

20

30

40

50

、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行い、配線M1を形成する。さらに、配線M1の上層に配線を形成して多層配線を形成する。

【0112】

このようにして、基板1上にSRAMを含む集積回路を形成することができる。すなわち、本実施の形態では、SRAMを構成するnMISFETQn（駆動用MISFETQd1）とpMISFETQp（負荷用MISFETQp1）を図示して半導体装置の製造工程について説明したが、SRAMを構成するその他のMISFET（転送用MISFETなどを含む）も基本的に同様な工程で形成される。以上のようにして、本実施の形態における半導体装置を製造することができる。

10

【0113】

また、本実施の形態により製造された半導体装置を構成するMISFETの移動度劣化を抑制することができ、MISFETの閾値を低減することができる。

【0114】

さらに、その形成方法としては、高誘電体膜上に窒化チタン膜を形成し、その後 $H_2O_2$ を主成分とする水溶液によってpMISFET形成領域の窒化チタン膜のみを除去し、その後nMISFET形成領域及びpMISFET形成領域において同じ工程で同時にニッケル/シリコンの比が2以上のフルシリサイド膜の形成を行うことが望ましい。こうすることで、工程数の低減、及びCMISにおける閾値ばらつきの低減を図ることができる。

20

【0115】

（実施の形態2）

本実施の形態における半導体装置は、pMISFETにはゲート絶縁膜と接して第1金属/Siの比が2以上の金属シリサイドからなるゲート電極を、nMISFETQnにはゲート絶縁膜と接して5nm以下の第2金属膜と、その上に第1金属/Siの比が2以上の金属シリサイドから構成される積層のゲート電極を備えているものである。本実施の形態では、第1金属はニッケル(Ni)、第2金属は窒化チタン(TiN)、nMISFETおよびpMISFETのゲート絶縁膜は、 $HfSiO_2/SiO_2$ 膜として説明する。

【0116】

前記実施の形態1では、基板1上に窒化チタン膜5を形成する工程（図10参照）の後、基板1上にシリコン膜20を形成する工程（図12参照）を行う場合について説明したが、本実施の形態では、これらの工程の間で、基板1上にシリコン膜20よりも薄いシリコン膜を形成する工程を有する場合について説明する。なお、その他は前記実施の形態1と同様であるので、一部省略して説明する。

30

【0117】

本実施の形態におけるnMISFETQnおよびpMISFETQpの製造方法について図面を参照して説明する。特に、図2のY1-Y1線およびY2-Y2線における断面（図19～図27）での説明を行う。

【0118】

まず、例えばp型単結晶シリコンから構成される基板1を準備した後、一般的な方法に従って、基板1の主面（素子形成面）に素子分離領域STIおよびp型ウェル2およびn型ウェル10を形成する（図4参照）。これにより、nMISFETQn、pMISFETQpや基板コンタクトCNTなどの下地（下地基板）が形成される。

40

【0119】

続いて、図19に示すように、nMISFET形成領域の基板1上にゲート絶縁膜3、およびpMISFET形成領域の基板1上にゲート絶縁膜11を形成する。本実施の形態では、ゲート絶縁膜3およびゲート絶縁膜11は同一工程で形成され、同一のゲート絶縁膜材料として $HfSiON/SiO_2$ 積層膜で構成される。この $HfSiON$ は、酸化シリコン( $SiO_2$ )よりも誘電率の高い、ハフニウムを含む酸化膜である。これらの膜厚

50

は、例えば、 $\text{HfSiON}$ 膜が $1.5\text{nm} \sim 4.0\text{nm}$ 程度、 $\text{SiO}_2$ 膜が $1.0\text{nm}$ 以下である。

【0120】

続いて、 $\text{nMISFET}$ 形成領域のゲート絶縁膜3上および $\text{pMISFET}$ 形成領域のゲート絶縁膜11上に窒化チタン( $\text{TiN}$ )膜5を形成する。この窒化チタン膜5は、 $\text{nMISFET}$ において、主として閾値を調整するために形成される膜(仕事関数制御金属膜)であり、その膜厚を $5\text{nm}$ 以下(図7参照)とすることで、 $\text{nMISFET}$ として適した実効仕事関数を得ることができ、また、高い電子移動度の維持することができる。本実施の形態では、窒化チタン膜5は、例えば、スパッタリング法を用いて、 $\text{nMISFET}$ 形成領域および $\text{pMISFET}$ 形成領域を含む基板1上に、その膜厚が $2\text{nm}$ となるように形成している。

10

【0121】

次いで、膜厚が $10\text{nm}$ 以下となるように、スパッタ法でアモルファスのシリコン膜20a(第1シリコン膜)を形成する。本実施の形態では、シリコン膜20aの膜厚は $5\text{nm}$ としている。

【0122】

その後、リソグラフィ法を用いて、 $\text{pMISFET}$ 形成領域を開口するレジストマスクPRを、 $\text{pMISFET}$ 形成領域以外の基板1上に形成する。図19では、 $\text{nMISFET}$ 形成領域の基板1を被覆したレジストマスクPRが形成されている。

【0123】

前記実施の形態1のように、 $2\text{nm}$ と薄い窒化チタン膜5上にレジストマスクPRを形成した場合、レジストマスクPRを除去する工程によっては薄い窒化チタン膜5が酸化し、特性を変化させる場合が考えられる。そこで、本実施の形態では、そのような窒化チタン膜5の酸化を抑制するために、シリコン膜20aを保護膜として窒化チタン膜5とレジストマスクPRの間に挿入している。

20

【0124】

続いて、例えば $40 \sim 80$  のアンモニア水などのウエットエッチングによって $\text{pMISFET}$ 形成領域のシリコン膜20aを除去した後、例えば $40 \sim 80$  の過酸化水素系水溶液( $\text{H}_2\text{O}_2$ を含む水溶液)によって $\text{pMISFET}$ 形成領域の窒化チタン膜5を除去する。これにより、図20に示すように、ゲート絶縁膜11を露出する。その後、レジストマスクPRを溶解もしくはアッシングによって除去する。

30

【0125】

続いて、図21に示すように、 $\text{nMISFET}$ 形成領域のシリコン膜20a上および $\text{pMISFET}$ 形成領域のゲート絶縁膜11上にシリコン膜20(第2シリコン膜)を形成し、このシリコン膜20上にハードマスクとなる窒化シリコン( $\text{SiN}$ )膜21を形成する。シリコン膜20は、例えば、CVD法を用いて、 $\text{nMISFET}$ 形成領域および $\text{pMISFET}$ 形成領域を含む基板1上に、その膜厚が $50\text{nm}$ 程度となるように形成されたポリシリコン膜である。このシリコン膜20とその下のシリコン膜20aを構成するポリシリコン膜は、後の工程で全部がシリサイド化され、ゲート電極材料として抵抗が低減される。なお、シリコン膜20は、多結晶状態でなくアモルファス状態であっても良い。

40

【0126】

続いて、図22に示すように、一般的な方法でゲート電極加工、エクステンション(浅い $\text{n}$ 型不純物拡散領域8および浅い $\text{p}$ 型不純物拡散領域14)の形成、サイドウォール7、13の形成、ソース領域およびドレイン領域(深い $\text{n}$ 型不純物拡散領域9および深い $\text{p}$ 型不純物拡散領域15)の形成、不純物の活性化熱処理、およびソース領域およびドレイン領域表面のシリサイド電極(図示しない)の形成を行う。

【0127】

続いて、図23に示すように、パターンニングされたゲート電極間を埋め込むように基板1上に、PMD(Pre-Metal Dielectric)として層間絶縁膜22(例えば、酸化シリコン膜)を形成し、CMP法によってゲート電極上の窒化シリコン膜21を露出する。

50

## 【 0 1 2 8 】

続いて、図 2 4 に示すように、例えば、R I E (Reactive Ion Etching) によって、窒化シリコン膜 2 1 を除去し、その下のシリコン膜 2 0 を露出する。

## 【 0 1 2 9 】

続いて、図 2 5 に示すように、例えば、スパッタリング法によって基板 1 上にニッケル膜 2 3 を堆積して、n M I S F E T 形成領域のシリコン膜 2 0 上および p M I S F E T 形成領域のシリコン膜 3 0 上にニッケル膜 2 3 を形成する。ニッケル膜 2 3 は、後の工程でシリコン膜 2 0 をシリサイド化してニッケルリッチのフルシリサイド膜となるような厚さで形成される。特に、ニッケル/シリコン比を 2 以上のフルシリサイド膜を形成するためには、シリコン膜 2 0 およびシリコン膜 2 0 a に対して 1 . 4 倍以上の膜厚のニッケル膜 2 3 を形成する。本実施の形態では、ニッケル/シリコン比を 2 以上としたフルシリサイド膜を形成するためには、ポリシリコン膜からなるシリコン膜 2 0 の膜厚を 5 0 n m としているため、ニッケル膜 2 3 の膜厚は例えば 8 0 n m とすれば良い。

10

## 【 0 1 3 0 】

続いて、図 2 6 に示すように、n M I S F E T 形成領域ではシリコン膜 2 0 、 2 0 a とニッケル膜 2 3 とでフルシリサイド膜 6 を形成し、p M I S F E T 形成領域ではシリコン膜 2 0 とニッケル膜 2 3 とでフルシリサイド膜 6 を形成する。具体的には、まず、4 5 0 程度の熱処理によってシリコン膜 2 0 、 2 0 a をすべてニッケル膜 2 3 と固相反応させ、ニッケルリッチのニッケルシリサイド ( N i S i x ) を形成する。次いで、硫酸と過酸化水素水の混合溶液などによって未反応のニッケル膜 2 3 を除去する。

20

## 【 0 1 3 1 】

続いて、図 2 7 に示すように、前記実施の形態 1 で説明したような配線プロセスを行うことによって、本実施の形態における半導体装置を製造することができる。

## 【 0 1 3 2 】

本実施の形態では、5 n m 以下で形成する窒化チタン膜 5 の酸化を抑制するために、n M I S F E T 形成領域では T i N 膜上に 1 0 n m 以下のシリコン膜 2 0 a ( 保護膜 ) を積層している。これによって、窒化チタン膜 5 の剥離プロセスにおけるプロセスマージンを拡大させることができ、製品の歩留を向上することができる。

## 【 0 1 3 3 】

( 実施の形態 3 )

本実施の形態における半導体装置は、p M I S F E T にはゲート絶縁膜と接して第 1 金属 / S i の比が 2 以上の金属シリサイドからなるゲート電極を、n M I S F E T Q n にはゲート絶縁膜と接して 5 n m 以下の第 2 金属膜と、その上に第 1 金属 / S i の比が 2 以上の金属シリサイドから構成される積層のゲート電極を備えているものである。本実施の形態では、第 1 金属はニッケル ( N i ) 、第 2 金属は窒化チタン ( T i N ) 、n M I S F E T のゲート絶縁膜は H f L a A l O x / S i O 2 膜、p M I S F E T のゲート絶縁膜は H f A l O x / S i O 2 膜として説明する。これらのゲート絶縁膜材料を n M I S F E T および p M I S F E T にそれぞれ用いることによって閾値低減に有効となる。

30

## 【 0 1 3 4 】

前記実施の形態 1 では、n M I S F E T Q n のゲート絶縁膜 3 および p M I S F E T Q p のゲート絶縁膜 1 1 とともに、同一のゲート絶縁膜材料の H f S i O N / S i O 2 積層膜を用いた場合について説明した。本実施の形態では、n M I S F E T Q n のゲート絶縁膜 3 と p M I S F E T Q p のゲート絶縁膜 1 1 とで異なるゲート絶縁膜材料を用いる場合について説明する。なお、その他は前記実施の形態 1 と同様であるので、一部省略して説明する。

40

## 【 0 1 3 5 】

本実施の形態における n M I S F E T Q n および p M I S F E T Q p の製造方法について図面を参照して説明する。特に、図 2 の Y 1 - Y 1 線および Y 2 - Y 2 線における断面 ( 図 2 8 ~ 図 3 6 ) での説明を行う。

## 【 0 1 3 6 】

50

まず、例えばp型単結晶シリコンから構成される基板1を準備した後、一般的な方法に従って、基板1の主面(素子形成面)に素子分離領域STIおよびp型ウェル2およびn型ウェル10を形成する(図4参照)。これにより、nMISFETQn、pMISFETQpや基板コンタクトCNTなどの下地(下地基板)が形成される。

【0137】

続いて、図28に示すように、nMISFET形成領域の基板1上にゲート絶縁膜3a、3b、およびpMISFET形成領域の基板1上にゲート絶縁膜11を形成する。本実施の形態では、ゲート絶縁膜3aおよびゲート絶縁膜11は同一工程で形成され、同一のゲート絶縁膜材料として例えばCVD法またはALD法によって形成されたHfAlO<sub>x</sub>膜(第1酸化膜)で構成される。また、ゲート絶縁膜3bは、ゲート絶縁膜3aおよびゲート絶縁膜11上に例えばCVD法またはALD法によって形成されたLaO<sub>x</sub>膜(第2酸化膜)で構成される。

10

【0138】

続いて、nMISFET形成領域のゲート絶縁膜3b上およびpMISFET形成領域のゲート絶縁膜3b上に窒化チタン(TiN)膜5を形成する。この窒化チタン膜5は、nMISFETにおいて、主として閾値を調整するために形成される膜(仕事関数制御金属膜)であり、その膜厚を5nm以下(図7参照)とすることで、nMISFETとして適した実効仕事関数を得ることができ、また、高い電子移動度の維持することができる。本実施の形態では、窒化チタン膜5は、例えば、スパッタリング法を用いて、nMISFET形成領域およびpMISFET形成領域を含む基板1上に、その膜厚が2nmとなるように形成している。

20

【0139】

その後、リソグラフィ法を用いて、pMISFET形成領域を開口するレジストマスクPRを、pMISFET形成領域以外の基板1上に形成する。図28では、nMISFET形成領域の基板1を被覆したレジストマスクPRが形成されている。

【0140】

続いて、pMISFET形成領域において、例えば40~80の過酸化水素系水溶液(H<sub>2</sub>O<sub>2</sub>を含む水溶液)によって窒化チタン膜5を除去した後、希塩酸等の水溶液によってLaO<sub>x</sub>膜から構成されるゲート絶縁膜3bを除去し、ゲート絶縁膜11を露出する。これにより、図29に示すように、ゲート絶縁膜11を露出する。その後、レジストマスクPRを溶解もしくはアッシングによって除去する。

30

【0141】

続いて、図30に示すように、nMISFET形成領域の窒化チタン膜5上およびpMISFET形成領域のゲート絶縁膜11上にシリコン膜20を形成し、このシリコン膜20上にハードマスクとなる窒化シリコン(SiN)膜21を形成する。シリコン膜20は、例えば、CVD法を用いて、nMISFET形成領域およびpMISFET形成領域を含む基板1上に、その膜厚が50nm程度となるように形成されたポリシリコン膜である。このシリコン膜20を構成するポリシリコン膜は、後の工程で全部がシリサイド化され、ゲート電極材料として抵抗が低減される。なお、シリコン膜20は、多結晶状態でなくアモルファス状態であっても良い。

40

【0142】

続いて、図31に示すように、一般的な方法でゲート電極加工、エクステンション(浅いn型不純物拡散領域8および浅いp型不純物拡散領域14)の形成、サイドウォール7、13の形成、ソース領域およびドレイン領域(深いn型不純物拡散領域9および深いp型不純物拡散領域15)の形成、不純物の活性化熱処理、およびソース領域およびドレイン領域表面のシリサイド電極(図示しない)の形成を行う。本実施の形態では、この活性化熱処理によって、nMISFET領域のゲート絶縁膜3aを構成するHfAlO<sub>x</sub>膜とゲート絶縁膜3bを構成するLaO<sub>x</sub>膜は混合(ミシキング)し、HfLaAlO<sub>x</sub>膜から構成されるゲート絶縁膜3が形成される。なお、不純物の活性化熱処理とは別に、HfAlO<sub>x</sub>膜とLaO<sub>x</sub>膜を混合するための熱処理を行っても良い。

50

## 【 0 1 4 3 】

続いて、図 3 2 に示すように、パターンニングされたゲート電極間を埋め込むように基板 1 上に、P M D (Pre-Metal Dielectric) として層間絶縁膜 2 2 (例えば、酸化シリコン膜) を形成し、C M P 法によってゲート電極上の窒化シリコン膜 2 1 を露出する。

## 【 0 1 4 4 】

続いて、図 3 3 に示すように、例えば、R I E (Reactive Ion Etching) によって、窒化シリコン膜 2 1 を除去し、その下のシリコン膜 2 0 を露出する。

## 【 0 1 4 5 】

続いて、図 3 4 に示すように、例えば、スパッタリング法によって基板 1 上にニッケル膜 2 3 を堆積して、n M I S F E T 形成領域のシリコン膜 2 0 上および p M I S F E T 形成領域のシリコン膜 3 0 上にニッケル膜 2 3 を形成する。ニッケル膜 2 3 は、後の工程でシリコン膜 2 0 をシリサイド化してニッケルリッチのフルシリサイド膜となるような厚さで形成される。特に、ニッケル/シリコン比を 2 以上のフルシリサイド膜を形成するためには、シリコン膜 2 0 に対して 1 . 4 倍以上の膜厚のニッケル膜 2 3 を形成する。本実施の形態では、ニッケル/シリコン比を 2 としたフルシリサイド膜を形成するためには、ポリシリコン膜からなるシリコン膜 2 0 の膜厚を 5 0 n m としているので、ニッケル膜 2 3 の膜厚は 7 0 n m とすれば良い。

## 【 0 1 4 6 】

続いて、図 3 5 に示すように、n M I S F E T 形成領域ではシリコン膜 2 0 とニッケル膜 2 3 とでフルシリサイド膜 6 を形成し、p M I S F E T 形成領域ではシリコン膜 2 0 とニッケル膜 2 3 とでフルシリサイド膜 6 を形成する。具体的には、まず、4 5 0 程度の熱処理によってシリコン膜 2 0 をすべてニッケル膜 2 3 と固相反応させ、ニッケルリッチのニッケルシリサイド (N i S i x ) を形成する。次いで、硫酸と過酸化水素水の混合溶液などによって未反応のニッケル膜 2 3 を除去する。

## 【 0 1 4 7 】

続いて、図 3 6 に示すように、前記実施の形態 1 で説明したような配線プロセスを行うことによって、本実施の形態における半導体装置を製造することができる。

## 【 0 1 4 8 】

このように本実施の形態では、n M I S F E T Q n のゲート絶縁膜 3 に H f L a A l O x / S i O 2 膜を、p M I S F E T Q p のゲート絶縁膜 1 1 に H f A l O x / S i O 2 膜を適用することができる。これにより、n M I S F E T Q n における N i / S i の比が 2 以上のフルシリサイド膜 6 と 2 n m 厚の窒化チタン膜 5 の積層で構成されるゲート電極 4 と、H f L a A l O x / S i O 2 膜から構成されるゲート絶縁膜 3 との組合せでは、ゲート電極 4 の実効仕事関数を約 4 . 2 e V まで低減することができる。また、p M I S F E T Q p における窒化チタン膜 5 を剥離後に形成した N i / S i の比が 2 以上のフルシリサイド膜 6 から構成されるゲート電極 1 2 と、H f A l O x / S i O 2 膜から構成されるゲート絶縁膜 3 との組合せでは、ゲート電極 1 2 の実効仕事関数を約 5 . 0 e V まで向上することができる。

## 【 0 1 4 9 】

本実施の形態では、n M I S F E T Q n のゲート絶縁膜 3 には、ハフニウム (H f ) の酸化膜に、ランタン (L a ) を含む場合について説明しているが、この他の希土類元素や、イットリウム (Y ) 、アルカリ土類金属元素を含む場合であっても良い。また、p M I S F E T Q p のゲート絶縁膜 1 1 には、ハフニウム (H f ) の酸化膜に、アルミニウム (A l ) を含む場合について説明しているが、アルミニウムを含まない場合であっても良い。

## 【 0 1 5 0 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【 0 1 5 1 】

例えば、前記実施の形態では、SRAMの製造技術を対象としているが、これに限定されるものではなく、例えば、ロジック回路を構成するCMISの製造技術にも適用することができる。

【0152】

また、前記実施の形態では、ニッケル(Ni)リッチのフルシリサイド膜をMISFETのゲート電極に用いて場合について説明したが、ニッケルの代わり白金(Pt)やパラジウム(Pd)、あるいはニッケルを含めたこれらを混合したものであっても良い。ニッケル、白金、パラジウムは同族であり、低温でシリコンと反応してフルシリサイド膜を構成できるからである。

【0153】

また、前記実施の形態では、nMISFETのゲート電極構造を、ニッケルリッチのフルシリサイド(FULL Silicide)膜/窒化チタン膜とし、pMISFETのゲート電極構造を、ニッケルリッチのフルシリサイド膜とする場合について説明した。このニッケルリッチのフルシリサイド膜は、特に、ポリシリコン膜の膜厚に対してニッケル膜の膜厚を1.4倍として、ニッケル/シリコン比が2以上とすることが好ましい。この他に、このポリシリコン膜をポリシリコンゲルマニウム(poly-SiGe)膜と置き換えて、ニッケル膜と反応させて、ニッケルリッチのフルシリサイドゲルマナイド(FULL Silicide GERmanide)を用いても良い。また、ポリシリコン膜をポリゲルマニウム(poly-Ge)と置き換えて、ニッケル膜と反応させて、ニッケルリッチのフルゲルマナイド(FULL GERmanide)を用いても良い。また、ニッケル膜と置き換えて、白金膜やパラジウム膜を用いてポリシリコンゲルマニウム膜やポリゲルマニウム膜と固相反応させても良い。また、ポリシリコン膜、ポリシリコンゲルマニウム膜、ポリゲルマニウム膜のように多結晶状態でなくとも、アモルファス状態であっても良い。フルシリサイドゲルマナイドおよびフルゲルマナイドを用いることで、フルシリサイドの場合より、pMISFETの閾値を低減することができる。

【0154】

また、前記実施の形態では、pMISFETのゲート電極として窒化チタン(TiN)膜とその上のフルシリサイド(NiSix)膜との積層構造からなる場合について説明した。この窒化シリコン膜は閾値調整用に用いられるが、この窒化チタン膜にシリコンが含まれたTiSiN膜でも良い。例えば、このTiSiN膜は、スパッタ法によって形成される。

【産業上の利用可能性】

【0155】

本発明は、半導体装置、特に、CMISを備えた半導体装置の製造業に幅広く利用されるものである。

【図面の簡単な説明】

【0156】

【図1】本発明の一実施の形態におけるSRAMのメモリセルを示す等価回路図である。

【図2】図1のSRAMの平面レイアウトを示す平面図である。

【図3】図2のY1-Y1線で切断した断面図とY2-Y2線で切断した断面図を並べて示す図である。

【図4】図2のX1-X1線で切断した断面図である。

【図5】MIPS構造のゲート電極を備えたnMISFETにおいて、TiN膜の膜厚に対する実効仕事関数と電子移動度の関係を示す説明図である。

【図6】MIPS構造のゲート電極を備えたpMISFETにおいて、TiN膜の膜厚に対する実効仕事関数と正孔移動度の関係を示す説明図である。

【図7】ニッケルリッチのフルシリサイド膜/窒化チタン膜のゲート電極を備えたnMISFETにおいて、TiN膜の膜厚に対する実効仕事関数と正孔移動度の関係を示す説明図である。

【図8】ニッケルリッチのフルシリサイド膜/窒化チタン膜のゲート電極を備えたpMI

10

20

30

40

50

S F E Tにおいて、T i N膜の膜厚に対する実効仕事関数と正孔移動度の関係を示す説明図である。

【図9】本発明の一実施の形態におけるn M I S F E Tおよびp M I S F E Tにおけるゲート電圧に対するドレイン電流の関係を示す説明図である。

【図10】本発明の一実施の形態における製造工程中の半導体装置の要部断面図である。

【図11】図10に続く製造工程中の半導体装置の要部断面図である。

【図12】図11に続く製造工程中の半導体装置の要部断面図である。

【図13】図12に続く製造工程中の半導体装置の要部断面図である。

【図14】図13に続く製造工程中の半導体装置の要部断面図である。

【図15】図14に続く製造工程中の半導体装置の要部断面図である。

【図16】図15に続く製造工程中の半導体装置の要部断面図である。

【図17】図16に続く製造工程中の半導体装置の要部断面図である。

【図18】図17に続く製造工程中の半導体装置の要部断面図である。

【図19】本発明の他の実施の形態における製造工程中の半導体装置の要部断面図である。

10

【図20】図19に続く製造工程中の半導体装置の要部断面図である。

【図21】図20に続く製造工程中の半導体装置の要部断面図である。

【図22】図21に続く製造工程中の半導体装置の要部断面図である。

【図23】図22に続く製造工程中の半導体装置の要部断面図である。

【図24】図23に続く製造工程中の半導体装置の要部断面図である。

【図25】図24に続く製造工程中の半導体装置の要部断面図である。

【図26】図25に続く製造工程中の半導体装置の要部断面図である。

【図27】図26に続く製造工程中の半導体装置の要部断面図である。

【図28】本発明の他の実施の形態における製造工程中の半導体装置の要部断面図である。

20

【図29】図28に続く製造工程中の半導体装置の要部断面図である。

【図30】図29に続く製造工程中の半導体装置の要部断面図である。

【図31】図30に続く製造工程中の半導体装置の要部断面図である。

【図32】図31に続く製造工程中の半導体装置の要部断面図である。

【図33】図32に続く製造工程中の半導体装置の要部断面図である。

【図34】図33に続く製造工程中の半導体装置の要部断面図である。

【図35】図34に続く製造工程中の半導体装置の要部断面図である。

【図36】図35に続く製造工程中の半導体装置の要部断面図である。

30

【符号の説明】

【0157】

1 半導体基板

2 p型ウェル

3、3a、3b ゲート絶縁膜

4 ゲート電極

5 窒化チタン膜

6 フルシリサイド膜

7 サイドウォール

8 浅いn型不純物拡散領域

9 深いn型不純物拡散領域

10 n型ウェル

11 ゲート絶縁膜

12 ゲート電極

13 サイドウォール

14 浅いp型不純物拡散領域

15 深いp型不純物拡散領域

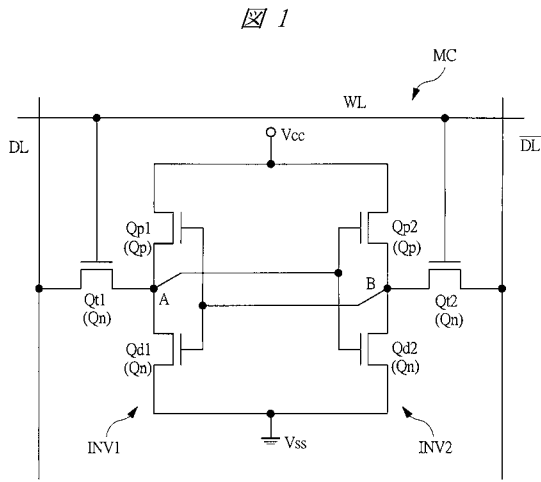
40

50

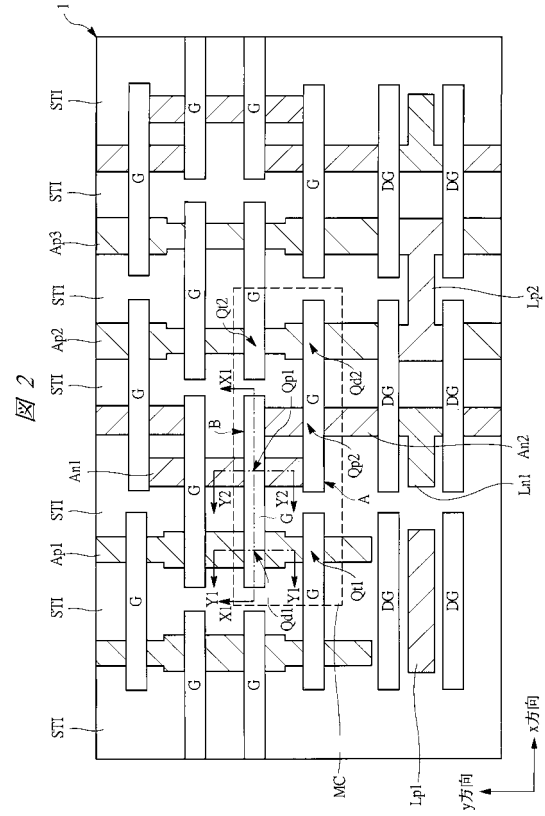


1 6	p 型不純物拡散領域	
2 0	シリコン膜	
2 0 a	シリコン膜	
2 1	窒化シリコン膜	
2 2	層間絶縁膜	
2 3	ニッケル膜	
2 4	層間絶縁膜	
2 5	コンタクトホール	
2 6	チタン/窒化チタン膜	
2 7	タンゲステン膜	10
2 8	チタン/窒化チタン膜	
2 9	アルミニウム膜	
3 0	チタン/窒化チタン膜	
A	蓄積ノード	
A n 1、A n 2、A p 1、A p 2、A p 3	アクティブ領域	
B	蓄積ノード	
C N T	基板コンタクト	
D G	ダミーゲート電極	
D L	データ線	
/ D L	データ線	20
G	ゲート電極	
I N V 1、I N V 2	C M I S インバータ	
L n 1、L p 1、L p 2	基板電位供給部	
M 1	配線	
M C	メモリセル	
P L G	プラグ	
P R	レジストマスク	
Q d 1、Q d 2	駆動用 M I S F E T	
Q n	n M I S F E T	
Q p	p M I S F E T	30
Q p 1、Q p 2	負荷用 M I S F E T	
Q t 1、Q t 2	転送用 M I S F E T	
S T I	素子分離領域	
V c c	電源電圧	
V s s	基準電圧	
W L	ワード線	

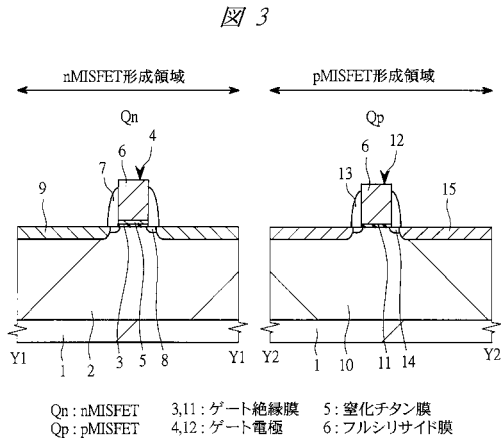
【 図 1 】



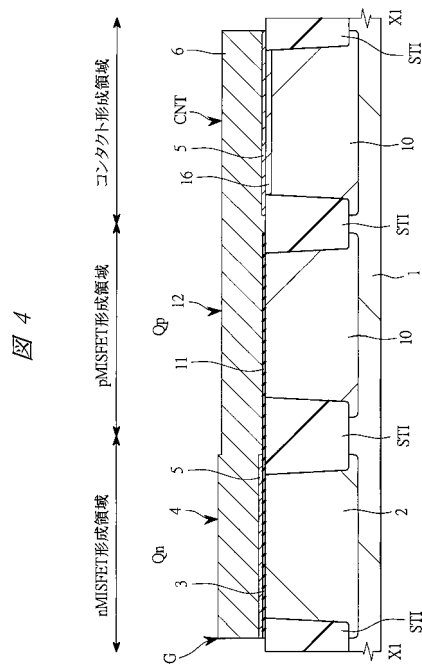
【 図 2 】



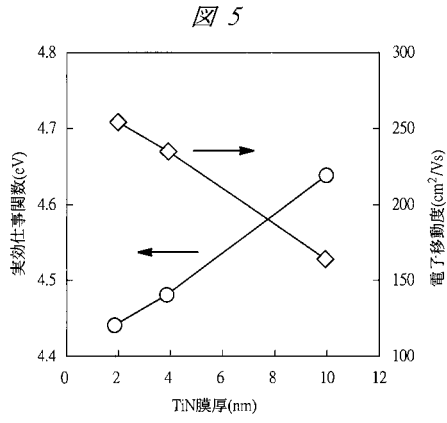
【 図 3 】



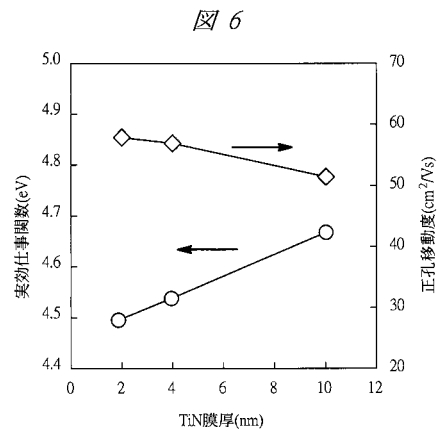
【 図 4 】



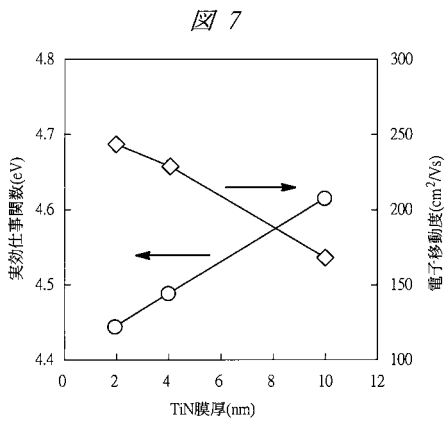
【 図 5 】



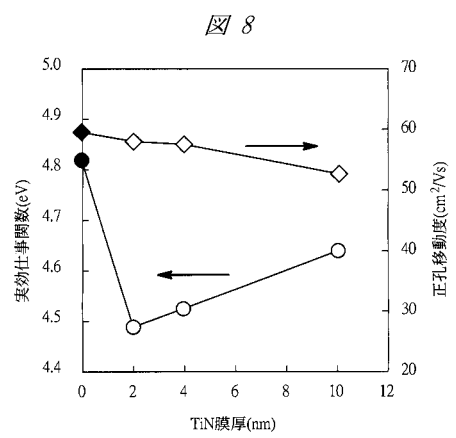
【 図 6 】



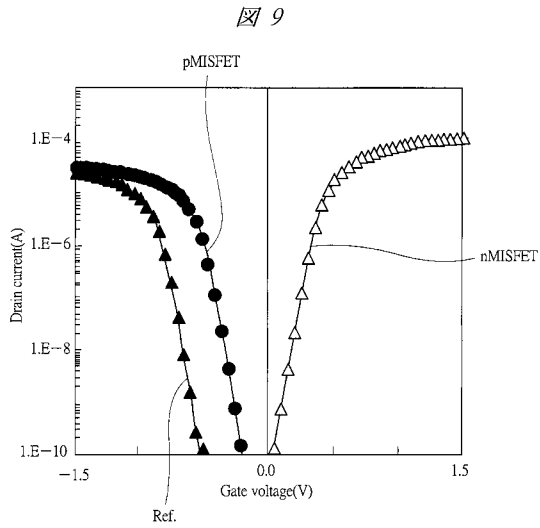
【 図 7 】



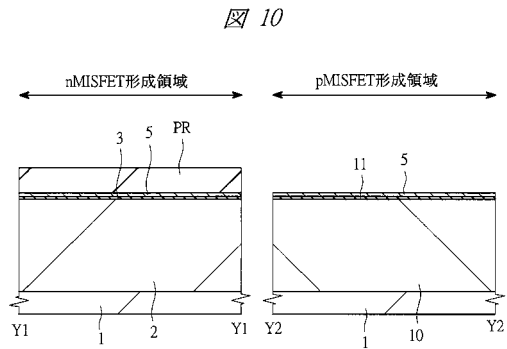
【 図 8 】



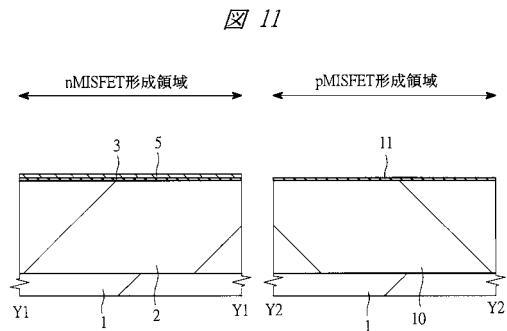
【 図 9 】



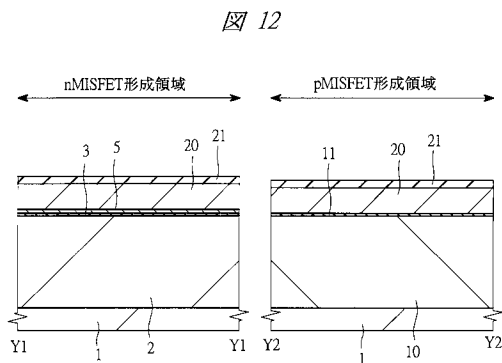
【 図 10 】



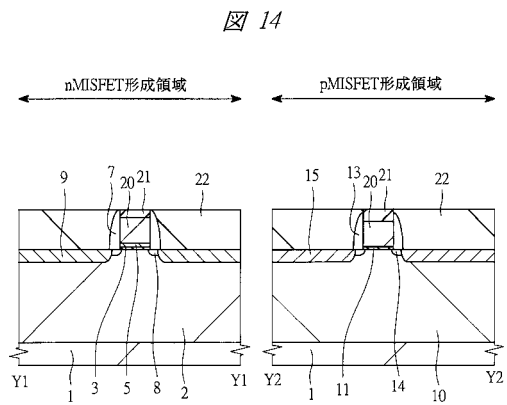
【 図 11 】



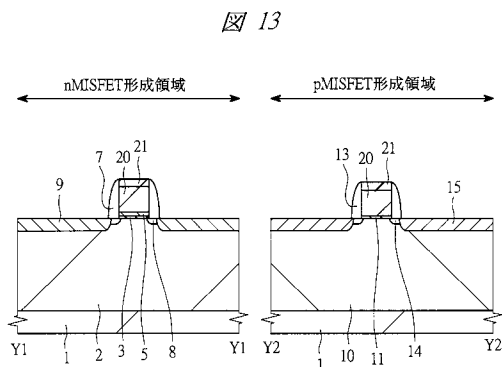
【 図 12 】



【 図 14 】

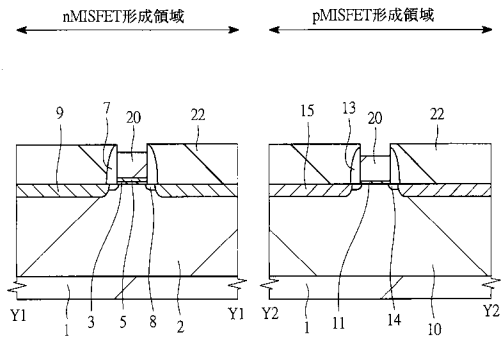


【 図 13 】



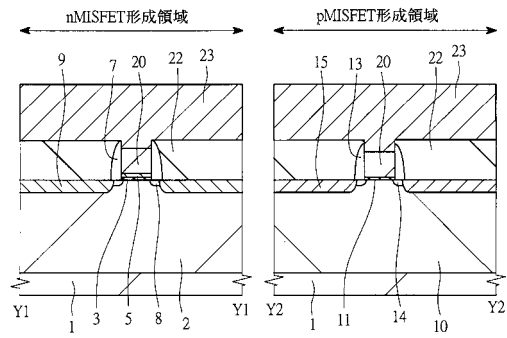
【図15】

図15



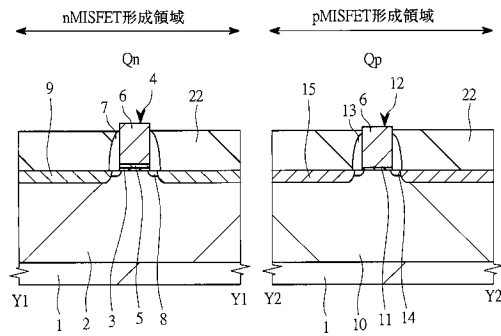
【図16】

図16



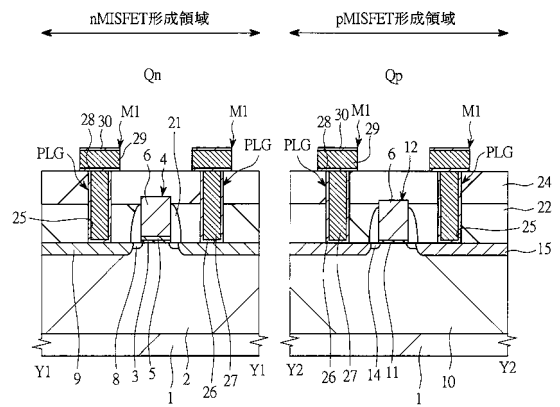
【図17】

図17

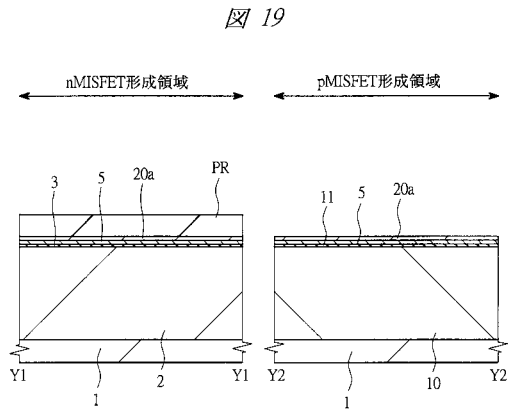


【図18】

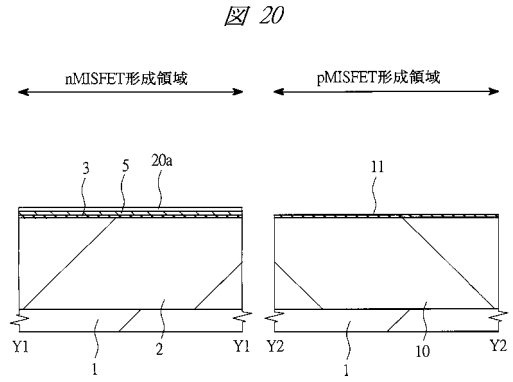
図18



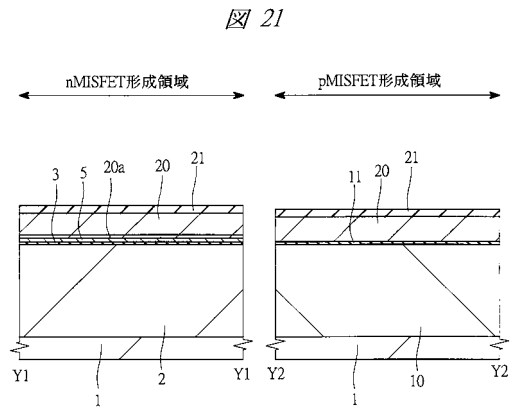
【図 19】



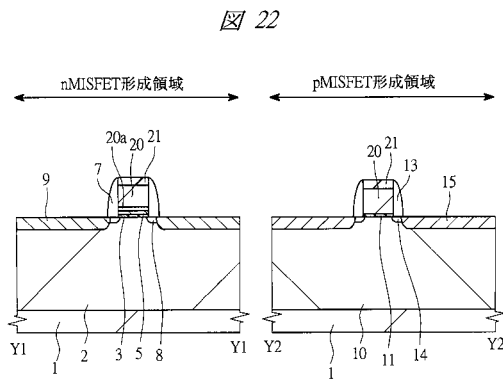
【図 20】



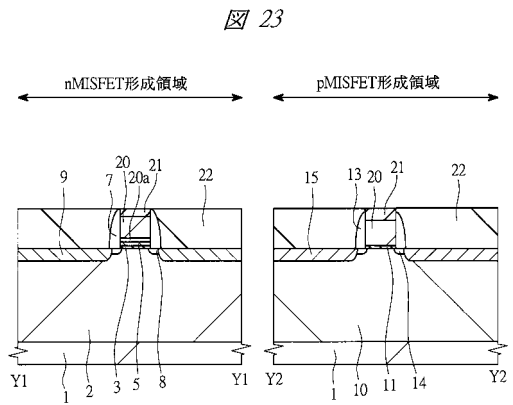
【図 21】



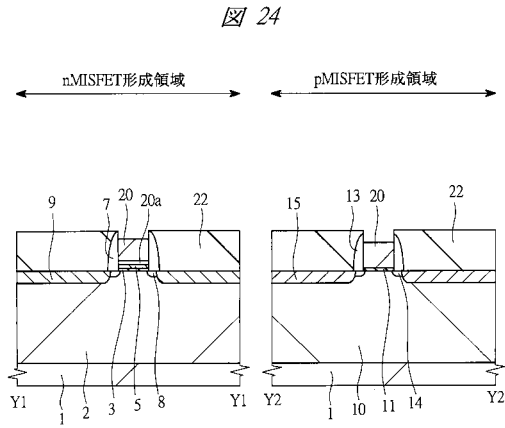
【図 22】



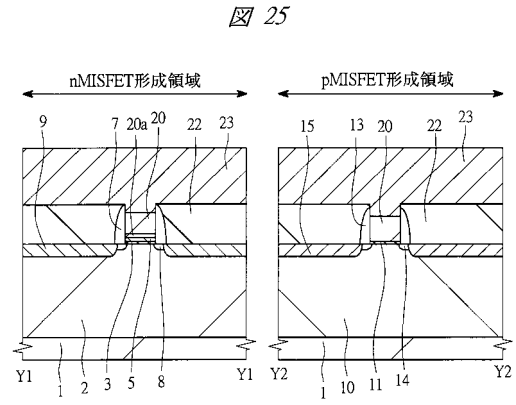
【図 23】



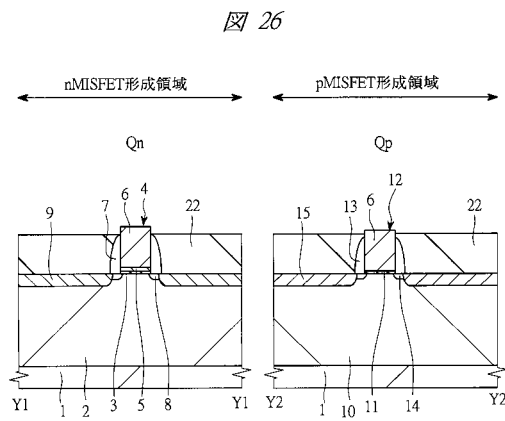
【図 24】



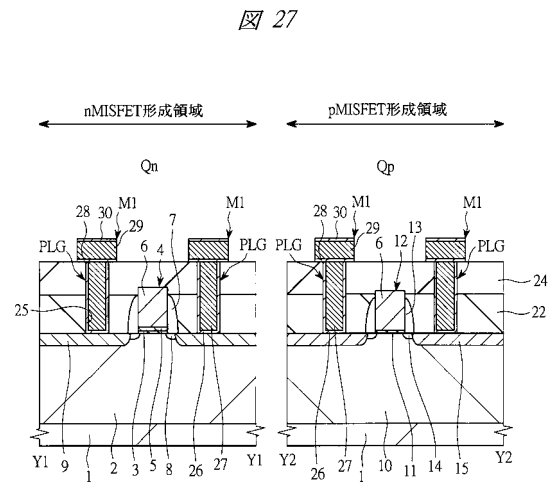
【図 25】



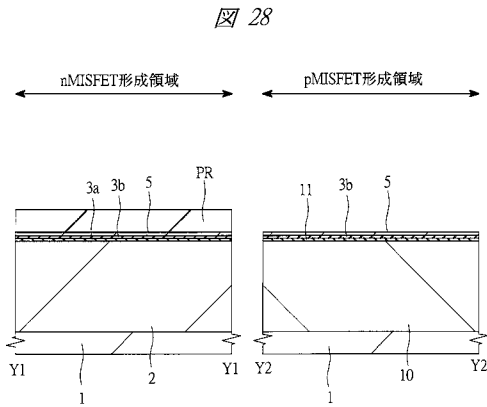
【図 26】



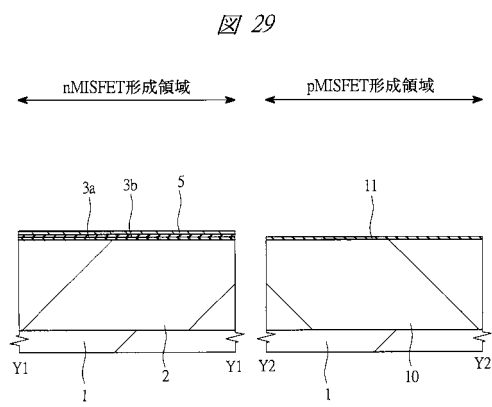
【図 27】



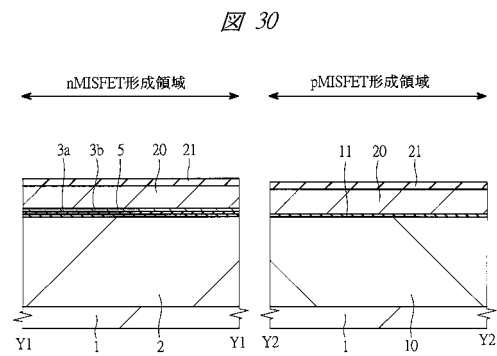
【 図 28 】



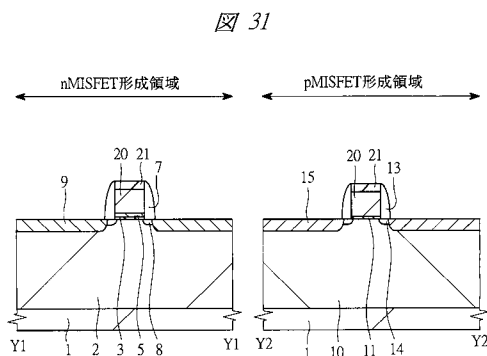
【 図 29 】



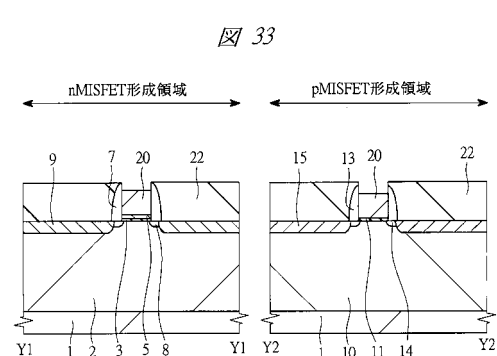
【 図 30 】



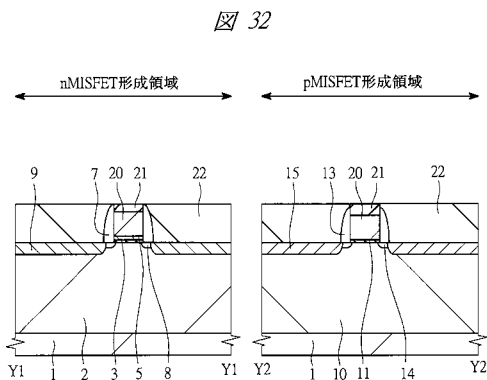
【 図 31 】



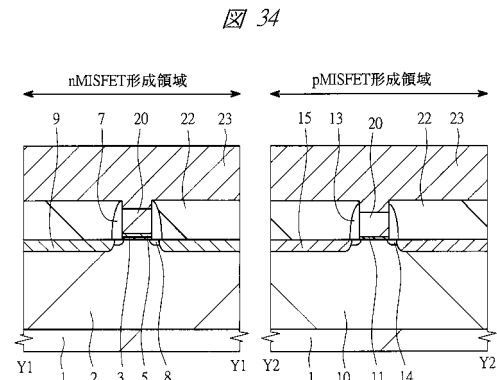
【 図 33 】



【 図 32 】

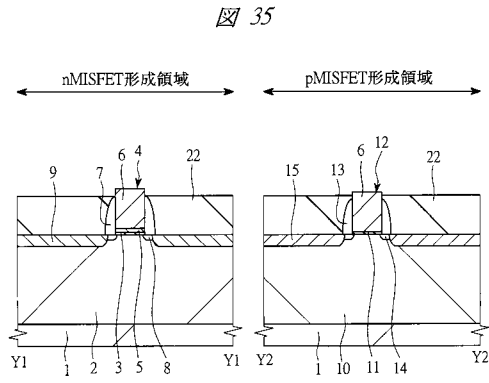


【 図 34 】

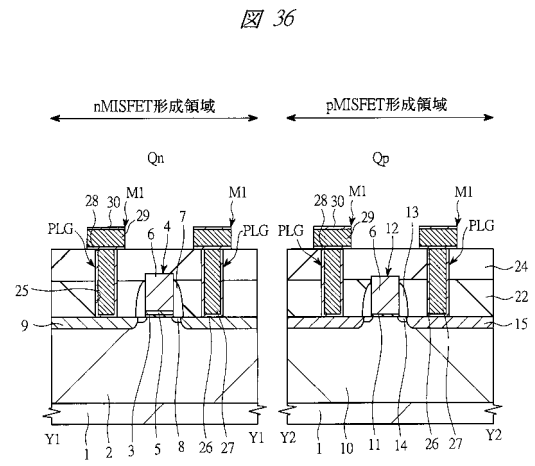




【図 35】



【図 36】



## フロントページの続き

(51)Int.Cl. F I  
 H 0 1 L 27/092 (2006.01) H 0 1 L 21/28 3 0 1 S  
 H 0 1 L 21/8244 (2006.01)  
 H 0 1 L 27/11 (2006.01)  
 H 0 1 L 29/423 (2006.01)  
 H 0 1 L 29/49 (2006.01)  
 H 0 1 L 21/28 (2006.01)

(56)参考文献 国際公開第2007/031930(WO,A1)  
 特開2007-242946(JP,A)  
 特表2007-537595(JP,A)  
 特開2007-134650(JP,A)  
 特開2007-110091(JP,A)  
 特開2007-288096(JP,A)  
 国際公開第2007/142010(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 1 / 8 2 3 8  
 H 0 1 L 2 1 / 8 2 4 4  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 7 / 0 9 2  
 H 0 1 L 2 7 / 1 1  
 H 0 1 L 2 9 / 4 2 3  
 H 0 1 L 2 9 / 4 9  
 H 0 1 L 2 9 / 7 8