



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월10일  
(11) 등록번호 10-2337409  
(24) 등록일자 2021년12월06일

(51) 국제특허분류(Int. Cl.)  
H01L 21/027 (2006.01) H01L 21/033 (2006.01)  
H01L 21/762 (2006.01)  
(52) CPC특허분류  
H01L 21/0274 (2013.01)  
H01L 21/0332 (2013.01)  
(21) 출원번호 10-2015-0029265  
(22) 출원일자 2015년03월02일  
심사청구일자 2020년02월17일  
(65) 공개번호 10-2016-0106401  
(43) 공개일자 2016년09월12일  
(56) 선행기술조사문헌  
US20140148012 A1  
US20070224823 A1  
US20090092931 A1

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
강대용  
경기도 수원시 영통구 영통로154번길 51-16, 302동 1202호(망포동, 센트럴하이츠아파트)  
김은성  
서울특별시 양천구 목동동로 240, 103동 1104호(목동, 현대1차아파트)  
(뒷면에 계속)  
(74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 10 항

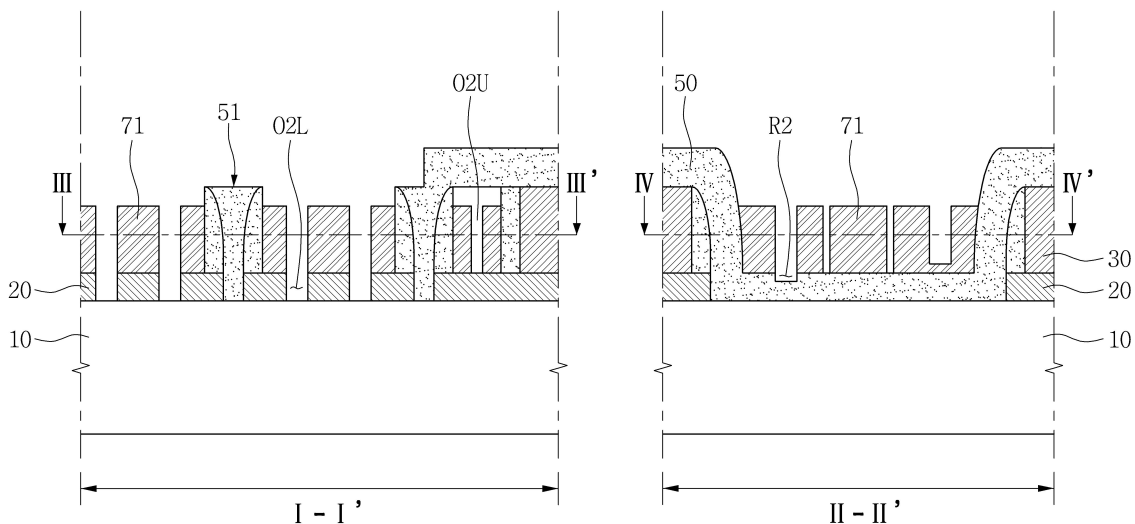
심사관 : 윤지영

(54) 발명의 명칭 **컨택 홀들을 형성하는 방법**

(57) 요약

셀 영역 및 상기 셀 영역을 둘러싸는 에지 영역을 가진 타겟 층 상에 스토퍼 층을 형성하고, 상기 스토퍼 층 상에 제1 상부 오프닝들 및 댐 트렌치를 가진 하드 마스크를 형성하고, 상기 제1 상부 오프닝들의 내벽들 상에 오프닝 스페이서들 및 상기 댐 트렌치를 채우는 댐 패턴을 형성하고, 상기 제1 상부 오프닝들 내에 노출된 상기 스 (뒷면에 계속)

대표도



토퍼 층을 제거하여 상기 타겟 층을 노출하는 제1 하부 오프닝들을 형성하고, 상기 제1 하부 오프닝들 및 상기 제1 상부 오프닝들을 채우는 필라 패턴들 및 상기 댄 패턴 상에 처마 패턴을 형성하고, 상기 셀 영역 내의 상기 하드 마스크를 제거하고, 상기 필라 패턴들 사이에 제1 폴리머 블록들 및 제2 폴리머 블록들을 형성하고, 상기 제2 폴리머 블록들을 제거하여 상기 스토퍼 층의 표면을 노출하는 제2 상부 오프닝들을 형성하고, 상기 제2 상부 오프닝들 내에 노출된 상기 스토퍼 층을 에칭하여 제2 하부 오프닝들을 형성하고, 및 상기 제1 폴리머 블록들, 상기 필라 패턴들, 상기 댄 패턴, 및 상기 처마 패턴을 제거하는 것을 포함하는 컨택 홀 형성 방법이 설명된다.

(52) CPC특허분류

*H01L 21/76229* (2013.01)

*H01L 2224/83051* (2013.01)

(72) 발명자

**전병준**

경기도 안양시 만안구 경수대로1219번길 8, 104동  
1802호(석수동, 경남아너스빌아파트)

**박준수**

경기도 성남시 분당구 정자로 56, 101동 1502호(정자동, 상록마을라이프1단지아파트)

**하순목**

경기도 화성시 메타폴리스로 6, 310동 504호(반송동, 시범다운마을삼성래미안아파트)

## 명세서

### 청구범위

#### 청구항 1

셀 영역 및 상기 셀 영역을 둘러싸는 에지 영역을 가진 타겟 층 상에 스토퍼 층을 형성하고,  
 상기 스토퍼 층 상에 제1 상부 오프닝들 및 댐 트렌치를 가진 하드 마스크를 형성하고,  
 상기 제1 상부 오프닝들의 내벽들 상에 오프닝 스페이서들 및 상기 댐 트렌치를 채우는 댐 패턴을 형성하고,  
 상기 제1 상부 오프닝들 내에 노출된 상기 스토퍼 층을 제거하여 상기 타겟 층을 노출하는 제1 하부 오프닝들을 형성하고,  
 상기 제1 하부 오프닝들 및 상기 제1 상부 오프닝들을 채우는 필라 패턴들 및 상기 댐 패턴 상에 처마 패턴을 형성하고,  
 상기 셀 영역 내의 상기 하드 마스크를 제거하고,  
 상기 필라 패턴들 사이에 제1 폴리머 블록들 및 제2 폴리머 블록들을 형성하고,  
 상기 제2 폴리머 블록들을 제거하여 상기 스토퍼 층의 표면을 노출하는 제2 상부 오프닝들을 형성하고,  
 상기 제2 상부 오프닝들 내에 노출된 상기 스토퍼 층을 에칭하여 제2 하부 오프닝들을 형성하고, 및  
 상기 제1 폴리머 블록들, 상기 필라 패턴들, 상기 댐 패턴, 및 상기 처마 패턴을 제거하는 것을 포함하는 컨택 홀 형성 방법.

#### 청구항 2

제1항에 있어서,  
 상기 제1 상부 오프닝들은 상기 셀 영역 내에 위치하고, 및  
 상기 댐 트렌치는 상기 에지 영역 내에 위치하는 컨택 홀 형성 방법.

#### 청구항 3

제1항에 있어서,  
 상기 오프닝 스페이서들, 상기 필라 패턴들, 상기 댐 패턴들, 및 상기 처마 패턴은 동일한 물질을 포함하는 컨택 홀 형성 방법.

#### 청구항 4

제1항에 있어서,  
 상기 셀 영역 내의 상기 하드 마스크가 제거될 때, 상기 댐 패턴 외부의 상기 에지 영역 내의 상기 하드 마스크는 제거되지 않고,  
 상기 댐 패턴을 제거한 후,  
 상기 에지 영역 내의 상기 하드 마스크를 제거하는 것을 더 포함하는 컨택 홀 형성 방법.

#### 청구항 5

제1항에 있어서,  
 상기 처마 패턴은 상기 댐 패턴으로부터 상기 셀 영역 방향으로 연장하고,  
 상기 제2 하부 오프닝들은 상기 처마 패턴의 하부의 상기 스토퍼 층 내에 형성되지 않는 컨택 홀 형성 방법.

#### 청구항 6

제1항에 있어서,

상기 처마 패턴은 상기 댐 패턴으로부터 상기 셀 영역 방향으로 연장하고,

상기 제1 상부 오프닝들은 상기 댐 패턴과 상기 댐 패턴과 가장 가까운 상기 필라 패턴들 사이에도 형성되는 컨택 홀 형성 방법.

**청구항 7**

제1항에 있어서,

상기 처마 패턴은 상기 댐 패턴으로부터 상기 셀 영역 방향으로 연장하고,

상기 제2 하부 오프닝들은 상기 댐 패턴과 상기 댐 패턴과 가까운 상기 필라 패턴들 사이에는 형성되지 않는 컨택 홀 형성 방법.

**청구항 8**

셀 영역, 및 상기 셀 영역을 둘러싸는 에지 영역을 가진 타겟 층을 형성하고,

상기 타겟 층 상에 스토퍼 층을 형성하고,

상기 스토퍼 층 상에 하드 마스크를 형성하되, 상기 하드 마스크는 상기 셀 영역 내에서 제1 상부 오프닝들을 갖고, 상기 에지 영역 내에서 댐 트렌치를 갖고,

상기 제1 상부 오프닝들 내에 노출된 상기 스토퍼 층을 선택적으로 제거하여 상기 타겟 층을 노출하는 제1 하부 오프닝들을 형성하고,

상기 제1 상부 오프닝들 및 상기 제1 하부 오프닝들 내에 필라 패턴들을 형성하고,

상기 셀 영역 내의 상기 하드 마스크를 제거하고,

상기 댐 트렌치를 채우는 댐 패턴을 형성하고,

상기 필라 패턴들의 사이 및 상기 필라 패턴들과 상기 댐 패턴 사이에 상기 스토퍼 층을 노출하는 제2 상부 오프닝들을 가진 폴리머 블록을 형성하고,

상기 노출된 스토퍼 층을 선택적으로 제거하여 상기 타겟 층을 노출하는 제2 하부 오프닝들을 형성하고, 및

상기 폴리머 블록, 상기 댐 패턴, 및 상기 필라 패턴들을 제거하는 것을 포함하는 컨택 홀 형성 방법.

**청구항 9**

셀 영역, 상기 셀 영역을 둘러싸는 에지 영역, 및 상기 에지 영역과 이격된 주변 영역을 가진 타겟 층을 준비하고,

상기 타겟 층 상에 스토퍼 층을 형성하고,

상기 스토퍼 층 상에 하드 마스크를 형성하되, 상기 하드 마스크는 상기 셀 영역 내에서 제1 상부 오프닝들을 갖고, 상기 에지 영역 내에서 댐 트렌치를 갖고, 및 상기 주변 영역 내에서 상부 주변 트렌치를 갖고,

상기 제1 상부 오프닝들 내에 노출된 상기 스토퍼 층을 선택적으로 식각하여 제1 하부 오프닝들을 형성하고,

상기 제1 상부 및 하부 오프닝들 내에 필라 패턴들을 형성하고, 상기 댐 트렌치 내에 댐 패턴을 형성하고, 및 상기 상부 주변 트렌치 내에 필라 물질 층을 형성하고,

상기 셀 영역 내의 상기 하드 마스크를 제거하여 상기 스토퍼 층을 노출시키고,

상기 필라 패턴들 사이 및 상기 댐 패턴과 상기 필라 패턴들 사이의 상기 스토퍼 층 상, 및 상기 상부 주변 트렌치 내의 상기 필라 물질 층 상에 블록 코폴리머를 형성하고,

상기 블록 코폴리머를 어닐하여 제1 폴리머 블록들 및 제2 폴리머 블록들을 형성하고,

상기 제2 폴리머 블록들을 제거하여 제2 상부 오프닝들을 형성하고,

상기 제1 폴리머 블록들 및 상기 필라 패턴들을 식각 마스크로 이용하는 식각 공정을 수행하여 상기 스토퍼 층

을 선택적으로 식각하여 제2 하부 오프닝들을 형성하고, 및

상기 제1 폴리머 블록들, 상기 필라 패턴들, 상기 댐 패턴, 상기 필라 물질 층, 및 상기 에지 영역 및 상기 주변 영역 내의 상기 하드 마스크를 제거하는 것을 포함하는 컨택 홀 형성 방법.

**청구항 10**

제9항에 있어서,

상기 제1 하부 오프닝들 및 상기 제2 하부 오프닝들을 가진 상기 스톱퍼 층을 식각 마스크로 이용하여 상기 타겟 층을 식각하는 것을 더 포함하는 컨택 홀 형성 방법.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 소자들의 컨택 홀들을 형성하는 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 소자의 디자인 룰이 미세화되면서 각 컨택 홀들 간의 간격이 좁아졌다. 이에 기존의 포토리소그래피 공정을 이용하여 형성하기 어려운 좁은 간격, 좁은 폭 또는 직경을 가진 컨택 홀들을 형성하기가 매우

어려워졌다. 이에 다양한 방법으로 이중 패터닝 공정들(double patterning processes), 4중 패터닝 공정들(quadruple patterning processes), 및 direct self-assembly (DSA) 공정 등 미세 패턴을 형성하는 기술들이 제안되었다. 그러나, 이러한 공정들은 셀 영역 내에 패턴들을 형성하기 좋으나, 에지 영역 및/또는 주변 영역 내에는 불필요한 패턴들을 형성하게 된다.

**발명의 내용**

**해결하려는 과제**

- [0003] 본 발명이 해결하고자 하는 과제는 콘택 홀들을 형성하는 방법을 제공하는 것이다.
- [0004] 본 발명이 해결하고자 하는 과제는 셀 영역 내에는 콘택 홀들이 형성되고 에지 영역 및/또는 주변 영역 내에는 콘택 홀들이 형성되지 않는 방법을 제공하는 것이다.
- [0005] 본 발명이 해결하고자 하는 과제는 직접 자기-조립(DSA: direct self-assembly) 공정을 이용하여 콘택 홀들을 형성하는 방법에서, 에지 영역 및/또는 주변 영역 내에 상기 콘택 홀들이 형성되는 것을 방지하는 방법을 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 다양한 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0007] 본 발명의 기술적 사상의 일 실시예에 의한 콘택 홀을 형성하는 방법은 셀 영역 및 상기 셀 영역을 둘러싸는 에지 영역을 가진 타겟 층 상에 스토퍼 층을 형성하고, 상기 스토퍼 층 상에 제1 상부 오프닝들 및 댐 트렌치를 가진 하드 마스크를 형성하고, 상기 제1 상부 오프닝들의 내벽들 상에 오프닝 스페이서들 및 상기 댐 트렌치를 채우는 댐 패턴을 형성하고, 상기 제1 상부 오프닝들 내에 노출된 상기 스토퍼 층을 제거하여 상기 타겟 층을 노출하는 제1 하부 오프닝들을 형성하고, 상기 제1 하부 오프닝들 및 상기 제1 상부 오프닝들을 채우는 필라 패턴들 및 상기 댐 패턴 상에 처마 패턴을 형성하고, 상기 셀 영역 내의 상기 하드 마스크를 제거하고, 상기 필라 패턴들 사이에 제1 폴리머 블록들 및 제2 폴리머 블록들을 형성하고, 상기 제2 폴리머 블록들을 제거하여 상기 스토퍼 층의 표면을 노출하는 제2 상부 오프닝들을 형성하고, 상기 제2 상부 오프닝들 내에 노출된 상기 스토퍼 층을 에칭하여 제2 하부 오프닝들을 형성하고, 및 상기 제1 폴리머 블록들, 상기 필라 패턴들, 상기 댐 패턴, 및 상기 처마 패턴을 제거하는 것을 포함할 수 있다.
- [0008] 상기 제1 상부 오프닝들은 상기 셀 영역 내에 위치할 수 있다. 상기 댐 트렌치는 상기 에지 영역 내에 위치할 수 있다.
- [0009] 상기 제1 상부 오프닝들과 상기 제1 하부 오프닝들이 수직으로 정렬할 수 있다. 상기 제2 상부 오프닝들과 상기 제2 하부 오프닝들이 수직으로 정렬할 수 있다.
- [0010] 상기 오프닝 스페이서들, 상기 필라 패턴들, 상기 댐 패턴들, 및 상기 처마 패턴은 동일한 물질을 포함할 수 있다.
- [0011] 상기 셀 영역 내의 상기 하드 마스크가 제거될 때, 상기 댐 패턴 외부의 상기 에지 영역 내의 상기 하드 마스크는 제거되지 않을 수 있다.
- [0012] 상기 방법은 상기 댐 패턴을 제거한 후, 상기 에지 영역 내의 상기 하드 마스크를 제거하는 것을 더 포함할 수 있다.
- [0013] 상기 처마 패턴은 상기 댐 패턴으로부터 상기 셀 영역 방향으로 연장할 수 있다.
- [0014] 상기 제2 하부 오프닝들은 상기 처마 패턴의 하부의 상기 스토퍼 층 내에 형성되지 않을 수 있다.
- [0015] 상기 제1 상부 오프닝들은 상기 댐 패턴과 상기 댐 패턴과 가장 가까운 상기 필라 패턴들 사이에도 형성될 수 있다.
- [0016] 상기 제2 하부 오프닝들은 상기 댐 패턴과 상기 댐 패턴과 가까운 상기 필라 패턴들 사이에는 형성되지 않을 수 있다.
- [0017] 본 발명의 기술적 사상의 일 실시예에 의한 콘택 홀을 형성하는 방법은 셀 영역, 및 상기 셀 영역을 둘러싸는

에지 영역을 가진 타겟 층을 형성하고, 상기 타겟 층 상에 스토퍼 층을 형성하고, 상기 스토퍼 층 상에 하드 마스크를 형성하되, 상기 하드 마스크는 상기 셀 영역 내에서 제1 상부 오프닝들을 갖고, 상기 에지 영역 내에서 댄 트렌치를 갖고, 상기 제1 상부 오프닝들 내에 노출된 상기 스토퍼 층을 선택적으로 제거하여 상기 타겟 층을 노출하는 제1 하부 오프닝들을 형성하고, 상기 제1 상부 오프닝들 및 상기 제2 상부 오프닝들 내에 필라 패턴들을 형성하고, 상기 셀 영역 내의 상기 하드 마스크를 제거하고, 상기 댄 트렌치를 채우는 댄 패턴을 형성하고, 상기 필라 패턴들의 사이 및 상기 필라 패턴들과 상기 댄 패턴 사이에 상기 스토퍼 층을 노출하는 제2 상부 오프닝들을 가진 폴리머 블록을 형성하고, 상기 노출된 스토퍼 층을 선택적으로 제거하여 상기 타겟 층을 노출하는 제2 하부 오프닝들을 형성하고, 및 상기 폴리머 블록, 상기 댄 패턴, 및 상기 필라 패턴들을 제거하는 것을 포함할 수 있다.

- [0018] 상기 방법은 상기 댄 패턴 상에 상기 댄 패턴과 상기 댄 패턴과 가까운 상기 필라 패턴들 중 일부의 사이를 덮는 처마 패턴을 형성하는 것을 더 포함할 수 있다.
- [0019] 상기 처마 패턴은 상기 필라 패턴들과 동일한 물질을 포함할 수 있다.
- [0020] 상기 처마 패턴은 상면도에서 상기 셀 영역을 둘러싸는 프레임 형태를 가질 수 있다. 상기 처마 패턴은 종단면에서 상기 댄 패턴과 상기 댄 패턴과 가까운 상기 필라 패턴은 연결하는 브리지 형태를 가질 수 있다.
- [0021] 상기 제2 하부 오프닝들은 상기 처마 패턴 밑의 상기 스토퍼 층에는 형성되지 않을 수 있다.
- [0022] 상기 필라 패턴들은 상기 제1 상부 오프닝들의 내벽들 상에 형성된 오프닝 스페이서들을 포함할 수 있다.
- [0023] 본 발명의 기술적 사상의 일 실시예에 의한 컨택 홀을 형성하는 방법은 셀 영역, 상기 셀 영역을 둘러싸는 에지 영역, 및 상기 에지 영역과 이격된 주변 영역을 가진 타겟 층을 준비하고, 상기 타겟 층 상에 스토퍼 층을 형성하고, 상기 스토퍼 층 상에 하드 마스크를 형성하되, 상기 하드 마스크는 상기 셀 영역 내에서 제1 상부 오프닝들을 갖고, 상기 에지 영역 내에서 댄 트렌치를 갖고, 및 상기 주변 영역 내에서 상부 주변 트렌치를 갖고, 상기 제1 상부 오프닝들 내에 노출된 상기 스토퍼 층을 선택적으로 식각하여 제1 하부 오프닝들을 형성하고, 상기 제1 상부 및 하부 컨택 홀들 내에 필라 패턴들을 형성하고, 상기 댄 트렌치 내에 댄 패턴을 형성하고, 및 상기 상부 주변 트렌치 내에 필라 물질 층을 형성하고, 상기 셀 영역 내의 상기 하드 마스크를 제거하여 상기 스토퍼 층을 노출시키고, 상기 필라 패턴들 사이 및 상기 댄 패턴과 상기 필라 패턴들 사이의 상기 스토퍼 층 상, 및 상기 주변 트렌치 내의 상기 필라 물질 층 상에 블록 코폴리머를 형성하고, 상기 블록 코폴리머를 어닐하여 제1 폴리머 블록들 및 제2 폴리머 블록들을 형성하고, 상기 제2 폴리머 블록들을 제거하여 제2 상부 오프닝들을 형성하고, 상기 제1 폴리머 블록들 및 상기 필라 패턴들을 식각 마스크로 이용하는 식각 공정을 수행하여 상기 스토퍼 층을 선택적으로 식각하여 제2 하부 오프닝들을 형성하고, 및 상기 제1 폴리머 블록들, 상기 필라 패턴들, 상기 댄 패턴, 상기 필라 물질 층, 및 상기 에지 영역 및 상기 주변 영역 내의 상기 하드 마스크를 제거하는 것을 포함할 수 있다.
- [0024] 상기 주변 트렌치는 상기 댄 트렌치 보다 넓을 수 있다.
- [0025] 상기 필라 패턴, 상기 댄 패턴, 및 상기 필라 물질 층은 동일한 물질을 포함할 수 있다.
- [0026] 상기 제2 폴리머 블록들은 상기 셀 영역 내의 상기 필라 패턴들 사이에서 규칙적 배열을 가질 수 있고, 및 상기 주변 트렌치 내의 상기 필라 물질 층 상에서 불규칙한 배열을 가질 수 있다.
- [0027] 상기 제2 폴리머 블록들은 상기 셀 영역 내의 상기 필라 패턴들 사이에서 규칙적 깊이를 가질 수 있고, 및 상기 주변 트렌치 내의 상기 필라 물질 층 상에서 불규칙한 깊이를 가질 수 있다.
- [0028] 상기 제1 하부 오프닝들을 형성하는 것은 상기 제1 상부 오프닝들의 내벽들 상에 오프닝 스페이서들을 형성하고, 및 상기 오프닝 스페이서들을 식각 마스크로 이용하는 식각 공정을 수행하여 상기 스토퍼 층을 선택적으로 식각하는 것을 포함할 수 있다.
- [0029] 상기 방법은 상기 제1 하부 오프닝들 및 상기 제2 하부 오프닝들을 가진 상기 스토퍼 층을 식각 마스크로 이용하여 상기 타겟 층을 식각하는 것을 더 포함할 수 있다.
- [0030] 상기 방법은 상기 셀 영역 내에서 상기 제2 상부 오프닝들이 형성될 때, 상기 주변 영역의 상기 주변 트렌치 내의 상기 필라 물질 층 상의 상기 제1 폴리머 블록들 상에 상부 리세스가 형성되는 것을 포함할 수 있다.
- [0031] 상기 방법은 상기 셀 영역에서 상기 제2 하부 오프닝들이 형성될 때, 상기 필라 물질 층 상에 상기 상부 리세스와 정렬되는 하부 리세스가 형성되는 것을 포함할 수 있다.

[0032] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

[0033] 본 발명의 기술적 사상의 다양한 실시예들에 의하면, 셀 영역 내에는 컨택 홀들이 형성되고 예지 영역 및/또는 주변 영역 내에는 상기 컨택 홀들이 형성되지 않을 수 있다.

[0034] 본 발명의 기술적 사상의 다양한 실시예들에 의하면, 예지 영역 및/또는 주변 영역 내에는 불필요한 패턴들이 형성되지 않을 수 있다.

**도면의 간단한 설명**

[0035] 도 1a 및 1b 내지 26a 및 26c는 본 발명의 다양한 실시예들에 의한 반도체 소자의 컨택 홀들을 형성하는 방법들을 설명하는 도면들이다.

도 27 및 28은 본 발명의 기술적 사상의 다양한 실시예들에 의하여 제조된 반도체 소자들의 레이아웃들이다.

도 29a는 본 발명의 기술적 사상의 다양한 실시예들에 의한 상기 반도체 소자들 중 적어도 하나를 포함하는 메모리 모듈을 개념적으로 도시한 도면이다.

도 29b는 본 발명의 기술적 사상의 일 실시예에 의한 반도체 모듈을 개념적으로 도시한 도면이다.

도 29c 및 29d는 본 발명의 기술적 사상의 실시예들에 의한 전자 시스템들을 개념적으로 도시한 블록다이어그램들이다.

**발명을 실시하기 위한 구체적인 내용**

[0036] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0037] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0038] 하나의 소자(elements)가 다른 소자와 '접속된(connected to)' 또는 '커플링된(coupled to)' 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 '직접 접속된(directly connected to)' 또는 '직접 커플링된(directly coupled to)'으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. '및/또는'은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0039] 공간적으로 상대적인 용어인 '아래(below)', '아래(beneath)', '하부(lower)', '위(above)', '상부(upper)' 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 '아래(below)' 또는 '아래(beneath)'로 기술된 소자는 다른 소자의 '위(above)'에 놓여질 수 있다.

[0040] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 에칭 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.



- [0041] 명세서 전문에 걸쳐 동일한 참조 부호는 동일한 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0042] 본 명세서에서 '가깝다(near)'라는 표현은 대칭적 개념을 갖는 둘 이상의 구성 요소들 중 어느 하나가 다른 특정한 구성 요소에 대해 상대적으로 가깝게 위치하는 것을 의미한다. 예를 들어, 제1 단부(first end)가 제1 면(first side)에 가깝다는 표현은 제1 단부가 제2 단부보다 제1 면에 더 가깝다는 의미이거나, 제1 단부가 제2 면보다 제1 면에 더 가깝다는 의미로 이해될 수 있다.
- [0043] 도 1a 내지 12c는 본 발명의 일 실시예에 의한 반도체 소자의 컨택 홀들을 형성하는 방법을 설명하는 도면들이다.
- [0044] 도 1a 내지 12a는 반도체 소자의 상면도들(top views)이고, 도 1b 내지 12b는 도 1a 내지 12a의 반도체 소자의 I-I' 및 II-II'를 따라 절단한 종단면도들이고, 도 6c 및 8c 내지 10c는 도 6b 및 8b 내지 10b 및 III-III' 및 IV-IV'를 따라 절단한 상면도들이고, 도 7c는 도 7b의 다른 실시예를 보이는 도 7a의 I-I' 및 II-II'를 따라 절단한 종단면도이고, 및 도 8d는 도 8b의 다른 실시예를 보이는 도 8a의 I-I' 및 II-II'를 따라 절단한 종단면도이다.
- [0045] 도 1a 및 도 1b를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자의 컨택 홀들을 형성하는 방법은, 타겟 층(10) 상에 스토퍼 층(20)을 형성하고, 및 상기 스토퍼 층(20) 상에 제1 상부 오프닝(O1U)들, 댐 트렌치(35T), 및 상부 주변 트렌치(40U)를 가진 하드 마스크(30)를 형성하는 것을 포함할 수 있다.
- [0046] 상기 타겟 층(10)은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN), 실리콘 산화질화물(SiON), 실리콘 탄화질화물(SiCN), SOH (spin on hardmask), 다결정 실리콘, 또는 기타 물질들 중 하나 이상을 포함할 수 있다. 예를 들어, 상기 타겟 층(10)은 DRAM의 몰드 절연 층을 포함할 수 있다.
- [0047] 상기 스토퍼 층(20)은 상기 타겟 층(10)과 에칭 선택비를 가질 수 있다. 상기 스토퍼 층(20)은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN), 실리콘 산화질화물(SiON), 실리콘 탄화질화물(SiCN), SOH (spin on hardmask), 다결정 실리콘, 또는 기타 물질들 중 하나 이상을 포함할 수 있다. 예를 들어, 상기 스토퍼 층(20)은 실리콘 질화물(SiN)을 포함할 수 있다.
- [0048] 상기 하드 마스크(30)는 상기 스토퍼 층(20)과 에칭 선택비를 가질 수 있다. 상기 하드 마스크(30)는 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN), 실리콘 산화질화물(SiON), 실리콘 탄화질화물(SiCN), SOH (spin on hardmask), 다결정 실리콘, 또는 기타 물질들 중 하나를 포함할 수 있다. 예를 들어, 상기 하드 마스크(30)는 실리콘 산화물(SiO<sub>2</sub>)을 포함할 수 있다.
- [0049] 상기 제1 상부 오프닝(O1U)들은 셀 영역(CA) 내에 지그재그(zigzag)모양으로 배열될 수 있다. 예를 들어, 상기 제1 상부 오프닝(O1U)들의 가로 간격(W1)이 세로 간격(W2)보다 클 수 있다.
- [0050] 상기 댐 트렌치(35T)는 상면도에서 상기 셀 영역(CA)을 둘러싸도록 에지 영역(EA) 내에 형성될 수 있다.
- [0051] 상기 상부 주변 트렌치(40U)는 상기 셀 영역(CA) 및 상기 에지 영역(EA)과 이격된(spaced apart from) 주변 영역(PA) 내에 고립적으로(isolated) 형성될 수 있다. 예를 들어, 상기 상부 주변 트렌치(40U)는 얼라인 키 영역, 오버레이 키 영역, 테스트 패턴 영역, 또는 로직 영역 중 하나를 포함할 수 있다. 예를 들어, 상기 댐 트렌치(35T)는 상기 셀 영역(CA)과 상기 주변 영역(PA)을 격리(isolate)시킬 수 있다.
- [0052] 상기 제1 상부 오프닝(O1U)들, 상기 댐 트렌치(35T), 및 상기 상부 주변 트렌치(40U)는 상기 스토퍼 층(20)의 표면을 노출시킬 수 있다.
- [0053] 도 2a 및 2b를 참조하면, 상기 방법은 상기 제1 상부 오프닝(O1U)들의 내벽들 상에 오프닝 스페이서(31)들을 형성하고, 상기 댐 트렌치(35T) 내에 댐 패턴(35)을 형성하고, 및 상기 상부 주변 트렌치(40U)의 내벽들 상에 트렌치 스페이서(41)들을 형성하는 것을 포함할 수 있다.
- [0054] 상기 오프닝 스페이서(31)들, 상기 댐 패턴(35), 및 상기 트렌치 스페이서(41)들은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN), 실리콘 산화질화물(SiON), 실리콘 탄화질화물(SiCN), SOH (spin on hardmask), 다결정 실리콘, 또는 기타 물질들 중 하나를 포함할 수 있다. 예를 들어, 상기 오프닝 스페이서(31)들, 상기 댐 패턴(35), 및 상기 트렌치 스페이서(41)들은 SOH를 포함할 수 있다.

- [0055] 도 3a 및 3b를 참조하면, 상기 방법은 상기 하드 마스크(30), 상기 오프닝 스페이서(31), 상기 댄 패턴(35), 및 상기 트렌치 스페이서(41)를 에칭 마스크로 이용하여 상기 스토퍼 층(20)을 선택적으로 에칭하여 제1 하부 오프닝(O1L)들 및 하부 주변 트렌치(40L)를 형성하는 것을 포함할 수 있다.
- [0056] 상기 제1 하부 오프닝(O1L)들 및 상기 하부 주변 트렌치(40L)는 상기 타겟 층(10)의 표면을 노출시킬 수 있다.
- [0057] 도 4a 및 4b를 참조하면, 상기 방법은 상기 제1 상부 오프닝(O1U)들 및 상기 제1 하부 오프닝(O1L)들을 채우고, 및 상기 상부 주변 트렌치(40U) 및 상기 하부 주변 트렌치(40L)를 덮는 필라 물질 층(50)(pillar material layer)을 형성하고, 상기 에지 영역(EA) 및 상기 주변 영역(PA)을 덮고 상기 셀 영역(CA) 내의 상기 필라 물질 층(50)을 노출하는 트리밍 마스크(60)를 형성하는 것을 포함할 수 있다.
- [0058] 도 4a를 참조하면, 상기 트리밍 마스크(60)의 내측 페리미터(perimeter)는 좌/우 방향으로 최 외곽에 위치한 (도 3a의 우 측단에 배열된) 상기 제1 상부 오프닝(O1U)들 및/또는 상기 제1 하부 오프닝(O1L)들을 지날(cross) 수 있고, 및 상/하 방향으로 최 외곽에 위치한 (도 3a의 최 하단에 배열된) 상기 제1 상부 오프닝(O1U)들의 일부들을 지나고 및 상기 제1 하부 오프닝(O1L)들을 지나지 않을 수 있다. 예를 들어, 상기 트리밍 마스크(60)의 내측 페리미터는 상/하 방향으로 최 외곽에 위치한 (최 하단에 배열된) 상기 제1 상부 오프닝 스페이서(31)들을 지날 수 있다.
- [0059] 상기 필라 물질 층(50)은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN), 실리콘 산화질화물(SiON), 실리콘 탄화질화물(SiCN), SOH (spin on hardmask), 다결정 실리콘, 또는 기타 물질들 중 하나를 포함할 수 있다. 예를 들어, 상기 필라 물질 층(50)은 SOH를 포함할 수 있다. 따라서, 상기 필라 물질 층(50)과 상기 제1 상부 오프닝 스페이서(31), 상기 댄 패턴(35), 및 상기 상부 주변 트렌치 스페이서(41)는 동일한 물질을 포함할 수 있다.
- [0060] 상기 트리밍 마스크(60)는 포토레지스트를 포함할 수 있다.
- [0061] 도 5a 및 5b를 참조하면, 상기 방법은 상기 트리밍 마스크(60)를 식각 마스크로 이용하여 상기 셀 영역(CA) 내의 상기 필라 물질 층(50)의 상부를 제거하여 상기 셀 영역(CA) 내의 필라 패턴(51)들 및 상기 에지 영역(EA) 내의 처마 패턴(52)(eaves pattern)을 형성하는 것을 포함할 수 있다. 상기 셀 영역(CA) 내에서 상기 하드 마스크(30)의 상면이 노출되어 상기 필라 패턴(51)들이 지그재그형 섬 형태로 배열될 수 있다. 예를 들어, 상기 필라 패턴(51)들은 상기 제1 상부 오프닝(O1U)들과 같은 배열을 가질 수 있다. 상기 처마 패턴(52)은 상면도에서 상기 셀 영역(CA)을 둘러싸는 프레임 형태(frame shape)를 가질 수 있고, 종단면에서 상기 댄 패턴(35)과 상기 댄 패턴(35)과 가까운 상기 필라 패턴(51)들을 연결하는 브리지 형태(bridge shape)를 가질 수 있다.
- [0062] 도 6c는 도 6b의 III-III' 및 IV-IV'를 따라 절단한 횡단 상면도(cross sectional top view)이다.
- [0063] 도 6a, 6b, 및 6c를 참조하면, 상기 방법은 상기 트리밍 마스크(60)를 제거하고, 및 상기 셀 영역(CA) 내에 노출된 상기 하드 마스크(30)를 제거하는 것을 포함할 수 있다.
- [0064] 상기 셀 영역(CA) 내에서 상기 필라 패턴(51)들 사이에 상기 스토퍼 층(20)이 노출될 수 있고, 상기 에지 영역(EA) 내에서 상기 처마 패턴(52)의 하부에 에어 스페이스(AS)가 형성될 수 있다. 상기 댄 패턴(35)은 상기 에어 스페이스(AS)가 상기 에지 영역(EA)의 외부로 확장하는 것을 방지할 수 있다. 따라서, 상기 댄 패턴(35)의 외부의 상기 에지 영역(EA) 및 상기 주변 영역(PA) 내의 상기 하드 마스크(30)는 잔존할 수 있다.
- [0065] 도 7a 및 7b를 참조하면, 상기 방법은 전체적으로 블록 코폴리머 층(70)(BCP layer; block co-polymer layer)을 형성하는 것을 포함할 수 있다. 상기 블록 코폴리머 층(70)은 적어도 둘 이상의 폴리머들을 포함할 수 있다. 예를 들어, 상기 블록 코폴리머 층(70) PS (polystyrene) 및 PMMA (polymethylmethacrylate)를 포함할 수 있다. 상기 방법은 상기 블록 코폴리머 층(70)을 코팅하고 및 소프트 베이킹(soft bake)하는 것을 포함할 수 있다. 예를 들어, 상기 소프트 베이킹은 약 100℃ 정도로 수행될 수 있다. 상기 소프트 베이킹 공정에 의해 상기 블록 코폴리머 층(70) 내의 솔벤트 성분들이 제거될 수 있다.
- [0066] 도 7c를 참조하면, 다른 실시예에서, 상기 방법은 상기 블록 코폴리머 층(70)을 형성하기 전에 전체적으로 컨포멀하게 중성화 층(75)(neutralizing layer)을 형성하는 것을 포함할 수 있다. 상기 중성화 층(75)은 상기 PS 및/또는 상기 PMMA, 또는 다른 폴리머를 적어도 하나 이상 포함할 수 있다. 상기 중성화 층(75)은 상기 블록 코폴리머 층(70)이 상기 필라 패턴(51) 또는 상기 필라 물질 층(50), 또는 상기 스토퍼 층(20) 상에 흡착되는 것을 방지할 수 있고 및 쉽게 제거되도록 할 수 있다.
- [0067] 도 8a, 8b, 및 8c를 참조하면, 상기 방법은 어닐 공정 또는 하드 베이킹 공정을 수행하여 상기 블록 코폴리머

층(70)을 제1 폴리머 블록(71)들 및 제2 폴리머 블록(72)들로 분리, 경화하는 것을 포함할 수 있다. 상기 제2 폴리머 블록(72)들은 상기 필라 패턴(51)들 사이에 섬 형태로 형성될 수 있다. 예를 들어, 상기 셀 영역(CA) 내에서 상기 제2 폴리머 블록(72)들은 상기 필라 패턴(51)들로부터 기하학적으로 동일하거나 유사한 거리를 갖도록 규칙적으로 이격될 수 있고, 및 상기 에지 영역(EA) 및/또는 상기 주변 영역(PA) 내에서 상기 제2 폴리머 블록(72)들은 기하학적으로 불규칙하게 배열될 수 있다.

- [0068] 상기 제1 폴리머 블록(71)들은 상기 필라 패턴(51)들, 상기 댐 패턴(35), 및 상기 제2 폴리머 블록(72)들 사이를 채우도록 형성될 수 있다. 이 현상은 상기 블록 코폴리머 층(70) 내에 포함된 폴리머들과 상기 인접한 필라 패턴(51)들 및 상기 인접한 필라 물질 층(50)의 친화도 차이에 따라 일어날 수 있다.
- [0069] 상기 제1 폴리머 블록(71)들 및 상기 제2 폴리머 블록(72)들의 체적 또는 수직 높이가 감소할 수 있다. 예를 들어, 상기 필라 패턴(51)들이 상기 제1 폴리머 블록(71)들 및 상기 제2 폴리머 블록(72)들의 상면들 상으로 돌출할 수 있다. 상기 에지 스페이스(AS)의 상부도 상기 제1 폴리머 블록(71)들 및 상기 제2 폴리머 블록(72)들로 채워지지 않고 잔존할 수 있다.
- [0070] 상기 주변 영역(PA) 내에서, 상기 제2 폴리머 블록(72)들의 하부들은 상기 필라 물질 층(50)과 불규칙하게 이격될 수 있다.
- [0071] 도 8d를 참조하면, 상기 셀 영역(CA) 내에서 상기 제2 폴리머 블록(72)들의 하부들은 상기 스톱퍼 층(20)과 이격될 수도 있다.
- [0072] 도 8a 내지 8d에서, 도 7c의 상기 중성화 층(75)이 생략되었다.
- [0073] 도 9a 내지 9c를 참조하면, 상기 방법은 현상 공정을 수행하여 상기 제2 폴리머 블록(72)들을 제거하여 상기 스톱퍼 층(20)의 표면을 노출하는 제2 상부 오프닝(O2U)들을 형성하는 것을 포함할 수 있다. 상기 주변 영역(PA) 내에서, 상기 제1 폴리머 블록(71)은 상부 리세스(R1)들을 가질 수 있다.
- [0074] 도 10a 내지 10c를 참조하면, 상기 방법은 상기 제2 상부 오프닝(O2U)들 내에 노출된 상기 스톱퍼 층(20)을 선택적으로 제거하여 상기 타겟 층(10)을 노출하는 제2 하부 오프닝(O2L)들을 형성하는 것을 포함할 수 있다. 상기 에지 영역(EA) 내의 상기 처마 패턴(52)의 하부에는 상기 제2 하부 오프닝(O2L)들이 형성되지 않을 수 있다. 상기 주변 영역(PA) 내에서 상기 상부 리세스(R1)와 정렬하는 하부 리세스(R2)들이 상기 필라 물질 층(50) 상에 형성될 수 있다. 상기 처마 패턴(52)으로 덮인 상기 에어 스페이스(AS) 내에는 상기 제2 상부 오프닝(O2U)들에 의해 노출된 상기 스톱퍼 층(20)이 제거되지 않을 수 있다.
- [0075] 도 11a 및 11b를 참조하면, 상기 방법은 상기 제1 폴리머 블록(71)들, 상기 필라 패턴(51)들, 상기 처마 패턴(52), 상기 댐 패턴(35), 상기 필라 물질 층(50), 및 상기 상부 트렌치 스페이서(41)를 제거하고, 및 상기 하드 마스크(30)를 제거하는 것을 포함할 수 있다. 상기 스톱퍼 층(20)은 상기 셀 영역(CA) 내에서 상기 타겟 층(10)을 노출하는 제1 하부 오프닝(O1L)들 및 상기 제2 하부 오프닝(O2L)들을 포함할 수 있고, 및 상기 주변 영역(PA) 내에서 상기 타겟 층(10)을 노출하는 상기 하부 주변 트렌치(40L)를 포함할 수 있다.
- [0076] 도 11c를 참조하면, 상기 방법은 상기 주변 영역(PA)을 덮는 주변 마스크(65)를 형성하는 것을 더 포함할 수 있다. 상기 주변 마스크(65)는 포토레지스트를 포함할 수 있다.
- [0077] 도 12a 및 12b를 참조하면, 상기 방법은 상기 스톱퍼 층(20)을 식각 마스크로 이용하여 상기 타겟 층(10)을 에칭하여 컨택 홀(H)들을 형성하고, 및 상기 스톱퍼 층(20)을 제거하는 것을 포함할 수 있다. 상기 셀 영역(CA) 내에는 상기 컨택 홀(H)들이 벌집(honeycomb) 모양으로 규칙적으로 배열될 수 있고, 상기 에지 영역(EA) 내에는 아무 패턴도 형성되지 않을 수 있다. 상기 주변 영역(PA) 내에는 주변 패턴(P)이 형성될 수 있다.
- [0078] 도 12c를 참조하면, 상기 방법은 상기 주변 마스크(65)에 의해 상기 주변 영역(PA) 내에 아무 패턴도 형성되지 않을 수 있다.
- [0079] 본 발명의 기술적 사상에 의하면 상기 댐 패턴(35), 상기 처마 패턴(52), 및 상기 필라 물질 층(50)에 의하여 상기 에지 영역(EA) 및 상기 주변 영역(PA)에 상기 블록 코폴리머 층(70)에 의한 오프닝 또는 리세스 패턴들이 상기 스톱퍼 층(20)에 전사되지 않을 수 있다.
- [0080] 도 13a 및 13b 내지 도 19a 내지 19c는 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법을 설명하는 도면들이다.
- [0081] 도 13a 및 13b를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자의 컨택 홀들을 형성하는 방법은 타겟 층

(10) 상에 스토퍼 층(20)을 형성하고, 및 상기 스토퍼 층(20) 상에 제1 상부 오프닝(O1U)들, 댐 트렌치(35T), 및 상부 주변 트렌치(40U)를 가진 하드 마스크(30)를 형성하는 것을 포함할 수 있다.

[0082] 상기 제1 상부 오프닝(O1U)들은 셀 영역(CA) 내에 지그재그(zigzag)모양으로 배열될 수 있다. 예를 들어, 상기 제1 상부 오프닝(O1U)들은 가상의 가로선 상에 배치된 두 개의 상기 제1 상부 오프닝(O1U)들의 가로 간격(W3)과 세로 간격(W2)이 유사하거나 사실상 동일할 수 있다.

[0083] 도 14a 및 14b를 참조하면, 상기 방법은, 도 2a 및 2b 내지 도 4a 및 4b를 참조하여 설명된 공정들을 수행하여, 상기 제1 상부 오프닝(O1U)들의 내벽들 상에 오프닝 스페이서(31)들을 형성하고, 상기 댐 트렌치(35T) 내에 댐 패턴(35)을 형성하고, 상기 상부 주변 트렌치(40U)의 내벽들 상에 트렌치 스페이서(41)들을 형성하고, 상기 하드 마스크(30), 상기 오프닝 스페이서(31), 상기 댐 패턴(35), 및 상기 트렌치 스페이서(41)를 에칭 마스크로 이용하여 상기 스토퍼 층(20)을 선택적으로 에칭하여 제1 하부 오프닝(O1L)들 및 하부 주변 트렌치(40L)를 형성하고, 상기 제1 상부 오프닝(O1U)들 및 상기 제1 하부 오프닝(O1L)들을 채우고 및 상기 상부 주변 트렌치(40U) 및 상기 하부 주변 트렌치(40L)를 덮는 필라 물질 층(50)을 형성하고, 및 상기 에지 영역(EA) 및 상기 주변 영역(PA)을 덮고 상기 셀 영역(CA) 내의 상기 필라 물질 층(50)을 노출하는 트리밍 마스크(60)를 형성하는 것을 포함할 수 있다. 도 14a를 참조하면, 상기 트리밍 마스크(60)의 내측 페리미터(perimeter)는 각각 상기 제1 상부 오프닝(O1U)들을 지날 수 있고 및 상기 제1 하부 오프닝(O1L)들을 지나지 않을 수 있다.

[0084] 도 15a 및 15b를 참조하면, 상기 방법은 도 5a 및 5b, 및 도 6a 및 6b를 참조하여 설명된 공정들을 수행하여, 상기 트리밍 마스크(60)를 식각 마스크로 상기 셀 영역(CA) 내의 상기 필라 물질 층(50)의 상부를 제거하여 상기 셀 영역(CA) 내의 필라 패턴(51)들 및 상기 에지 영역(EA) 내의 처마 패턴(52)을 형성하고, 및 상기 트리밍 마스크(60) 및 상기 셀 영역(CA) 내에 노출된 상기 하드 마스크(30)를 제거하는 것을 포함할 수 있다.

[0085] 상기 셀 영역(CA) 내에서 상기 필라 패턴(51)들 사이에 상기 스토퍼 층(20)이 노출될 수 있고, 상기 에지 영역(EA) 내에서 상기 처마 패턴(52)의 하부에 에어 스페이스(AS)가 형성될 수 있다. 상기 댐 패턴(35)은 상기 에어 스페이스(AS)가 상기 에지 영역(EA)의 외부로 확장하는 것을 방지할 수 있다. 따라서, 상기 댐 패턴(35)의 외부의 상기 에지 영역(EA) 및 상기 주변 영역(PA) 내의 상기 하드 마스크(30)는 잔존할 수 있다.

[0086] 도 16a 및 16b를 참조하면, 상기 방법은 도 7a 내지 8d를 참조하여 설명된 공정들을 수행하여 상기 필라 패턴(51)들 사이에 제1 폴리머 블록(71)들 및 제2 폴리머 블록(72)들을 형성하는 것을 포함할 수 있다. 도 7c를 더 참조하여, 상기 방법은 상기 블록 코폴리머 층(70)을 형성하기 전에 전체적으로 컨포멀하게 증성화 층(75)을 형성하는 것을 더 포함할 수 있다.

[0087] 도 17a 및 17b를 참조하면, 상기 방법은 도 9a 내지 10c를 참조하여 설명된 공정들을 수행하여 상기 제2 폴리머 블록(72)들을 제거하여 상기 셀 영역(CA) 내에서 상기 스토퍼 층(20)의 표면을 노출하는 제2 상부 오프닝(O2U)들을 형성하고, 및 상기 제1 폴리머 블록(71)들을 식각 마스크로 상기 제2 상부 오프닝(O2U)들 내에 노출된 상기 스토퍼 층(20)을 선택적으로 제거하여 상기 타겟 층(10)을 노출하는 제2 하부 오프닝(O2L)들을 형성하는 것을 포함할 수 있다. 상기 에지 영역(EA) 내의 상기 처마 패턴(52)의 하부에는 상기 제2 하부 오프닝(O2L)들이 형성되지 않을 수 있다. 상기 주변 영역(PA) 내에서, 상기 제1 폴리머 블록(71) 또는 상기 필라 물질 층(50) 내에 리세스(R)들이 형성될 수 있다.

[0088] 도 18a 및 18b를 참조하면, 상기 방법은 도 11a 및 11b를 참조하여 설명된 공정들을 수행하여 상기 제1 폴리머 블록(71)들, 상기 필라 패턴(51)들, 상기 처마 패턴(52), 상기 댐 패턴(35), 상기 필라 물질 층(50), 및 상기 상부 트렌치 스페이서(41)를 제거하고, 및 상기 하드 마스크(30)를 제거하는 것을 포함할 수 있다. 상기 스토퍼 층(20)은 상기 셀 영역(CA) 내에서 상기 타겟 층(10)을 노출하는 제1 하부 오프닝(O1L)들 및 상기 제2 하부 오프닝(O2L)들을 포함할 수 있고, 및 상기 주변 영역(PA) 내에서 상기 타겟 층(10)을 노출하는 상기 하부 주변 트렌치(40L)를 포함할 수 있다.

[0089] 도 18c를 참조하면, 상기 방법은 상기 주변 영역(PA)을 덮는 주변 마스크(65)를 형성하는 것을 더 포함할 수 있다. 상기 주변 마스크(65)는 포토레지스트를 포함할 수 있다.

[0090] 도 19a 및 19b를 참조하면, 상기 방법은 도 12a 및 12b를 참조하여 설명된 공정들을 수행하여 상기 스토퍼 층(20)을 식각 마스크로 이용하여 상기 타겟 층(10)을 에칭하여 컨택 홀(H)들을 형성하고, 및 상기 스토퍼 층(20)을 제거하는 것을 포함할 수 있다. 상기 셀 영역(CA) 내에는 상기 컨택 홀(H)들이 격자(lattice) 모양으로 규칙적으로 배열될 수 있고, 상기 에지 영역(EA) 내에는 격행(every two rows) 및/또는 격열(every two columns)로 더미 컨택 홀(H)들이 형성될 수 있고, 및 상기 주변 영역(PA) 내에는 주변 패턴(P)이 형성될 수 있다.

- [0091] 도 19c를 참조하면, 상기 방법은 상기 주변 마스크(65)에 의해 상기 주변 영역(PA) 내에 아무 패턴도 형성되지 않을 수 있다.
- [0092] 본 발명의 기술적 사상에 의하면 상기 댐 패턴(35), 상기 처마 패턴(52), 및 상기 필라 물질 층(50)에 의하여 상기 에지 영역(EA) 및 상기 주변 영역(PA)에 상기 블록 코폴리머 층(70)에 의한 오프닝 또는 리세스 패턴들이 상기 스토퍼 층(20)에 전사되지 않을 수 있다.
- [0093] 도 20a 내지 26c는 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법을 설명하는 도면들이다.
- [0094] 도 20a 및 20b를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자의 컨택 홀들을 형성하는 방법은 타겟 층(10) 상에 스토퍼 층(20)을 형성하고, 및 상기 스토퍼 층(20) 상에 제1 상부 오프닝(O1U)들, 댐 트렌치(35T), 및 상부 주변 트렌치(40U)를 가진 하드 마스크(30)를 형성하는 것을 포함할 수 있다.
- [0095] 상기 제1 상부 오프닝(O1U)들은 셀 영역(CA) 내에 규칙적인 격자 모양으로 배열될 수 있다. 예를 들어, 상기 제1 상부 오프닝(O1U)들은 가상의 가로선 상에 배치된 두 개의 상기 제1 상부 오프닝(O1U)들의 가로 간격(W5)과 세로 간격(W6)이 유사하거나 사실상 동일할 수 있다.
- [0096] 도 21a 및 21b를 참조하면, 상기 방법은, 도 2a 및 2b 내지 도 4a 및 4b를 참조하여 설명된 공정들을 수행하여, 상기 제1 상부 오프닝(O1U)들의 내벽들 상에 오프닝 스페이서(31)들을 형성하고, 상기 댐 트렌치(35T) 내에 댐 패턴(35)을 형성하고, 상기 상부 주변 트렌치(40U)의 내벽들 상에 트렌치 스페이서(41)들을 형성하고, 상기 하드 마스크(30), 상기 오프닝 스페이서(31), 상기 댐 패턴(35), 및 상기 트렌치 스페이서(41)를 에칭 마스크로 이용하여 상기 스토퍼 층(20)을 선택적으로 에칭하여 제1 하부 오프닝(O1L)들 및 하부 주변 트렌치(40L)를 형성하고, 상기 제1 상부 오프닝(O1U)들 및 상기 제1 하부 오프닝(O1L)들을 채우고 및 상기 상부 주변 트렌치(40U) 및 상기 하부 주변 트렌치(40L)를 덮는 필라 물질 층(50)을 형성하고, 및 상기 에지 영역(EA) 및 상기 주변 영역(PA)을 덮고 상기 셀 영역(CA) 내의 상기 필라 물질 층(50)을 노출하는 트리밍 마스크(60)를 형성하는 것을 포함할 수 있다. 도 21a를 참조하면, 상기 트리밍 마스크(60)의 내측 페리미터(perimeter)는 상기 에지 영역(EA) 내에서 상기 필라 패턴(51)들을 지날 수 있다.
- [0097] 도 22a 및 22b를 참조하면, 상기 방법은 도 5a 및 5b, 및 도 6a 및 6b를 참조하여 설명된 공정들을 수행하여, 상기 트리밍 마스크(60)를 식각 마스크로 상기 셀 영역(CA) 내의 상기 필라 물질 층(50)의 상부를 제거하여 상기 셀 영역(CA) 내의 필라 패턴(51)들 및 상기 에지 영역(EA) 내의 처마 패턴(52)을 형성하고, 및 상기 트리밍 마스크(60) 및 상기 셀 영역(CA) 내에 노출된 상기 하드 마스크(30)를 제거하는 것을 포함할 수 있다.
- [0098] 상기 셀 영역(CA) 내에서 상기 필라 패턴(51)들 사이에 상기 스토퍼 층(20)이 노출될 수 있고, 상기 에지 영역(EA) 내에서 상기 처마 패턴(52)의 하부에 에어 스페이스(AS)가 형성될 수 있다. 상기 댐 패턴(35)은 상기 에어 스페이스(AS)가 상기 에지 영역(EA)의 외부로 확장하는 것을 방지할 수 있다. 따라서, 상기 댐 패턴(35)의 외부의 상기 에지 영역(EA) 및 상기 주변 영역(PA) 내의 상기 하드 마스크(30)는 잔존할 수 있다.
- [0099] 도 23a 및 23b를 참조하면, 상기 방법은 도 7a 내지 8d를 참조하여 설명된 공정들을 수행하여 상기 필라 패턴(51)들 사이에 제1 폴리머 블록(71)들 및 제2 폴리머 블록(72)들을 형성하는 것을 포함할 수 있다. 도 7c를 더 참조하여, 상기 방법은 상기 블록 코폴리머 층(70)을 형성하기 전에 전체적으로 컨포멀하게 증착화 층(75)을 형성하는 것을 더 포함할 수 있다.
- [0100] 도 24a 및 24b를 참조하면, 상기 방법은 도 9a 내지 10c를 참조하여 설명된 공정들을 수행하여 상기 제2 폴리머 블록(72)들을 제거하여 상기 셀 영역(CA) 내에서 상기 스토퍼 층(20)의 표면을 노출하는 제2 상부 오프닝(O2U)들을 형성하고, 및 상기 제1 폴리머 블록(71)들을 식각 마스크로 상기 제2 상부 오프닝(O2U)들 내에 노출된 상기 스토퍼 층(20)을 선택적으로 제거하여 상기 타겟 층(10)을 노출하는 제2 하부 오프닝(O2L)들을 형성하는 것을 포함할 수 있다. 상기 에지 영역(EA) 내의 상기 처마 패턴(52)의 하부에는 상기 제2 하부 오프닝(O2L)들이 형성되지 않을 수 있다. 상기 주변 영역(PA) 내에서, 상기 제1 폴리머 블록(71) 또는 상기 필라 물질 층(50) 내에 리세스(R)들이 형성될 수 있다.
- [0101] 도 25a 및 25b를 참조하면, 상기 방법은 도 11a 및 11b를 참조하여 설명된 공정들을 수행하여 상기 제1 폴리머 블록(71)들, 상기 필라 패턴(51)들, 상기 처마 패턴(52), 상기 댐 패턴(35), 상기 필라 물질 층(50), 및 상기 상부 트렌치 스페이서(41)를 제거하고, 및 상기 하드 마스크(30)를 제거하는 것을 포함할 수 있다. 상기 스토퍼 층(20)은 상기 셀 영역(CA) 내에서 상기 타겟 층(10)을 노출하는 제1 하부 오프닝(O1L)들 및 상기 제2 하부 오프닝(O2L)들을 포함할 수 있고, 및 상기 주변 영역(PA) 내에서 상기 타겟 층(10)을 노출하는 상기 하부 주변

트렌치(40L)를 포함할 수 있다.

- [0102] 도 25c를 참조하면, 상기 방법은 상기 주변 영역(PA)을 덮는 주변 마스크(65)를 형성하는 것을 더 포함할 수 있다. 상기 주변 마스크(65)는 포토레지스트를 포함할 수 있다.
- [0103] 도 26a 및 26b를 참조하면, 상기 방법은 도 12a 및 12b를 참조하여 설명된 공정들을 수행하여 상기 스토퍼 층(20)을 식각 마스크로 이용하여 상기 타겟 층(10)을 에칭하여 콘택 홀(H)들을 형성하고, 및 상기 스토퍼 층(20)을 제거하는 것을 포함할 수 있다. 상기 셀 영역(CA) 내에는 상기 콘택 홀(H)들이 격자(lattice) 모양으로 규칙적으로 배열될 수 있고, 상기 에지 영역(EA) 내에는 격행(every two rows) 및/또는 격열(every two columns)로 더미 콘택 홀(H)들이 형성될 수 있고, 및 상기 주변 영역(PA) 내에는 주변 패턴(P)이 형성될 수 있다.
- [0104] 도 26c를 참조하면, 상기 방법은 상기 주변 마스크(65)에 의해 상기 주변 영역(PA) 내에 아무 패턴도 형성되지 않을 수 있다.
- [0105] 본 발명의 기술적 사상에 의하면 상기 댄 패턴(35), 상기 처마 패턴(52), 및 상기 필라 물질 층(50)에 의하여 상기 에지 영역(EA) 및 상기 주변 영역(PA)에 상기 블록 코폴리머 층(70)에 의한 오프닝 또는 리세스 패턴들이 상기 스토퍼 층(20)에 전사되지 않을 수 있다.
- [0106] 도 27 및 28은 본 발명의 다양한 실시예들에 의하여 제조된 반도체 소자들의 레이아웃들이다. 예를 들어, 도 27은 디램 반도체 소자의 레이아웃이고, 및 도 28은 수직형 낸드 플래시 메모리의 수직 채널 홀들의 레이아웃이다.
- [0107] 도 27을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자는 사선형 바 형태를 갖는 활성 영역(110)들, 상기 활성 영역(110)들을 X 방향으로 가로지르며 연장하는 게이트 라인(120)들, 상기 활성 영역(110)들을 Y 방향으로 가로지르며 연장하는 비트 라인(130)들, 상기 활성 영역(110)들의 양 단부들과 중첩하는 콘택 패드(140)들, 및 상기 활성 영역(110)들의 양 단부들 또는 상기 콘택 패드(140)들 중 적어도 하나와 중첩하는 스토리지 콘택(150)들을 포함할 수 있다. 상기 스토리지 콘택(150)들은 본 발명의 일 실시예에 의한 벌집 모양의 배열을 가질 수 있다.
- [0108] 도 28을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자는 지그재그 배열을 갖는 채널 홀(21)들, 상기 채널 홀(21)의 일부와 중첩하며 일 방향으로 연장하는 워드 라인 컷(220)들, 및 상기 워드 라인 컷(220)들 사이에 위치하고 상기 채널 홀(21)들의 다른 일부와 중첩하며 상기 워드 라인 컷(220)과 평행하게 연장하는 스트링 선택 라인 컷(230)들을 포함할 수 있다. 상기 채널 홀(21)들은 본 발명의 일 실시예에 의한 지그재그 배열을 가질 수 있다.
- [0109] 도 29a는 본 발명의 기술적 사상의 다양한 실시예들에 의한 상기 자기 저항 메모리 소자를 포함하는 메모리 모듈(2100)을 개념적으로 도시한 도면이다. 도 29a를 참조하면, 본 발명의 일 실시예에 의한 메모리 모듈(2100)은 모듈 기판(2110), 상기 모듈 기판(2110) 상에 배치된 다수 개의 메모리 소자들(2120), 및 상기 모듈 기판(2110)의 한 변 상에 배열된 다수 개의 터미널들(2130)을 포함할 수 있다. 상기 모듈 기판(2110)은 PCB를 포함할 수 있다. 상기 메모리 소자들(2120)은 본 발명의 기술적 사상의 다양한 실시예들에 의한 상기 반도체 소자(100A, 100B, 100C, 100D)들 중 적어도 하나를 포함할 수 있다. 상기 다수 개의 터미널들(2130)은 구리 같은 금속을 포함할 수 있다. 상기 각 터미널들은 상기 각 반도체 소자들(2120)과 전기적으로 연결될 수 있다.
- [0110] 도 29b는 본 발명의 기술적 사상의 일 실시예에 의한 반도체 모듈(2200)을 개념적으로 도시한 도면이다. 도 29b를 참조하면, 본 발명의 일 실시예에 의한 반도체 모듈(2200)은, 모듈 기판(2210) 상에 실장된 프로세서(2220) 및 반도체 소자들(2230)을 포함할 수 있다. 상기 프로세서(2220) 또는 상기 반도체 소자들(2230)은 본 발명의 기술적 사상의 다양한 실시예들에 의한 상기 MOSFET 소자들 중 적어도 하나를 포함할 수 있다. 상기 모듈 기판(2210)의 적어도 한 변에는 전도성 입출력 터미널들(2240)이 배치될 수 있다.
- [0111] 도 29c는 본 발명의 기술적 사상의 일 실시예에 의한 전자 시스템(2300)을 개념적으로 도시한 블록다이어그램이다. 도 29c를 참조하면, 본 발명의 일 실시예에 의한 전자 시스템(2300)은 바디(2310), 디스플레이 유닛(2360), 및 외부 장치(2370)를 포함할 수 있다. 상기 바디(2310)는 마이크로 프로세서 유닛(Micro Processor Unit; 2320), 파워 공급부(Power Supply; 2330), 기능 유닛(Function Unit; 2340), 및/또는 디스플레이 컨트롤 유닛(Display Control Unit; 2350)을 포함할 수 있다. 상기 바디(2310)는 인쇄 회로기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board), 및/또는 케이스(case)를 포함할 수 있다. 상기 마이크로 프로세서 유닛(2320), 상기 파워 공급부(2330), 상기 기능 유닛(2340), 및 상기 디스플레이 컨트롤 유닛(2350)은 상기 바디(2310)의 상면 또는 내부에 실장 또는 배치될 수 있다. 상기 바디(2310)의 상면 혹은 상기 바디(2310)의 내/외

부에 디스플레이 유닛(2360)이 배치될 수 있다. 상기 디스플레이 유닛(2360)은 디스플레이 컨트롤 유닛(2350)에 의해 프로세싱된 이미지를 표시할 수 있다. 예를 들어, 상기 디스플레이 유닛(2360)은 LCD (liquid crystal display), AMOLED(active matrix organic light emitting diodes), 또는 다양한 디스플레이 패널을 포함할 수 있다. 상기 디스플레이 유닛(2360)은 터치 스크린을 포함할 수 있다. 따라서, 상기 디스플레이 유닛(2360)은 입출력 기능을 가질 수 있다. 상기 파워 공급부(2330)는 전류 또는 전압을 상기 마이크로 프로세서 유닛(2320), 상기 기능 유닛(2340), 상기 디스플레이 컨트롤 유닛(2350) 등으로 공급할 수 있다. 상기 파워 공급부(2330)는 충전 배터리, 건전지용 소켓, 또는 전압/전류 변환기를 포함할 수 있다. 상기 마이크로 프로세서 유닛(2320)은 상기 파워 공급부(2330)로부터 전압을 공급받아 상기 기능 유닛(2340)과 상기 디스플레이 유닛(2360)을 제어할 수 있다. 예를 들어, 상기 마이크로 프로세서 유닛(2320)은 CPU 또는 AP (application processor)를 포함할 수 있다. 상기 기능 유닛(2340)은 터치 패드, 터치 스크린, 휘발성/비휘발성 메모리, 메모리 카드 컨트롤러, 카메라, 라이트, 음성 및 동영상 재생 프로세서, 무선 송수신 안테나, 스피커, 마이크, USB 포트, 기타 다양한 기능을 가진 유닛을 포함할 수 있다. 상기 마이크로 프로세서 유닛(2320) 또는 상기 기능 유닛(2340)은 본 발명의 기술적 사상의 다양한 실시예들에 의한 MOSFET 소자들 중 적어도 하나를 포함할 수 있다.

[0112] 도 29d를 참조하면, 본 발명의 일 실시예에 의한 전자 시스템(2400)은 버스(2420)를 통하여 데이터 통신을 수행하는 마이크로프로세서(2414), 메모리 시스템(2412) 및 유저 인터페이스(2418)를 포함할 수 있다. 상기 마이크로프로세서(2414)는 CPU 또는 AP를 포함할 수 있다. 상기 전자 시스템(2400)은 상기 마이크로프로세서(2414)와 직접적으로 통신하는 상기 램(2416)을 더 포함할 수 있다. 상기 마이크로프로세서(2414) 및/또는 상기 램(2416)은 단일 패키지 내에 조립될 수 있다. 상기 유저 인터페이스(2418)는 상기 전자 시스템(2400)으로 정보를 입력하거나 또는 상기 전자 시스템(2400)으로부터 정보를 출력하는데 사용될 수 있다. 예를 들어, 상기 유저 인터페이스(2418)는 터치 패드, 터치 스크린, 키보드, 마우스, 스캐너, 음성 디렉터, CRT(cathode ray tube) 모니터, LCD, AMOLED, PDP(plasma display panel), 프린터, 라이트, 또는 기타 다양한 입출력 장치들을 포함할 수 있다. 상기 메모리 시스템(2412)은 상기 마이크로프로세서(2414) 동작용 코드들, 상기 마이크로프로세서(2414)에 의해 처리된 데이터, 또는 외부 입력 데이터를 저장할 수 있다. 상기 메모리 시스템(2412)은 메모리 컨트롤러, 하드 디스크, 또는 SSD(solid state drive)를 포함할 수 있다. 상기 마이크로프로세서(2414), 상기 램(2416), 및/또는 상기 메모리 시스템(2412)은 본 발명의 기술적 사상의 다양한 실시예들에 의한 MOSFET 소자들 중 적어도 하나를 포함할 수 있다.

[0113] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

- |                 |                |
|-----------------|----------------|
| [0114] CA: 셀 영역 | EA: 에지 영역      |
| PA: 주변 영역       | 10: 타겟 층       |
| 20: 스토퍼 층       | 30: 하드 마스크     |
| 31: 오프닝 스페이서    | 35T: 댐 트렌치     |
| 35: 댐 패턴        | 40U: 상부 주변 트렌치 |
| 45S: 트렌치 스페이서   | 40L: 하부 주변 트렌치 |
| 50: 필라 물질 층     | 51: 필라 패턴      |
| 52: 처마 패턴       | 60: 트리밍 마스크    |
| 65: 주변 마스크      | 70: 블록 코폴리머 층  |
| 71: 제1 폴리머 블록   | 72: 제2 폴리머 블록  |
| 75: 중성화 층       | 01U: 제1 상부 오프닝 |
| 01L: 제1 하부 오프닝  | 02U: 제2 상부 오프닝 |

O2L: 제2 하부 오프닝

AS: 에어 스페이스

R1: 상부 리세스

R2: 하부 리세스

H: 컨택 홀

Hd: 더미 컨택 홀

P: 주변 패턴

110: 활성 영역

120: 게이트 라인

130: 비트 라인

140: 컨택 패드

150: 스토리지 컨택

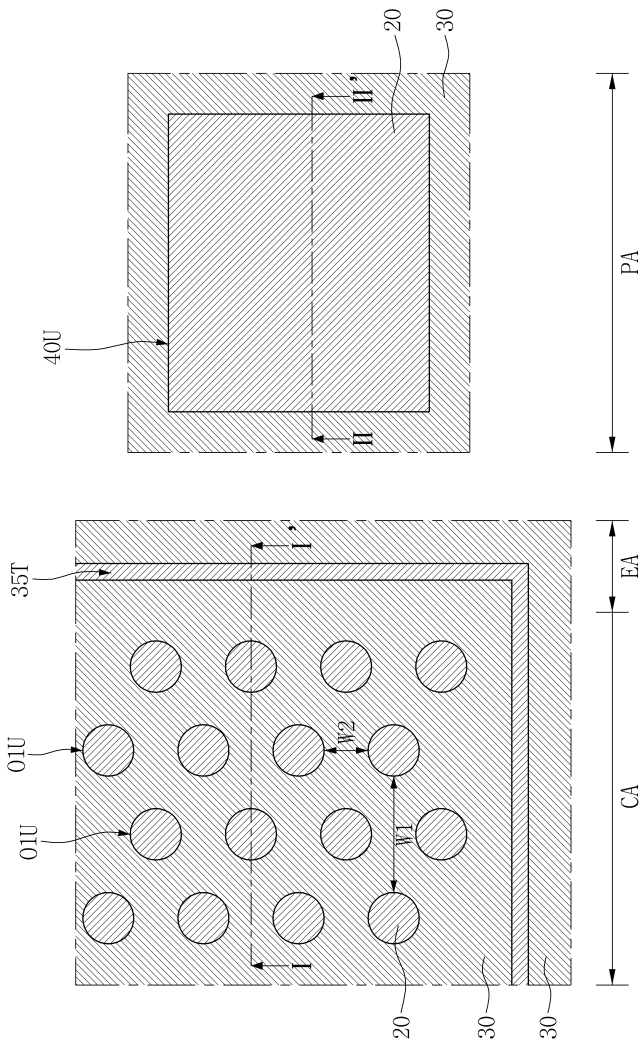
210: 채널 홀

220: 워드 라인 컷

230: 스트링 선택 라인 컷

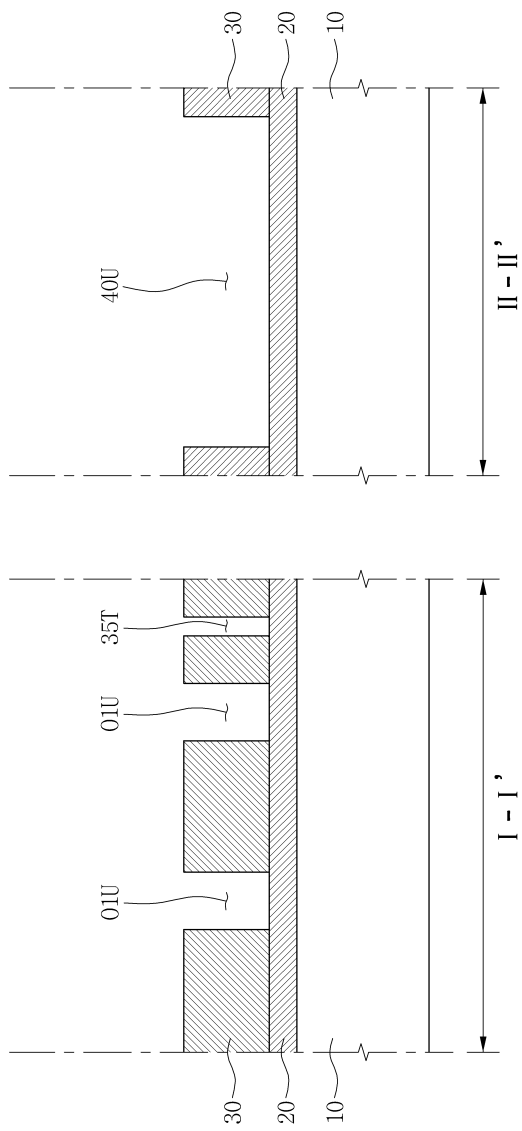
**도면**

**도면1a**

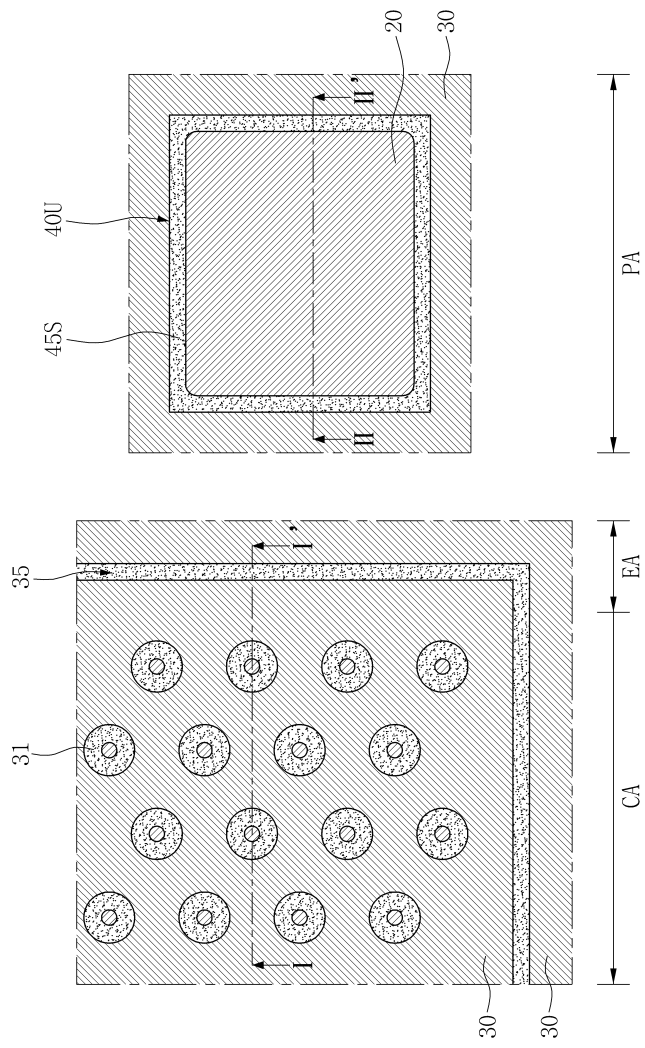




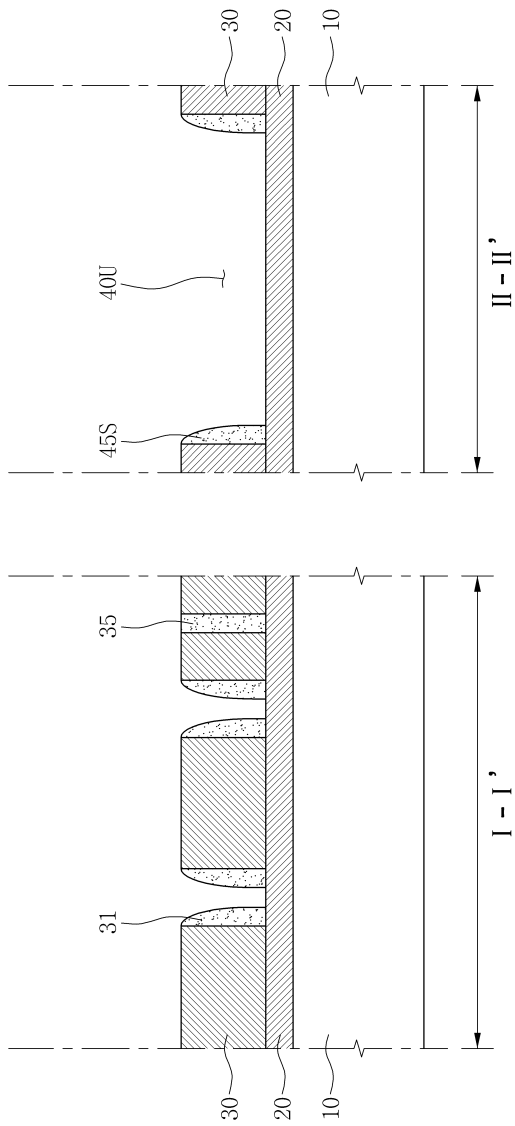
도면1b



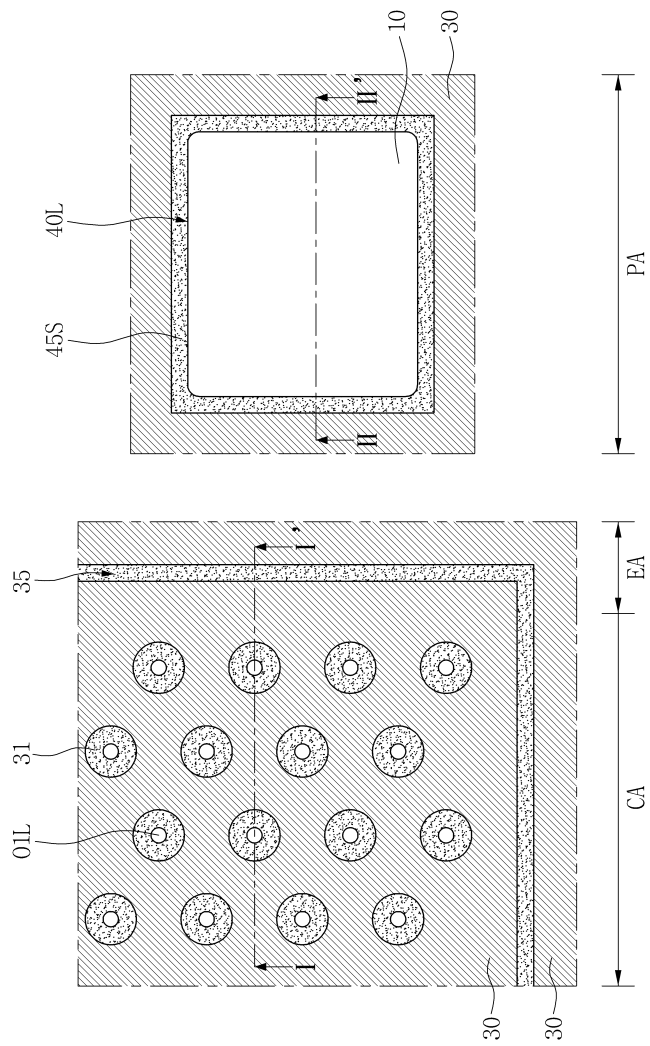
도면2a



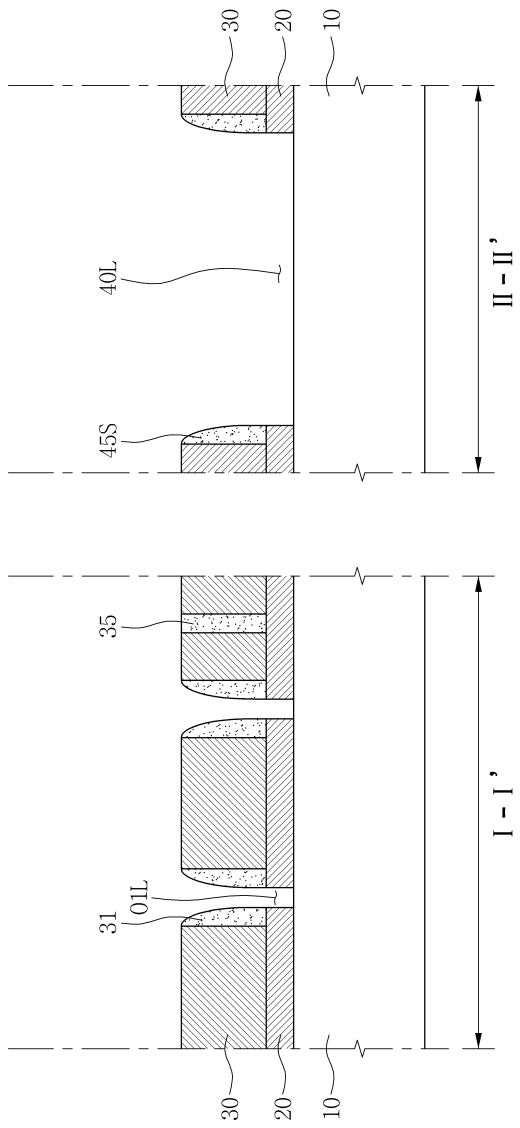
도면2b



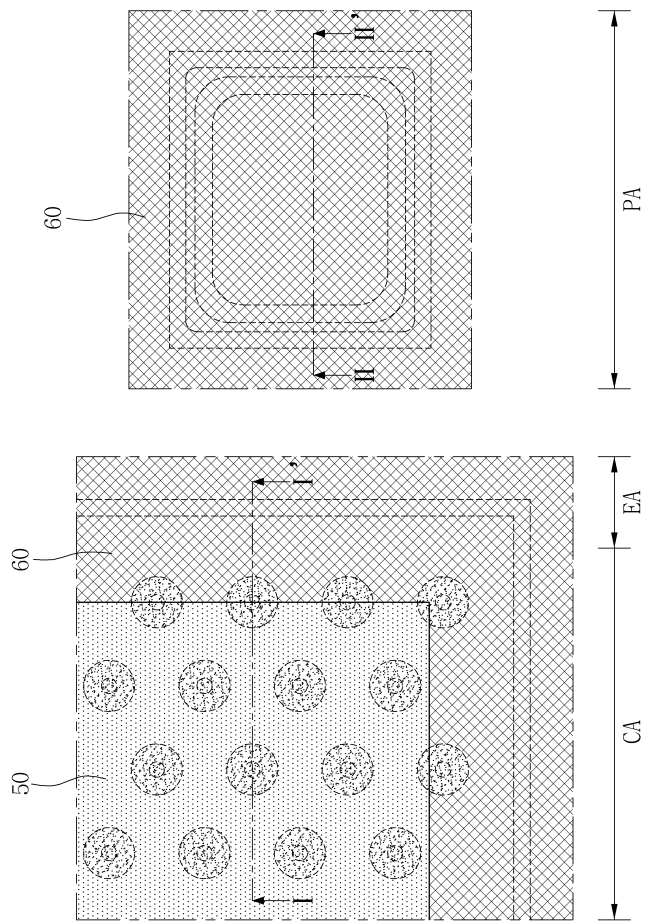
도면3a



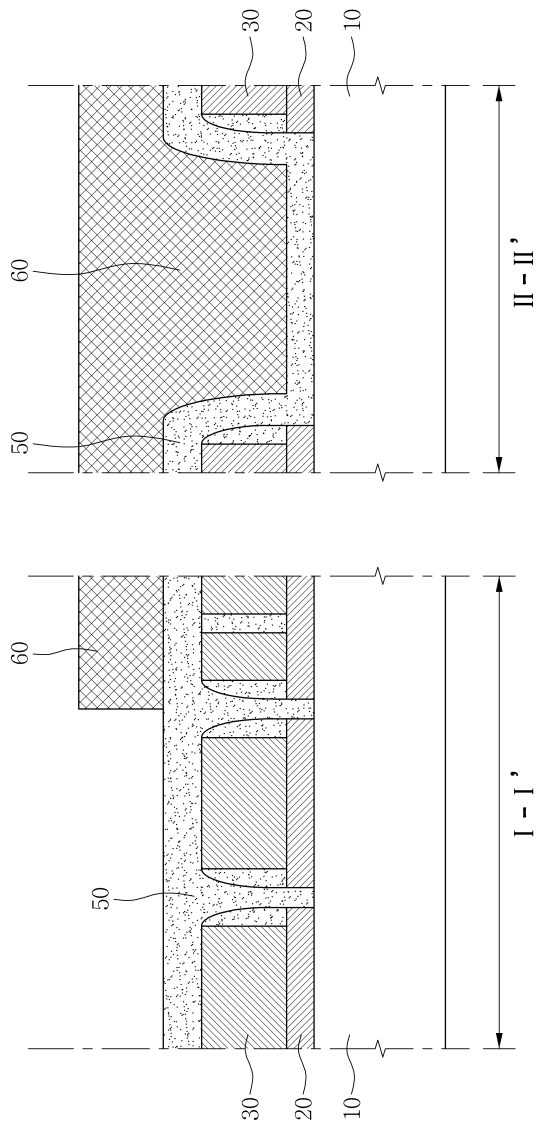
도면3b



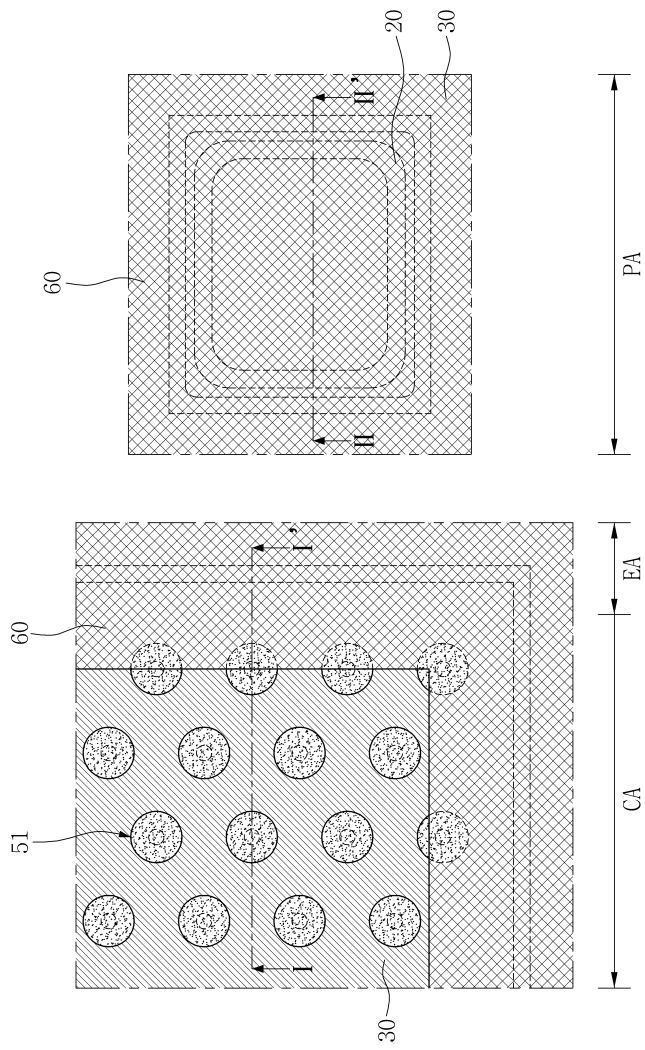
도면4a



도면4b

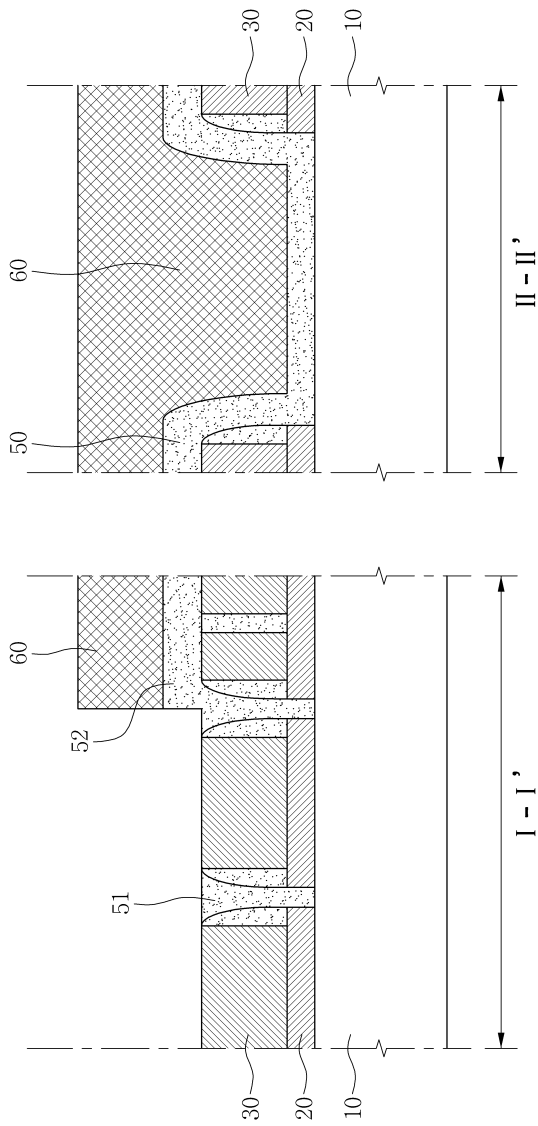


도면5a

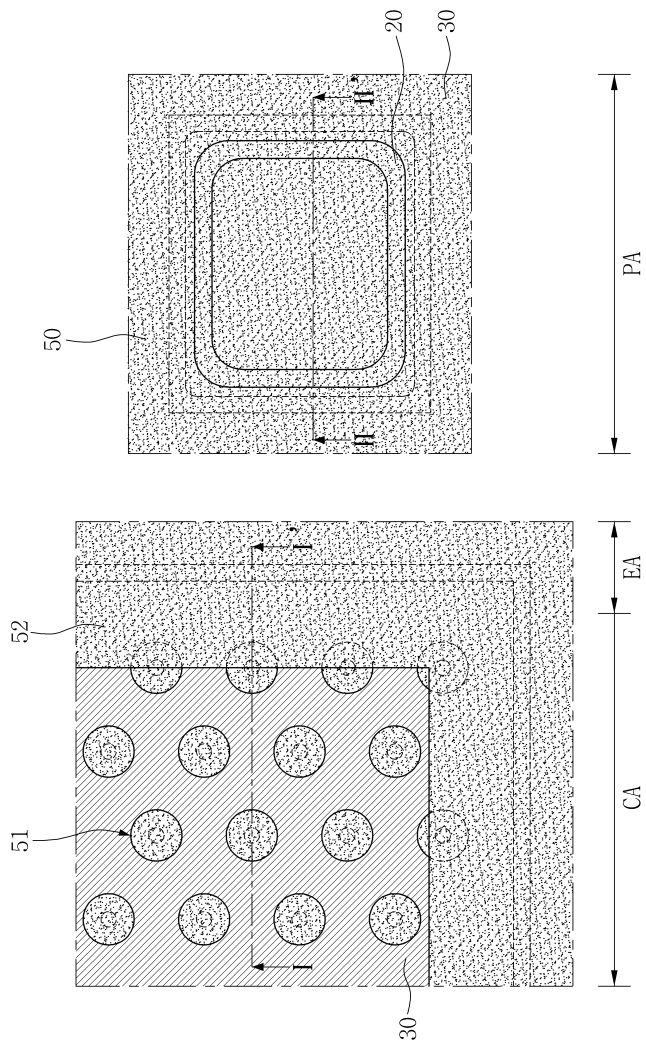




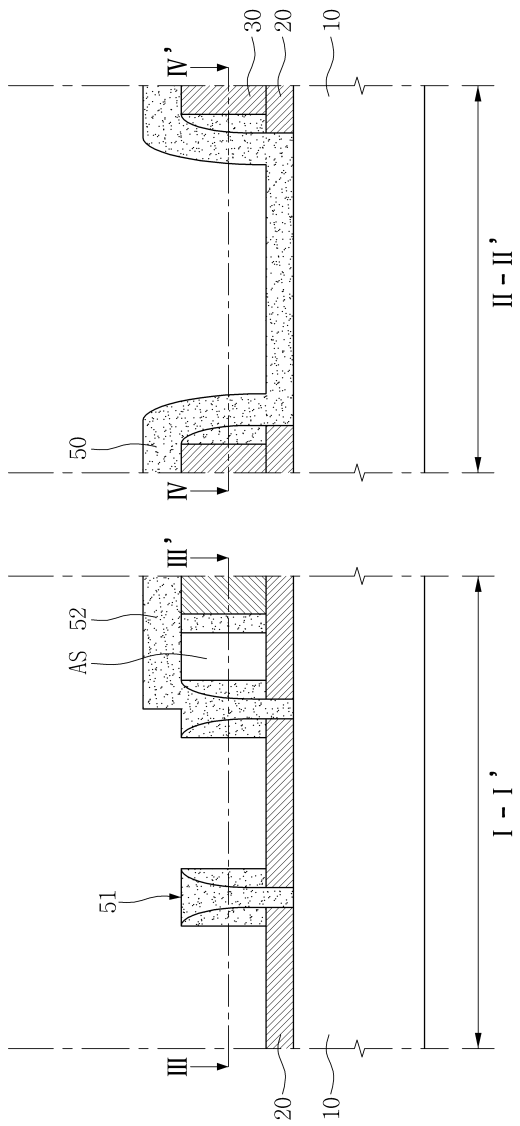
도면5b



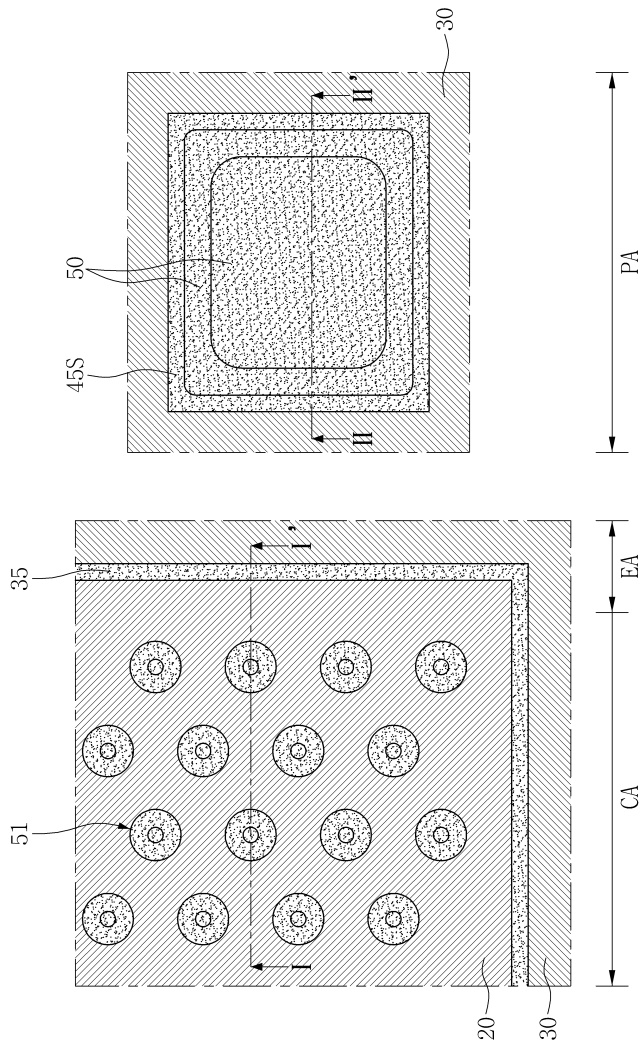
도면6a



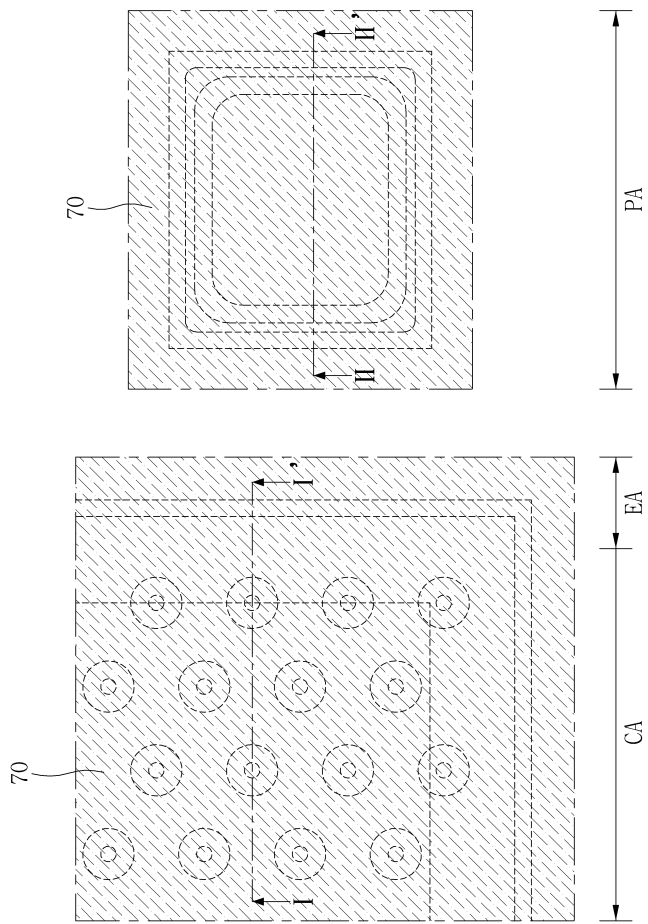
도면6b



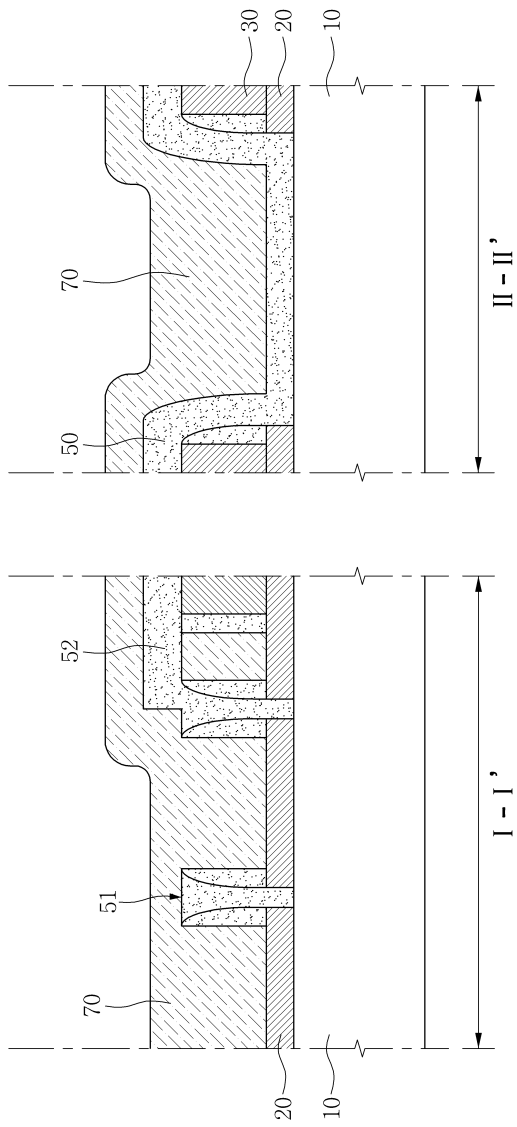
도면6c



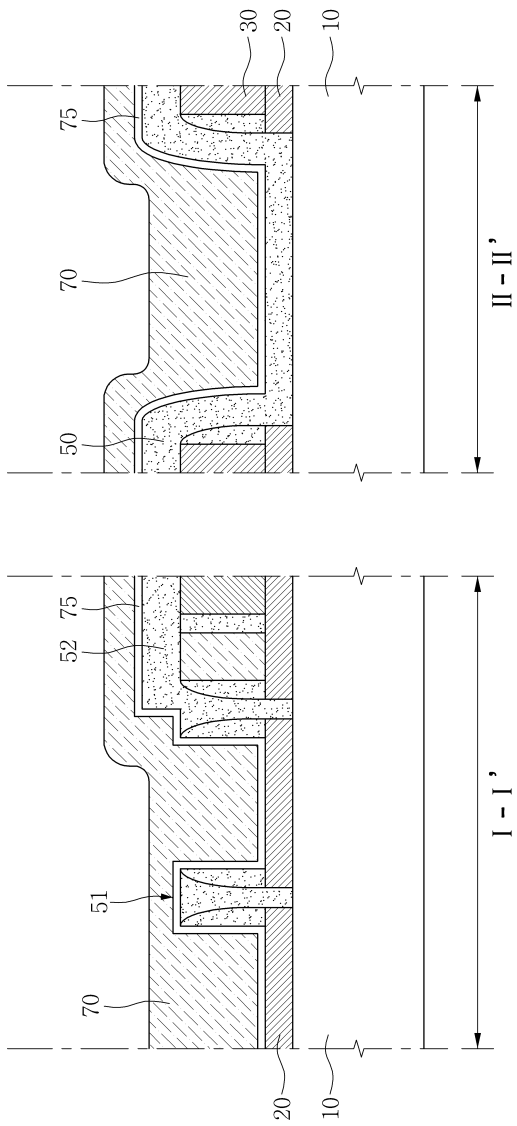
도면7a



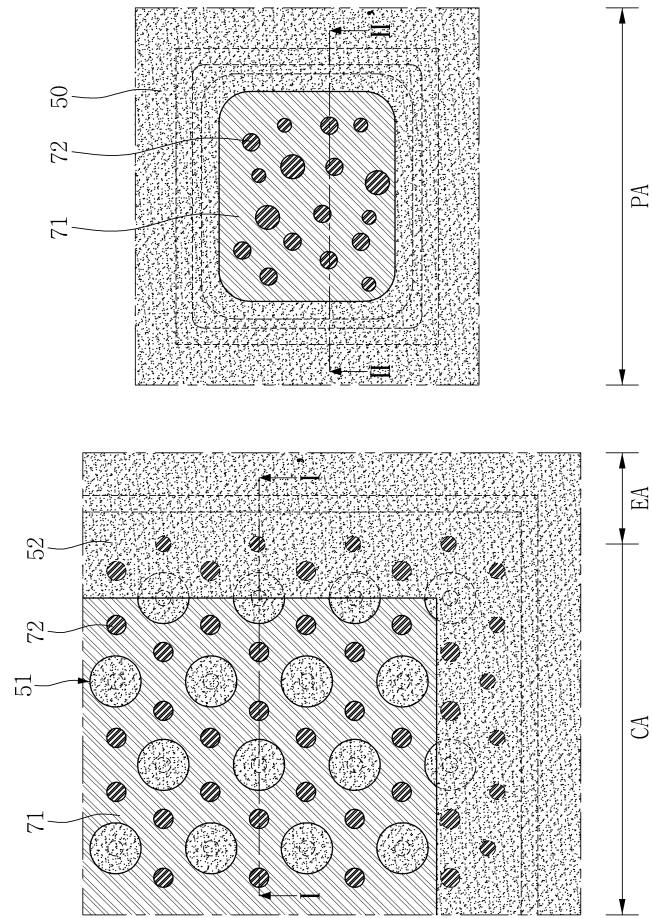
도면7b



도면7c

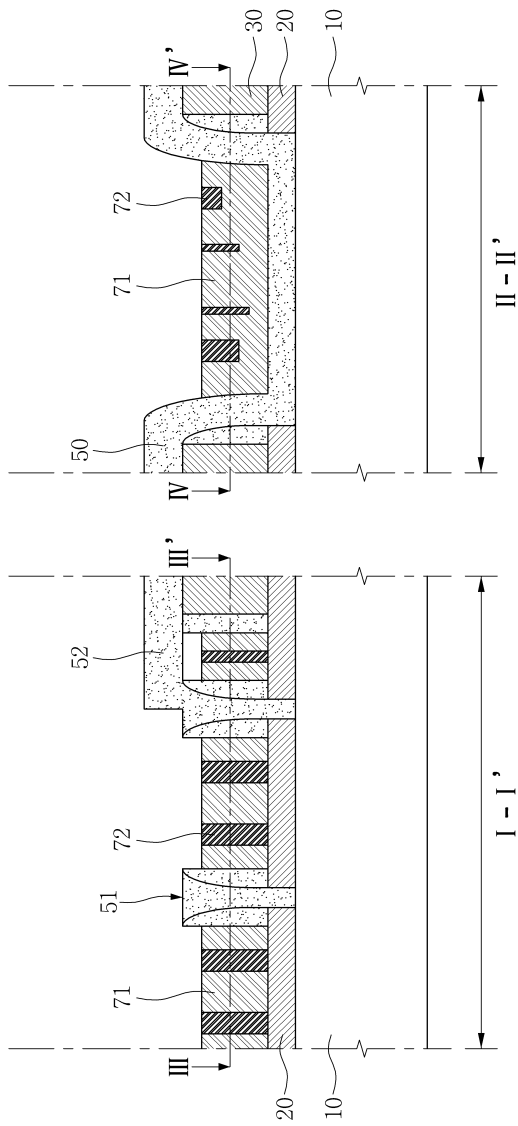


도면8a

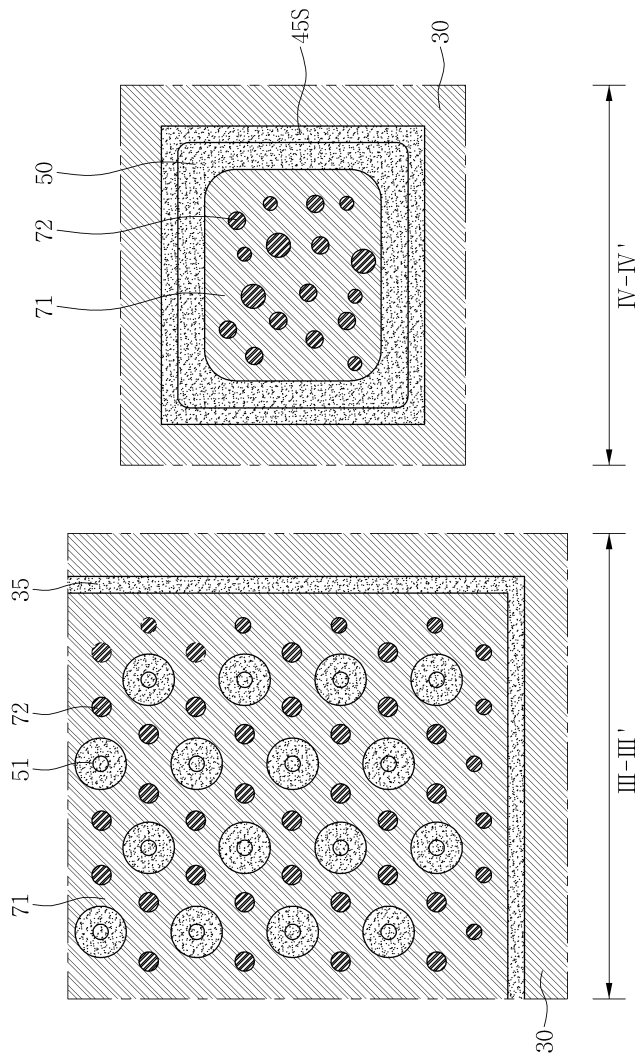




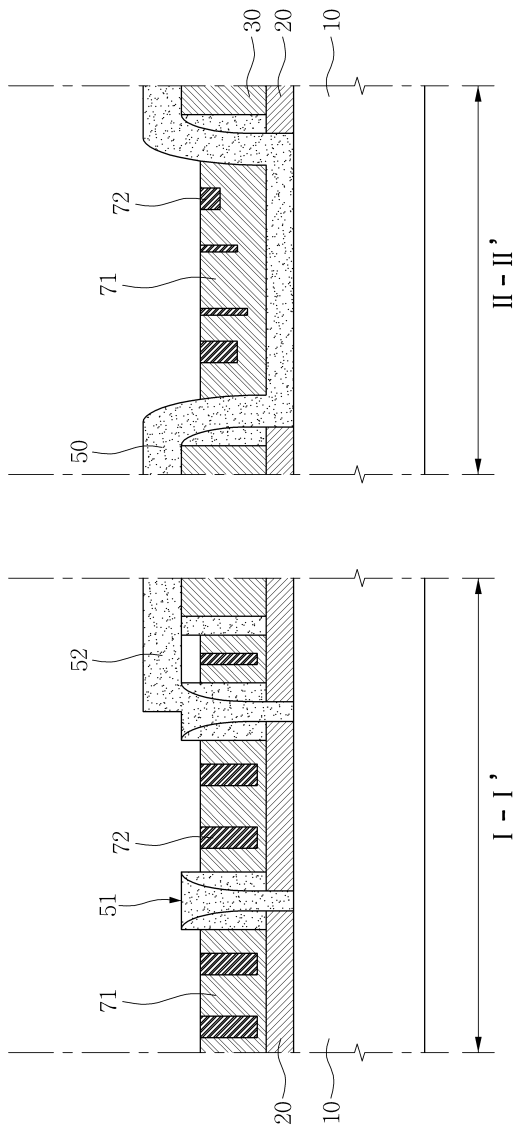
도면8b



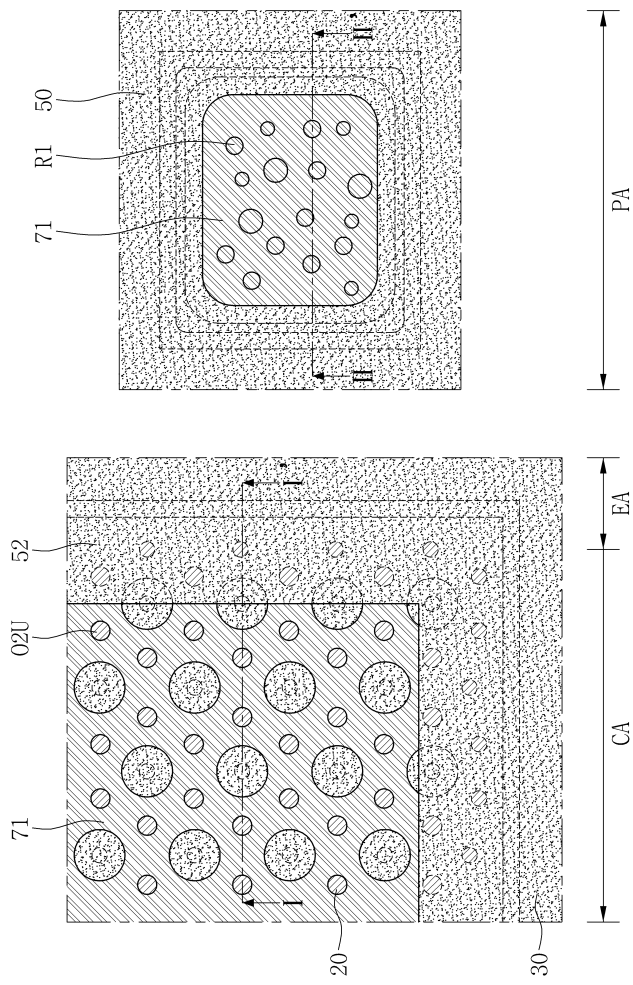
도면8c



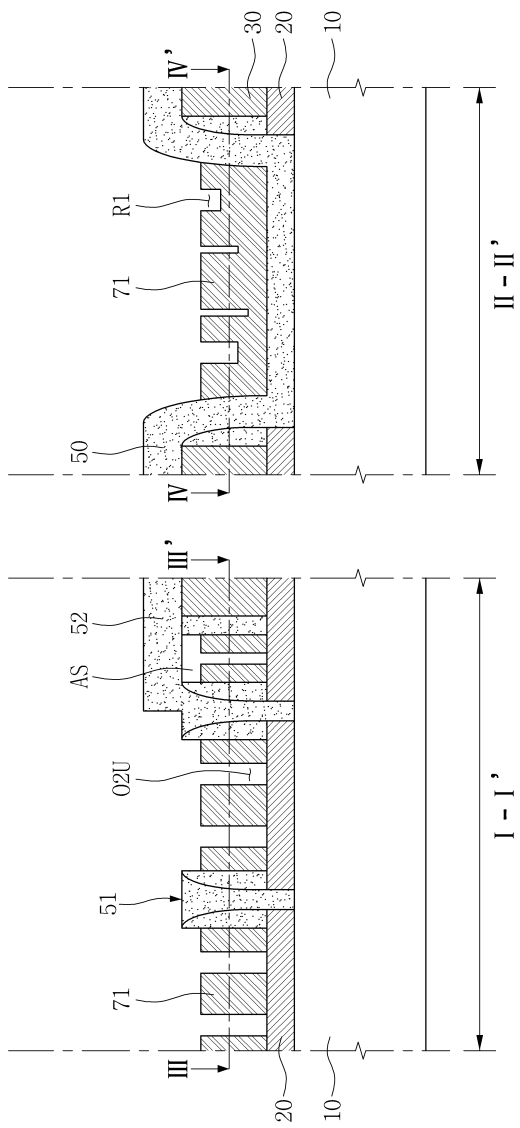
도면8d



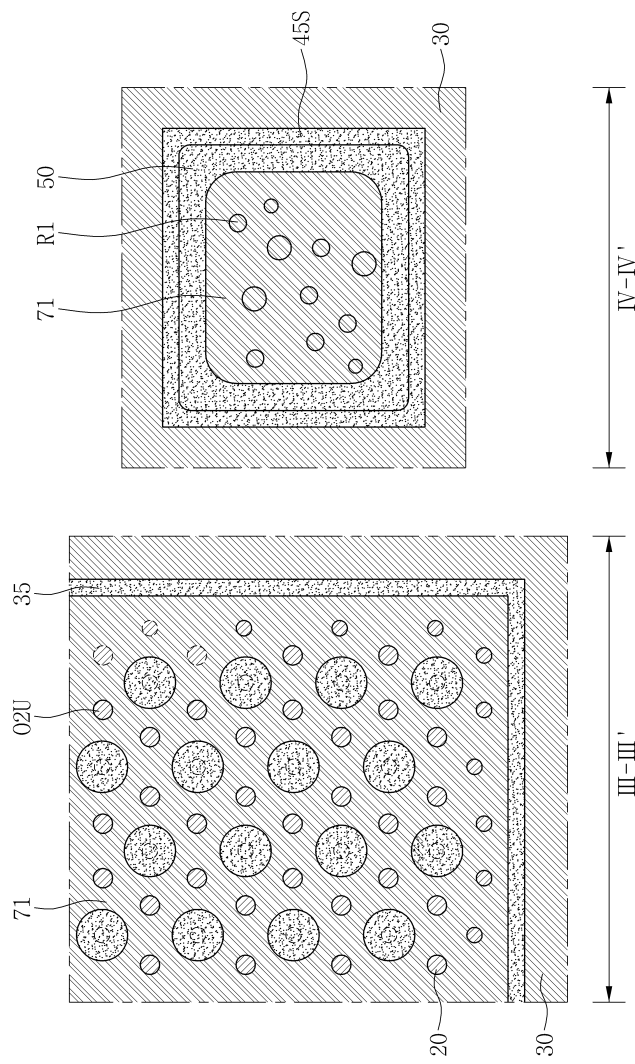
도면9a



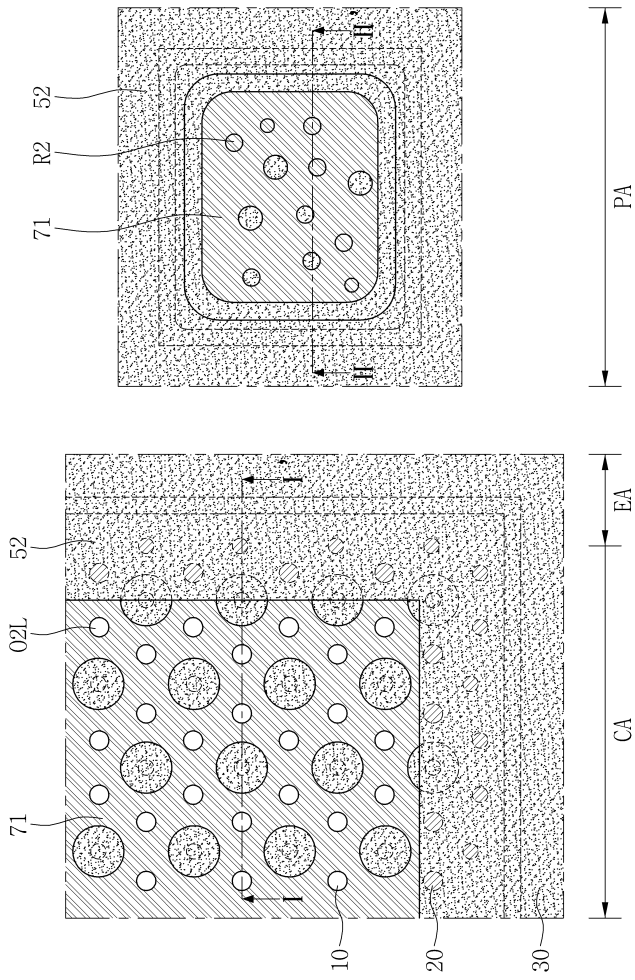
도면9b



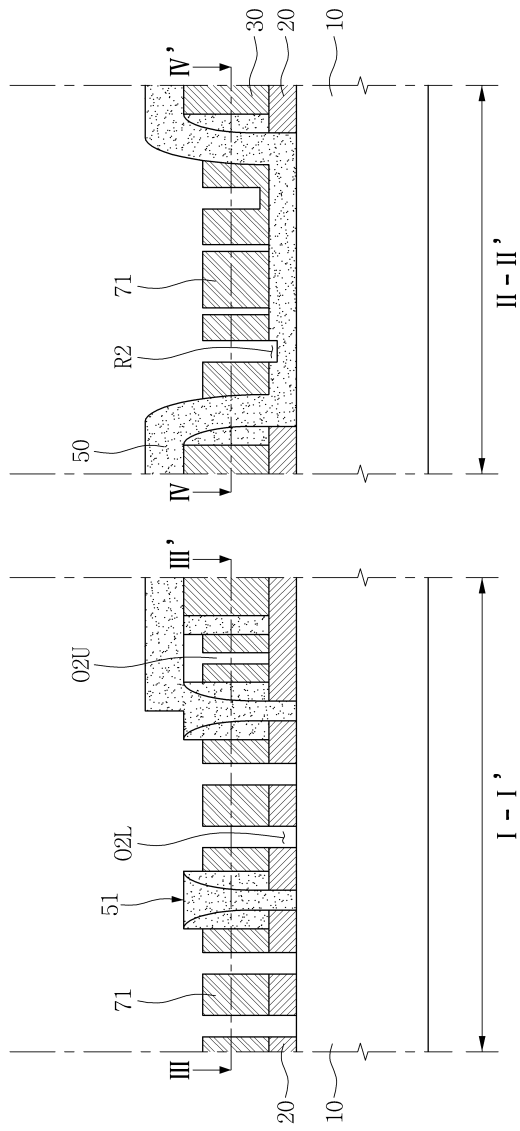
도면9c



도면10a

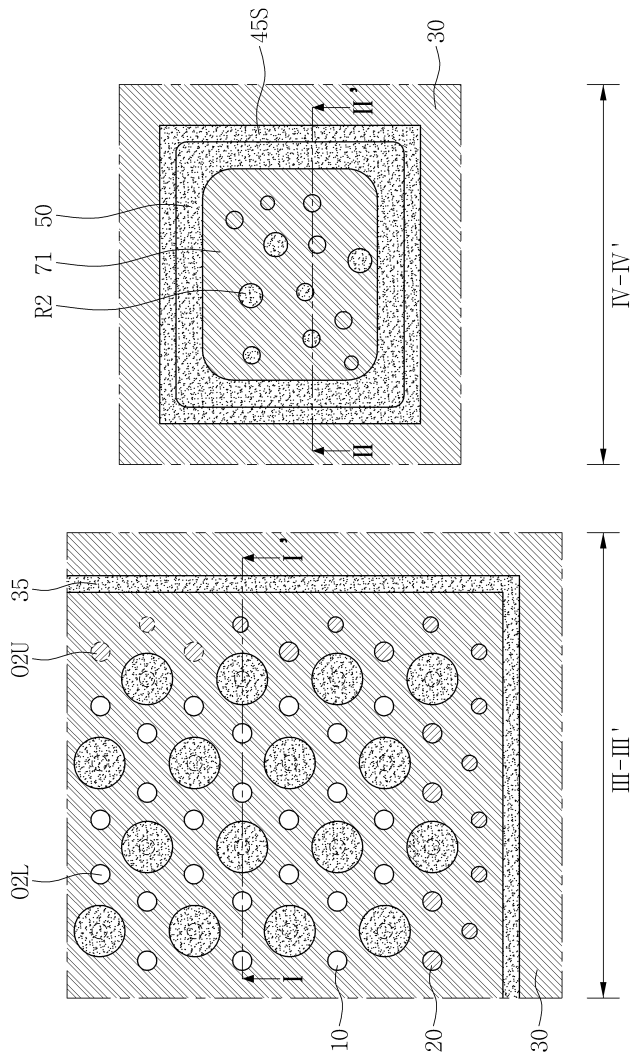


도면10b

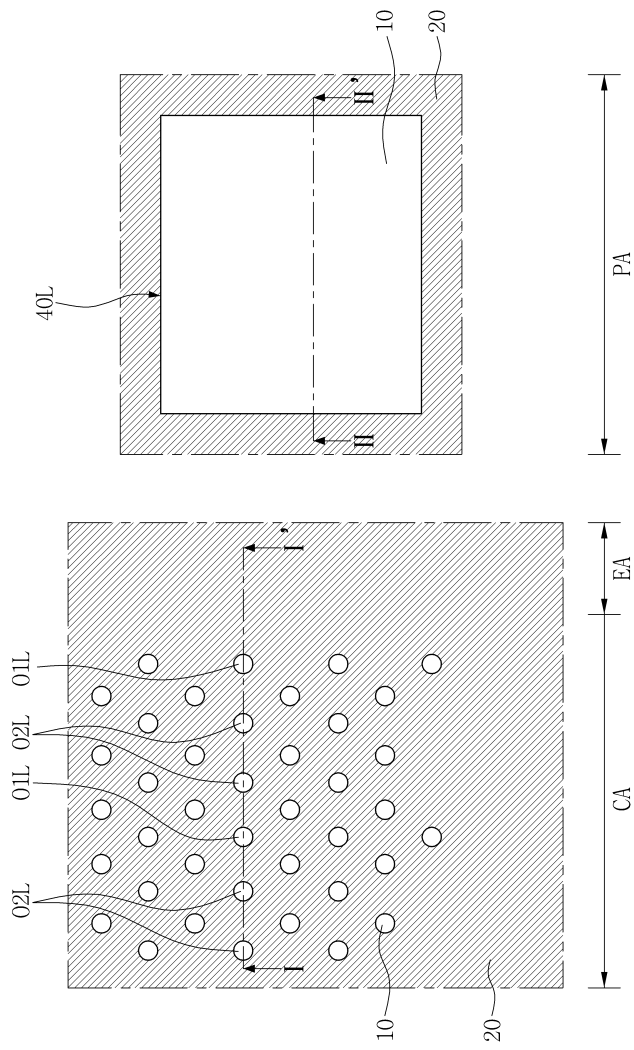




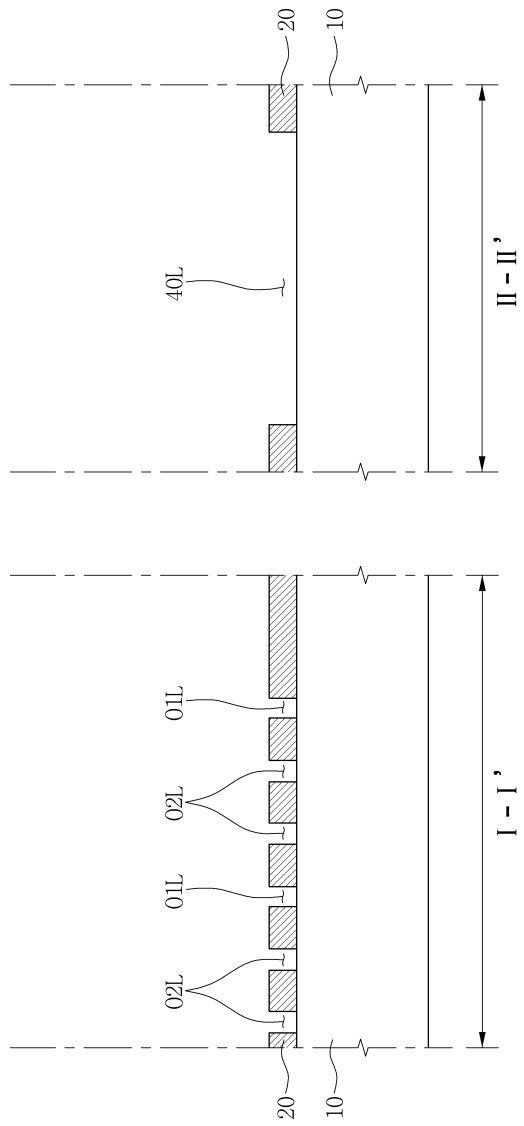
도면10c



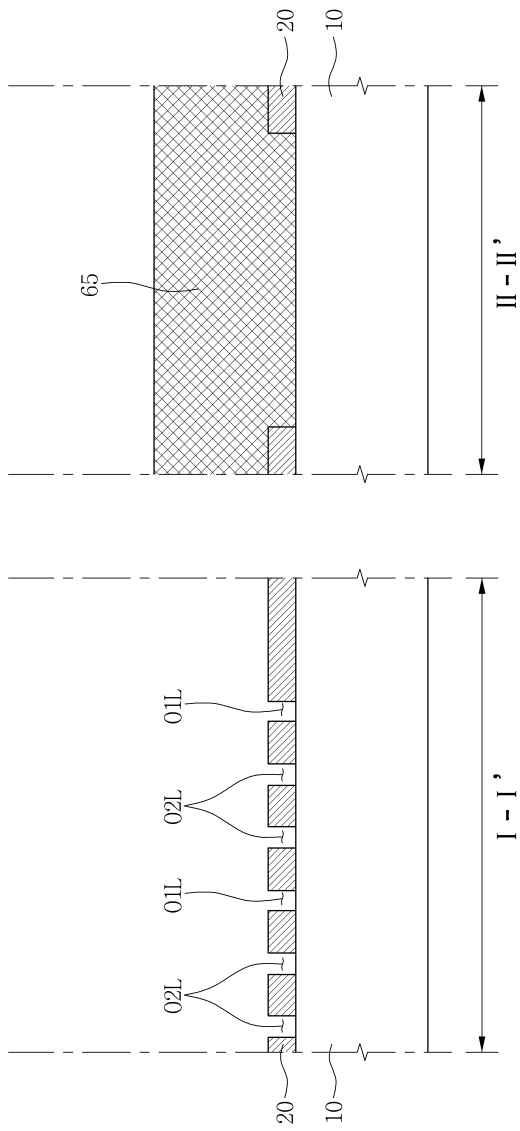
도면11a



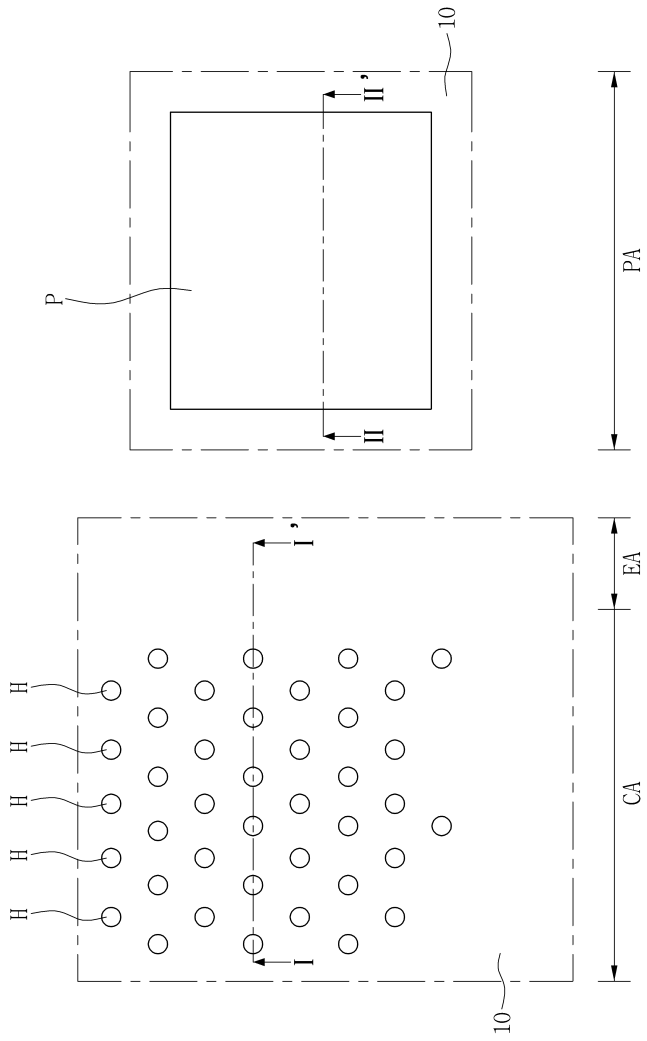
도면11b



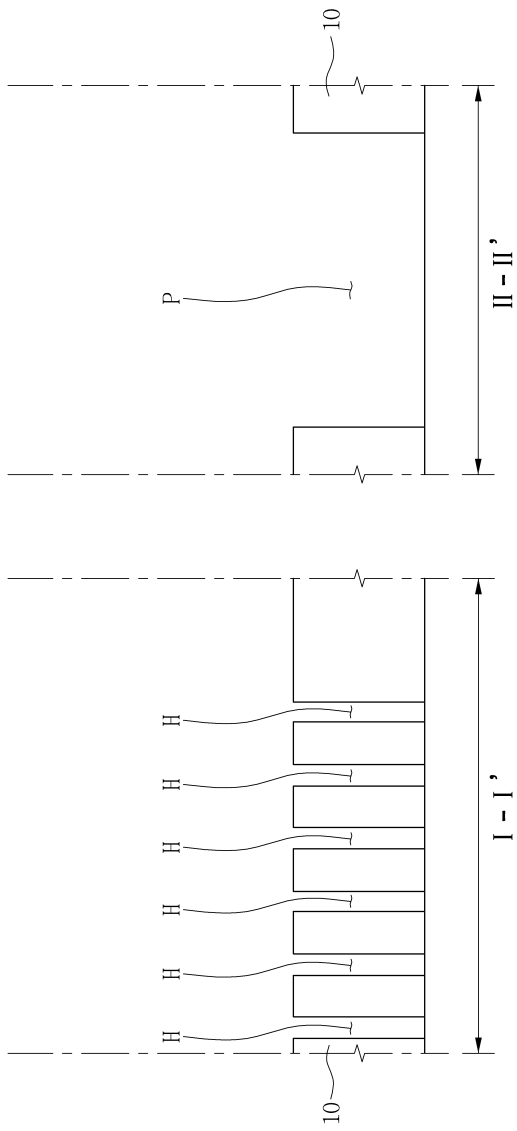
도면11c



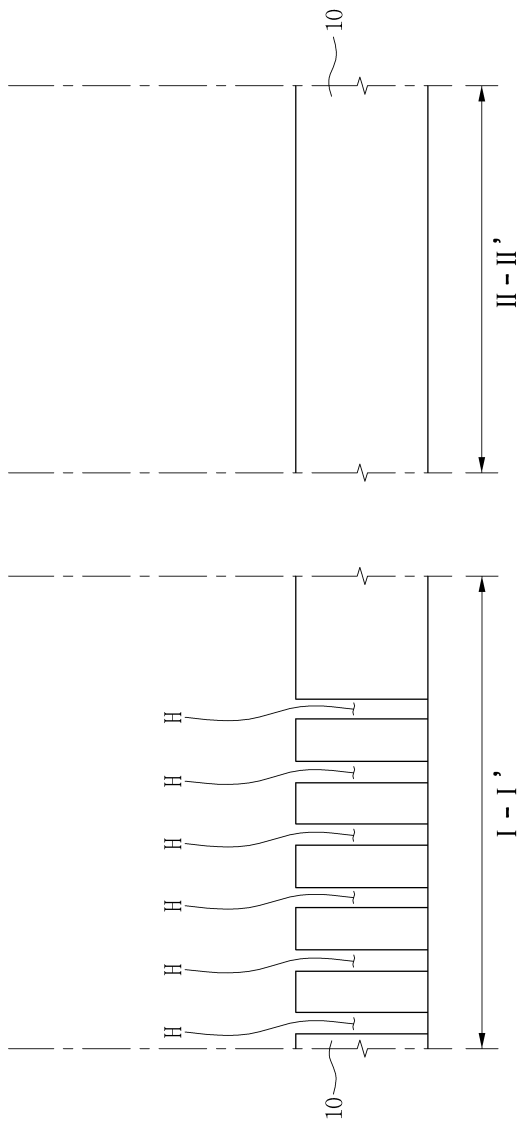
도면12a



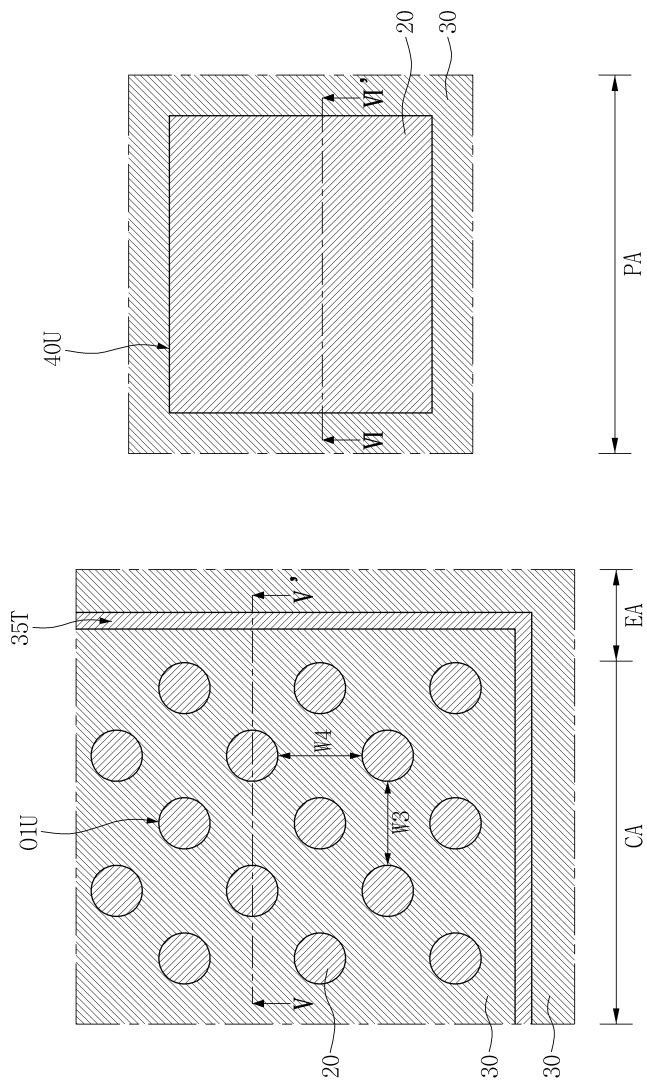
도면12b



도면12c

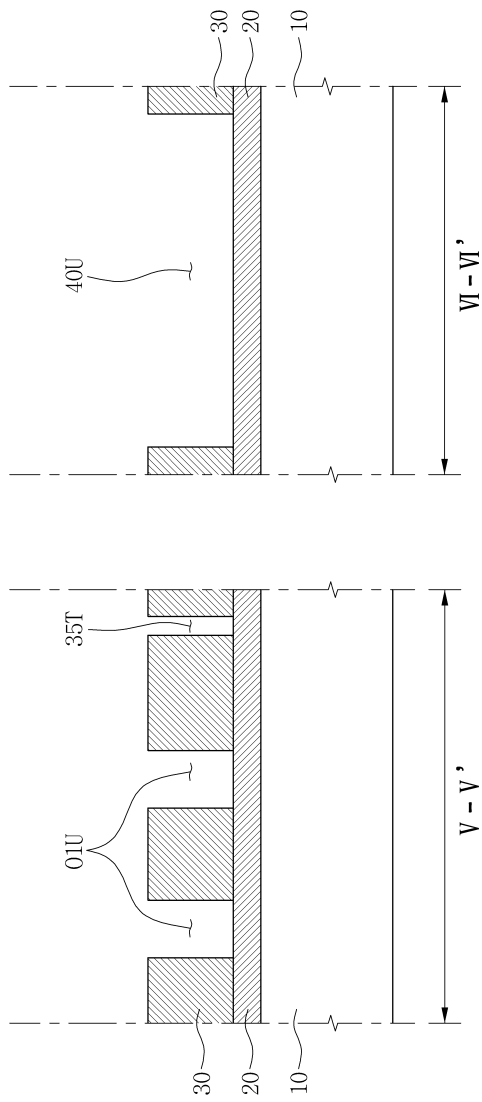


도면13a

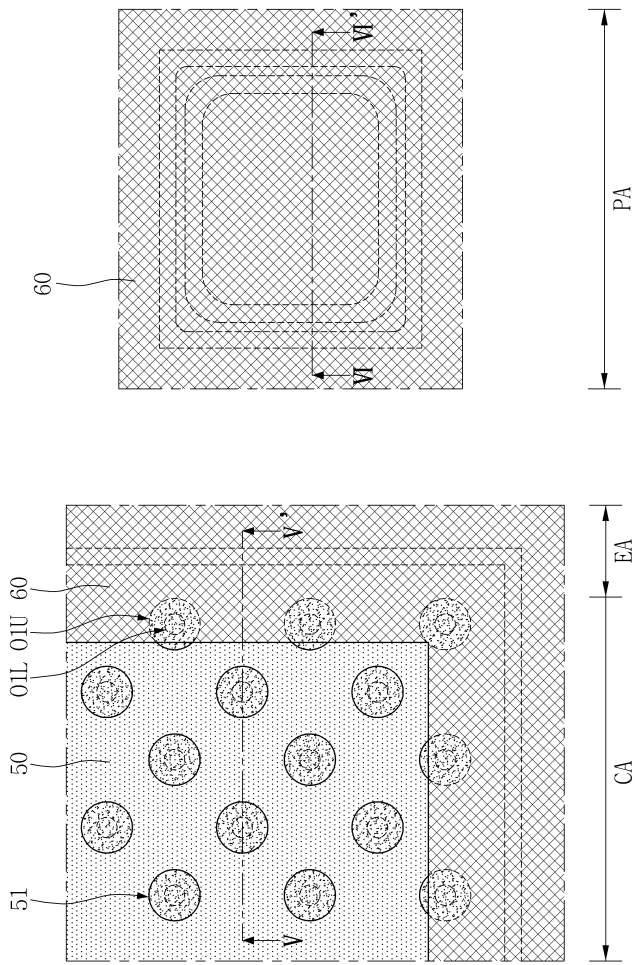




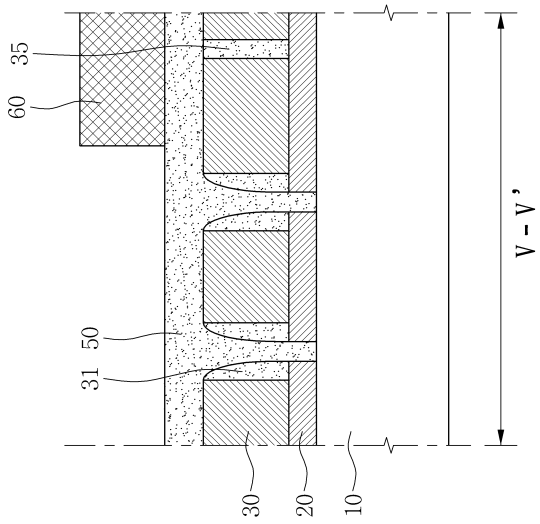
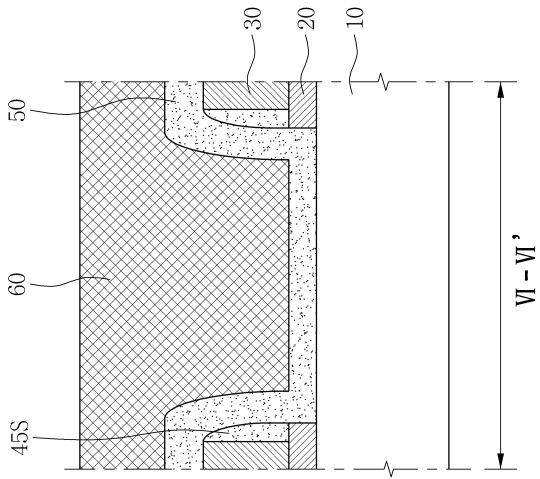
도면13b



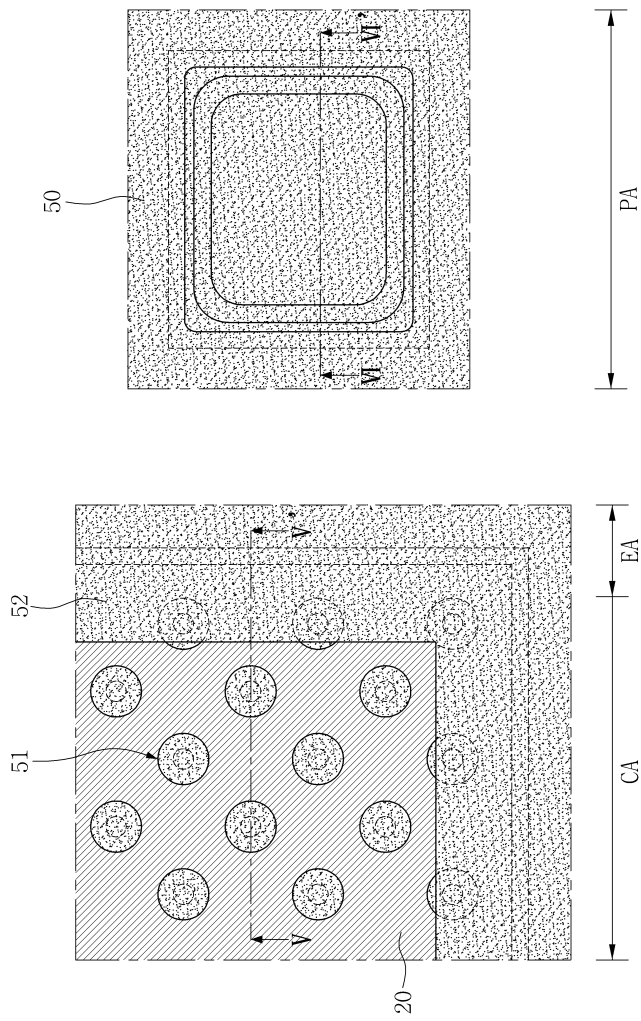
도면14a



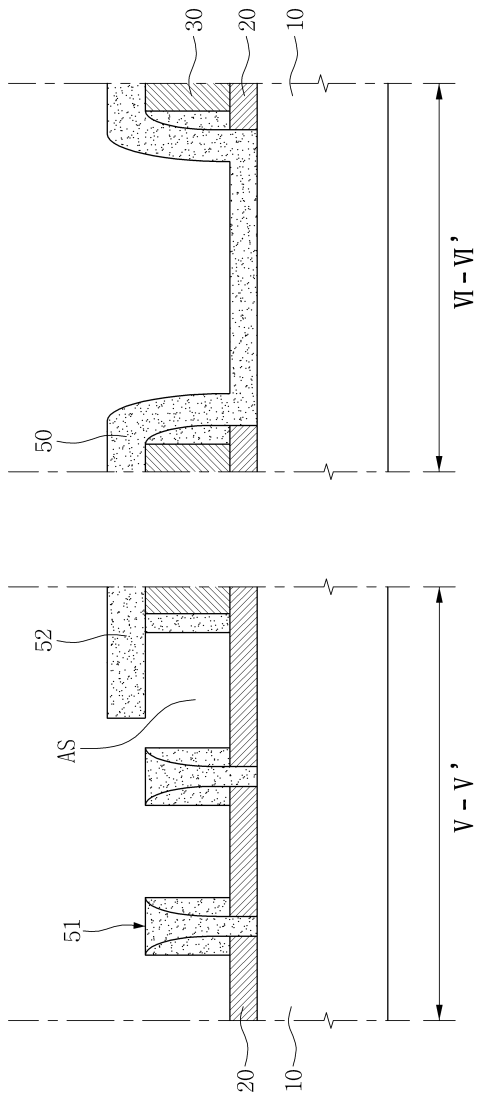
도면14b



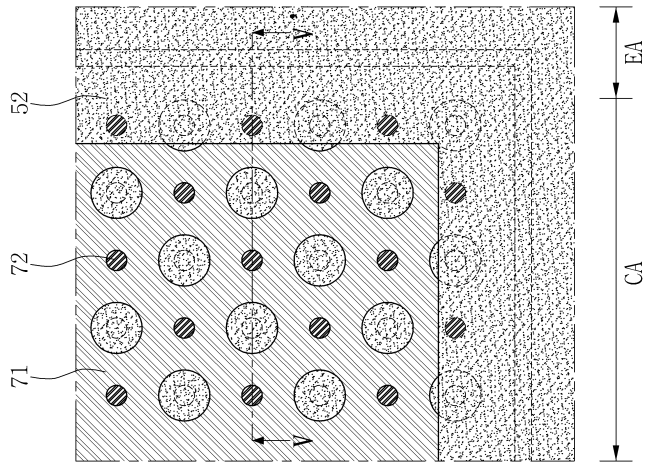
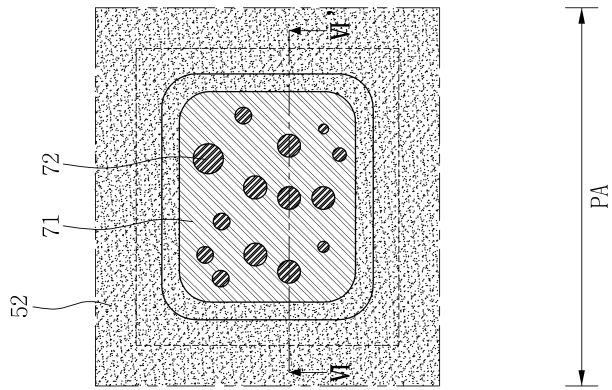
도면15a



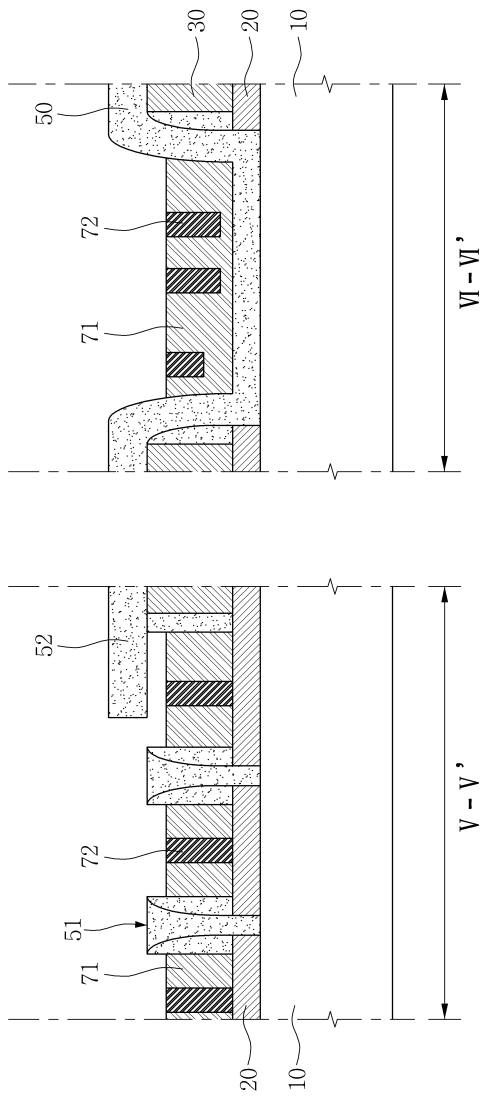
도면15b



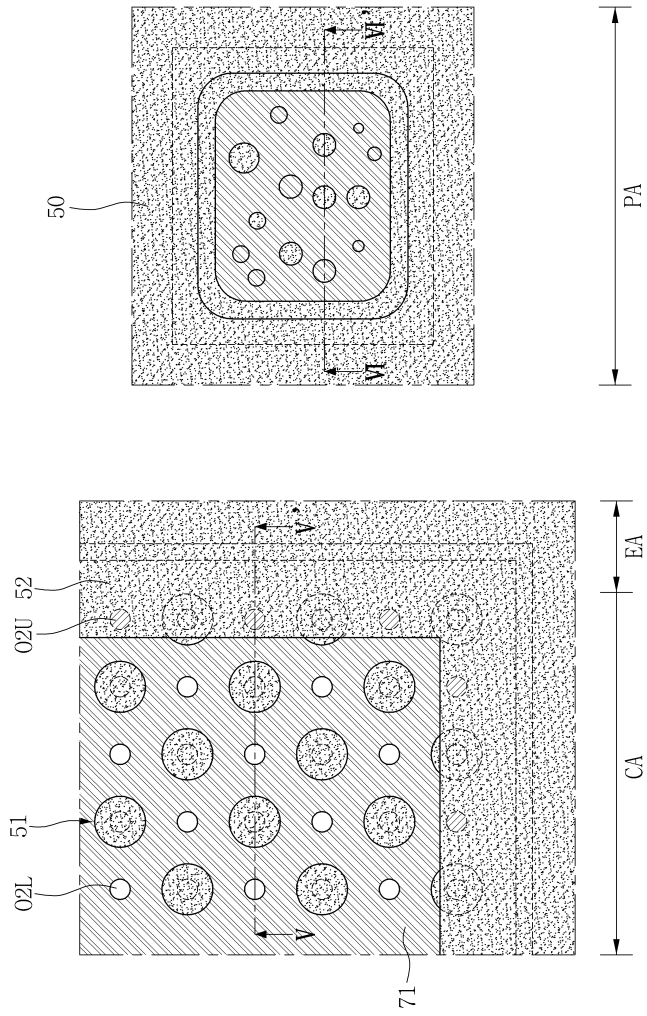
도면16a



도면16b

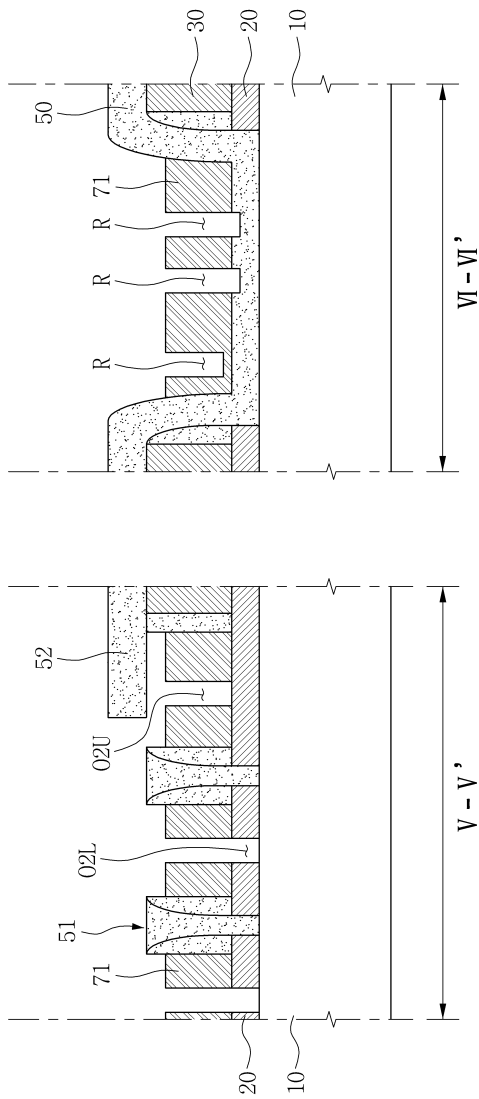


도면17a

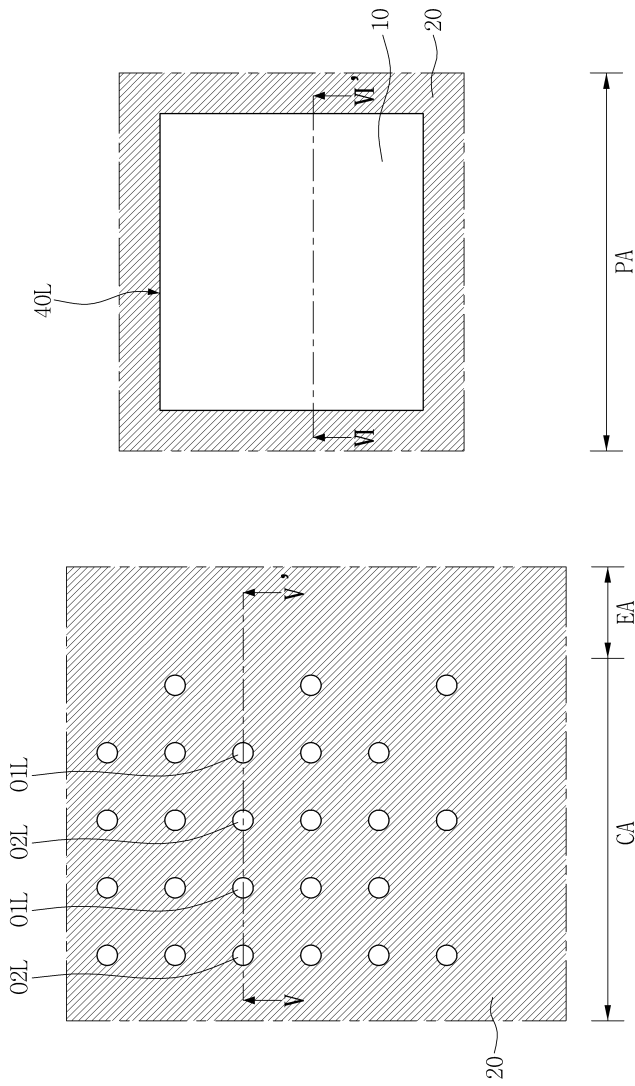




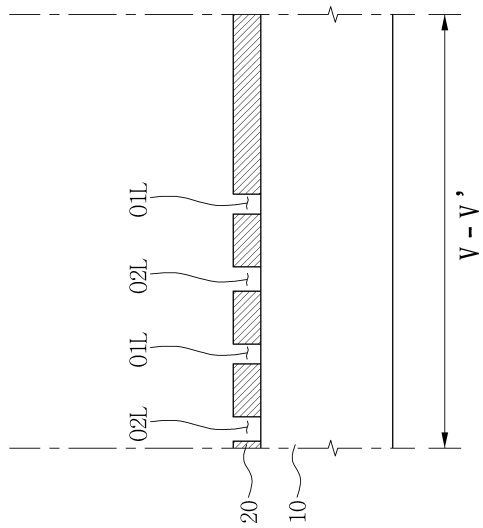
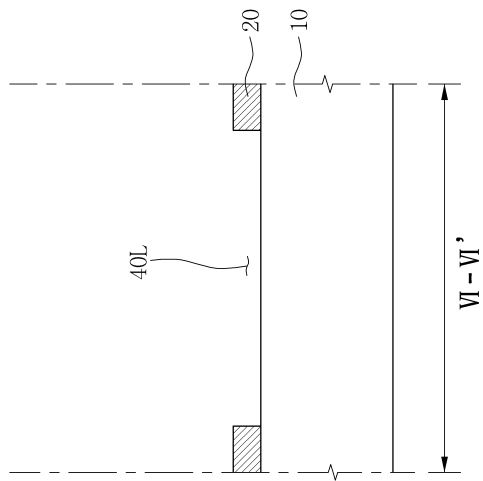
도면17b



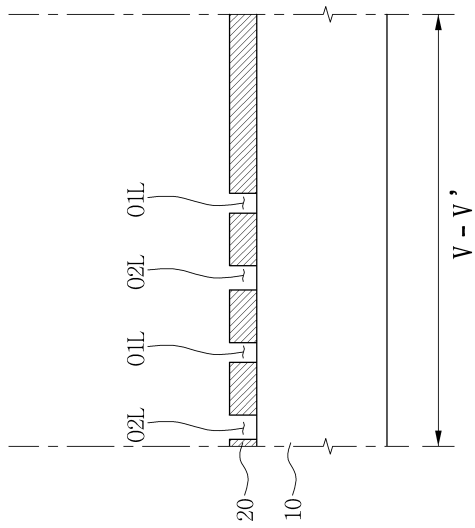
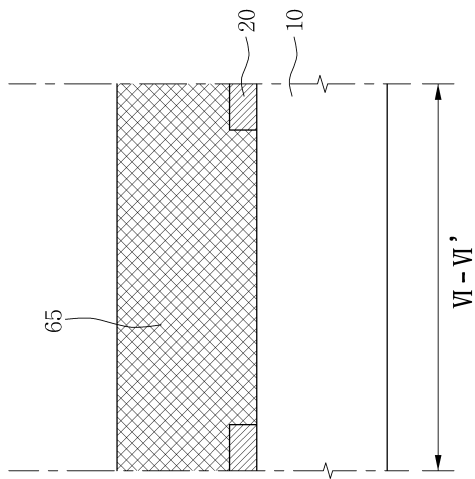
도면18a



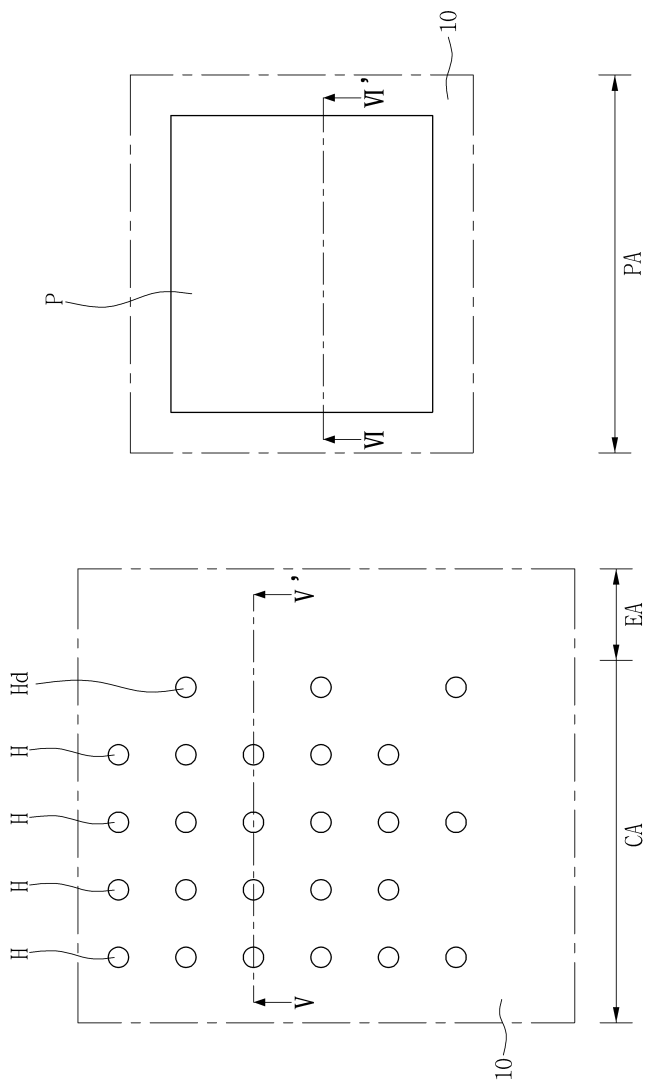
도면18b



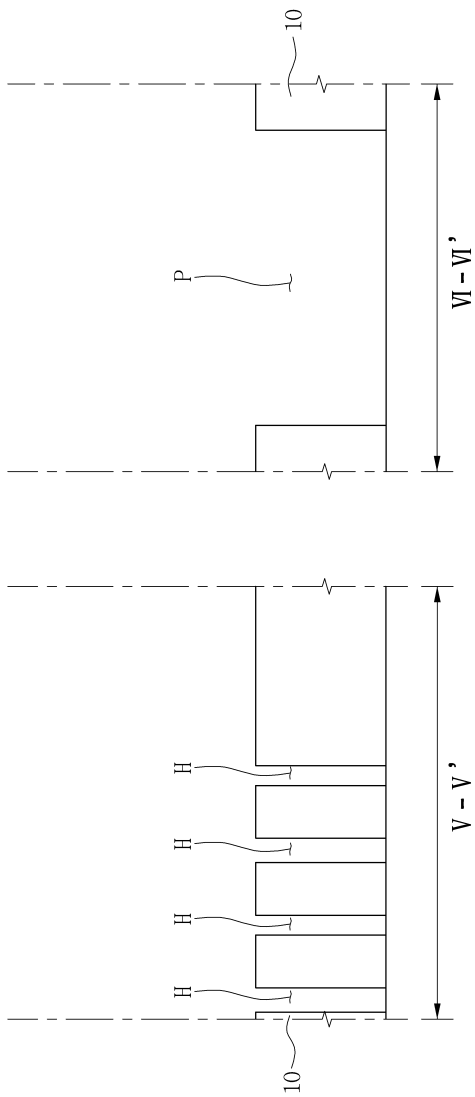
도면18c



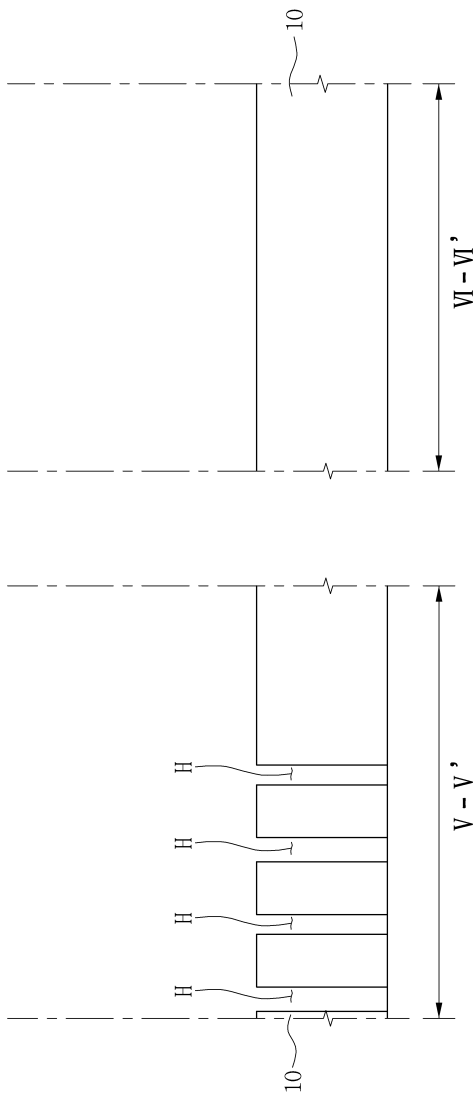
도면19a



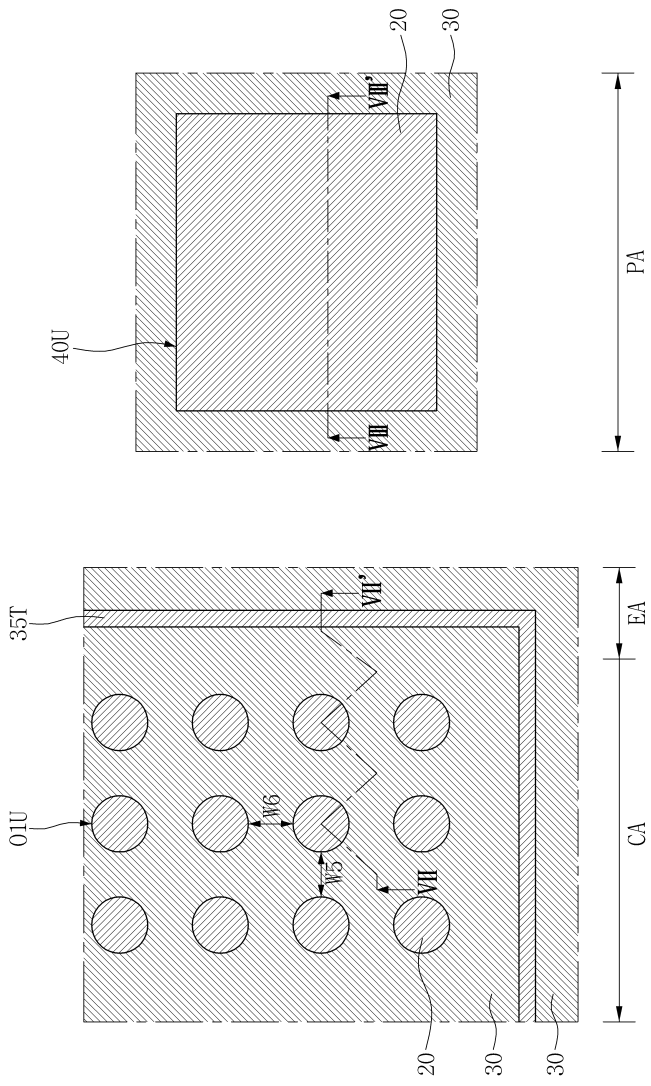
도면19b



도면19c

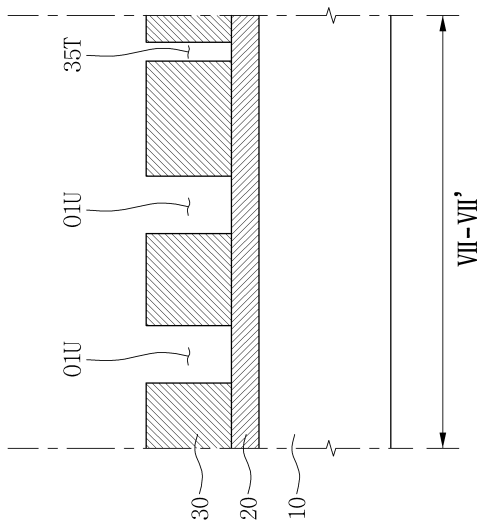
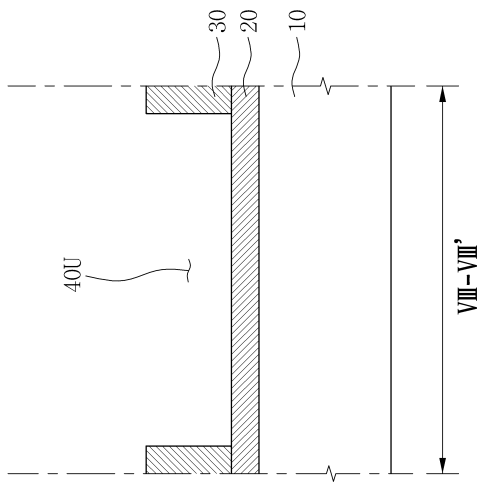


도면20a

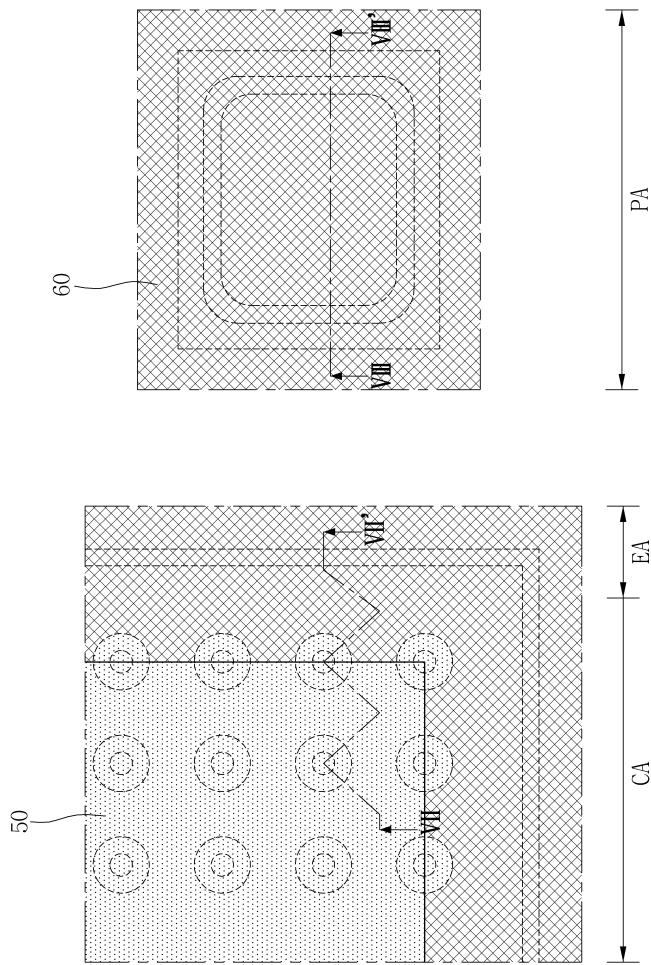




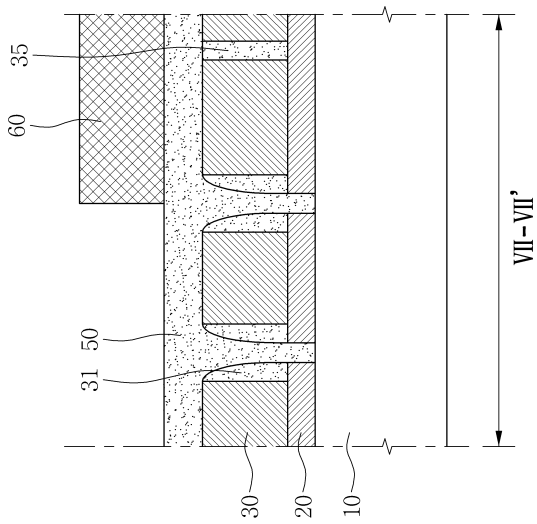
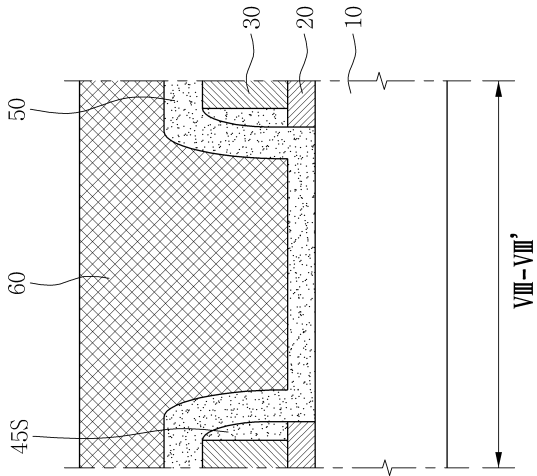
도면20b



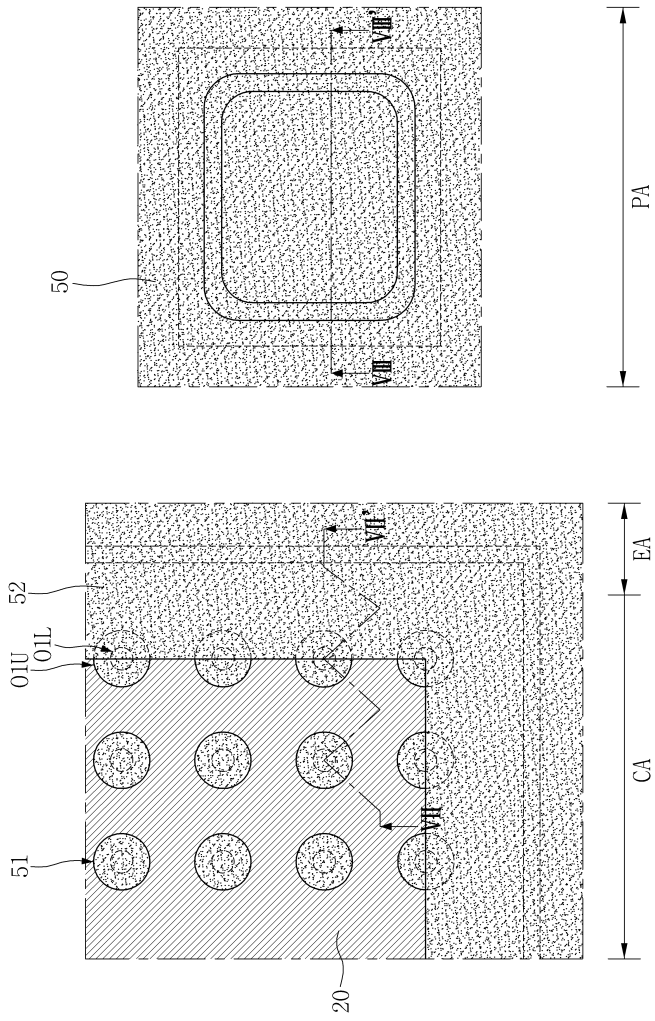
도면21a



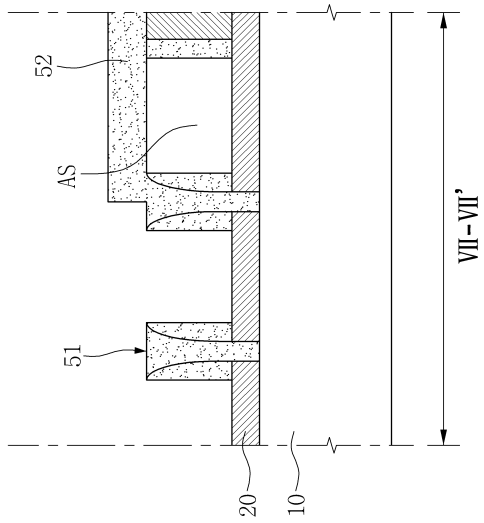
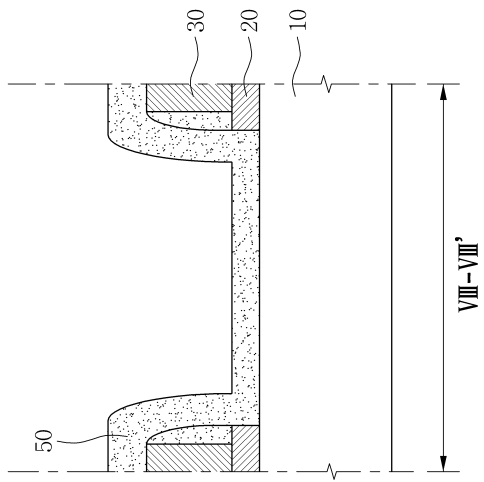
도면21b



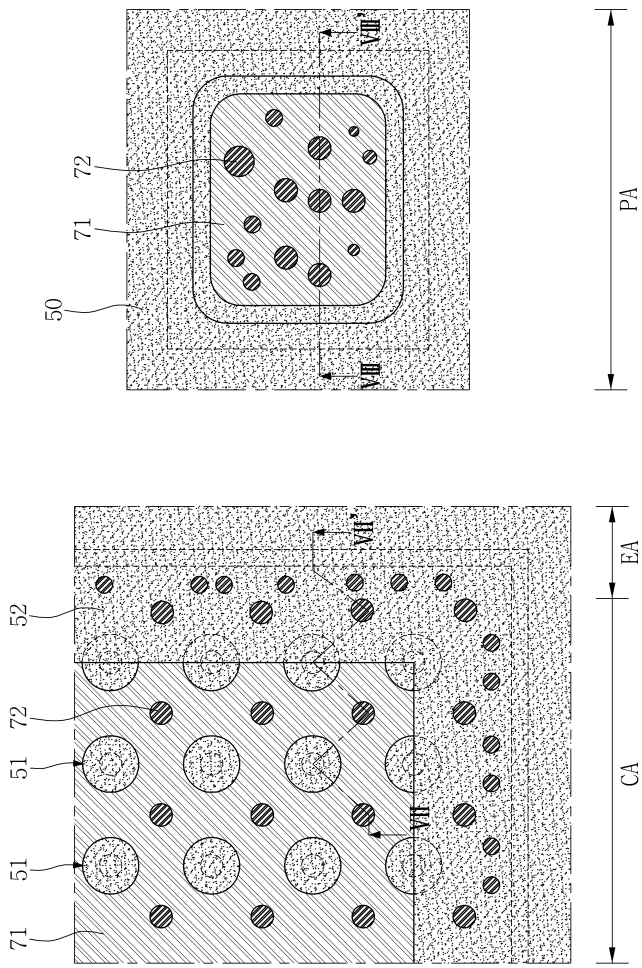
도면22a



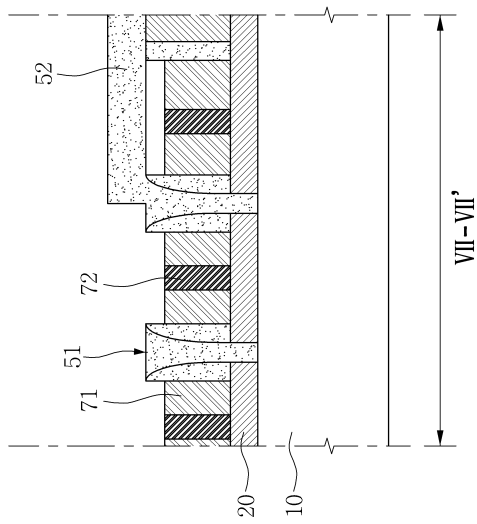
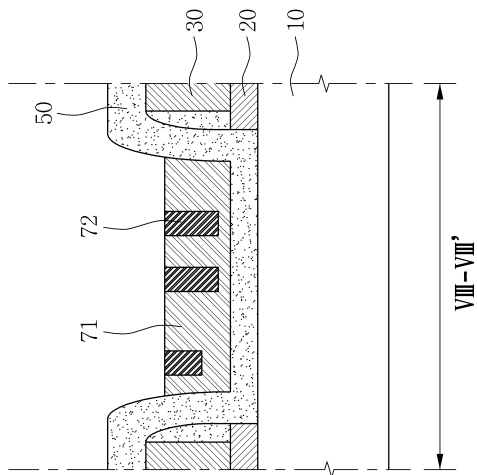
도면22b



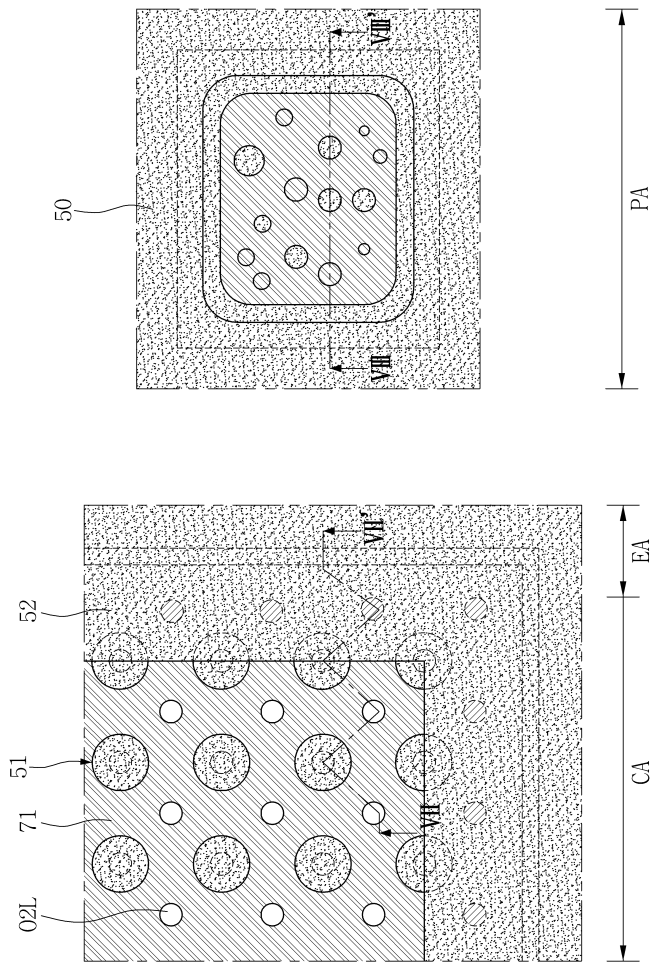
도면23a



도면23b

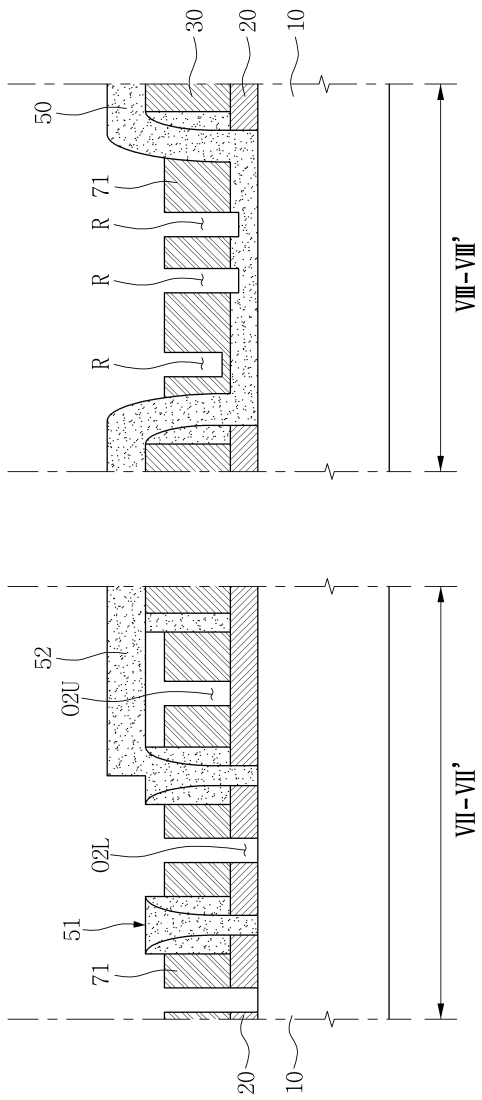


도면24a

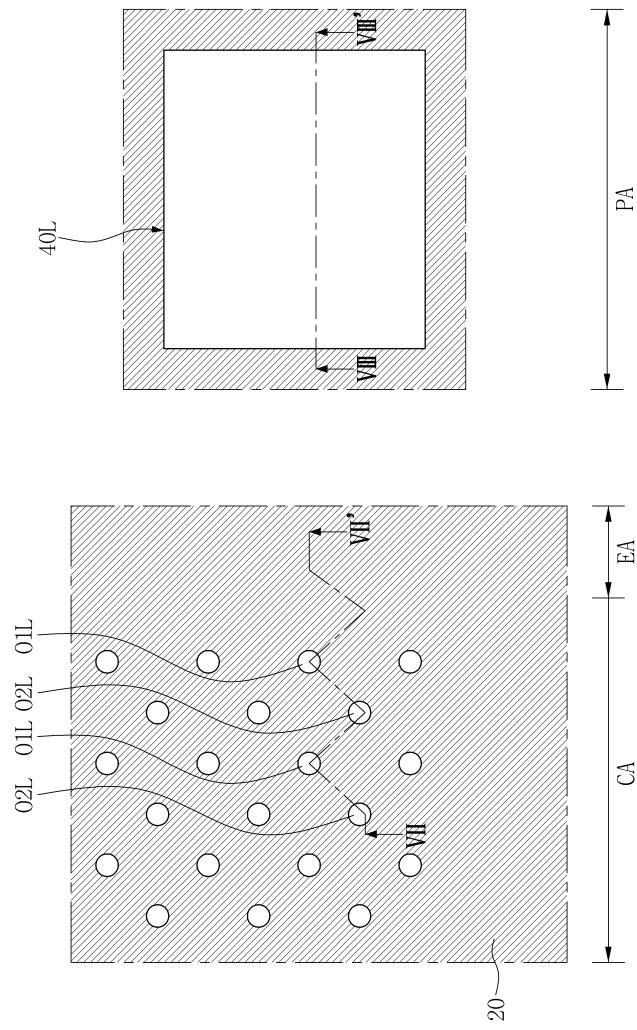




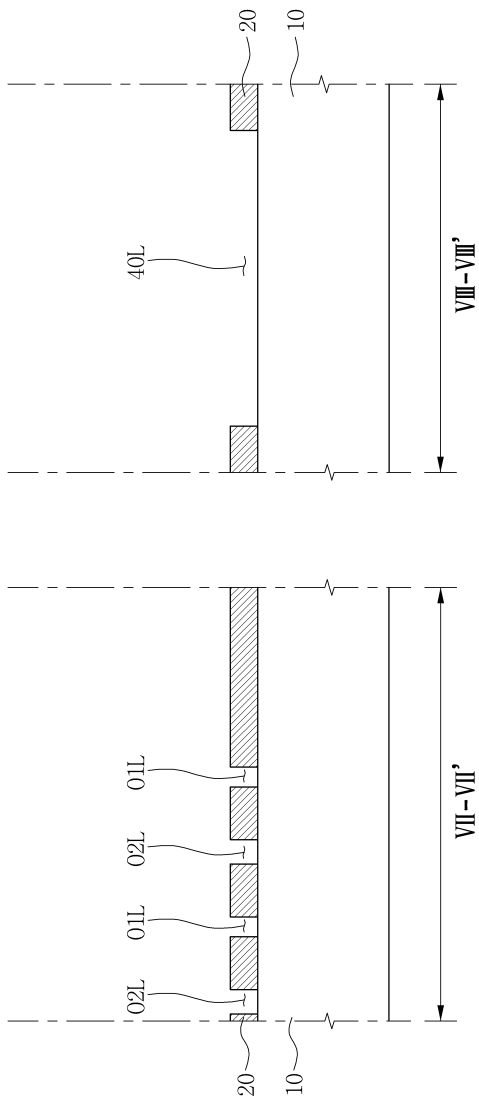
도면24b



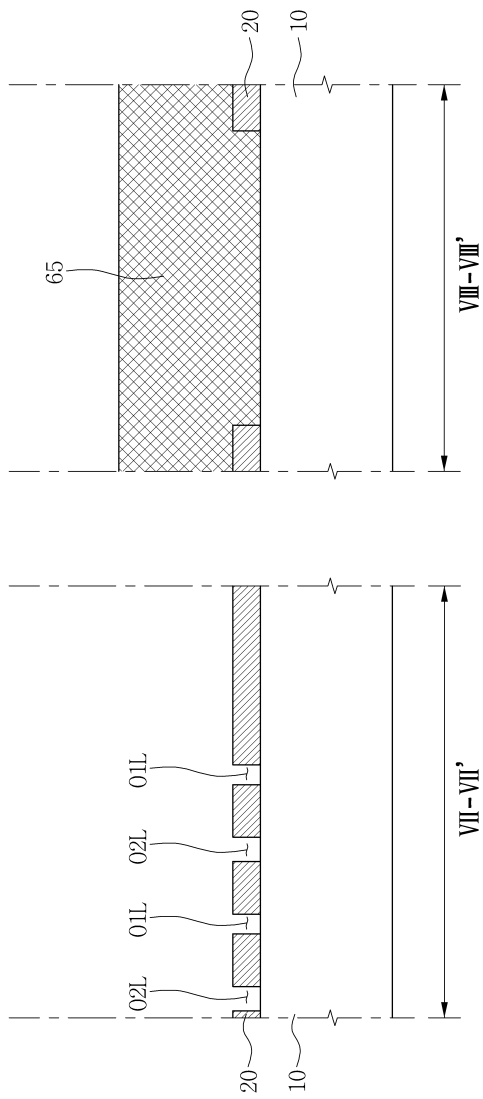
도면25a



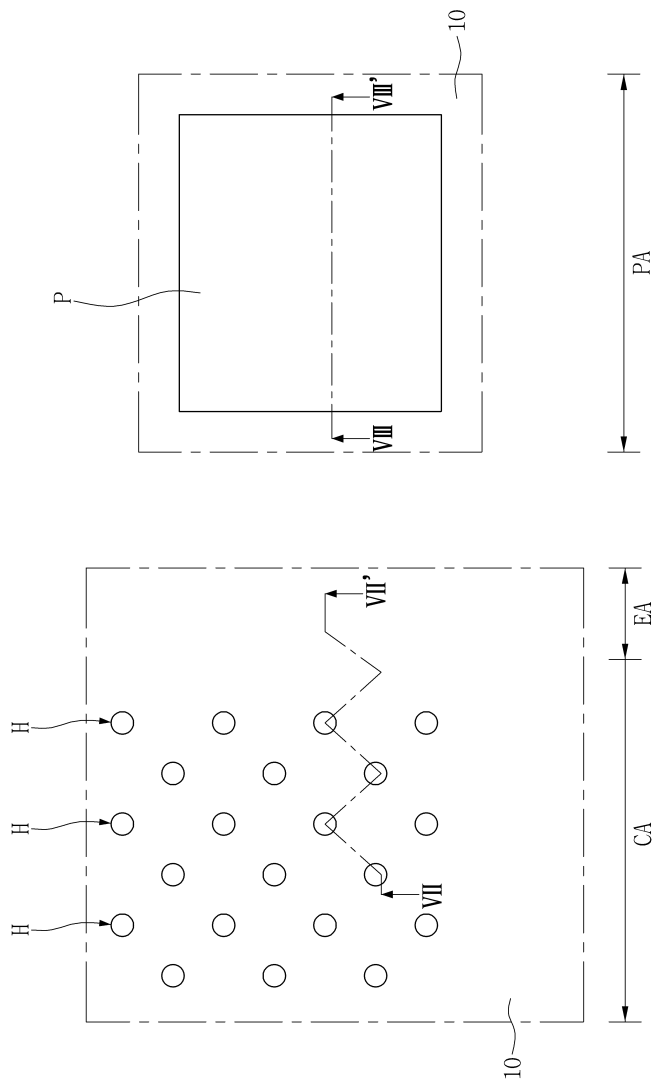
도면25b



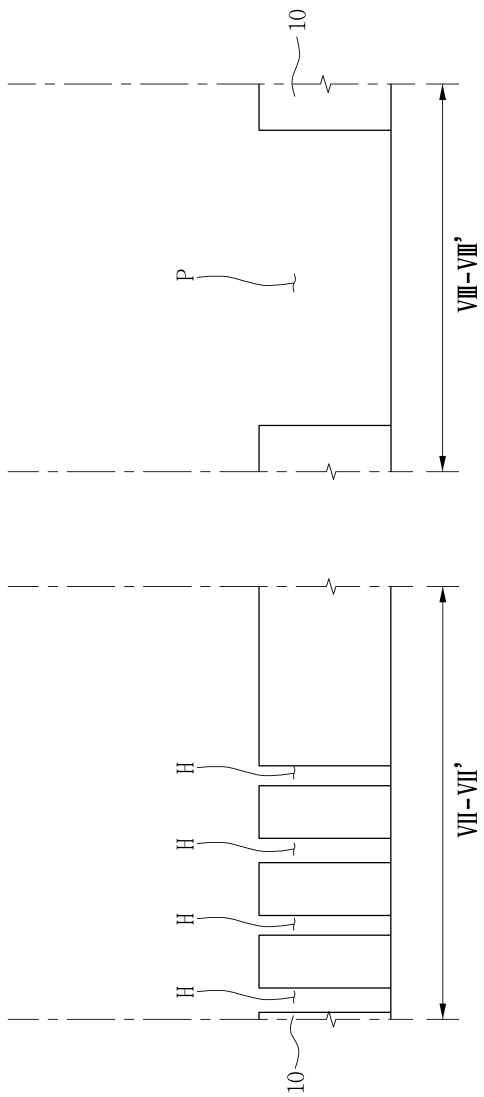
도면25c



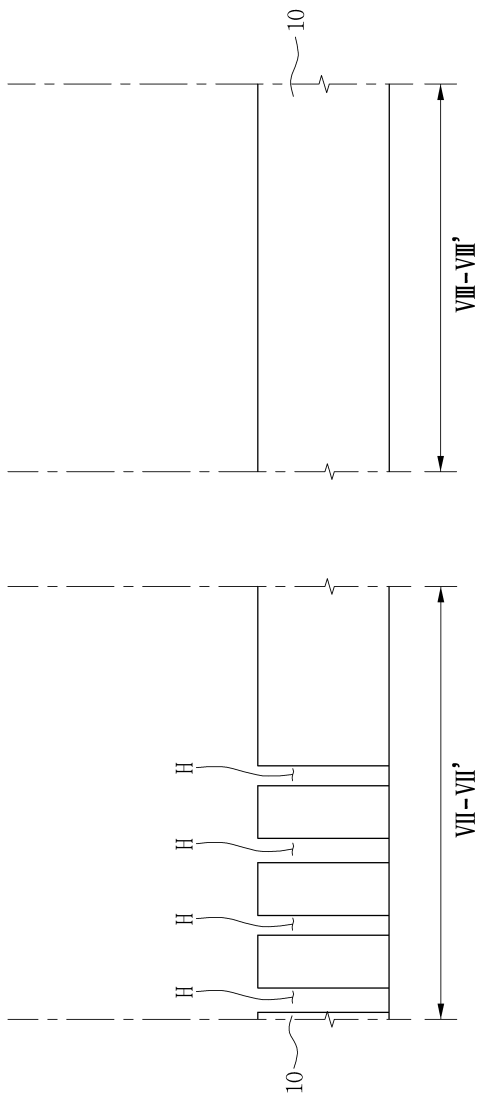
도면26a



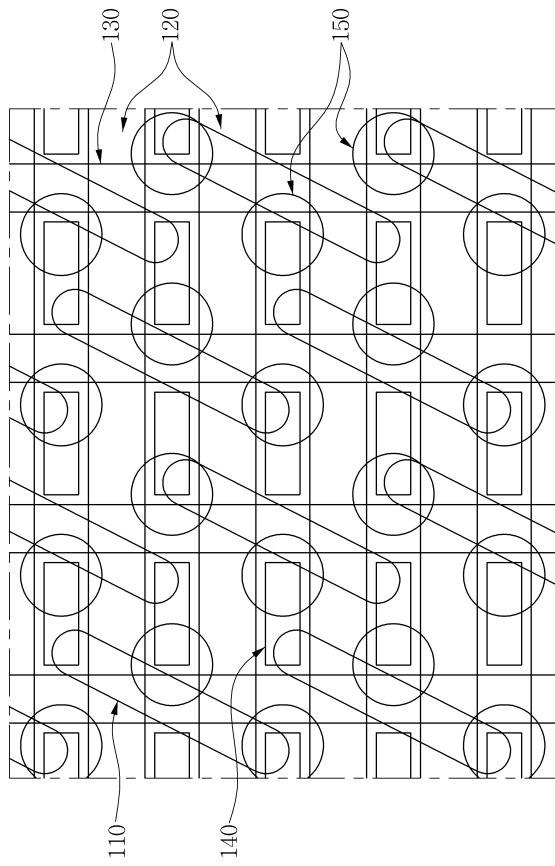
도면26b



도면26c

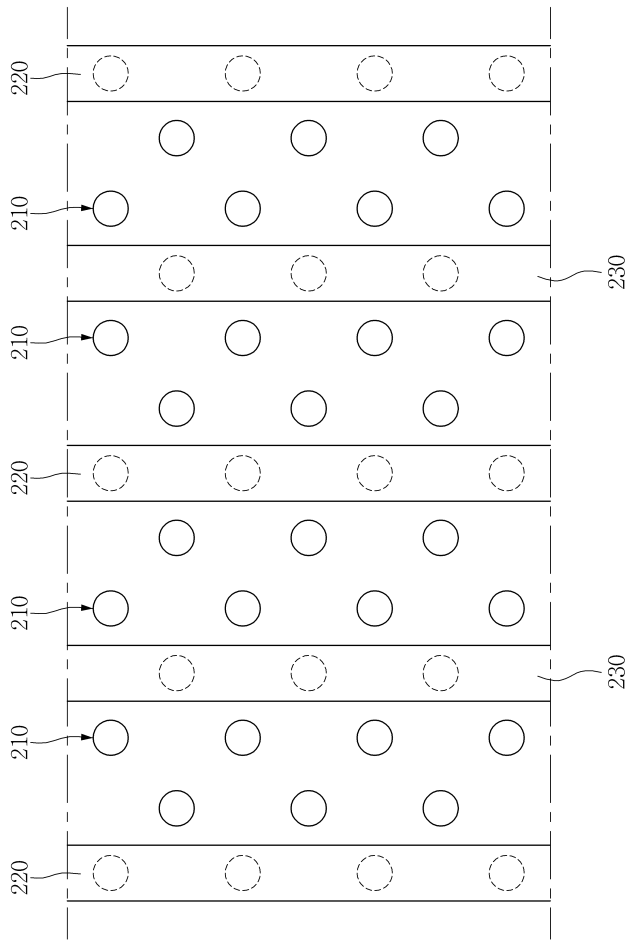


도면27

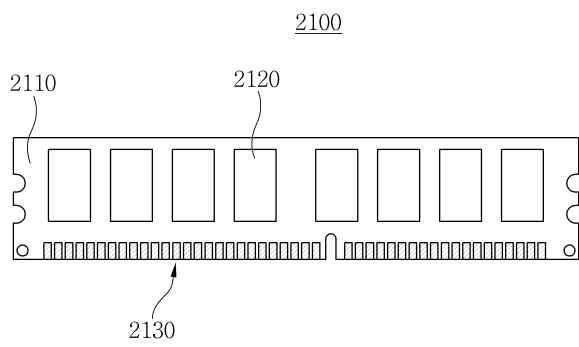




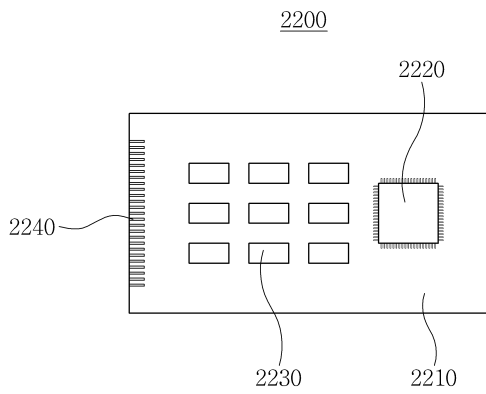
도면28



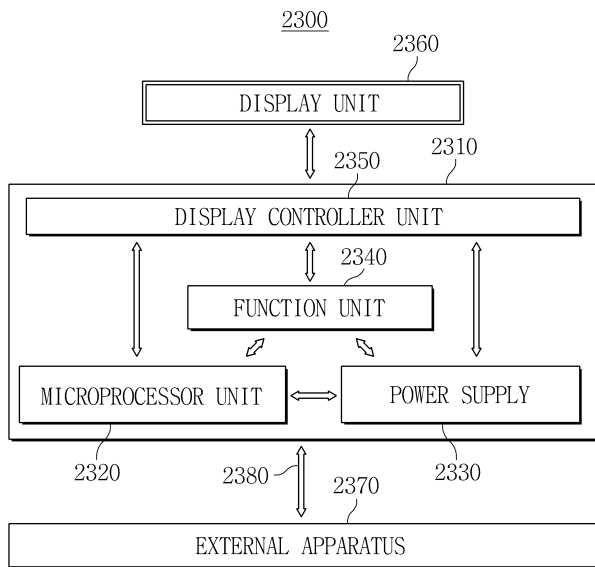
도면29a



도면29b



도면29c



도면29d

