

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-260260

(P2005-260260A)

(43) 公開日 平成17年9月22日(2005.9.22)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H O 1 L 21/768	H O 1 L 21/90	5 F O 3 3
	H O 1 L 21/90	A
	H O 1 L 21/90	Q
	H O 1 L 21/90	C

審査請求 有 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願2005-117776 (P2005-117776)  
 (22) 出願日 平成17年4月15日(2005.4.15)  
 (62) 分割の表示 特願平9-289152の分割  
 原出願日 平成9年10月6日(1997.10.6)  
 (31) 優先権主張番号 08/727, 159  
 (32) 優先日 平成8年10月7日(1996.10.7)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 78735 テキサス州  
 オースティン ウィリアム キャノンド  
 ライブ ウェスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 ブルース・アレン・ポエック  
 アメリカ合衆国テキサス州78759、オ  
 ースチン、フローラル・パーク 1061  
 1

最終頁に続く

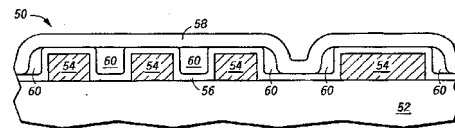
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 低い誘電率を有する誘電体層を備え機械的強度の低下をおさえると共に熱拡散を改善できる集積回路の相互接続構造を製造する。

【解決手段】 本発明は半導体装置の製造方法に関する。この方法は、間隙(60)によって分離された複数の導電部材(54)を形成する工程と、分離された複数の導電部材の上方に第1誘電層(58)をスピンオンプロセスにより形成し、同第1誘電層によって少なくとも1つの間隙を架橋して少なくとも1つのエア領域(60)を形成する工程とを備える。少なくとも1つのエア領域は約1.0の誘電率を有するとともに前記分離された複数の導電部材のうち少なくとも2つの分離された導電部材の間のアイソレーションを改善し、第1誘導層はポリフェニルキノキサリンおよび前もってイミド化したポリイミドから選択される。

【選択図】 図13



## 【特許請求の範囲】

## 【請求項 1】

ギャップ (60) によって分離された複数の導電部材 (54) を形成する工程と、

前記分離された複数の導電部材の上方に第 1 誘電層 (58) をスピンオンプロセスにより形成し、同第 1 誘電層によって少なくとも 1 つのギャップを架橋して少なくとも 1 つのエア領域 (60) を形成する工程とからなり、前記少なくとも 1 つのエア領域は約 1.0 の誘電率を有するとともに前記分離された複数の導電部材のうち少なくとも 2 つの分離された導電部材の間のアイソレーションを改善し、前記第 1 誘電層はポリフェニルキノキサリンおよび前もってイミド化したポリイミドから選択される、半導体装置の製造方法。

## 【請求項 2】

半導体基板を提供する工程と、

該半導体基板上に第 1 誘電層 (62) を形成する工程と、

前記第 1 誘電層 (62) 上に複数の導電部材 (64) を第 1 距離 X だけ離間させて形成する工程と、

非共形の誘電層 (66) を形成すべく前記複数の導電部材上にプラズマ増強化学蒸着を使用して誘電体層を被着して、前記複数の導電部材のうち少なくとも 2 つの導電部材の間に前記第 1 距離 X の少なくとも 60 パーセントに及ぶ密閉ポイド領域を形成する工程と、

前記密閉ポイド領域および前記第 1 誘電層上に第 2 誘電層 (70) を形成する工程とからなる集積回路構造体の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は一般的には半導体の製造に関し、かつより特定的には、容量結合およびクロストークを低減するために金属部材の間に低誘電率の領域を形成することに関する。

## 【背景技術】

## 【0002】

現代の集積回路は単一のチップ上に何千もの半導体デバイスを含んでおり、かつチップのデバイス密度が増大するに依りてより多くのメタリゼーションまたは金属層がデバイスを相互接続するために必要とされる。さらに、与えられた金属層内で、メタリゼーションラインを分離する水平距離は集積回路の密度が増大するに依りてチップサイズを最小にするため低減されなければならない。同時に、チップの速度および性能要求に合致するためメタリゼーションの抵抗および容量は最小にしなければならない。伝統的には、同じレベル内のメタリゼーションラインおよび 2 つの異なるレベルのメタリゼーションラインを隔離するために使用されるレベル間または層間 (inter-level) 誘電体は高い誘電率を有する材料で構成されてきた。例えば、ボロフォスホシリケートガラス (borophosphosilicate glass: BPSG)、フォスフォシリケートガラス (phosphosilicate glass: PSG)、およびプラズマおよび化学蒸着されたテトラエチルオルソシリケート (tetraethylorthosilicate) ベースの (TEOS) 酸化物のようなドーピングされていないおよびドーピングされた二酸化シリコン層がこれらの多層金属構造における誘電体層として使用されてきている。半導体産業の絶えず増大するデバイス密度および動作速度を備えた集積回路に対する絶えざる需要はクロストーク、容量結合、および結果としての速度の低下を低減するために、低い誘電率を有する新しい誘電体材料を要求している。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

しかしながら、レベル間および金属間誘電体層を形成するために使用される低い誘電率の材料の多くはそれらの貧弱な機械的強度のため取り扱うのが困難である。さらに、これらの材料の多くは処理温度の制限を有し、すなわち、それらはいったん集積回路の上に形成されると、ある温度より高い熱処理にさらすことはできない。さらに、これらの材料の

10

20

30

40

50

多くはまた貧弱な熱伝導率を示す。従って、高周波動作の間に発生される熱が集積回路から効率的に放散できず、従って回路の信頼性が問題となる。従って、機械的強度の不都合が低減され、かつ熱放散が改善された、低い誘電率を有する誘電体層を備えた相互接続構造を形成する方法の必要性が存在する。

【課題を解決するための手段】

【0004】

一般に、本発明はRC時間遅延または隣接金属ラインの間のクロストークが低減された集積回路(IC)における相互接続構造を形成する方法に関する。本発明の1実施形態では、相互接続構造は高い誘電率を備えた第1の誘電体層および低い誘電率を備えた第2の誘電体層を使用することにより形成される。本発明のこの実施形態では、低い誘電率を有する誘電体層は導電性相互接続の間に支配的または優勢に(predominantly)形成されかつ実質的に該導電性相互接続の上には形成されない。低K(low-K)誘電体材料がこのようにして前記相互接続の間の犠牲的な(sacrificial)より高いKの誘電体層が除去されて低いKの誘電体材料で充填できる導電性部材の間の領域を提供した後に形成され、それによって前記導電性部材の上の低いKの誘電体材料が低減あるいは除去される。導電性部材の上に横たわるかあるいは下に横たわる代わりに導電性領域の間に低いKの材料をこのように選択的に配置することは熱放散および機械的強度を改善し、一方低いKの材料に関連する改善されたアイソレーションの利点を保持する。

10

【0005】

本発明の他の実施形態では、低減されたクロストークまたはRC時間遅延を有する相互接続構造が第1の誘電体層をエッチングしてコンタクト開口を形成することにより形成される。第2の誘電体層が次に被着され、この場合該第2の誘電体層は低い誘電率を有する。第2の誘電体層は前記第1の誘電体層におけるコンタクト開口が密閉または密封されて空気領域またはエア領域(air region)を形成するように被着される(例えば、第2の誘電体は堅いポリマのバックボーンを備えた低いKのスピノン樹脂(spin-on-resin)とすることができる)。第2の誘電体層の一部が次に除去されて前に第2の誘電体層によって密閉または密封されたコンタクト開口を露出する。次に2重のはめ込まれた(dual in-laid)金属相互接続が前記コンタクト開口内に形成され、それによって前記低いKの第2の誘電体がアイソレーションの利点が達成される導電性領域の間に配置され、一方熱的および機械的特性が改善される。

20

30

【0006】

本発明のさらに別の実施形態では、堅いポリマのバックボーンを有するポリマ樹脂をスピノンすることにより隣接する導電性金属相互接続ラインの間にボイド/エア領域(void/air regions)が形成される。この堅いバックボーン材料は同じ導電性相互接続層内に近接した間隔の金属導電性部材の間にエア領域を形成する。エアギャップの原子ガス(atomic gas)内容および形成雰囲気圧力に応じて、前記エアギャップは誘電率 $\epsilon = 1$ に接近し、これはクロストークおよびポリシリコン(polysilicon)および金属相互接続における不利な容量結合の低減のために最適の誘電率である。

【0007】

本発明のさらに別の実施形態では、非共形の(non-conformal)誘電体層が隣接する導電性相互接続ラインの上に横たわって形成され、ボイド/エア領域が同じ導電性相互接続レベル内の接近した間隔の導電性相互接続ラインの間に形成されるようにされる。次に第2の誘電体層が前記非共形の誘電体層の上に横たわって形成されかつ平坦化されて完成した層間またはレベル間(inter-level)誘電体を形成する。次に前記第2の誘電体層および前記非適合的導電体層がパターンニングされてコンタクトまたはビア開口を形成しこれは次に導電性材料で充填されて導電性相互接続を形成する。2つの隣接する導電性相互接続ラインの間のボイド領域は2つの導電性相互接続ラインの間のクロストーク/容量を低減し、それによって回路速度が改善されかつ論理的なクロストークエラーが避けられる。

40

50

## 【発明を実施するための最良の形態】

## 【0008】

以下図面を参照して本発明の実施形態につき説明する。説明の単純化および明瞭化のために、図面に示された各要素は必ずしも比例した尺度で描かれていないことが理解されるであろう。例えば、いくつかの要素の寸法は明瞭化のため他の要素に対して誇張されている。さらに、適切であると考えられる場合には、図面にわたり参照数字が反復されて対応するまたは類似の要素を示している。

## 【0009】

本発明の実施形態は図1～図16を参照することによりさらに明瞭に理解できる。図1～図6は、断面図形式で、本発明の第1の実施形態に係わる相互接続構造を作製するための処理工程を示す。図1には集積回路構造の一部10が示されており、該一部10は第1の誘電体層12、エッチストップ層(etch stop layer)またはエッチング停止層16、および第2の誘電体層18を備えている。図1においては、第1の誘電体層12、エッチストップ層16、および第2の誘電体層18は伝統的なリソグラフおよびエッチング技術を使用してパターンングされる。好ましい実施形態においては、第1の誘電体層12、エッチストップ層16、および第2の誘電体層18はフッ素化エッチング種(fluorinated etch species)からなるプラズマエッチ化学剤を使用して同時にパターンングされかつエッチングされる。例えば、層12, 16および18は $\text{CHF}_3$ ,  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ および/またはそのようなエッチングガスを使用して発生されるプラズマ環境でパターンングすることができる。このエッチングプロセスは第1の誘電体層12内にコンタクト開口14を規定しこれは金属導電体層がその後図1のコンタクト開口内に被着され導電性コンタクト部分14を形成できるようにすることに注目すべきである。この引き続き被着される導電体層はポリシリコン層または半導体基板内の他の金属層またはドーピングされた半導体領域のような下に横たわる導電性領域への電気的コンタクト/相互接続を形成するために使用される。前記ドーピングされた領域はバイポーラ電極、ウエルコンタクト、ソース/ドレイン、薄膜トランジスタ(TFT)ノードあるいは同様のドーピングされたポリシリコンまたは基板部分とすることができる。ポリシリコンはアモルファスシリコン、エピタキシャル成長シリコン、あるいは高融点シリサイド化シリコン含有層(refractory silicided silicon-containing layers)と置き換えることができる。

## 【0010】

1実施形態では、第1の誘電体層12および第2の誘電体層18は同じ材料を使用して形成される。例えば、第1の誘電体層12および第2の誘電体層18はボロフォスフォシリケートガラス(BPSG)の層、プラズマテトラエチルオルソシリケート(TEOS)の層、フォスフォシリケートガラス(PSG)層、二酸化シリコン、窒化物層、フッ素化酸化物層、あるいは同様の誘電体層とすることができる。他の形式では、誘電体層18は層12と異なる材料から形成される。第1の誘電体層12、第2の誘電体層18は伝統的なプラズマ被着プロセス、低温化学蒸着(LPCVD)プロセス、その他を使用して形成される。1実施形態では、エッチストップ層16は層12および18が酸化物である場合にプラズマ増強窒化シリコンの層である。あるいは、リソグラフプロセスにおいて反射防止コーティング(anti-reflective coating: ARC)として機能することもできる、エッチストップ層16はシリコンリッチ(silicon rich)窒化シリコン、窒化アルミニウム、またはエッチバック停止層または化学機械研磨(CMP)停止層として使用できる任意の誘電体層とすることができる。また、窒化シリコン酸化物(silicon oxide nitride: SiON)またはシリコンリッチSiONはこの場合エッチストップまたは反射防止コーティング(ARC)層として使用することができる。

## 【0011】

図2においては、層18内に相互接続トレンチを形成するために他のフォトレジストおよびエッチングプロセスが使用されている。図1における層12を通る開口は下に横たわ

る材料へのコンタクト開口であり、一方図2において層18を通して形成された開口は相互接続トレンチである。インレイまたははめ込まれた(in-laid)金属(象眼文様のある:damascene)プロセスの相互接続トレンチを形成するため、第2の誘電体層18はエッチング化学剤環境を使用してエッチストップ層16まで選択的にエッチングされる。このエッチングプロセスは第2の誘電体層18内に相互接続領域20, 20'を画定する。2重のインレイ金属処理は図1~図2に示されたもの以外の他の同様の方法で行うことが可能なことに注目することが重要である。図1~図2はコンタクト領域および相互接続トレンチを有する2重のインレイ構造を形成するための任意の方法を代表するものとする。

#### 【0012】

図3においては、導電体層の材料が次にコンタクト部分14および相互接続部分20, 20'内に被着される。この導電体層の材料はその後CMPおよび/またはエッチング処理によって平坦化されて導電性相互接続部21を形成する。1実施形態では、導電性相互接続部分21は始めにコンタクト部分14および相互接続部分20, 20'内に薄いバリア層を被着し、それに続いて導電体部分相互接続部分20, 20'をより完全に充填するより厚い導電体層を被着することにより形成される。相互接続部21は伝統的な化学機械研磨(CMP)技術、レジストエッチバック(REB)技術、および/または計時またはタイムド(timed)プラズマエッチ処理を使用して形成できることが理解されるべきである。窒化チタン、タングステンチタン、チタン、タンタル、窒化タンタル、窒化シリコンタンタル、窒化シリコンチタン、窒化タングステンまたは他の同様の材料からなる任意の層または複合層を部分14および20, 20'のバリア層として使用できる。さらに、銅、金、銀、タングステン、アルミニウム、その任意の複合体、その他をバリア層(単数または複数)の上に相互接続部21を形成するためにより厚い充填材料(thickener fill materials)として使用できることが理解されるべきである。さらに、導電性相互接続部21は伝統的な化学蒸着(CVD)技術、電極めっき技術、スパッタリング技術、および/または選択的被着技術を使用して形成することができる。

#### 【0013】

図4においては、第2の誘電体層18の残りの部分(犠牲的誘電体層部分と称される)が選択的に除去されてエッチストップ層16の部分露出する。誘電体層18の残りの部分は伝統的なプラズマおよび/またはウェットエッチング技術を使用して除去することができる。1つの実施形態では、誘電体層18の残りの部分は緩衝HF溶液(buffered HF solution)を使用して除去される。あるいは、誘電体層18の残りの部分は相互接続部21を画定するために使用されたのと同じエッチングプロセスを使用して除去することができる。

#### 【0014】

図5においては、低い誘電率 $\epsilon$ を有する第3の誘電体層22が次に導電性相互接続部21の上に形成されている。ここで使用するための適切な低いKの誘電体は $\epsilon = 3.5$ のものである。 $\epsilon = 3.0$ を有する低いKの誘電体を使用される場合はクロストークおよび容量結合のさらなる低減が行われる。好ましくは、容量低減の見地から、 $\epsilon = 2.7$ を備えた材料がレベル間誘電体として最適である。第3の誘電体層22は伝統的なスピノン技術または化学蒸着技術を使用して形成できる。層22のために最もよく使用できるスピノンポリマまたはスピノンガラス(SOG)は水素シルセスキオキサン(hydrogen silsesquioxane:HSQ)、ベンゾサイクロブテン(benzocyclobutene:BCB)、ポリイミド(polyimide)、およびポリアリルエーテル(polyarylether:PAE)である。例えば、1つの実施形態では、誘電体層22はほぼ $\epsilon = 3.0$ の誘電率を有しかつHSQのようなスピノンガラス材料である。あるいは、誘電体層22はほぼ $\epsilon = 2.6$ の誘電率を有するBCBのような熱硬化性樹脂とすることができる。あるいは、誘電体層22はほぼ $\epsilon = 2.6$ の誘電率を有するPAEまたはPAE2のようなポリアリルエーテルとすることができる。TEOSまたは $3.9 \sim 4.3$ の範囲内の誘電率を有する二酸化シリコンの容量およびクロストー

10

20

30

40

50

クを改善するために  $e = 3.5$  を有する任意の誘電体を使用できることに注目することが重要である。層 22 は CVD 技術によって形成された有機誘電体層または有機スピンオン誘電体とすることができる。

#### 【0015】

図 6 においては、誘電体 22 が次に平坦化されて導電性相互接続部 21 の頭部を露出する。典型的には、露出される相互接続部 21 の部分は図 6 に示されるように導電性相互接続部分 20, 20' の頭部である。好ましい実施形態では、誘電体層 22 は伝統的なプラズマエッチング技術および/または化学機械研磨を使用して平坦化される。図 6 に示されるように、この平坦化はより高い誘電率 ( $e > 3.5$ ) を有する他の誘電体層 12 および 16 の上に横たわる低い誘電率の誘電体層 22 ( $e = 3.5$ ) を有する相互接続構造を形成する結果となる。さらに、層 22 および/または図 6 の導電性相互接続部の頭部は任意選択的な反射防止コーティング (ARC) 層によって覆うことができる。低い誘電率を有する誘電体層 22 は隣接相互接続ラインの間の容量がより低い K の膜によって低減されるため回路の性能を改善することを理解すべきである。層 22 はウエーハの全面を覆わない (20, 20' の頭部は図 6 においては層 22 によって覆われない) という事実のため、機械的な安定性が改善されかつ集積回路に対する熱的特性が増強される。もし図 6 における導電性相互接続部として銅 (copper) が使用されれば、その銅を上を横たわる材料から隔離するために図 6 の構造の頭部にキャップ/バリア層 (capping/barrier layer) が必要であろう。

10

#### 【0016】

図 7 ~ 図 10 は、断面図形式で、本発明の別の実施形態に係わる相互接続構造を作製するための処理工程を示す。図 7 にはエッチストップ層 32、第 1 の誘電体層 34、およびフォトレジスト層 36 を備えた集積回路構造の一部 30 が示されている。伝統的なフォトリソグラフィパターンニングおよびエッチング技術を使用して、エッチストップ層 32 および第 1 の誘電体層 34 がエッチングされ、第 1 の誘電体層 34 内にコンタクト部分 38 を形成しかつ金属相互接続部、ポリシリコン、またはドーピングされたシリコン領域のような下に横たわる導電性領域 (図 7 には示されていない) を露出する。層 32 は伝統的なプラズマまたは化学蒸着技術を使用して形成されかつ窒化シリコン、シリコンリッチ・窒化シリコンまたは窒化アルミニウムの層とすることができ、かつエッチストップ層 (ESL) および/または反射防止コーティング (ARC) 層として機能する。第 1 の誘電体層 34 もまたプラズマ被着のような伝統的な化学蒸着 (CVD) 技術、低圧力化学蒸着 (LPCVD) その他を使用して形成されかつ BPSG、PSG、TEOS、フッ素化合物、または同様の誘電体材料の層または複合層とすることができる。

20

30

#### 【0017】

図 8 においては、フォトレジストマスク 36 が除去されかつ低い誘電率を有する誘電体層 40 が誘電体層 34 の上に形成され、それによってコンタクト部分 38 が誘電体層 40 によってキャッピングされ (capped) またはブリッジが行われ、かつ充填されない状態で残される (すなわち、図 8 においては図 7 のコンタクト部分 38 からエアギャップ 38 が形成される)。これもまたハードマスクとして作用する反射防止コーティング (ARC) 層 42 が次に誘電体層 40 の上に被着される。好ましい実施形態では、誘電体層 40 は  $e = 3.0$  またはそれより小さい誘電率  $e$  を有するが、隣接する導電性部材の間の電気的アイソレーションの利点を与えるためにほぼ  $3.5$  より小さい誘電率  $e$  の任意の材料とすることができる。1 実施形態では、誘電体層 40 はポリフェニルキノキサリン (polyphenyl quinoxaline: PPQ) でありかつ  $e = 3.0$  の誘電率を有する。あるいは、誘電体層 40 は  $e = 2.6$  の誘電率を有するポリイミド (polyimide) の層とすることができる。ポリイミドは、図 8 においては、ポリ (アミック) 酸溶液 (poly (amic) acid solution) または完全にイミド化したポリイミドから形成できる。一般に、層 40 を形成するために図 8 において使用されるスピンオン材料は実質的に堅いポリマーのバックボーンを有する任意の材料とすることができ、それによってエア領域 38 が少なくとも部分的に図 8 において形成されるようにする。

40

50

## 【0018】

図8のエアギャップ38のふくれ(blistering)を避けるため、層40のアニール工程が熱的ランプ(thermal ramp)様式で行われるべきである。該ランプはセ氏100度より低い温度でスタートしかつ、選択された温度ランプ期間の後に、ほぼセ氏100度~セ氏300度に到達し層40の溶剤除去(solvent-removal)アニールを行う。より低速のランプ熱処理が高い温度への高速の露出よりもエアギャップ38のふくれを避けることができる傾向にある。また、低い圧力またはより少ない捕捉(trapped)分子/原子を備えたエアギャップ38を生成するために大気中より低いまたはサブ大気圧(sub-atmospheric)スピノン処理を使用することができる。このサブ大気圧プロセスはギャップ38内の原子の高い密度を除去することによりふくれの影響を低減することができる。

10

## 【0019】

図9においては、伝統的なフォトリソグラフィ・パターンニングおよびエッチング技術が次に使用されて反射層42および誘電体層40をパターンニングおよびエッチングして誘電体層内に相互接続部分41を画定しかつ図8におけるエアギャップ38であるコンタクト部分38を再び露出する。エアギャップ38は図8において隔離されていたから下に横たわる金属相互接続部またはドーピングされたシリコン領域へのコンタクト開口を形成するために付加的なエッチングは要求されないことに注目することが重要である。1実施形態では、誘電体層40は酸素を含むプラズマを使用してパターンニングされ、かつ誘電体層40内の開口を画定するために使用されるフォトレジストマスク44は誘電体層40がエッチングされると同時に除去される。従って、この実施形態では、誘電体層40をパターンニングするために使用されるエッチング処理はまた同時に誘電体層40内に開口を画定するために使用されるフォトレジストマスク44のいくらかまたはすべてを除去する。

20

## 【0020】

図10においては、バリア層49および導電膜材料が次にコンタクト開口38および相互接続領域41内に形成される。前記バリア層49および導電膜材料の一部が次に選択的に除去されて図10の導電性相互接続部48を形成する。1実施形態では、導電性相互接続部48は伝統的なプラズマエッチング技術を使用して形成される。あるいは、導電性相互接続部48は伝統的な化学機械研磨(CMP)技術を使用して形成できる。次にエッチストップ層46または反射防止コーティング(ARC)層46が誘電体層40および導電性相互接続部48の上に横たわって形成される。図7~図10に示された処理工程は次に反復されて導電性相互接続部48の上に横たわる付加的な組の導電性相互接続部を形成しかつ従って、複数層の相互接続部を有する集積回路が本発明により形成できることが理解されるべきである。低いKまたは低い誘電率の材料40は、(1)アイソレーションの利点が得られる領域48の間にのみ配置され、かつ(2)機械的安定性および熱放散を劣化させるようなウエーハ全体の上に位置しないから、図10の最終的な構造は従来技術に対して有利性を有する。

30

## 【0021】

図11~図15は、本発明の別の実施形態に係わる相互接続構造を作成するための処理工程における断面図を示す。図11には、第1の誘電体層52および複数の導電体相互接続部54を備えた集積回路構造の一部50が示されている。始めに、誘電体層52が伝統的なプラズマまたは化学蒸着(CVD)技術を使用して形成されかつBPSG、PSG、TEOS、フッ素化された酸化シリコン、その他の層とすることができる。複数の導電性相互接続部54もまた伝統的なフォトリソグラフィ・パターンニングおよびエッチング技術を使用して形成される。複数の導電体相互接続部54はドーピングされた二酸化シリコン、金属、金属サリサイド、金属シリサイドその他を使用して形成できる。

40

## 【0022】

図12においては、次に任意選択的なエッチストップ層56が第1の誘電体層52の上に横たわりかつ前記複数の導電体相互接続部54の上に横たわって形成される。任意選択的なエッチストップ層56は伝統的なプラズマまたは低圧化学蒸着技術を使用して形成さ

50

れかつ二酸化シリコン、窒化シリコン、シリコン・オキシナイトライド (silicon oxynitride)、または窒化アルミニウムとすることができる。層56のためには二酸化シリコンが好ましくかつ層56はエッチングされて図12における側壁スペーサ (sidewall spacers) を形成する。層56はまた領域54へのコンタクトのミスアライメントを補償するために使用される。もし図13のエア領域60が図14に示されるようにコンタクト開口に露出されかつ高度に適合的な (conformal) 金属被着プロセスが使用されれば、電氣的ショート回路が生じるかもしれない。この電氣的ショート回路問題を避けるため、スペーサまたは層56はリソグラフのコンタクトアライメントのための補償の付加的な利点を提供し、それによって金属被着問題を生じるようなエアギャップが露出されないかあるいは実質的に露出されなくなる。

10

**【0023】**

図13においては、低い誘電率を有する第2の誘電体層58がエッチストップ層56の上に横たわって形成され、エッチストップ層56の一部と第2の誘電体層58との間にエアギャップ60を形成する。より詳細には、図13に示されるように、エアギャップ60はお互いに対して近接した間隔の導電性相互接続部54の間に形成され、この場合「近接した間隔の (closely-spaced)」は層58のために使用されるスピノン樹脂のポリマーバックボーンの堅さ (stiffness) の関数である。さらに、エアギャップ層60はまた、図12にも示されているように、ある導電性相互接続部54の側壁に沿って形成され、それによってエアスペーサを形成している。1実施形態では、誘電体58は3.5より小さいかまたは等しい誘電率を有するPPQである。層58がエッチストップ層56にスピノンされた後、誘電体層58はセ氏100~250度の範囲の温度でほぼ30分間アニールされる。あるいは、誘電体層58は3.0より小さいかまたは等しい誘電率を有する前もってイミド化した (pre-imidized) ポリイミドとすることができる。図13のエアギャップ60の何らかのふくれを避けるためあるいは少なくとも低減するために熱的ランプ処理あるいは減圧またはサブ大気圧被着を使用することができる。

20

**【0024】**

図14においては、第3の誘電体層62が次に第2の誘電体層58の上に横たわって形成される。誘電体層62は伝統的なプラズマまたは低圧化学蒸着技術を使用して形成でき、かつBPSG、PSG、TEOS、シラン、フッ素化された酸化シリコン、複合誘電体、あるいは同様の誘電体層 (単数または複数) の層とすることができる。伝統的なフォトリソグラフおよびパターニング技術が次に使用されて第3の誘電体層62、第2の誘電体層58、およびエッチストップ層56を通して伸びるビア開口が形成され下に横たわる導電性相互接続部54の一部を露出する。層56は図12に関して前に述べたようにミスアライメントの歩留りの増強を可能にする。バリア層64が次にビア開口内に形成されかつ導電性充填材料66が次にバリア層64の上に横たわって形成される。バリア層64および導電性充填材料66の一部が次に選択的に除去されてビア開口を備えた導電性ビア68を形成する。バリア層64は前に述べたようにチタンおよび窒化チタンの複合物または窒化タンタルの層、窒化タングステンの層その他とすることができる。導電性充填材料66は伝統的な被着またはデポジション技術を使用して形成され、かつ銅、タングステン、アルミニウムまたは同様の導体の層または複合導体層とすることができる。

30

40

**【0025】**

図15においては、バリア層70および導電材料層72が次に導電性ビア68の上に横たわって形成される。バリア層70および導電材料層72は次に伝統的なフォトリソグラフおよびエッチング技術を使用してパターニングされて導電性相互接続部74を形成する。バリア層70は伝統的な技術を使用して形成されかつチタンおよび窒化チタンの複合層あるいは窒化タングステン、窒化タンタル、その他の層とすることができる。同様に、導電材料層72は伝統的な被着技術を使用して形成されかつタングステン、アルミニウム、銅、銀、金、その他の層とすることができる。

**【0026】**

50



図16は本発明の別の実施形態に係わる相互接続構造を断面図で示す。図16には、第1の誘電体層62、非共形の(non-conformal)誘電体層66、複数の導電性相互接続部64および第3の誘電体層70を備えた集積回路の一部60が示されている。第1の誘電体層62は伝統的な技術を使用して半導体基板の上に横たわって形成される。第1の誘電体層62はBPSGの層、PSGの層、フッ素化した酸化物の層、その他とすることができる。複数の導電性相互接続ライン64が伝統的なフォトリソグラフィおよびエッチング技術を使用して形成される。複数の導電性相互接続ライン64はドーピングされたポリシリコン、アルミニウム、タングステン、金属シリサイドまたはポリシリコンおよび金属シリサイドその他の複合とすることができる。

#### 【0027】

図16に示されるように、前記複数の導電性相互接続ライン64の内の少なくとも2つが距離Xだけ離されている。非共形の誘電体層66が次に複数の導電性相互接続ライン64の上に横たわって形成され、この場合前記複数の導電性相互接続ライン64内の導電性相互接続ラインの内の少なくとも2つの間に密閉されたボイド領域(sealed void region)68が形成される。密閉されたボイド領域68は2つの隣接する導電性相互接続ライン64を分離する第1の距離Xの少なくとも60%にわたっている。非共形の誘電体層66は密閉されたボイド領域68が第1の距離Xの70%、80%または90%に及ぶように被着できることが理解されるべきである。好ましい実施形態では、非共形の誘電体層66はプラズマ増強化学蒸着(CVD)においてソースガスとしてシランを使用して被着される。あるいは、非共形の被着を増強する他のソースガスも使用できる。第3の誘電体層70が次に非共形の誘電体層66の上に横たわって形成されかつ伝統的な技術を使用して平坦化される。1実施形態では、第3の誘電体層70は伝統的な化学機械研磨(CMP)技術を使用して平坦化される。あるいは、第3の誘電体層70はまた伝統的なプラズマエッチング技術を使用して平坦化することができる。図16に示されているように、結果として得られる相互接続構造は通常改善されたアイソレーションが必要とされる近接して隣接する誘電性相互接続ラインの間にボイド領域を有する。これらのボイド領域は好ましい形式ではほぼ1.0の誘電率を有し、かつ従って近接した間隔の隣接する導電性相互接続ライン64の間のRC時間遅延またはクロストークを低減する。

#### 【0028】

従って、本発明により、集積回路基板の上に横たわる金属部材におけるクロストークおよび容量性結合を低減するために使用できる幾つかの構造および方法が提供されたことが明らかであろう。本発明が特定の実施形態に関して説明されかつ示されたが、本発明はこれらの例示的な実施形態に限定されるものではない。当業者は本発明の精神および範囲から離れることなく修正および変更を行うことが可能なことを認識するであろう。例えば、図4の層16および12は層20、20'の形成の後にトレンチ化することができ、それによって図6の層22が図4に現在示されているものよりもやや深い開口を塞ぐ(plugs)ようにすることができる。このより深い領域はさらに要素20、20'の間のアイソレーションを改善する。従って、この発明は添付の特許請求の範囲に含まれるすべての変更および修正を含むものと考えられる。

#### 【図面の簡単な説明】

#### 【0029】

【図1】本発明の1実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図2】本発明の1実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図3】本発明の1実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図4】本発明の1実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

10

20

30

40

50

【図 5】本発明の 1 実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 6】本発明の 1 実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 7】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 8】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 9】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

10

【図 10】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 11】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 12】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 13】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図 14】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

20

【図 15】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

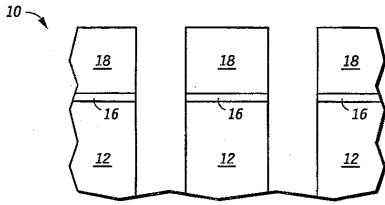
【図 16】エアギャップが本発明の 1 実施形態に係わる被適合的被着プロセスによって被着された材料によって形成された相互接続構造を示す断面図である。

【符号の説明】

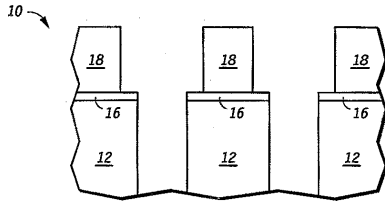
【0030】

10 ... 集積回路構造の一部、12 ... 第 1 の誘電体層、14 ... コンタクト開口、16 ... エッチストップ層、18 ... 第 2 の誘電体層、20 ... 相互接続部分、21 ... 導電性相互接続部、22 ... 第 3 の誘電体層

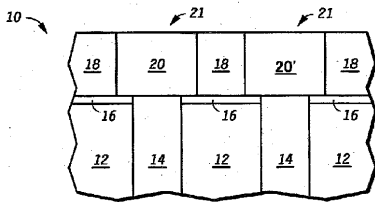
【 図 1 】



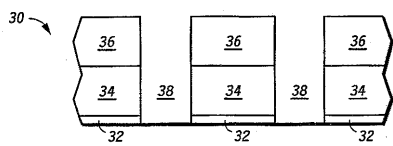
【 図 2 】



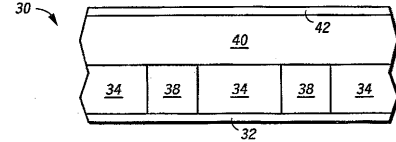
【 図 3 】



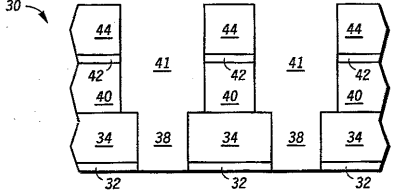
【 図 7 】



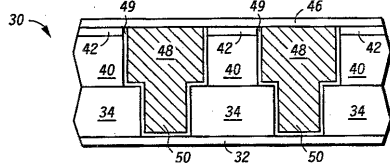
【 図 8 】



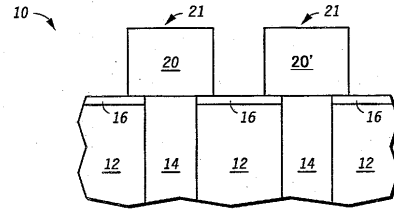
【 図 9 】



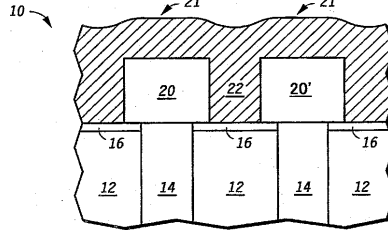
【 図 10 】



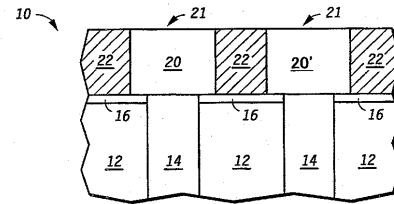
【 図 4 】



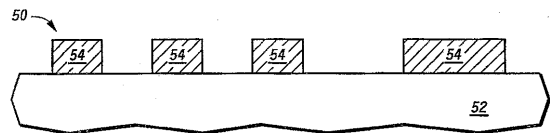
【 図 5 】



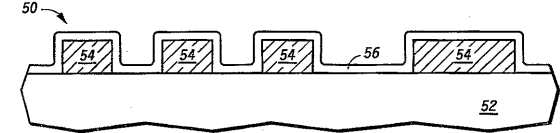
【 図 6 】



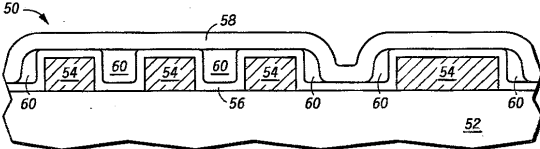
【 図 11 】



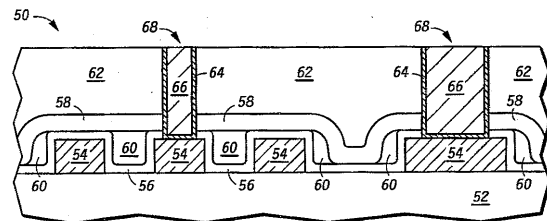
【 図 12 】



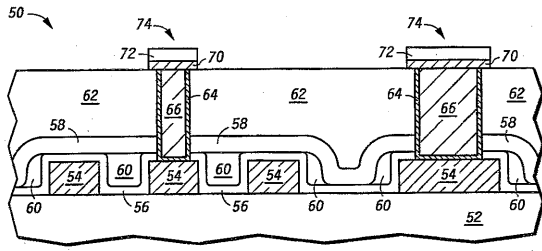
【 図 13 】



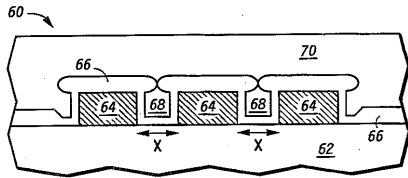
【 図 14 】



【 図 15 】



【 図 16 】



---

フロントページの続き

(72)発明者 ジェフ・トマス・ウェッゼル

アメリカ合衆国テキサス州 7 8 7 3 5、オースチン、トレイン・クレスト・サークル 4 7 1 0

(72)発明者 テリー・グラント・スパークス

アメリカ合衆国テキサス州 7 8 7 5 4、オースチン、メンドシーノ・ドライブ 8 8 0 8

F ターム(参考) 5F033 HH08 HH11 HH13 HH14 HH18 HH19 HH21 HH23 HH32 HH33  
HH34 JJ08 JJ11 JJ13 JJ14 JJ18 JJ19 JJ21 JJ23 JJ32  
JJ33 JJ34 KK01 KK04 KK07 MM13 NN07 PP06 PP15 PP26  
QQ04 QQ09 QQ12 QQ19 QQ25 QQ37 QQ48 QQ74 QQ82 RR01  
RR04 RR05 RR06 RR08 RR11 RR14 RR15 RR21 RR22 RR30  
SS04 SS13 SS15 SS21 TT04 WW01 WW09 XX24 XX25