(19) 日本国特許庁(JP)

(12) 特許公報(B2)

F I

(11) 特許番号

特許第3649917号 (P3649917)

(45) 発行日 平成17年5月18日 (2005.5.18)

(24) 登録日 平成17年2月25日 (2005.2.25)

- (51) Int.C1.⁷
 - HO1G 4/33

HO1G 4/06 102

請求項の数 9 (全 10 頁)

 (21) 出願番号 (22) 出願日 (65) 公開番号 (43) 公開日 審査請求日 	特願平10-268775 平成10年9月22日 (1998.9.22) 特開平11-168027 平成11年6月22日 (1999.6.22) 平成12年1月14日 (2000.1.14)	(73)特許権者	f 596092698 ルーセント テクノロジーズ インコーポ レーテッド アメリカ合衆国. 07974-0636 ニュージャーシィ,マレイ ヒル,マウン
(31)優先権主張番号(32)優先日(33)優先権主張国	08/936132 平成9年9月24日 (1997.9.24) 米国 (US)	(74)代理人 (74)代理人 (74)代理人 (74)代理人	 テン アヴェニュー 600 100064447 弁理士 岡部 正夫 100085176 弁理士 加藤 伸晃 100106703 弁理士 産形 和央 100096943 弁理士 臼井 伸一
			最終頁に続く

(54) 【発明の名称】キャパシタ用誘電体膜

(57)【特許請求の範囲】

【請求項1】

R-Sn-Ti-0を主成分とするアモルファス組成物からなるキャパシタ用誘電体膜において、Rはジルコニウム(Zr)及びハフニウム(Hf)からなる群から選択されることを特徴とするキャパシタ用誘電体膜であって、

前記アモルファス組成物<u>の主成分</u>はR_xSn_yTi_zO_wからなり、0.1 x 1.8、0.1 y 1.6 、0.2 z 1.9、及び2.0 w 4.0であり、x + y + z = 2 であり、

約200 に保持した基板上に堆積した場合、10kHzで測定した前記組成物の誘電率 は5 5以上で、前記組成物の<u>性能指数は16.9µC/cm²</u>以上であることを特徴とするキャパシタ用 誘電体膜。

【請求項2】

x は約0.3 であり、y は約0.9 であり、 z は約0.8 であることを特徴とする請求 項1 に記載の誘電体膜。

【請求項3】

x は約0.4 であり、y は約0.4 であり、z は約1.2 であることを特徴とする請求 項1に記載の誘電体膜。

【請求項4】

前記アモルファス組成物に窒素をドープしたことを特徴とする請求項1に記載の誘電体 膜。

【請求項5】

10

50

前記アモルファス組成物はR_xSn_vTi_zO_wN_vからなり、0.1× 1.8、0.1 y 1.6、0.2 z 1.9、2.0 w 4.0、および、0.01 v 0. $0 3 \overline{c} \overline{b} 0$, x + y + z = 2 $\overline{c} \overline{b} 0$, 約200 に保持した基板上に堆積した場合、10KHzで測定した前記組成物の誘電 率 は60より大きく、前記組成物の性能指数は22.6µC/cm²より大きいことを 特徴とする請求項4に記載の誘電体膜。 【請求項6】 ×は約0.4であり、yは約0.4であり、zは約1.2であることを特徴とする請求 項5に記載の誘電体膜。
 【請求項7】 10 1対の電極と、該電極間に配置された請求項1に記載の誘電体材料層からなることを特徴 とするキャパシタ。 【請求項8】 前記アモルファス組成物はR_xSn_yTi_zO_wからなり、0.1 x 1.8、0.1 y 1.6、0.2 z 1.9、および、2.0 w 4.0であり、x+y+z=2 であることを特徴とする請求項7に記載のキャパシタ。 【請求項9】 前記アモルファス組成物はR_xSn_vTi_zO_wN_vからなり、0.1 × 1.8、0. 1 y 1.6、0.2 z 1.9、2.0 w 4.0、および、vは約0.02で あり、×+y+z=2であることを特徴とする請求項7に記載のキャパシタ。 20 【発明の詳細な説明】 [0001]【発明の属する技術分野】 本発明は、R-Sn-Ti-Oのアモルファス薄膜からなる誘電体材料(ただし、RはΖ r および H f からなる群から選択される。)に関し、特に、ダイナミックランダムアクセ スメモリ(DRAM)デバイスのキャパシタへの応用 に関する。 [0002]【従来の技術】 薄膜キャパシタ用の誘電体層として使用するための高い誘電率を有する材料が研究されて 30 いる。マイクロエレクトロニクス回路がますます集積化されるとともに、より小さいコン ポーネントに対する需要が強くなっている。小型化の追求は、DRAMのセル設計および デバイスに関して特に強い。より小さいフィーチャサイズへの集積回路の移行は、以前に 使用されていた材料よりも大きい誘電率()を有する薄膜誘電体の開発に対する関心を 引き起こしている。例えば、一般に、a-SiO_x膜が、集積回路デバイスのDRAMキ ャパシタにおける誘電体材料として使用されている。セルサイズが小さくなったため、設 計者は非常に薄いa-SiO~膜の使用に頼ってきたが、このような膜は、その有限の破 壊電界により、低下した信頼性を示す。従って、新たな誘電体材料の開発に向けた努力が なされている。 a - S i O 、 膜の固有の限界は、高い誘電率および適度の破壊電界を有す る材料で置き換えることによって回避される可能性がある。 40 [0003]高い の値および性能示数を有する材料に注目が集中している。性能示数は、材料の誘電 率 (

率 ()と破壊電界 (E_{br})の積である。換言すれば、誘電率 ()に破壊電界 (E_{br}) [MV/cm]を乗じた値が性能示数 (E_{br})[µC/cm²]に等しい。性能示数は 、膜厚によらないため、誘電体材料の有効性の尺度の有用な単位である。

【0004】

特に、誘電体材料として、 a - T a 2 O 5 (アモルファス五酸化タンタル)、 a - T i O x 、および結晶 x - (B a , S r) T i O 3 の使用が注目を受けている。これらの材料はそれぞれ利点および欠点を有する。例えば、 a - T a O x 膜の比較的高い誘電率および大きい性能示数は特に関心を引いている。しかし、集積回路で使用するにはさらに高い誘電率

(2)

10

20

(および破壊電界)の誘電体膜が望ましく、a - T i O_xやx - (B a , S r) T i O₃の ような材料に対する関心を高めている。他方、a - T a₂O₅およびa - T i O_xは、一般 に集積回路製造と両立するとみなされる元素からなるが、B a や S r は問題がある。従っ て、高い誘電率を有するとともに、シリコンチップ集積回路製造と両立する材料が有用で ある。

[0005]

このように、高い誘電率、大きい破壊電界、およびシリコンチップ集積回路製造との両立 性を有する、キャパシタを備えた集積回路で用いられる誘電体材料に対する需要がある。 本発明の発明者によって、R - S n - T i - Oのアモルファス薄膜がこの目的に有効であ ることが発見された。ただし、R は、ジルコニウム(Z r)およびハフニウム(H f)か らなる群から選択される。

[0006]

【発明が解決しようとする課題】

これまで、Zr-Ti-Sn-Oセラミクス(結晶形または多結晶形)は、中程度の誘電 率と、低い誘電率温度係数を含めて、そのマイクロ波特性のために、有用であると報告さ れている。しかし、これまで研究された組成はそのような応用で使用する場合に代表的な ものである。すなわち、それらの組成は必然的に均質相に入る。(Zr,Sn)TiO4 の薄膜は、ハイブリッド集積回路のキャパシタの誘電体コンポーネントとして有用である と報告されている(0. Nakagawara,Y. Toyoda,M. Kobayashi,Y. Yoshino,Y. Katayam a,H. Tabata, and T. Kawai, "Electrical Properties of (Zr,Sn)TiO4 Dielectric Thi n Film Prepared by Pulsed Laser Deposition",J. Appl. Phys. 80, 388 (1996)(以下 「Nakagawara」として引用する。)参照)。しかし、Nakagawaraは、アモルファス膜では 誘電率の相対的低下があり、その低下の原因は材料のイオン分極率の低下にあると報告し ている。Nakagawaraによって報告された膜は構造的には結晶×-(Zr,Sn)TiO4 に近く、均質な結晶相に入る組成を志向する従来の教示に従ったものであり、誘電率がお よそ = 2 2の膜を報告している。

[0007]

【課題を解決するための手段】

しかし、本発明の発明者は、ジルコニウム - スズ - チタン - 酸化物またはハフニウム - ス ズ - チタン - 酸化物のアモルファス組成を有する材料は、一般に最適であるとみなされて 30 いる均質結晶相の外部にあるが、薄い誘電体材料として有効であって、キャパシタの面積 を大幅に縮小することが可能であることを発見した。発明者はさらに、好ましい誘電体材 料の組成として、(Zr_{0.2}Sn_{0.2}Ti_{0.6})₂O_xN_vという組成を発見した。これは、2 00 に保持した基板上に堆積した場合、誘電率は約61で、破壊電界は4.1MV/c mである。これにより性能示数は E_{br} = 22.1µC/cm²となり、これは最良の a - TaO_xの約3倍であり、高品質のa-SiO_x堆積膜の約7倍である。さらに、本発明 による膜は比較的安定であり、シリコン集積回路製造で用いられる通常のバックエンド処 理に耐える。

[0008]

本発明は、R - Sn - Ti - Oのアモルファス組成を主成分として使用する誘電体薄膜に 40 関する。ただし、Rは、ジルコニウム(Zr)およびハフニウム(Hf)からなる群から 選択される。誘電体薄膜組成の好ましい範囲は、R_xSn_yTi_zO_wを中心とする。ただし 、0.1 × 1.8、0.1 y 1.6、0.2 z 1.9、および、2.0 w 4.0であり、x + y + z = 2である。好ましくは、xは約0.4であり、yは約0. 4であり、zは約1.2であり、wは約4.0である。さらに、本発明は、膜の誘電率特 性および均一性を改善するために窒素をドープしたアモルファス組成に関する。また、本 発明は、2つの電極間に配置された本発明の誘電体材料からなるキャパシタに関する。 【00009】

【発明の実施の形態】

本発明により得られる誘電体薄膜は、R-Sn-Ti-Oのアモルファス組成からなる。 50

ただし、RはZrまたはHfであり、高い誘電率 (すなわち、約30)を有することに より、キャパシタに用いた場合、キャパシタの面積を小さくすることができる。以下の説 明は3つの部分に分けられる。パートAでは、本発明の応用について、DRAMキャパシ タにおける本発明の誘電体材料の使用に関して説明する。パートBでは、本発明の誘電体 材料の好ましい組成について説明する。最後に、パートCでは、本発明の誘電体膜を基板 上に堆積する方法について説明する。

[0010]

A . 応用例

例として、図1に、本発明の誘電体層を組み込んだ代表的な積層キャパシタDRAM設計の断面図を示す。しかし、本発明はDRAMセルでの使用に限定されるものではなく、ハ 10 イブリッド集積回路や他のデバイスのキャパシタのような他の応用例でも使用可能である

[0011]

DRAMアプリケーションで用いられる最も一般的なセル設計は、トランスファゲート(例えば、MOS電界効果トランジスタすなわちMOSFET)と、キャパシタからなるス トレージノードとを含む。図1において、基板10は、一般にシリコンからなる。基板1 0は、MOSFETのために拡散されたソース14およびドレイン16と、MOSFET ゲート構造18a、18bを含む。基板10の表面上には、フィールド酸化物パターン(FOX)12が堆積される。キャパシタは、シリコン基板10上に堆積され、誘電体材料 の薄膜24によって分離された下部電極22および上部電極26からなる。電極22、2 6は、Ti、TiN、A1、0.5%のCuをドープしたA1、あるいは当業者に周知の 、DRAMアプリケーション用の電極を形成するためのその他の材料からなる。誘電体膜 24は、下部電極22と上部電極26の間の空間を充填し、Zr - Sn - Ti - Oまたは Hf - Sn - Ti - Oからなる。いずれも、窒素をドープすることが可能である。下部電 極22および上部電極26は、誘電体薄膜24を間に挟んで、キャパシタを形成する。絶 縁層20が、ゲート構造18a、18bからキャパシタを分離することも可能である。

B.好ましい組成

Zr-Sn-Ti-O系(Nのドープなし)における組成の関数としての、性能示数の本 質的傾向の概略を図2の斜線領域40に示す。この領域40は、単一相多結晶領域の外部 のアモルファス薄膜領域を表す。好ましい組成範囲は、図2に示されるように、アモルフ ァス材料ZrySnyTi-Oyにおいて、x、y、およびzは以下のとおりである。

30

20

ァス材料ZrxSnvTizOwにおいて、x、y、およびzは以下のとおりである。 0.2 x 0.7(Zr) 0.35 y 1.2(Sn) 0.6 z 1.2(Ti) ただし、 x + y + z = 2 [0013]さらに、有用な性能示数(すなわち、緩和された基準3.0µC/cm²以上)の誘電体 材料は、Zr-Sn-Ti-O系では非常に広い組成範囲にわたって得られる。その範囲 は以下のとおりである。 x 1.8(Zr) 0.1 0.1 y 1.6(Sn) z 1.8(Ti) 0.2 ただし、 x + y + z = 2 [0014]図 3 に、およその組成が Z r _{0.3} S n _{0.8} T i _{0.9} O ₂ (上記の好ましい範囲内)の膜の領域 上に形成されたキャパシタの電流 - 電圧特性を示す。電流密度対電界をプロットしてある 。Tiの割合が比較的低いため、200 で測定したこの膜の誘電率は =55であった ,この特定のキャパシタの性能示数は16.9μC/cm²であった。

[0015]

40

Zr-Sn-Ti-O-N系(Nのドープあり)における組成の関数としての、性能示数 の本質的傾向の概略を図4の斜線領域42に示す。この領域42は、単一相多結晶領域の 外部のアモルファス薄膜領域を表す。好ましい組成範囲は、図4に示されるように、アモ ルファス材料Zr_xSn_yTi_zO_wN_vにおいて、x、y、およびzは以下のとおりである

0.25 x 0.7(Zr) 0.25 y 0.7 (Sn) 1.0 z 1.4(Ti) ただし、 x + y + z = 2 [0016]10 最良の特性は、 Z r ₀₄ S n ₀₄ T i ィ ₂O "N √という組成を中心とする領域にある。ただ し、wはおよそ4.0であり、vはおよそ0.02である。一方、有用な性能示数(すな わち、緩和された基準3.0µC/cm²以上)の誘電体材料は、Zr-Sn-Ti-O - N系では非常に広い組成範囲にわたって得られる。その範囲は以下のとおりである。 0.1 x 1.8(Zr) 0.1 y 1.4 (Sn) 0.2 z 1.9(Ti) ただし、x + y + z = 2 [0017]図 5 に、およその組成が Z r_{0.4} S n_{0.4} T i_{1.2} O_w N_v (図 4 の好ましい範囲内)の膜の 20 領域上に形成されたキャパシタの電流 - 電圧特性を示す。電流密度対電界をプロットして ある。200 で測定したこの膜の誘電率は =62.2であった。この特定のキャパシ タの性能示数は22.6µC/cm²であった。上記では、好ましい組成は特にジルコニ ウムについて記載されているが、本発明によれば、与えられた同じパラメータの範囲内で 、HfをZrの代わりに置き換えることが可能である。 [0018] C.サンプル調製 膜は、軸外または軸上のいずれの反応性スパッタリングにより調製することも可能である 。無線周波数反応性スパッタリングにより膜を堆積するのに用いられる装置を図6に示す 。装置およびプロセスの説明は、Zr-Sn-Ti-O(Nのドープのあるものとないも 30 の)の組成を堆積することに関して行うが、同じプロセスを用いて、以下で述べるZrガ ンの代わりにHfターゲットガンを用いることにより、Hf-Ti-Sn-Oの膜を堆積 することも可能である。 [0019]図6において、装置は、平面マグネトロンスパッタガン31、32、および33を有する 真空容器30からなる。ガン31、32、および33は、直径2インチ(5.08cm) のターゲットを有し、ターゲットに向かい合うように配置され(すなわち、被覆されるべ き基板34のほうを向く)、それぞれZr、Ti、およびSnを堆積する。ターゲットは 、対向する基板の端から約2センチメートルに配置され、その形状は一般に長方形である 。各スパッタガンは、RF電源(31a、32a、および33a)に接続され、自己バイ 40 アスされる。ガンは、例えば、150W(Zrガン31)、75W(Tiガン32)、お よび20W(Snガン33)で動作し、基板の中心点に適当なZr-Ti-Sn-O組成 を提供する。堆積が実行される全圧は、例えば、軸外スパッタリングでは30mTorr であり、軸上スパッタリングでは4.0mTorrであり、以下で説明するようにさまざ まな流量を用いて行われる。

【0020】

誘電体薄膜の堆積に用いられる基板34は、一般に、約5500 の熱酸化物、450 のTi、および600 のTiNで被覆されたシリコンウェハからなる。堆積プロセスの 前に、基板34は、タンタルバネクリップ35a、35b、および35cを用いて、厚い アルミニウム基板ホルダ(図6の視野からは隠れている)にマウントされる。基板34は

(5)

10

20

40

、堆積プロセス中にRFパワー(約10Wが好ましい)を供給して膜の表面移動度を高め るために、電源34aに接続される。基板ホルダ(図示せず)は、タンタルワイヤ放射ヒ ータ用いて加熱され、基板ホルダに挿入されたクロメル / アルメル熱電対でモニタされる 。堆積プロセス中は温度を一定に保つことが好ましい。

【0021】

図2に示されるようなZr - Ti - Sn - Oの組成の軸外スパッタリング堆積の場合、以下のステップが用いられる。まず、基板34を用意し、上記のように、または、約60 nmのTiNで、被覆する。この基板を、タンタルクリップ35 a、35 b、および35 cを用いて基板ホルダにマウントし、基板がZrスパッタガンターゲット31から約6 センチメートル、Tiスパッタガンターゲット32から約4センチメートル、Snスパッタガンターゲット33から約6.5センチメートルになるように配置される。好ましくは、スパッタガン31、32、および33は、同一水平面上に位置し、図6に示すように、ターゲットが互いに90度の角度で内側に向かい合うように配置される。基板34は、上面がターゲットの水平面に平行になるように配置され、ターゲットの平面の下約3.5センチメートルに配置される。

[0022]

基板34を真空容器30内に適当に配置した後、堆積プロセスが実行される。真空容器内 の背圧は、およそ5×10⁻⁶ Torr以下の圧力まで排気される。基板34の温度を約2 00 まで上昇させ、10~20 の範囲内に維持する。次に、酸素(O₂)ガスを、ア ルゴンガスとともに、それぞれ10sccmおよび15sccmで導入する(ただし、「 sccm」は、毎分標準(すなわち、標準状態の圧力および温度での)立方センチメート ルのことである)。スパッタリングガスの圧力を約30.0mTorrまで上昇させる。 次に、RF電源34a、31a、32a、および33aを起動し、RFパワーを、上記の ように、それぞれ10W、75W、150W、および20Wで基板34およびスパッタガ ン31、32、および33に加える。各RF電源31a、32a、33a、および34a 用のRF整合回路を調整して、反射パワーを最小にする。スパッタ堆積を約20分間実行 した後、RFパワーとガスの供給を切る。その後、システムを開放し、サンプルを取り出 す。

[0023]

窒素をドープした誘電体膜を得るためには、酸素およびアルゴンガスとともに窒素ガスを 30 真空容器内に注入する必要があることを除いては、同じプロセスを使用可能である。この 場合、使用されるガス流量は、例えば、N₂ガスが約5sccm、O₂ガスが約10scc m、およびArガスが約10sccmである。

【0024】

軸上スパッタリング堆積プロセス(1つの複合スパッタリングガンによる)もまた有効で あり、プロセス時間を短縮する。この応用例の場合、60%Ti、20%Zr、および2 0%Sn(原子%で)の組成を有する複合Zr-Sn-Ti金属ターゲットが、直径2イ ンチ(5.08cm)のスパッタガンに適している。軸外堆積のプロセスに従って、基板 を基板ホルダにマウントし、熱接点用にTaクリップを用いて適所に保持する。基板を、 複合金属ターゲットから約3.0センチメートルに配置し、基板の表面をターゲットと平 行にし、ターゲットの中心に向ける。背圧ガス、基板温度、およびガス流量のパラメータ は、上記の軸外堆積の場合と同じである(背圧ガスは、5×10⁻⁶Torr以下まで排気 され、基板の温度は約200 に維持され、O₂ガスを10sccmで、アルゴンガスを 15sccmで導入する)。しかし、スパッタリングガスの圧力は、約4.0mTorr に上昇させる。複合スパッタリングガンに加えられるRFパワーは約100Wであり、R F 整合回路で調整して、反射パワーを最小にする。スパッタ堆積を5分間実行した後、R Fパワーとガスの供給を切る。基板が約100 まで冷却された後、システムを開放し、 サンプルを取り出す。

【0025】

約200 の温度で、相対的に高い酸素分圧に少量の窒素を加えて、堆積を実行するのが 50

有効である。窒素は、酸素空格子点によって生成されるトラップを埋め合わせるように作 用して、均一な誘電体材料となると考えられている。埋め合わせる他のカチオンまたはア ニオンによるドーピングも使用可能である。酸素空格子点(トラップ)の密度は、酸素圧 力、基板温度、全圧、ターゲット配置、基板バイアスなどの他のプロセスパラメータによ っても補償される。

【0026】

以上、本発明の実施例について説明したが、本発明の原理に従って、さまざまな変形例を 考えることが可能である。本発明のハイブリッド集積回路は、上記の例や調製方法に限定 されるものではない。例えば、R - S n - T i - O(ただしRはZrまたはHf)を主成 分とするキャパシタの誘電体薄膜を形成するには、上記の無線周波数(RF)マグネトロ ンスパッタリング法の代わりに、イオンビームスパッタリング、化学蒸着、電子サイクロ トロン共鳴スパッタリング、またはレーザアブレーションのような他の方法も使用可能で ある。さらに、膜は、酸素トラップを埋め合わせる低濃度の適当な元素(例えば、Mg、 Ca、Sr、Y、A1、あるいはIn)でドープすることも可能である。

【0027】

【発明の効果】

以上述べたごとく、本発明によれば、高い誘電率、大きい破壊電界、およびシリコンチッ プ集積回路製造との両立性を有する、キャパシタを備えた集積回路で用いられる誘電体材 料が実現される。

【図面の簡単な説明】

【図1】本発明による誘電体層からなるDRAMセル設計の一実施例の概略断面図である。

【図2】本発明によるZr-Sn-Ti-O系の好ましい組成の領域を示す概略組成図である。

【図3】本発明により形成された、図2の組成を有するキャパシタの代表的な電流 - 電圧 特性を示す図である。

【図4】本発明によるZr-Sn-Ti-O-N系の好ましい組成の領域を示す概略組成
 図である。

【図5】本発明により形成された、図4の組成を有するキャパシタの代表的な電流 - 電圧 特性を示す図である。

10

20

【図6】本発明による誘電体薄膜を形成する際に用いられる3ガン無線周波数スパッタリングシステムの概略上面図である。

【符号の説明】 10 基板 12 フィールド酸化物パターン(FOX) 14 ソース 16 ドレイン MOSFETゲート構造 18 20 絶縁層 22 下部電極 24 誘電体薄膜 26 上部電極 30 真空容器 31 平面マグネトロンスパッタガン 31a RF電源 32 平面マグネトロンスパッタガン 32a RF電源

33 平面マグネトロンスパッタガン

33a RF電源

34 基板

40

35 タンタルバネクリップ

















【図6】



フロントページの続き

 (74)代理人
 100091889

 弁理士
 藤野
 育男

 (74)代理人
 100101498

 弁理士
 越智
 隆夫

 (74)代理人
 100096688

 /行理士
 本宮
 照久

 (74)代理人
 100102808

弁理士 高梨 憲通 (74)代理人 100104352

弁理士 朝日 伸光 (74)代理人 100107401

弁理士 高橋 誠一郎 (74)代理人 100106183

- 弁理士 吉澤 弘司
- (74)代理人 100081053 弁理士 三俣 弘文
- (72)発明者 リン フランシス シュニーメヤー アメリカ合衆国,07090 ニュージャージー,ウェストフィールド,シャックマクソン ドラ イブ 871
- (72)発明者 ロバート ブルース ヴァン ドーヴァー
 アメリカ合衆国,07040 ニュージャージー,メイプルウッド,ジェファーソン アヴェニュー 58

審查官 鈴木 匡明

(56)参考文献 特開平08-264720(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名) H01G 4/00~4/10 H01G 4/14~4/42